



(12)发明专利

(10)授权公告号 CN 104103640 B

(45)授权公告日 2017.02.01

(21)申请号 201310119651.8

H01L 21/8247(2006.01)

(22)申请日 2013.04.09

(56)对比文件

(65)同一申请的已公布的文献号

申请公布号 CN 104103640 A

- CN 101005078 A, 2007.07.25,
- US 2008087945 A1, 2008.04.17,
- CN 101494222 A, 2009.07.29,
- US 7400013 B1, 2008.07.15,
- KR 20060089530 A, 2006.08.09,
- CN 101764156 A, 2010.06.30,
- US 2005045940 A1, 2005.03.03,
- TW 201308522 A, 2013.02.16,

(43)申请公布日 2014.10.15

(73)专利权人 苏州东微半导体有限公司  
地址 215000 江苏省苏州市金鸡湖大道  
1355号国际科技园二期C102-1

(72)发明人 刘伟 刘磊 王鹏飞 龚轶

审查员 陈冠源

(74)专利代理机构 南京苏科专利代理有限责任  
公司 32102

代理人 陆明耀 杨洋

(51)Int.Cl.

H01L 27/115(2006.01)

H01L 29/10(2006.01)

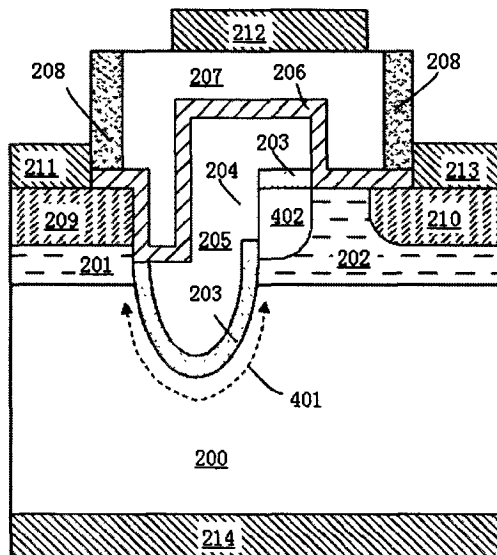
权利要求书2页 说明书5页 附图5页

(54)发明名称

一种U形沟道的半导体器件及其制造方法

(57)摘要

本发明属于半导体存储器技术领域,具体涉及一种U形沟道的半导体器件,包括至少一个半导体衬底、一个源区、一个漏区、一个浮栅、一个控制栅、一个U形沟道区以及一个用于连接所述浮栅与所述漏区的栅控p-n结二极管。本发明所提出的U形沟道的半导体器件用浮栅存储信息,并通过所述栅控p-n结二极管对浮栅进行充电或放电,具有单元面积小、芯片密度高、对数据进行存储时操作电压低、数据保持能力强等优点。



1. 一种U形沟道的半导体器件,包括:

一个具有第一种掺杂类型的半导体衬底;

在所述半导体衬底内形成的具有第二种掺杂类型的源区和漏区;

凹陷在所述半导体衬底内且介于所述源区与漏区之间形成的U形凹槽,所述U形凹槽的表面形成有U形沟道区,其特征在于,还包括:

在部分所述漏区之上和覆盖整个U形沟道区形成的第一层绝缘薄膜;

在位于所述的U形凹槽顶部靠近所述漏区一侧的内侧壁上的第一层绝缘薄膜中形成的一个浮栅开口区域;

覆盖所述第一层绝缘薄膜和所述浮栅开口区域形成的一个作为电荷存储节点的具有第一种掺杂类型的浮栅,所述浮栅的顶部靠近所述源区的一侧位于U形凹槽内,并且存在一缺口,所述浮栅的另一侧超出U形凹槽,覆盖了部分所述漏区;

通过所述浮栅开口区域在所述浮栅与漏区之间形成的一个p-n结二极管;

覆盖所述源区、所述浮栅与所述p-n结二极管形成的第二层绝缘薄膜;

在所述第二层绝缘薄膜之上、覆盖并包围所述浮栅形成的控制栅,所述控制栅在所述的U形凹槽顶部将所述源区与所述浮栅隔离。

2. 根据权利要求1所述的U形沟道的半导体器件,其特征在于,还包括以导电材料形成的用于将所述源区、控制栅、漏区、半导体衬底与外部电极相连接的源区的接触体、控制栅的接触体、漏区的接触体和半导体衬底的接触体。

3. 根据权利要求1所述的U形沟道的半导体器件,其特征在于,所述的第一层绝缘薄膜、第二层绝缘薄膜由二氧化硅、氮化硅、氮氧化硅或者高介电常数的绝缘材料形成,所述的浮栅由多晶硅形成,所述的控制栅由金属、合金或者掺杂的多晶硅形成。

4. 根据权利要求1所述的U形沟道的半导体器件,其特征在于,所述的第一种掺杂类型为n型,所述的第二种掺杂类型为p型;或者,所述的第一种掺杂类型为p型,所述的第二种掺杂类型为n型。

5. 根据权利要求1所述的U形沟道的半导体器件,其特征在于,所述的p-n结二极管、第二层绝缘薄膜和控制栅构成了一个以所述控制栅作为栅极的栅控二极管,所述栅控二极管的阳极与所述浮栅相连接,所述栅控二极管的阴极与所述漏区相连接;或者,所述栅控二极管的阴极与所述浮栅相连接,所述栅控二极管的阳极与所述漏区相连接。

6. 如权利要求1所述的U形沟道的半导体器件的制造方法,包括:

在具有第一种掺杂类型的半导体衬底内形成具有第二种掺杂类型的轻掺杂区;

在所述半导体衬底表面淀积一硬掩膜层并通过光刻工艺和刻蚀工艺定义出器件的U形沟道区的位置,然后以所述硬掩膜层为掩膜刻蚀暴露出的半导体衬底,形成凹陷在半导体衬底内的U形凹槽,所形成的U形凹槽将具有具有第二种掺杂类型的轻掺杂区分割开为器件的源区和漏区,之后刻蚀掉剩余的硬掩膜层;其特征在于,还包括:

在半导体衬底的暴露表面上形成第一层绝缘薄膜并通过光刻工艺和刻蚀工艺刻蚀所形成的第一层绝缘薄膜形成浮栅开口区域,所形成的浮栅开口区域位于所形成的U形凹槽的顶部靠近所述漏区一侧的内侧壁上;

接着,在所形成结构的暴露表面上淀积第一层导电薄膜,该导电薄膜为具有第一种掺杂类型的多晶硅,然后通过光刻工艺和刻蚀工艺刻蚀所形成的第一层导电薄膜以形成器件

的浮栅,其中,位于所形成的U形凹槽的顶部靠近源区一侧的第一层导电薄膜部分被刻蚀掉,并且所形成的浮栅至少覆盖所形成的U形凹槽底部和整个浮栅开口区域;

接着,在已形成结构的暴露表面上淀积形成第二层绝缘薄膜,并在第二层绝缘薄膜之上淀积形成第二层导电薄膜,然后通过光刻工艺和刻蚀工艺刻蚀所形成的第二层导电薄膜以形成器件的控制栅,其中,所形成的控制栅在沿器件的沟道方向上的长度超过浮栅,覆盖并包围浮栅,且在所形成的U形凹槽的顶部将所述源区与所述浮栅隔离;

进行第二种掺杂类型的离子注入,对控制栅和未被控制栅覆盖的半导体衬底进行掺杂以形成器件的源区、漏区和控制栅的掺杂结构。

7.根据权利要求6所述的U形沟道的半导体器件的制造方法,其特征在于,还包括以导电材料形成用于将所述源区、控制栅、漏区、半导体衬底与外部电极相连接的源区的接触体、控制栅的接触体、漏区的接触体和半导体衬底的接触体。

8.根据权利要求6所述的U形沟道的半导体器件的制造方法,其特征在于,所述的第一种掺杂类型为n型,所述的第二种掺杂类型为p型;或者,所述的第一种掺杂类型为p型,所述的第二种掺杂类型为n型。

9.根据权利要求6所述的U形沟道的半导体器件的制造方法,其特征在于,所述的第一层绝缘薄膜、第二层绝缘薄膜为二氧化硅、氮化硅、氮氧化硅或者为高介电常数的绝缘材料,所述的第二层导电薄膜为金属、合金或者为掺杂的多晶硅。

## 一种U形沟道的半导体器件及其制造方法

### 技术领域

[0001] 本发明涉及一种半导体器件及其制造方法,特别涉及一种U形沟道的半导体器件及其制造方法,属于半导体存储器技术领域。

### 背景技术

[0002] 半导体存储器被广泛应用于各种电子产品之中。不同应用领域对半导体存储器的构造、性能和密度有着不同的要求。比如,静态随机存储器(SRAM)拥有很高的随机存取速度和较低的集成密度,而标准的动态随机存储器(DRAM)则具有很高的密度和中等的随机存取速度。

[0003] 图1为现有技术的一种平面沟道的半导体存储器,包括:在半导体衬底500内形成的具有与半导体衬底相反掺杂类型的源区501和漏区502,半导体衬底500可以为单晶硅、多晶硅或者为绝缘体上的硅。在半导体衬底500内、介于源区501和漏区502之间形成有器件的平面沟道区601,平面沟道区601是该半导体存储器在进行工作时在半导体衬底500内形成的反型层。在源区501和漏区502内还分别形成有高掺杂浓度的掺杂区509和掺杂区510,掺杂区509和掺杂区510与源区501和漏区502具有相同的掺杂类型。

[0004] 在源区501、沟道区601和漏区502之上形成有第一层绝缘薄膜503,且在漏区502之上的第一层绝缘薄膜503中形成有一个浮栅开口区域504。在第一层绝缘薄膜503之上、覆盖整个平面沟道区601和浮栅开口区域504形成有一个作为电荷存储节点的浮栅505,浮栅505具有与漏区502相反的掺杂类型,且浮栅505中的掺杂杂质会通过浮栅开口区域504扩散至漏区502中形成扩散区602,从而通过浮栅开口区域504在浮栅505与漏区502之间形成一个p-n结二极管。

[0005] 覆盖浮栅505和所述的p-n结二极管结构形成有第二层绝缘薄膜506。在第二层绝缘薄膜506之上、覆盖并包围浮栅505形成有器件的控制栅507。在控制栅507的两侧还形成有栅极侧墙508。该半导体存储器还包括由导电材料形成的用于将源区501、控制栅507、漏区502、半导体衬底500与外部电极相连接的源区的接触体511、控制栅的接触体512、漏区的接触体513和半导体衬底的接触体514。

[0006] 为保证半导体存储器的性能,平面沟道的半导体存储器需要较长的沟道长度,这使得半导体存储器的单元面积较大,从而降低了芯片密度,不利于芯片向微型化的方向发展。

### 发明内容

[0007] 有鉴于此,本发明的目的在于提出一种U形沟道的半导体存储器,从而可以降低半导体存储器的单元面积,提高芯片密度。

[0008] 为达到本发明的上述目的,本发明提出了一种U形沟道的半导体器件,具体包括:

[0009] 一个具有第一种掺杂类型的半导体衬底;

[0010] 在所述半导体衬底内形成的具有第二种掺杂类型的源区和漏区;

[0011] 凹陷在所述半导体衬底内且介于所述源区与漏区之间形成的U形凹槽,所述U形凹槽的表面形成有U形沟道区;

[0012] 在部分所述漏区之上和覆盖整个U形沟道区形成的第一层绝缘薄膜;

[0013] 在位于所述的U形凹槽顶部靠近所述漏区一侧的内侧壁上的第一层绝缘薄膜中形成的一个浮栅开口区域;

[0014] 覆盖所述第一层绝缘薄膜和所述浮栅开口区域形成的一个作为电荷存储节点的具有第一种掺杂类型的浮栅,所述浮栅的顶部靠近所述源区的一侧位于U形凹槽内,并且存在一缺口,所述浮栅的另一侧超出U形凹槽,覆盖了部分所述漏区;

[0015] 通过所述浮栅开口区域在所述浮栅与漏区之间形成的一个p-n结二极管;覆盖所述源区、所述浮栅与所述p-n结二极管形成的第二层绝缘薄膜;

[0016] 在所述第二层绝缘薄膜之上、覆盖并包围所述浮栅形成的控制栅,所述控制栅在所述的U形凹槽顶部将所述源区与所述浮栅隔离。

[0017] 如上所述的U形沟道的半导体器件,还包括以导电材料形成的用于将所述源区、控制栅、漏区、半导体衬底与外部电极相连接的源区的接触体、控制栅的接触体、漏区的接触体和半导体衬底的接触体。

[0018] 如上所述的U形沟道的半导体器件,所述的第一层绝缘薄膜、第二层绝缘薄膜由二氧化硅、氮化硅、氮氧化硅或者高介电常数的绝缘材料形成,所述的控制栅由金属、合金或者掺杂的多晶硅形成。

[0019] 如上所述的U形沟道的半导体器件,所述的第一种掺杂类型为n型,所述的第二种掺杂类型为p型;或者,所述的第一种掺杂类型为p型,所述的第二种掺杂类型为n型。

[0020] 如上所述的U形沟道的半导体器件,所述的p-n结二极管、第二层绝缘薄膜和控制栅构成了一个以所述控制栅作为栅极的栅控二极管,所述栅控二极管的阳极与所述浮栅相连接,所述栅控二极管的阴极与所述漏区相连接;或者,所述栅控二极管的阴极与所述浮栅相连接,所述栅控二极管的阳极与所述漏区相连接。

[0021] 进一步地,本发明还提出了上述U形沟道的半导体器件的制造方法,包括:

[0022] 在具有第一种掺杂类型的半导体衬底内形成具有第二种掺杂类型的轻掺杂区;

[0023] 在所述半导体衬底表面淀积一硬掩膜层并通过光刻工艺和刻蚀工艺定义出器件的U形沟道区的位置,然后以所述硬掩膜层为掩膜刻蚀暴露出的半导体衬底,形成凹陷在半导体衬底内的U形凹槽,所形成的U形凹槽将具有具有第二种掺杂类型的轻掺杂区分割开为器件的源区和漏区,之后刻蚀掉剩余的硬掩膜层;

[0024] 在半导体衬底的暴露表面上形成第一层绝缘薄膜并通过光刻工艺和刻蚀工艺刻蚀所形成的第一层绝缘薄膜形成浮栅开口区域,所形成的浮栅开口区域位于所形成的U形凹槽的顶部靠近所述漏区一侧的内侧壁上;

[0025] 接着,在所形成结构的暴露表面上淀积第一层导电薄膜,该导电薄膜为具有第一种掺杂类型的多晶硅,然后通过光刻工艺和刻蚀工艺刻蚀所形成的第一层导电薄膜以形成器件的浮栅,其中,位于所形成的U形凹槽的顶部靠近源区一侧的第一层导电薄膜部分被刻蚀掉,并且所形成的浮栅至少覆盖所形成的U形凹槽底部和整个浮栅开口区域;

[0026] 接着,在已形成结构的暴露表面上淀积形成第二层绝缘薄膜,并在第二层绝缘薄膜之上淀积形成第二层导电薄膜,然后通过光刻工艺和刻蚀工艺刻蚀所形成的第二层导电

薄膜以形成器件的控制栅,其中,所形成的控制栅在沿器件的沟道方向上的长度超过浮栅,覆盖并包围浮栅,且在所形成的U形凹槽的顶部将所述源区与所述浮栅隔离;

[0027] 进行第二种掺杂类型的离子注入,对控制栅和未被控制栅覆盖的半导体衬底进行掺杂以形成器件的源区、漏区和控制栅的掺杂结构。

[0028] 如上所述的U形沟道的半导体器件的制造方法,还包括以导电材料形成用于将所述源区、控制栅、漏区、半导体衬底与外部电极相连接的源区的接触体、控制栅的接触体、漏区的接触体和半导体衬底的接触体。

[0029] 如上所述的U形沟道的半导体器件的制造方法,所述的第一种掺杂类型为n型,所述的第二种掺杂类型为p型;或者,所述的第一种掺杂类型为p型,所述的第二种掺杂类型为n型。

[0030] 如上所述的U形沟道的半导体器件的制造方法,所述的第一层绝缘薄膜、第二层绝缘薄膜为二氧化硅、氮化硅、氮氧化硅或者为高介电常数的绝缘材料,所述的第二层导电薄膜为金属、合金或者为掺杂的多晶硅。

[0031] 本发明所提出的U形沟道的半导体器件用浮栅存储信息,并通过栅控p-n结二极管对浮栅进行充电或放电,具有单元面积小、芯片密度高、对数据进行存储时操作电压低、数据保持能力强等优点。

## 附图说明

[0032] 图1为现有技术的一种平面沟道的半导体存储器的剖面图。

[0033] 图2为本发明所提出的U形沟道的半导体器件的一个实施例的剖面图。

[0034] 图3至图9为本发明提出的U形沟道的半导体器件的制造方法的一个实施例的工艺流程图。

## 具体实施方式

[0035] 下面结合附图与具体实施方式对本发明作进一步详细的说明。在图中,为了方便说明,放大了层和区域的厚度,所示大小并不代表实际尺寸。参考图是本发明的理想化实施例的示意图,本发明所示的实施例不应该被认为仅限于图中所示区域的特定形状,而是包括所得到的形状,比如制造引起的偏差。例如刻蚀得到的曲线通常具有弯曲或圆润的特点,但在本发明实施例中,均以矩形表示,图中的表示是示意性的,但这不应该被认为是限制本发明的范围。

[0036] 图2是本发明所提出的U形沟道的半导体器件的一个实施例,它是该沿器件沟道长度方向的剖面图。如图2所示,本发明所提出的U形沟道的半导体器件包括一个具有第一种掺杂类型的半导体衬底200以及在半导体衬底200内形成的具有第二种掺杂类型的源区201和漏区202。半导体衬底200可以为单晶硅、多晶硅或者为绝缘体上的硅。所述的第一种掺杂类型为n型,所述的第二种掺杂类型为p型,或者,所述的第一种掺杂类型为p型,所述的第二种掺杂类型为n型。

[0037] 凹陷在半导体衬底200内且介于源区201和漏区202之间形成的U形凹槽,在半导体衬底内U形凹槽的表面形成有器件的U形沟道区401,U形沟道区401是该U形沟道的半导体器件在进行工作时在半导体衬底200内形成的反型层。

[0038] 在漏区202之上且覆盖整个U形沟道区401形成有第一层绝缘薄膜203,在位于U形凹槽的顶部靠近漏区202一侧的侧壁上的第一层绝缘薄膜203中形成有一个浮栅开口区域204。第一层绝缘薄膜203可以为二氧化硅、氮化硅、氮氧化硅或者为氧化铪等高介电常数的绝缘材料,其物理厚度范围优选为1-20纳米。

[0039] 覆盖第一层绝缘薄膜203和浮栅开口区域204形成有一个作为电荷存储节点的具有第一种掺杂类型的浮栅205,浮栅205的顶部靠近源区201的一侧位于U形凹槽内,并且存在一缺口,浮栅205的另一侧超出U形凹槽,并且覆盖了部分漏区202。浮栅205具有与漏区202相反的掺杂类型,且浮栅205中的掺杂杂质会通过浮栅开口区域204扩散至漏区202中形成具有第一种掺杂类型的扩散区402,从而通过浮栅开口区域204在浮栅205与漏区202之间形成一个p-n结二极管。

[0040] 覆盖源区201、浮栅205和所述的p-n结二极管结构形成有第二层绝缘薄膜206,第二层绝缘薄膜206可以为二氧化硅、氮化硅、氮氧化硅或者为氧化铪等高介电常数的绝缘材料,其物理厚度范围优选为1-20纳米。在第二层绝缘薄膜206之上且覆盖并包围浮栅205形成有器件的控制栅207,在沿器件沟道长度的方向上,控制栅207在所形成的U形凹槽的顶部将源区201与浮栅205隔离,控制栅207可以为金属、合金或者为掺杂的多晶硅。

[0041] 在控制栅207的两侧还形成有器件的栅极侧墙208,栅极侧墙208可以为二氧化硅或者氮化硅,栅极侧墙是业界所熟知的结构,用于将控制栅207与器件中的其它导电层隔离。

[0042] 在源区201和漏区202内还分别形成有与源区201和漏区202相同掺杂类型的掺杂区209和掺杂区210,掺杂区209和掺杂区210的掺杂浓度明显高于源区201和漏区202的掺杂浓度,用于降低器件的欧姆接触。

[0043] 本发明的U形沟道的半导体器件还可以包括由导电材料形成的用于将所述源区、控制栅、漏区、半导体衬底与外部电极相连接的源区的接触体211、控制栅的接触体212、漏区的接触体213和半导体衬底的接触体214。

[0044] 本发明所公开的U形沟道的半导体器件可以通过很多方法制造,以下所叙述的是本发明所提出的制造如图2所示结构的具有n型沟道的U形沟道的半导体器件的一个实施例的工艺流程。

[0045] 首先,如图3所示,在提供的具有第一种掺杂类型的半导体衬底200内通过浅沟槽隔离(STI)工序形成有源区(图中未示出),这种STI工艺是业界所熟知的。然后通过离子注入工艺在半导体衬底200内形成具有第二种掺杂类型的轻掺杂区300。半导体衬底200可以为单晶硅、多晶硅或者为绝缘体上的硅。所述的第一种掺杂类型为p型,所述的第二种掺杂类型为n型。

[0046] 接下来,在半导体衬底200的表面淀积一层硬掩膜层301,硬掩膜层301比如为氮化硅。接着在硬掩膜层301之上淀积一层光刻胶302并掩膜、曝光、显影定义出器件的U形沟道区的位置,然后刻蚀掉暴露的硬掩膜层301,并以硬掩膜层301为掩膜通过湿法刻蚀和干法刻蚀相结合的方法刻蚀暴露出的半导体衬底200,从而形成凹陷在半导体衬底200的U形凹槽,该U形凹槽将具有第二种掺杂类型的轻掺杂区300隔离成两个部分,分别作为器件的源区201和漏区202,如图4所示。

[0047] 接下来,剥除光刻胶303并接续刻蚀掉剩余的硬掩膜层301,接着在半导体衬底200

的暴露表面上生长第一层绝缘薄膜203,第一层绝缘薄膜203可以为氧化硅、氮化硅、氮氧化硅或者为氧化铪等高介电常数的绝缘材料,其物理厚度优选为1-20纳米。接着在第一层绝缘薄膜203之上淀积一层光刻胶并通过光刻工艺定义出浮栅开口区域的位置,然后以光刻胶为掩膜刻蚀掉暴露出的第一层绝缘薄膜203,从而在位于U形凹槽的顶部靠近漏区202一侧的第一层绝缘薄膜203中形成一个浮栅开口区域204,剥除光刻胶后如图5所示。

[0048] 接下来,在已形成结构的暴露表面上淀积一层具有第一种掺杂类型的第一层导电薄膜,该导电薄膜为具有p型掺杂类型的多晶硅。接着在所形成的第一层导电薄膜之上淀积一层光刻胶并通过光刻工艺定义出浮栅的位置,然后以光刻胶为掩膜并通过控制刻蚀条件将位于所形成的U形凹槽的顶部靠近源区一侧的第一层导电薄膜部分被刻蚀掉,并刻蚀掉其它位置处的暴露出的第一层导电薄膜,刻蚀后剩余的第一层导电薄膜形成器件的浮栅205。浮栅205至少覆盖U形凹槽的底部和浮栅开口区域204。浮栅205中的掺杂杂质会通过浮栅开口区域204扩散至漏区202中形成p型扩散区402,且通过浮栅开口区域204在浮栅205与漏区202之间形成的一个p-n结二极管。剥除光刻胶后如图6所示。

[0049] 接下来,刻蚀掉暴露出的第一层绝缘薄膜203,并在已形成结构的暴露表面上形成第二层绝缘薄膜206,第二层绝缘薄膜206可以为氧化硅、氮化硅、氮氧化硅或者为氧化铪等高介电常数的绝缘材料,其物理厚度优选为1-20纳米。接着在第二层绝缘薄膜206之上淀积形成第二层导电薄膜207,第二层导电薄膜207可以为金属、合金或者为掺杂的多晶硅。然后在第二层导电薄膜207之上淀积一层光刻胶并通过光刻工艺定义出器件的控制栅的位置,接着以光刻胶为掩膜刻蚀掉暴露出的第二层导电薄膜,刻蚀后剩余的第二层导电薄膜形成器件的控制栅207,控制栅207在沿沟道方向上的长度应超过浮栅205,覆盖并包围浮栅205,且在所形成的U形凹槽的顶部控制栅207将源区201与浮栅205隔离,剥除光刻胶后如图7所示。

[0050] 接下来,在已形成结构的暴露表面上淀积形成第三层绝缘薄膜,接着在所形成的第三层绝缘薄膜之上淀积一层光刻胶并通过光刻工艺形成图形,然后刻蚀掉暴露出的第三层绝缘薄膜,并继续刻蚀掉暴露出的第二层绝缘薄膜206,刻蚀后剩余的第三层绝缘薄膜在控制栅207的两侧形成栅极侧墙208,该工艺是业界所熟知的,剥除光刻胶后如图8所示。栅极侧墙208可以为氧化硅或者氮化硅。

[0051] 接下来,进行第二种掺杂类型(n型)的杂质离子注入,对控制栅207和未被控制栅207覆盖的半导体衬底200进行掺杂,形成控制栅207的掺杂结构,并在源区201和漏区202中分别形成高浓度的掺杂区209和掺杂区210,如图9所示。

[0052] 最后,以导电材料形成用于将源区201、控制栅207、漏区202、半导体衬底200与外部电极相连接的源区的接触体211、控制栅的接触体212、漏区的接触体213以及半导体衬底的接触体214,如图9所示。

[0053] 如上所述,在不偏离本发明精神和范围的情况下,还可以构成许多有很大差别的实施例。应当理解,除了如所附的权利要求所限定的,本发明不限于在说明书中所述的具体实例。



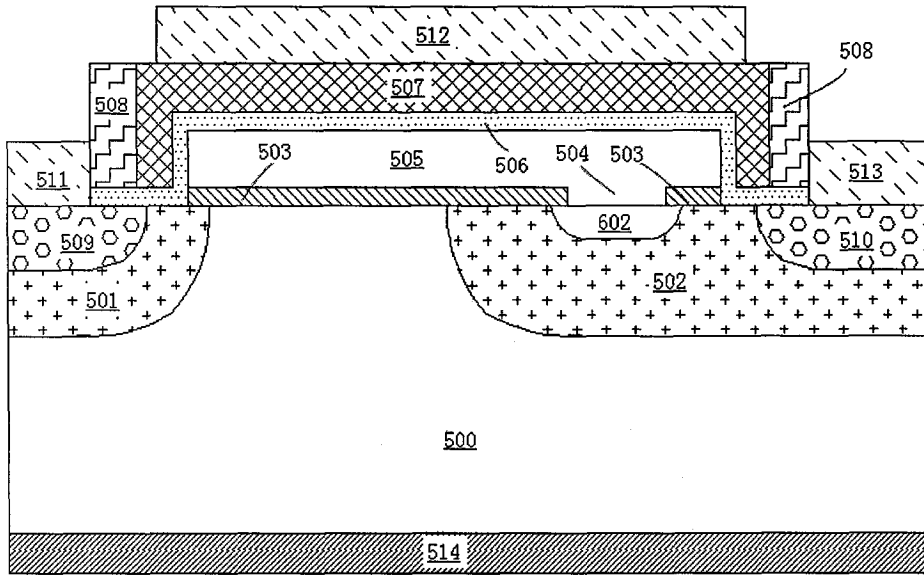


图1

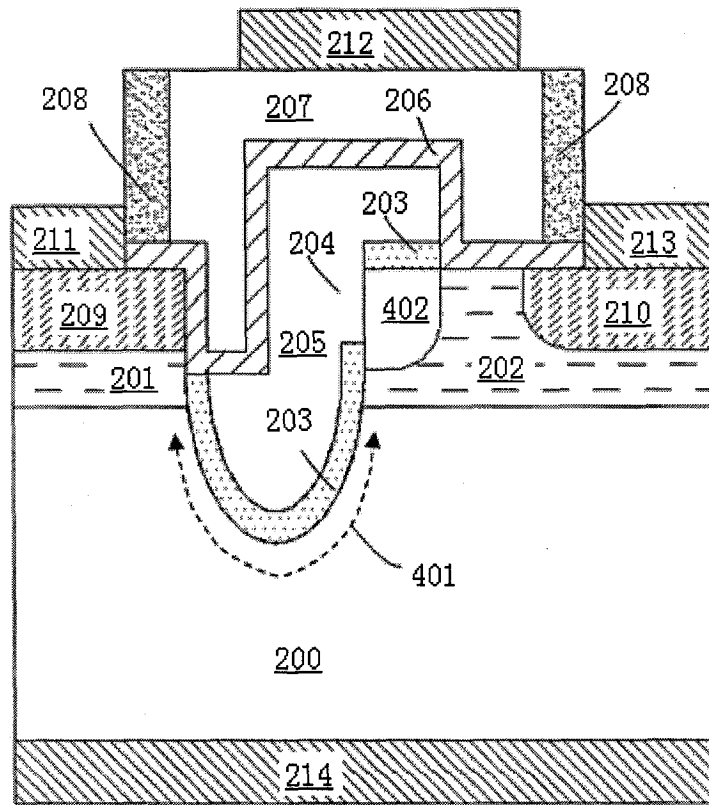


图2

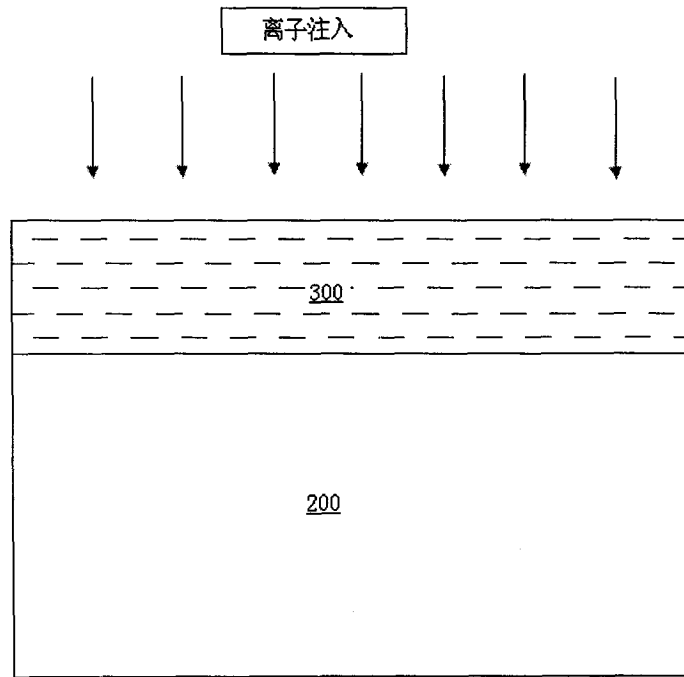


图3

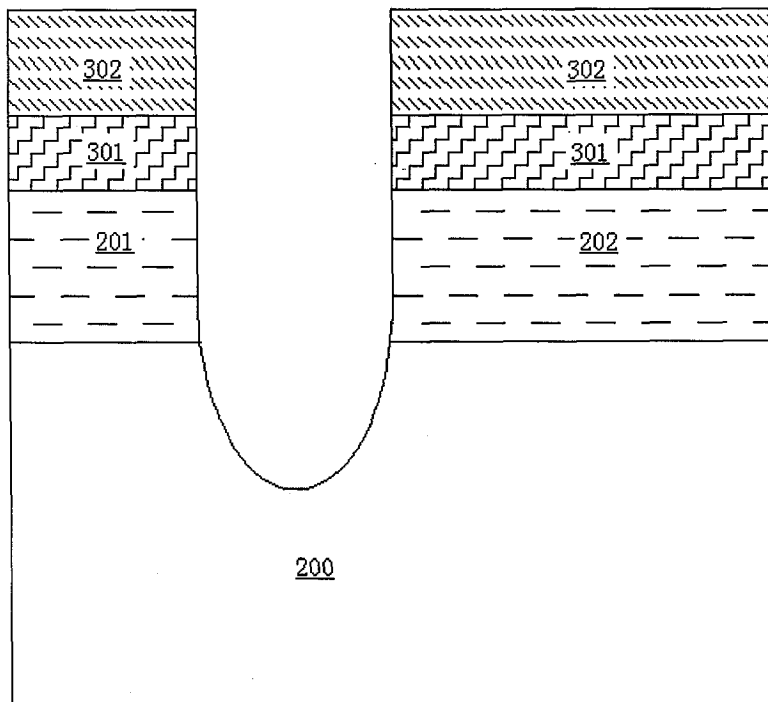


图4

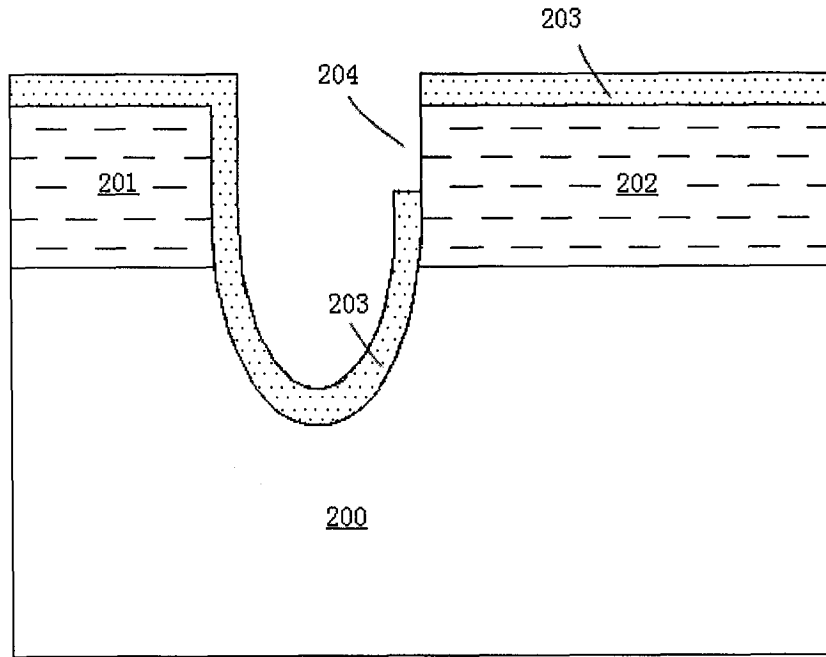


图5

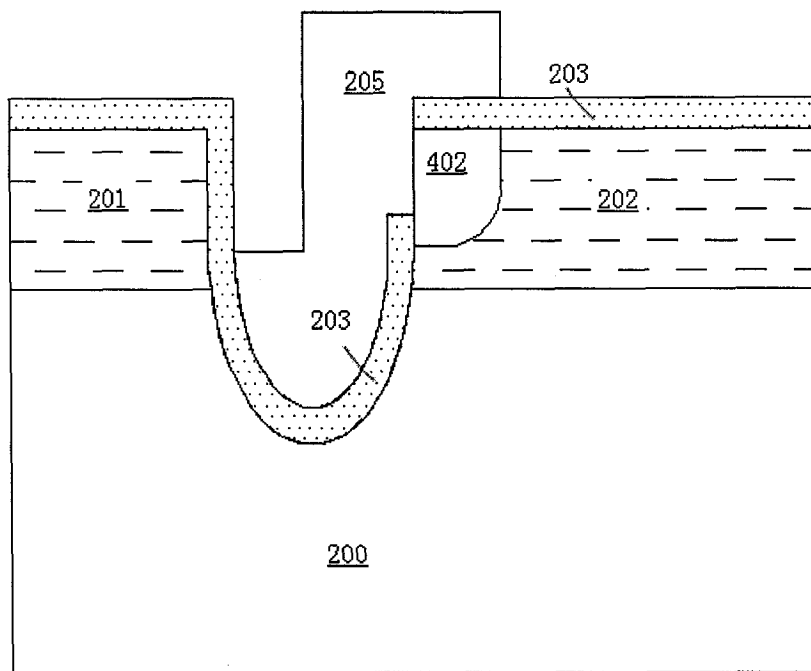


图6

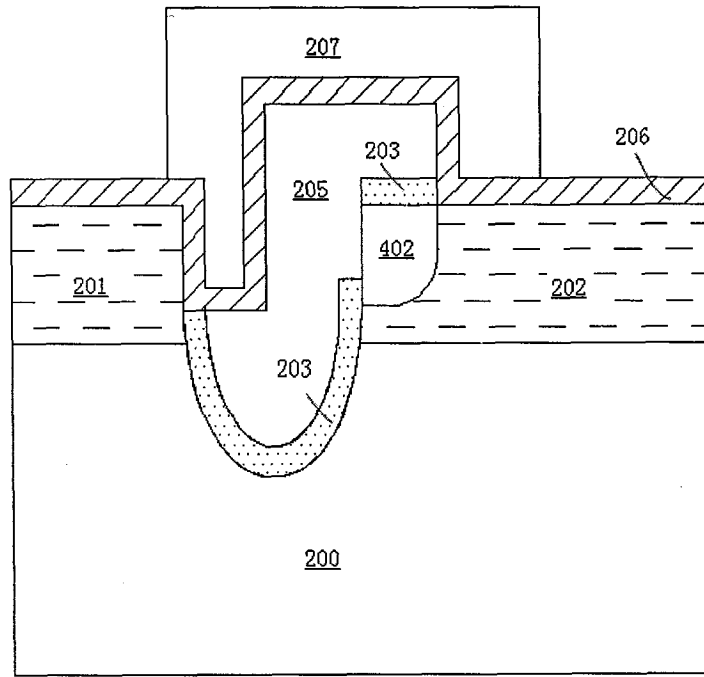


图7

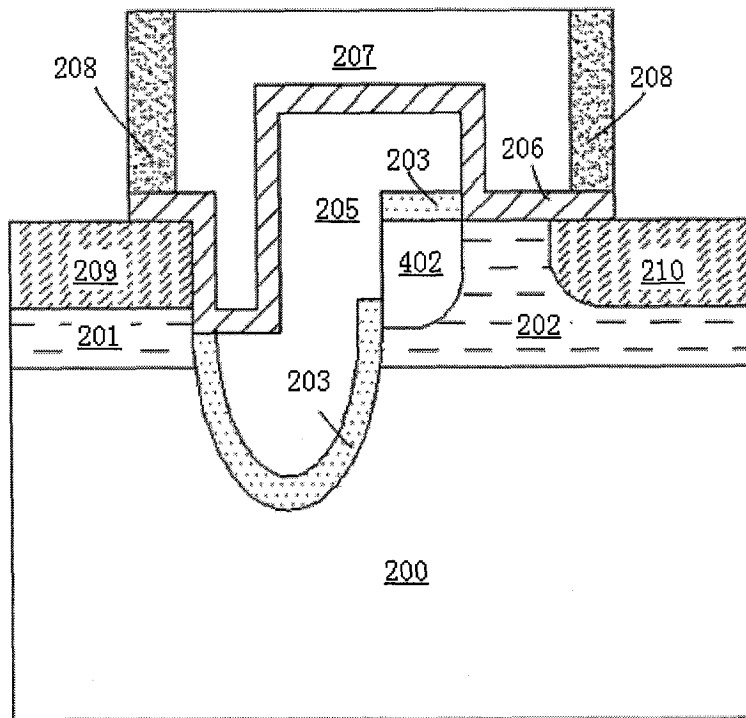


图8

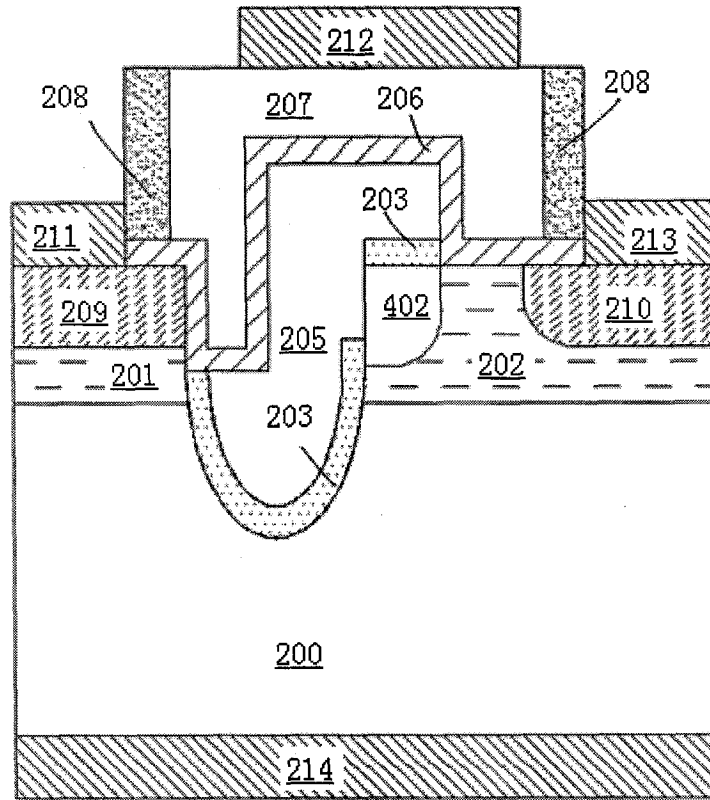


图9