

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-239664

(P2011-239664A)

(43) 公開日 平成23年11月24日(2011.11.24)

(51) Int.Cl.	F I	テーマコード (参考)
H02M 3/155 (2006.01)	H02M 3/155 P	5 F 1 1 O
H01L 29/786 (2006.01)	H01L 29/78 6 1 8 B	5 H 7 3 O

審査請求 未請求 請求項の数 17 O L (全 34 頁)

(21) 出願番号	特願2011-87075 (P2011-87075)	(71) 出願人	000153878
(22) 出願日	平成23年4月11日 (2011.4.11)		株式会社半導体エネルギー研究所
(31) 優先権主張番号	特願2010-95197 (P2010-95197)		神奈川県厚木市長谷398番地
(32) 優先日	平成22年4月16日 (2010.4.16)	(72) 発明者	伊藤 良明
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	王丸 拓郎
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内

最終頁に続く

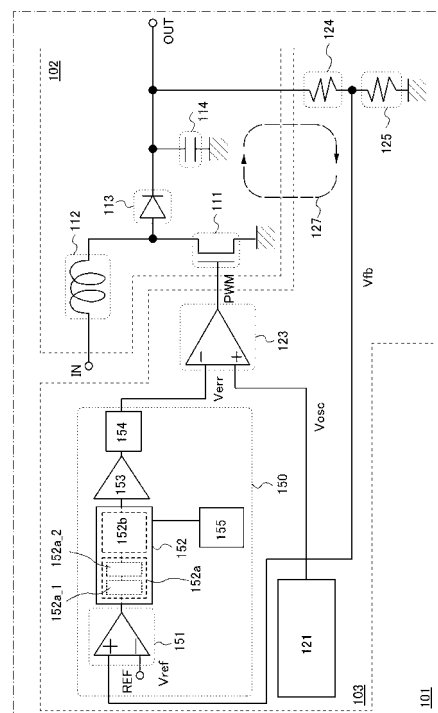
(54) 【発明の名称】 電源回路

(57) 【要約】

【課題】回路の動作が劣化するのを抑制すること、及び、回路全体の面積を抑制することを課題とする。

【解決手段】第1の電圧が入力される第1の端子と、第2の電圧が入力される第2の端子と、前記第1の端子及び第2の端子に接続され、前記第1の電圧と第2の電圧を比較するコンパレータと、前記コンパレータから出力された第1のデジタル信号を、平均化し、積分し、デジタルPWM処理するデジタル回路と、前記デジタル回路から出力された第2のデジタル信号を増幅するPWM出力ドライバと、前記増幅された第2のデジタル信号を平滑する平滑化回路とを有する電源回路を提供する。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

第 1 の電圧が入力される第 1 の端子と、第 2 の電圧が入力される第 2 の端子と、
前記第 1 の端子及び第 2 の端子に接続され、前記第 1 の電圧と第 2 の電圧を比較するコン
パレータと、
前記コンパレータから出力されたデジタル信号を、平均化し、積分し、デジタルパルス幅
変調処理するデジタル演算処理回路と、
前記デジタル演算処理回路から出力されたデジタル信号を増幅するパルス幅変調出力ドラ
イバと、
前記増幅されたデジタル信号を平滑する平滑化回路と、
を有することを特徴とする電源回路。

10

【請求項 2】

請求項 1 において、
前記電源回路は、D C - D C コンバータを有することを特徴とする電源回路。

【請求項 3】

請求項 1 において、
前記 D C - D C コンバータは、コイルと、ダイオードと、チャネル形成領域として酸化物
半導体膜を含むトランジスタとを含むことを特徴とする電源回路。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一項において、
前記コンパレータ、前記デジタル演算処理回路、及び、前記パルス幅変調出力ドライバの
それぞれは、
チャネル形成領域である酸化物半導体膜と、ソース電極と、ドレイン電極と、ゲート電極
と、ゲート絶縁膜を含むトランジスタを有することを特徴とする電源回路。

20

【請求項 5】

請求項 3 又は請求項 4 において、
前記トランジスタは、トップゲート型トランジスタであり、かつ前記酸化物半導体膜の上
面と前記ソース電極及びドレイン電極が接することを特徴とする電源回路。

【請求項 6】

請求項 3 又は請求項 4 において、
前記トランジスタは、トップゲート型トランジスタであり、かつ前記酸化物半導体膜の下
面と前記ソース電極及びドレイン電極が接することを特徴とする電源回路。

30

【請求項 7】

請求項 3 又は請求項 4 において、
前記トランジスタは、ボトムゲート型トランジスタであり、かつ前記酸化物半導体膜の上
面と前記ソース電極及びドレイン電極が接することを特徴とする電源回路。

【請求項 8】

請求項 3 又は請求項 4 において、
前記トランジスタは、ボトムゲート型トランジスタであり、かつ前記酸化物半導体膜の下
面と前記ソース電極及びドレイン電極が接することを特徴とする電源回路。

40

【請求項 9】

第 1 の電圧が入力される第 1 の端子と、第 2 の電圧が入力される第 2 の端子と、
前記第 1 の端子及び第 2 の端子に接続され、前記第 1 の電圧と第 2 の電圧を比較するコン
パレータと、
前記コンパレータから出力されたデジタル信号を平均化する加算回路と、
前記平均化されたデジタル信号を積分する加減算回路と、
前記積分されたデジタル信号をデジタルパルス幅変調処理するカウント比較回路及びラッ
チ回路と、
前記ラッチ回路から出力されたデジタル信号を増幅するパルス幅変調出力ドライバと、
前記増幅されたデジタル信号を平滑する平滑化回路と、

50

を有することを特徴とする電源回路。

【請求項 10】

請求項 9 において、

前記電源回路は、DC - DC コンバータを有することを特徴とする電源回路。

【請求項 11】

請求項 10 において、

前記 DC - DC コンバータは、コイルと、ダイオードと、チャネル形成領域として酸化物半導体膜を含むトランジスタとを含むことを特徴とする電源回路。

【請求項 12】

請求項 9 乃至請求項 11 のいずれか一項において、

前記コンパレータ、前記加算回路、前記加減算回路、前記カウント比較回路、前記ラッチ回路、及び、前記パルス幅変調出力ドライバのそれぞれは、チャネル形成領域である酸化物半導体膜と、ソース電極と、ドレイン電極と、ゲート電極と、ゲート絶縁膜を含むトランジスタを有することを特徴とする電源回路。

10

【請求項 13】

請求項 11 又は請求項 12 において、

前記トランジスタは、トップゲート型トランジスタであり、かつ前記酸化物半導体膜の上面と前記ソース電極及びドレイン電極が接することを特徴とする電源回路。

【請求項 14】

請求項 11 又は請求項 12 において、

前記トランジスタは、トップゲート型トランジスタであり、かつ前記酸化物半導体膜の下面と前記ソース電極及びドレイン電極が接することを特徴とする電源回路。

20

【請求項 15】

請求項 11 又は請求項 12 において、

前記トランジスタは、ボトムゲート型トランジスタであり、かつ前記酸化物半導体膜の上面と前記ソース電極及びドレイン電極が接することを特徴とする電源回路。

【請求項 16】

請求項 11 又は請求項 12 において、

前記トランジスタは、ボトムゲート型トランジスタであり、かつ前記酸化物半導体膜の下面と前記ソース電極及びドレイン電極が接することを特徴とする電源回路。

30

【請求項 17】

請求項 1 乃至請求項 16 のいずれか一項において、

前記平滑化回路は、ローパスフィルタであることを特徴とする電源回路。

【発明の詳細な説明】

【技術分野】

【0001】

開示される発明の一様態は、電源回路（スイッチングレギュレータ）に適用できるデジタル回路に関する。

【背景技術】

【0002】

電源回路（スイッチングレギュレータ）における誤差増幅回路（エラーアンプともいう）は、電源回路の帰還回路の動作を決める中枢となる回路である。

40

【0003】

誤差増幅回路は、アナログ信号処理を行うアナログ回路である。そして誤差増幅回路は、コンデンサや抵抗のような、面積の大きい受動素子を接続した構成が一般的である（特許文献 1 参照及び非特許文献 1 参照）。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2006 - 238062 号公報

50

【非特許文献】

【0005】

【非特許文献1】藤井信生、「アナログ電子回路 - 集積回路化時代の -」、昭晃堂、2004年、P161

【発明の概要】

【発明が解決しようとする課題】

【0006】

アナログ回路を構成する素子、例えばトランジスタの特性のばらつきがあると、トランジスタの特性のばらつきに起因して、出力される信号が乱れる恐れがある。出力される信号が乱れると、該アナログ回路の回路動作が劣化する恐れがある。該アナログ回路の回路動作が劣化すると、該アナログ回路を含む電源回路が劣化する恐れがある。

10

【0007】

また、アナログ回路を構成する受動素子は面積が大きく、該アナログ回路を含む電源回路全体の面積が大きくなる恐れがある。これにより、該電源回路の価格の上昇につながる。

【0008】

以上を鑑みて、開示される発明の一樣態では、電源回路の回路動作が劣化することを抑制することを課題の一とする。

【0009】

また、開示される発明の一樣態では、電源回路の面積を抑制することを課題の一とする。

【0010】

20

また、開示される発明の一樣態では、電源回路の面積を抑制することにより、電源回路のコストを抑制することを課題の一とする。

【課題を解決するための手段】

【0011】

開示される発明の一樣態においては、アナログ回路である誤差増幅回路を、デジタル制御方式の回路で置き換える。具体的には、誤差増幅回路により行われていた、電圧差比較機能、積分機能、電圧出力の機能を、コンパレータ、デジタル演算処理回路、パルス幅変調(Pulse Width Modulation (PWM))ドライバ、ローパスフィルタ(Low Pass Filter: LPF)に置き換える。上述のように置き換えることにより、コンパレータとローパスフィルタ以外を、全てデジタル回路とする事ができる。

30

【0012】

置き換えられたデジタル制御方式の回路において、電圧差比較はコンパレータで行う。積分機能やパルス幅変調の位相設定はデジタル演算処理回路で行う。電力出力と周波数応答はパルス幅変調出力ドライバとローパスフィルタで行う。

【0013】

開示される発明の一樣態は、第1の電圧と第2の電圧を比較するコンパレータと、当該コンパレータから出力されたデジタル信号を、平均化し、積分し、デジタルパルス幅変調処理するデジタル演算処理回路と、当該デジタル演算処理回路から出力されたデジタル信号を増幅するパルス幅変調出力ドライバと、当該増幅されたデジタル信号を平滑する平滑化回路とを有することを特徴とする電源回路に関する。

40

【0014】

開示される発明の一樣態において、当該コンパレータ、当該デジタル演算処理回路、及び、当該パルス幅変調出力ドライバのそれぞれは、チャネル形成領域である酸化物半導体膜と、ソース電極と、ドレイン電極と、ゲート電極と、ゲート絶縁膜を含むトランジスタを有することを特徴とする。

【0015】

開示される発明の一樣態は、第1の電圧と第2の電圧を比較するコンパレータと、当該コンパレータから出力されたデジタル信号を平均化する加算回路と、当該平均化されたデジタル信号を積分する加減算回路と、当該積分されたデジタル信号をデジタルパルス幅変調

50

処理するカウント比較回路及びラッチ回路と、当該ラッチ回路から出力されたデジタル信号を増幅するパルス幅変調出力ドライバと、当該増幅されたデジタル信号を平滑する平滑化回路とを有することを特徴とする電源回路に関する。

【0016】

開示される発明の一樣態において、当該電源回路は、DC-DCコンバータを有することを特徴とする。

【0017】

開示される発明の一樣態において、当該DC-DCコンバータは、コイルと、ダイオードと、チャネル形成領域として酸化物半導体膜を含むトランジスタとを含むことを特徴とする。

10

【0018】

開示される発明の一樣態において、当該コンパレータ、当該加算回路、当該加減算回路、当該カウント比較回路、当該ラッチ回路、及び、当該パルス幅変調出力ドライバのそれぞれは、チャネル形成領域である酸化物半導体膜と、ソース電極と、ドレイン電極と、ゲート電極と、ゲート絶縁膜を含むトランジスタを有することを特徴とする。

【0019】

開示される発明の一樣態において、当該トランジスタは、トップゲート型トランジスタであり、かつ当該酸化物半導体膜の上面と当該ソース電極及びドレイン電極が接することを特徴とする。

【0020】

開示される発明の一樣態において、当該トランジスタは、トップゲート型トランジスタであり、かつ当該酸化物半導体膜の下面と当該ソース電極及びドレイン電極が接することを特徴とする。

20

【0021】

開示される発明の一樣態において、当該トランジスタは、ボトムゲート型トランジスタであり、かつ当該酸化物半導体膜の上面と当該ソース電極及びドレイン電極が接することを特徴とする。

【0022】

開示される発明の一樣態において、当該トランジスタは、ボトムゲート型トランジスタであり、かつ当該酸化物半導体膜の下面と当該ソース電極及びドレイン電極が接することを特徴とする。

30

【0023】

開示される発明の一樣態において、前記平滑化回路は、ローパスフィルタであることを特徴とする。

【発明の効果】

【0024】

電源回路にデジタル制御方式の回路を用いることにより、トランジスタ特性にバラツキがあっても、電源回路の回路動作の劣化を抑制することが可能となる。

【0025】

電源回路にデジタル制御方式の回路を用いることにより、電源回路の面積を抑制することが可能となる。

40

【0026】

電源回路の面積を抑制することにより、電源回路のコストを抑制することが可能となる。

【図面の簡単な説明】

【0027】

【図1】電源回路の回路構成を示す図。

【図2】デジタルパルス幅変調処理化の方法について説明する図。

【図3】チャネル形成領域に酸化物半導体膜を用いるトランジスタの上面図及び断面図。

【図4】チャネル形成領域に酸化物半導体膜を用いるトランジスタの作製工程を示す断面図。

50

【図 5】チャネル形成領域に酸化物半導体膜を用いるトランジスタの断面図。

【図 6】加算回路を示す回路図。

【図 7】加算器を示す回路図。

【図 8】加減算回路、カウント比較回路、及びラッチ回路を示す回路図。

【図 9】加減算回路を示す回路図。

【図 10】加算器を示す回路図。

【図 11】カウント比較回路を示す回路図。

【図 12】ラッチ回路を示す回路図。

【発明を実施するための形態】

【0028】

10

以下、本明細書に開示された発明の実施の態様について、図面を参照して説明する。但し、本明細書に開示された発明は多くの異なる態様で実施することが可能であり、本明細書に開示された発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本実施の形態の記載内容に限定して解釈されるものではない。なお、以下に示す図面において、同一部分又は同様な機能を有する部分には同一の符号を付し、その繰り返しの説明は省略する。

【0029】

[実施の形態 1]

図 1 は電源回路 101 の構成例である。電源回路 101 は、電圧変換回路 102 及び電圧変換回路 102 の制御回路 103 を有している。電圧変換回路 102 は、トランジスタ 111、コイル 112、ダイオード 113、及びコンデンサ 114 を有する DC - DC コンバータである。制御回路 103 は、三角波発生回路 121、デジタル制御方式の回路 150、パルス幅変調出力ドライバ 123、抵抗 124、及び抵抗 125 を有している。また点線の矢印 127 は帰還回路のループを表している。抵抗 124 の出力電圧である帰還電圧 V_{fb} は、デジタル制御方式の回路 150 に入力される。

20

【0030】

DC - DC コンバータは、直流電圧を、別の直流電圧に変換する回路である。DC - DC コンバータの変換方式としては、リニア方式やスイッチング方式が代表的であるが、スイッチング方式の DC - DC コンバータは変換効率に優れる。本実施の形態では、スイッチング方式、特にチョッパ方式であり、トランジスタ、コイル、ダイオード、及びコンデンサを有する DC - DC コンバータを電圧変換回路 102 として用いる。

30

【0031】

デジタル制御方式の回路 150 は、コンパレータ 151、デジタル演算処理回路 152、パルス幅変調出力ドライバ 153、及びローパスフィルタ (Low Pass Filter: LPF) 154 を有している。

【0032】

誤差増幅回路をデジタル制御方式の回路 150 に置き換えると、回路 150 を構成する素子の特性にばらつきがあっても問題とはならない。デジタル制御方式の回路 150 のうち、デジタル演算処理回路 152 及びパルス幅変調出力ドライバ 153 はデジタル回路である。デジタル回路は、回路を流れる信号の基準に対する高低によって、1 か 0 (ゼロ) かを判断する。デジタル回路は、1 か 0 (ゼロ) かを判断するため、デジタル回路を構成する素子の特性がばらついても、正しく処理する事が可能である。

40

【0033】

またデジタル制御方式の回路 150 は、占有面積の大きい受動素子 (例えば、容量や抵抗) の使用を抑制してるので、回路の占有面積を小さくすることができるという点で好適である。

【0034】

コンパレータ 151 は、反転入力端子 REF から入力される参照電圧 V_{ref} と、非反転入力端子から入力される帰還電圧 V_{fb} とを比較して、H (ハイレベル) か L (ローレベル)、すなわち 1 か 0 (ゼロ) であるデジタル信号を出力する。

50

【 0 0 3 5 】

デジタル演算処理回路 1 5 2 は、デジタル平均化・積分器 1 5 2 a 及びデジタルパルス幅変調器 1 5 2 b を有している。デジタル平均化・積分器 1 5 2 a は、さらにデジタル平均化回路 1 5 2 a __ 1 及びデジタル積分器 1 5 2 a __ 2 を有している。またデジタル演算処理回路 1 5 2 には、外部からクロック分割器 1 5 5 が接続され、クロック分割器 1 5 5 からのクロック信号が入力される。

【 0 0 3 6 】

デジタル演算処理回路 1 5 2 は、コンパレータ 1 5 1 から出力されたデジタル信号を、平均化処理、積分化処理、及び、デジタルパルス幅変調処理を行う。デジタル平均化・積分器 1 5 2 a 中のデジタル平均化回路 1 5 2 a __ 1 が平均化処理を行い、及びデジタル積分器 1 5 2 a __ 2 が積分化処理を行う。デジタルパルス幅変調器 1 5 2 b がデジタルパルス幅変調処理を行う。

10

【 0 0 3 7 】

デジタル演算処理回路 1 5 2 では、まず、コンパレータ 1 5 1 から出力されたデジタル信号 (H (ハイレベル) または L (ローレベル)) を N ビット保持し、H と L の回数を比較し、多い方の信号を出力する。これによりデジタル信号の平均化が行われる。

【 0 0 3 8 】

図 6 及び図 7 に、図 1 のデジタル平均化・積分器 1 5 2 a のうち、平均化を行う回路であるデジタル平均化回路 1 5 2 a __ 1 の具体的な回路構成を示す。図 6 に示す加算回路 2 0 1 は、デジタル平均化回路 1 5 2 a __ 1 の一例である。

20

【 0 0 3 9 】

加算回路 2 0 1 は、1 カウント毎に、コンパレータ 1 5 1 から信号 C O M P の値を検出し、信号 C O M P の値が H (ハイレベル) であれば、H (ハイレベル) を保持する。加算回路 2 0 1 は、例えば 7 カウント毎に平均化されたデジタル信号 D I G __ A V E を出力する。本実施の形態では、信号 C O M P の H (ハイレベル) が 4 以上であれば H (ハイレベル) のデジタル信号 D I G __ A V E を出力し、信号 C O M P の H (ハイレベル) が 3 以下であれば L (ローレベル) のデジタル信号 D I G __ A V E を出力する。またリセット信号 R S T により、8 カウント毎に保持した信号 C O M P をリセットする。

【 0 0 4 0 】

加算回路 2 0 1 は、加算器 2 5 1、加算器 2 5 2、及び加算器 2 5 3 を有している。

30

【 0 0 4 1 】

加算器 2 5 1 の第 1 の端子には、加算器 2 5 2 の第 1 の端子及び加算器 2 5 3 の第 1 の端子が接続されており、制御リセット信号 C N T __ R S T が入力される。制御リセット信号 C N T __ R S T は、加算回路 2 0 1 のデータをリセットする信号である。加算器 2 5 1 の第 2 の端子には、コンパレータ 1 5 1 から信号 C O M P が入力される。加算器 2 5 1 の第 3 の端子には、加算器 2 5 2 の第 3 の端子及び加算器 2 5 3 の第 3 の端子が接続されており、クロック信号 C L K が入力される。加算器 2 5 1 の第 4 の端子には、加算器 2 5 2 の第 4 の端子及び加算器 2 5 3 の第 4 の端子が接続されており、リセット信号 R S T が入力される。リセット信号 R S T は、後述のフリップフロップ 2 1 4 のデータをリセットする信号である。加算器 2 5 1 の第 5 の端子には、加算器 2 5 2 の第 2 の端子が接続されており、出力信号 C O U T を出力する。

40

【 0 0 4 2 】

加算器 2 5 2 の第 1 の端子には、加算器 2 5 1 の第 1 の端子及び加算器 2 5 3 の第 1 の端子が接続されており、制御リセット信号 C N T __ R S T が入力される。加算器 2 5 2 の第 2 の端子には、加算器 2 5 1 の第 5 の端子が接続されている。加算器 2 5 1 の第 5 の端子から出力された出力信号 C O U T が、入力信号 C I N として加算器 2 5 2 の第 2 の端子に入力される。加算器 2 5 2 の第 3 の端子には、加算器 2 5 1 の第 3 の端子及び加算器 2 5 3 の第 3 の端子が接続されており、クロック信号 C L K が入力される。加算器 2 5 2 の第 4 の端子には、加算器 2 5 1 の第 4 の端子及び加算器 2 5 3 の第 4 の端子が接続されており、リセット信号 R S T が入力される。加算器 2 5 2 の第 5 の端子には、加算器 2 5 3 の

50

第 2 の端子が接続されており、出力信号 C O U T を出力する。

【 0 0 4 3 】

加算器 2 5 3 の第 1 の端子には、加算器 2 5 1 の第 1 の端子及び加算器 2 5 2 の第 1 の端子が接続されており、制御リセット信号 C N T _ R S T が入力される。加算器 2 5 3 の第 2 の端子には、加算器 2 5 2 の第 5 の端子が接続されている。加算器 2 5 2 の第 5 の端子から出力された出力信号 C O U T が、入力信号 C I N として加算器 2 5 3 の第 2 の端子に入力される。加算器 2 5 3 の第 3 の端子には、加算器 2 5 1 の第 3 の端子及び加算器 2 5 2 の第 3 の端子が接続されており、クロック信号 C L K が入力される。加算器 2 5 3 の第 4 の端子には、加算器 2 5 1 の第 4 の端子及び加算器 2 5 2 の第 4 の端子が接続されており、リセット信号 R S T が入力される。加算器 2 5 3 の第 5 の端子は、平均化されたデジタル信号 D I G _ A V E を出力する。

10

【 0 0 4 4 】

図 7 に、加算器 2 5 1 乃至加算器 2 5 3 各々の回路図を示す。加算器 2 5 1 乃至加算器 2 5 3 各々の回路は、A N D ゲート 2 1 1、A N D ゲート 2 1 2、X O R ゲート 2 1 3、フリップフロップ (F l i p - F l o p (F F)) 2 1 4 を有している。

【 0 0 4 5 】

A N D ゲート 2 1 1 の第 1 の入力端子には、X O R ゲート 2 1 3 の第 1 の入力端子が接続され、入力信号 C I N が入力される。A N D ゲート 2 1 1 の第 2 の入力端子には、X O R ゲート 2 1 3 の第 2 の入力端子及びフリップフロップ 2 1 4 の第 4 の端子が接続される。A N D ゲート 2 1 1 の出力端子から、出力信号 C O U T が出力される。

20

【 0 0 4 6 】

A N D ゲート 2 1 2 の第 1 の入力端子には、制御リセット信号 C N T _ R S T が入力される。A N D ゲート 2 1 2 の第 2 の入力端子には、X O R ゲート 2 1 3 の出力端子が接続される。A N D ゲート 2 1 2 の出力端子には、フリップフロップ 2 1 4 の第 1 の端子が接続される。

【 0 0 4 7 】

X O R ゲート 2 1 3 の第 1 の入力端子には、A N D ゲート 2 1 1 の第 1 の入力端子が接続されており、入力信号 C I N が入力される。X O R ゲート 2 1 3 の第 2 の入力端子には、A N D ゲート 2 1 1 の第 2 の入力端子及びフリップフロップ 2 1 4 の第 4 の端子が接続されている。X O R ゲート 2 1 3 の出力端子には、A N D ゲート 2 1 2 の第 2 の入力端子が接続されている。

30

【 0 0 4 8 】

フリップフロップ 2 1 4 の第 1 の端子には、A N D ゲート 2 1 2 の出力端子が接続されている。フリップフロップ 2 1 4 の第 2 の端子には、リセット信号 R S T が入力される。フリップフロップ 2 1 4 の第 3 の端子には、クロック信号 C L K が入力される。フリップフロップ 2 1 4 の第 4 の端子には、A N D ゲート 2 1 1 の第 2 の入力端子及び X O R ゲート 2 1 3 の第 2 の入力端子が接続されている。

【 0 0 4 9 】

次いで、デジタル積分器 1 5 2 a _ 2 により、平均化されたデジタル信号 D I G _ A V E に応じて、平均化されたデジタル信号 D I G _ A V E が H (ハイレベル) であれば「 - 1」、L (ローレベル) であれば「 + 1」を加えて積算する。これにより、平均化されたデジタル信号 D I G _ A V E が積分される。

40

【 0 0 5 0 】

図 8 に、図 1 のデジタル平均化・積分器 1 5 2 a のうち、積分を行う具体的な回路であるデジタル積分器 1 5 2 a _ 2 (加減算回路 2 0 2)、並びに図 1 のデジタルパルス幅変調器 1 5 2 b の回路構成 (カウント比較回路 2 0 3 及びラッチ回路 2 0 4) を示す。

【 0 0 5 1 】

加減算回路 2 0 2 の第 1 の端子には、ラッチ回路 2 0 4 の第 1 の端子が接続されており、リセット信号 R S T が入力される。加減算回路 2 0 2 の第 2 の端子には、クロック信号 C L K が入力される。加減算回路 2 0 2 の第 3 の端子には、平均化されたデジタル信号 D I

50

G_{AVE}が入力される。加減算回路202の第4の端子には、カウント比較回路203の第1の端子が接続され、信号SET-CNT0を出力する。加減算回路202の第5の端子には、カウント比較回路203の第2の端子が接続され、信号SET-CNT1を出力する。加減算回路202の第6の端子には、カウント比較回路203の第3の端子が接続され、信号SET-CNT2を出力する。加減算回路202の第7の端子には、カウント比較回路203の第4の端子が接続され、信号SET-CNT3を出力する。加減算回路202の第8の端子には、カウント比較回路203の第5の端子が接続され、信号SET-CNT4を出力する。加減算回路202の第9の端子には、カウント比較回路203の第6の端子が接続され、信号SET-CNT5を出力する。加減算回路202の第10の端子には、カウント比較回路203の第7の端子が接続され、リミット信号LIMITを出力する。

10

【0052】

信号SET-CNT0～信号SET-CNT5は、クロック信号CLKが入力される毎に、入力されるデジタル信号DIG_{AVE}がH（ハイレベル）の場合は「-1」を加算されて出力され、L（ローレベル）の場合は「+1」を加算されて出力される信号である。

【0053】

信号SET-CNT0～信号SET-CNT5は、後述するパルス幅Wを有するパルス信号pulseを生成するのに必要な信号である。本実施の形態では、信号SET-CNT0～信号SET-CNT5により、 2^6 位相、すなわち64位相のパルス信号pulseが生成される。

20

【0054】

リミット信号LIMITは、後述する、パルス幅Wを有するパルス信号pulseを生成する過程において、位相制限を行う信号である。本実施の形態では、リミット信号LIMITにより、例えば信号SET-CNT0～信号SET-CNT5は8以上56以下に制限される。これによりパルス信号pulseのパルス幅Wの最大値がパルス信号pulseの周期に、パルス幅Wの最小値が、0（ゼロ）に近づくのを制限する。

【0055】

カウント比較回路203の第1の端子には、加減算回路202の第4の端子が接続され、信号SET-CNT0が入力される。カウント比較回路203の第2の端子には、加減算回路202の第5の端子が接続され、信号SET-CNT1が入力される。カウント比較回路203の第3の端子には、加減算回路202の第6の端子が接続され、信号SET-CNT2が入力される。カウント比較回路203の第4の端子には、加減算回路202の第7の端子が接続され、信号SET-CNT3が入力される。カウント比較回路203の第5の端子には、加減算回路202の第8の端子が接続され、信号SET-CNT4が入力される。カウント比較回路203の第6の端子には、加減算回路202の第9の端子が接続され、信号SET-CNT5が入力される。カウント比較回路203の第7の端子には、加減算回路202の第10の端子が接続され、リミット信号LIMITが入力される。カウント比較回路203の第8の端子には、信号CNT0が入力される。カウント比較回路203の第9の端子には、信号CNT1が入力される。カウント比較回路203の第10の端子には、信号CNT2が入力される。カウント比較回路203の第11の端子には、信号CNT3が入力される。カウント比較回路203の第12の端子には、信号CNT4が入力される。カウント比較回路203の第13の端子には、信号CNT5が入力される。カウント比較回路203の第14の端子は、信号HIGH-SETを出力する。カウント比較回路203の第15の端子は、信号LOW-SETを出力する。

30

40

【0056】

信号CNT0乃至信号CNT5は、カウント信号である。本実施の形態では、信号CNT0乃至信号CNT5の入力により、0～63が数えられる。

【0057】

信号HIGH-SET及び信号LOW-SETは、パルス幅変調出力信号PWMのH（ハイレベル）又はL（ローレベル）を決定する信号である。信号HIGH-SETが入力さ

50

れると、パルス幅変調出力信号 P W M は H (ハイレベル) となる。また信号 L O W - S E T が入力されると、パルス幅変調出力信号 P W M は L (ローレベル) となる。

【 0 0 5 8 】

ラッチ回路 2 0 4 の第 1 の端子には、加減算回路 2 0 2 の第 1 の端子が接続され、リセット信号 R S T が入力される。ラッチ回路 2 0 4 の第 2 の端子には、カウント比較回路 2 0 3 の第 1 4 の端子が接続され、信号 H I G H - S E T が入力される。ラッチ回路 2 0 4 の第 3 の端子には、カウント比較回路 2 0 3 の第 1 5 の端子が接続され、信号 L O W - S E T が入力される。ラッチ回路 2 0 4 の第 4 の端子から、パルス幅変調出力信号 P W M が出力される。ラッチ回路 2 0 4 の第 5 の端子には、クロック信号 C L K が入力される。

【 0 0 5 9 】

図 9 に、加減算回路 2 0 2 の具体的な回路構成を示す。

【 0 0 6 0 】

図 9 に示す加減算回路 2 0 2 は、インバータ 2 6 1、インバータ 2 6 2、N O R ゲート 2 6 3、加算器 2 5 4、加算器 2 5 5、加算器 2 5 6、加算器 2 5 7、加算器 2 5 8、加算器 2 5 9 を有している。

【 0 0 6 1 】

インバータ 2 6 1 の入力端子には、平均化されたデジタル信号 D I G _ A V E が入力される。インバータ 2 6 1 の出力端子は、N O R ゲート 2 6 3 の第 1 の入力端子に接続される。

【 0 0 6 2 】

インバータ 2 6 2 の入力端子には、N O R ゲート 2 6 3 の第 2 の入力端子が接続され、リミット信号 L I M I T が入力される。インバータ 2 6 2 の出力端子には、加算器 2 5 4 の第 1 の端子が接続される。

【 0 0 6 3 】

N O R ゲート 2 6 3 の第 1 の入力端子には、インバータ 2 6 1 の出力端子が接続される。N O R ゲート 2 6 3 の第 2 の入力端子には、インバータ 2 6 2 の入力端子が接続され、リミット信号 L I M I T が入力される。

【 0 0 6 4 】

加算器 2 5 4 の第 1 の端子には、インバータ 2 6 2 の出力端子が接続される。加算器 2 5 4 の第 2 の端子には、加算器 2 5 5 の第 2 の端子、加算器 2 5 6 の第 2 の端子、加算器 2 5 7 の第 2 の端子、加算器 2 5 8 の第 2 の端子、加算器 2 5 9 の第 2 の端子が接続されており、クロック信号 C L K が入力される。加算器 2 5 4 の第 3 の端子には、加算器 2 5 5 の第 3 の端子、加算器 2 5 6 の第 3 の端子、加算器 2 5 7 の第 3 の端子、加算器 2 5 8 の第 3 の端子、加算器 2 5 9 の第 3 の端子が接続されており、リセット信号 R S T が入力される。加算器 2 5 4 の第 4 の端子には、N O R ゲート 2 6 3 の出力端子、加算器 2 5 5 の第 4 の端子、加算器 2 5 6 の第 4 の端子、加算器 2 5 7 の第 4 の端子、加算器 2 5 8 の第 4 の端子、加算器 2 5 9 の第 4 の端子が接続されている。加算器 2 5 4 の第 5 の端子には、加算器 2 5 5 の第 1 の端子が接続されており、信号 S E T _ C N T 0 を出力する。

【 0 0 6 5 】

加算器 2 5 5 の第 1 の端子には、加算器 2 5 4 の第 5 の端子が接続され、信号 S E T _ C N T 0 が入力される。加算器 2 5 5 の第 2 の端子には、加算器 2 5 4 の第 2 の端子、加算器 2 5 6 の第 2 の端子、加算器 2 5 7 の第 2 の端子、加算器 2 5 8 の第 2 の端子、加算器 2 5 9 の第 2 の端子が接続されており、クロック信号 C L K が入力される。加算器 2 5 5 の第 3 の端子には、加算器 2 5 4 の第 3 の端子、加算器 2 5 6 の第 3 の端子、加算器 2 5 7 の第 3 の端子、加算器 2 5 8 の第 3 の端子、加算器 2 5 9 の第 3 の端子が接続されており、リセット信号 R S T が入力される。加算器 2 5 5 の第 4 の端子には、N O R ゲート 2 6 3 の出力端子、加算器 2 5 4 の第 4 の端子、加算器 2 5 6 の第 4 の端子、加算器 2 5 7 の第 4 の端子、加算器 2 5 8 の第 4 の端子、加算器 2 5 9 の第 4 の端子が接続されている。加算器 2 5 5 の第 5 の端子には、加算器 2 5 6 の第 1 の端子が接続されており、信号 S E T _ C N T 1 を出力する。

10

20

30

40

50

【 0 0 6 6 】

加算器 2 5 6 の第 1 の端子には、加算器 2 5 5 の第 5 の端子が接続され、信号 S E T _ C N T 1 が入力される。加算器 2 5 6 の第 2 の端子には、加算器 2 5 4 の第 2 の端子、加算器 2 5 5 の第 2 の端子、加算器 2 5 7 の第 2 の端子、加算器 2 5 8 の第 2 の端子、加算器 2 5 9 の第 2 の端子が接続されており、クロック信号 C L K が入力される。加算器 2 5 6 の第 3 の端子には、加算器 2 5 4 の第 3 の端子、加算器 2 5 5 の第 3 の端子、加算器 2 5 7 の第 3 の端子、加算器 2 5 8 の第 3 の端子、加算器 2 5 9 の第 3 の端子が接続されており、リセット信号 R S T が入力される。加算器 2 5 6 の第 4 の端子には、N O R ゲート 2 6 3 の出力端子、加算器 2 5 4 の第 4 の端子、加算器 2 5 5 の第 4 の端子、加算器 2 5 7 の第 4 の端子、加算器 2 5 8 の第 4 の端子、加算器 2 5 9 の第 4 の端子が接続されている。加算器 2 5 6 の第 5 の端子には、加算器 2 5 7 の第 1 の端子が接続されており、信号 S E T _ C N T 2 を出力する。

10

【 0 0 6 7 】

加算器 2 5 7 の第 1 の端子には、加算器 2 5 6 の第 5 の端子が接続され、信号 S E T _ C N T 2 が入力される。加算器 2 5 7 の第 2 の端子には、加算器 2 5 4 の第 2 の端子、加算器 2 5 5 の第 2 の端子、加算器 2 5 6 の第 2 の端子、加算器 2 5 8 の第 2 の端子、加算器 2 5 9 の第 2 の端子が接続されており、クロック信号 C L K が入力される。加算器 2 5 7 の第 3 の端子には、加算器 2 5 4 の第 3 の端子、加算器 2 5 5 の第 3 の端子、加算器 2 5 6 の第 3 の端子、加算器 2 5 8 の第 3 の端子、加算器 2 5 9 の第 3 の端子が接続されており、リセット信号 R S T が入力される。加算器 2 5 7 の第 4 の端子には、N O R ゲート 2 6 3 の出力端子、加算器 2 5 4 の第 4 の端子、加算器 2 5 5 の第 4 の端子、加算器 2 5 6 の第 4 の端子、加算器 2 5 8 の第 4 の端子、加算器 2 5 9 の第 4 の端子が接続されている。加算器 2 5 7 の第 5 の端子には、加算器 2 5 8 の第 1 の端子が接続されており、信号 S E T _ C N T 3 を出力する。

20

【 0 0 6 8 】

加算器 2 5 8 の第 1 の端子には、加算器 2 5 7 の第 5 の端子が接続され、信号 S E T _ C N T 3 が入力される。加算器 2 5 8 の第 2 の端子には、加算器 2 5 4 の第 2 の端子、加算器 2 5 5 の第 2 の端子、加算器 2 5 6 の第 2 の端子、加算器 2 5 7 の第 2 の端子、加算器 2 5 9 の第 2 の端子が接続されており、クロック信号 C L K が入力される。加算器 2 5 8 の第 3 の端子には、加算器 2 5 4 の第 3 の端子、加算器 2 5 5 の第 3 の端子、加算器 2 5 6 の第 3 の端子、加算器 2 5 7 の第 3 の端子、加算器 2 5 9 の第 3 の端子が接続されており、リセット信号 R S T が入力される。加算器 2 5 8 の第 4 の端子には、N O R ゲート 2 6 3 の出力端子、加算器 2 5 4 の第 4 の端子、加算器 2 5 5 の第 4 の端子、加算器 2 5 6 の第 4 の端子、加算器 2 5 7 の第 4 の端子、加算器 2 5 9 の第 4 の端子が接続されている。加算器 2 5 8 の第 5 の端子には、加算器 2 5 9 の第 1 の端子が接続されており、信号 S E T _ C N T 4 を出力する。

30

【 0 0 6 9 】

加算器 2 5 9 の第 1 の端子には、加算器 2 5 8 の第 5 の端子が接続され、信号 S E T _ C N T 4 が入力される。加算器 2 5 9 の第 2 の端子には、加算器 2 5 4 の第 2 の端子、加算器 2 5 5 の第 2 の端子、加算器 2 5 6 の第 2 の端子、加算器 2 5 7 の第 2 の端子、加算器 2 5 8 の第 2 の端子が接続されており、クロック信号 C L K が入力される。加算器 2 5 9 の第 3 の端子には、加算器 2 5 4 の第 3 の端子、加算器 2 5 5 の第 3 の端子、加算器 2 5 6 の第 3 の端子、加算器 2 5 7 の第 3 の端子、加算器 2 5 8 の第 3 の端子が接続されており、リセット信号 R S T が入力される。加算器 2 5 9 の第 4 の端子には、N O R ゲート 2 6 3 の出力端子、加算器 2 5 4 の第 4 の端子、加算器 2 5 5 の第 4 の端子、加算器 2 5 6 の第 4 の端子、加算器 2 5 7 の第 4 の端子、加算器 2 5 8 の第 4 の端子、が接続されている。加算器 2 5 9 の第 5 の端子は、信号 S E T _ C N T 5 を出力する。

40

【 0 0 7 0 】

図 1 0 に、加算器 2 5 4 乃至加算器 2 5 9 各々の回路図を示す。加算器 2 5 4 乃至加算器 2 5 9 各々の回路は、A N D ゲート 2 2 1、A N D ゲート 2 2 2、O R ゲート 2 2 4、X

50

ORゲート225、XORゲート226、フリップフロップ227を有している。

【0071】

ANDゲート221の第1の入力端子には、XORゲート225の第1の入力端子が接続されており、制御信号CONTが入力される。制御信号CONTは、次の段の加算器に加算か減算かを伝える信号である。ANDゲート221の第2の入力端子には、XORゲート225の第2の入力端子及びフリップフロップ227の第4の端子が接続されている。ANDゲート221の出力端子には、ORゲート224の第1の入力端子が接続されている。

【0072】

ANDゲート222の第1の入力端子には、XORゲート226の第1の入力端子が接続されており、入力信号CINが入力される。ANDゲート222の第2の入力端子には、XORゲート225の出力端子及びXORゲート226の第2の入力端子が接続されている。ANDゲート222の出力端子には、ORゲート224の第2の入力端子が接続されている。

10

【0073】

ORゲート224の第1の入力端子には、ANDゲート221の出力端子が接続されている。ORゲート224の第2の入力端子には、ANDゲート222の出力端子が接続されている。ORゲート224の出力端子は、出力信号COUTを出力する。

【0074】

XORゲート225の第1の入力端子には、ANDゲート221の第1の入力端子が接続されており、制御信号CONTが入力される。XORゲート225の第2の入力端子には、ANDゲート221の第2の入力端子及びフリップフロップ227の第4の端子が接続されている。XORゲート225の出力端子には、ANDゲート222の第2の入力端子及びXORゲート226の第2の入力端子が接続されている。

20

【0075】

XORゲート226の第1の入力端子には、ANDゲート222の第1の入力端子が接続されており、入力信号CINが入力される。XORゲート226の第2の入力端子には、ANDゲート222の第2の入力端子及びXORゲート225の出力端子が接続されている。XORゲート226の出力端子には、フリップフロップ227の第1の端子に接続されている。

30

【0076】

フリップフロップ227の第1の端子には、XORゲート226の出力端子が接続されている。フリップフロップ227の第2の端子には、リセット信号RSTが入力される。フリップフロップ227の第3の端子には、クロック信号CLKが入力される。フリップフロップ227の第4の端子には、ANDゲート221の第2の入力端子及びXORゲート225の第2の入力端子が接続されている。

【0077】

デジタルパルス幅変調器152bは、積分されたデジタル信号に応じて、パルス幅変調の位相位置の設定を行う。これによりデジタルパルス幅変調処理化が行われる。デジタルパルス幅変調処理化されたパルス幅変調出力信号PWMは、パルス幅変調出力ドライバ153に入力される。

40

【0078】

図11及び図12に、デジタルパルス幅変調器152bの具体的な回路構成を示す。図11に示すカウント比較回路203及び図12に示すラッチ回路204は、デジタルパルス幅変調器152bの具体例である。カウント比較回路203で信号SET__CNT0乃至信号SET__CNT5により決められるデューティ比の設定値と信号CNT0乃至信号CNT5の値を比較し、一致するところでパルス幅変調出力信号PWMを生成する。

【0079】

図11にカウント比較回路203の回路図を示す。

【0080】

50

カウント比較回路 203 は、XOR ゲート 271、XOR ゲート 272、XOR ゲート 273、XOR ゲート 274、XOR ゲート 275、XOR ゲート 276、NAND ゲート 277、AND ゲート 278、OR ゲート 279、NAND ゲート 281、NAND ゲート 282 を有している。

【0081】

XOR ゲート 271 の第 1 の入力端子には、NAND ゲート 281 の第 1 の入力端子が接続されており、信号 CNT0 が入力される。XOR ゲート 271 の第 2 の入力端子には、信号 SET__CNT0 が入力される。XOR ゲート 271 の出力端子には、NAND ゲート 282 の第 1 の入力端子が接続されている。

【0082】

XOR ゲート 272 の第 1 の入力端子には、NAND ゲート 281 の第 2 の入力端子が接続されており、信号 CNT1 が入力される。XOR ゲート 272 の第 2 の入力端子には、信号 SET__CNT1 が入力される。XOR ゲート 272 の出力端子には、NAND ゲート 282 の第 2 の入力端子が接続されている。

【0083】

XOR ゲート 273 の第 1 の入力端子には、NAND ゲート 281 の第 3 の入力端子が接続されており、信号 CNT2 が入力される。XOR ゲート 273 の第 2 の入力端子には、信号 SET__CNT2 が入力される。XOR ゲート 273 の出力端子には、NAND ゲート 282 の第 3 の入力端子が接続されている。

【0084】

XOR ゲート 274 の第 1 の入力端子には、NAND ゲート 281 の第 4 の入力端子が接続されており、信号 CNT3 が入力される。XOR ゲート 274 の第 2 の入力端子には、NAND ゲート 277 の第 1 の入力端子及び AND ゲート 278 の第 1 の入力端子が接続されており、信号 SET__CNT3 が入力される。XOR ゲート 274 の出力端子には、NAND ゲート 282 の第 4 の入力端子が接続されている。

【0085】

XOR ゲート 275 の第 1 の入力端子には、NAND ゲート 281 の第 5 の入力端子が接続されており、信号 CNT4 が入力される。XOR ゲート 275 の第 2 の入力端子には、NAND ゲート 277 の第 2 の入力端子及び AND ゲート 278 の第 2 の入力端子が接続されており、信号 SET__CNT4 が入力される。XOR ゲート 275 の出力端子には、NAND ゲート 282 の第 5 の入力端子が接続されている。

【0086】

XOR ゲート 276 の第 1 の入力端子には、NAND ゲート 281 の第 6 の入力端子が接続されており、信号 CNT5 が入力される。XOR ゲート 276 の第 2 の入力端子には、NAND ゲート 277 の第 3 の入力端子及び AND ゲート 278 の第 3 の入力端子が接続されており、信号 SET__CNT5 が入力される。XOR ゲート 276 の出力端子には、NAND ゲート 282 の第 6 の入力端子が接続されている。

【0087】

NAND ゲート 277 の第 1 の入力端子には、XOR ゲート 274 の第 2 の入力端子及び AND ゲート 278 の第 1 の入力端子が接続されており、信号 SET__CNT3 が入力される。NAND ゲート 277 の第 2 の入力端子には、XOR ゲート 275 の第 2 の入力端子及び AND ゲート 278 の第 2 の入力端子が接続されており、信号 SET__CNT4 が入力される。NAND ゲート 277 の第 3 の入力端子には、XOR ゲート 276 の第 2 の入力端子及び AND ゲート 278 の第 3 の入力端子が接続されており、信号 SET__CNT5 が入力される。NAND ゲート 277 の出力端子には、OR ゲート 279 の第 1 の入力端子が接続されている。

【0088】

AND ゲート 278 の第 1 の入力端子には、XOR ゲート 274 の第 2 の入力端子及び NAND ゲート 277 の第 1 の入力端子が接続されており、信号 SET__CNT3 が入力される。AND ゲート 278 の第 2 の入力端子には、XOR ゲート 275 の第 2 の入力端子

10

20

30

40

50

及びNANDゲート277の第2の入力端子が接続されており、信号SET__CNT4が入力される。ANDゲート278の第3の入力端子には、XORゲート276の第2の入力端子及びNANDゲート277の第3の入力端子が接続されており、信号SET__CNT5が入力される。ANDゲート278の出力端子には、ORゲート279の第2の入力端子が接続されている。

【0089】

ORゲート279の第1の入力端子には、NANDゲート277の出力端子が接続されている。ORゲート279の第2の入力端子には、ANDゲート278の出力端子が接続されている。ORゲート279の出力端子は、リミット信号LIMITを出力する。

【0090】

NANDゲート281の第1の入力端子には、XORゲート271の第1の入力端子が接続されており、信号CNT0が入力される。NANDゲート281の第2の入力端子には、XORゲート272の第1の入力端子が接続されており、信号CNT1が入力される。NANDゲート281の第3の入力端子には、XORゲート273の第1の入力端子が接続されており、信号CNT2が入力される。NANDゲート281の第4の入力端子には、XORゲート274の第1の入力端子が接続されており、信号CNT3が入力される。NANDゲート281の第5の入力端子には、XORゲート275の第1の入力端子が接続されており、信号CNT4が入力される。NANDゲート281の第6の入力端子には、XORゲート276の第1の入力端子が接続されており、信号CNT5が入力される。NANDゲート281の出力端子は、信号LOW-SETを出力する。

【0091】

NANDゲート282の第1の入力端子には、XORゲート271の出力端子が接続される。NANDゲート282の第2の入力端子には、XORゲート272の出力端子が接続される。NANDゲート282の第3の入力端子には、XORゲート273の出力端子が接続される。NANDゲート282の第4の入力端子には、XORゲート274の出力端子が接続される。NANDゲート282の第5の入力端子には、XORゲート275の出力端子が接続される。NANDゲート282の第6の入力端子には、XORゲート276の出力端子が接続される。NANDゲート282の出力端子は、信号HIGH-SETを出力する。

【0092】

図12にラッチ回路204の回路図を示す。ラッチ回路204は、フリップフロップ241、フリップフロップ242、NORゲート243、NORゲート244を有する。

【0093】

フリップフロップ241の第1の端子には、信号LOW-SETが入力される。フリップフロップ241の第2の端子には、フリップフロップ242の第2の端子、NORゲート243の第2の入力端子、及びNORゲート244の第2の入力端子が接続されており、リセット信号RSTが入力される。フリップフロップ241の第3の端子には、フリップフロップ242の第3の端子が接続されており、クロック信号CLKが入力される。フリップフロップ241の第4の端子には、NORゲート243の第1の入力端子が接続されている。

【0094】

フリップフロップ242の第1の端子には、信号HIGH-SETが入力される。フリップフロップ242の第2の端子には、フリップフロップ241の第2の端子、NORゲート243の第2の入力端子、及びNORゲート244の第2の入力端子が接続されており、リセット信号RSTが入力される。フリップフロップ242の第3の端子には、フリップフロップ241の第3の端子が接続されており、クロック信号CLKが入力される。フリップフロップ242の第4の端子は、NORゲート244の第1の入力端子が接続されている。

【0095】

NORゲート243の第1の入力端子には、フリップフロップ241の第4の端子が接続

10

20

30

40

50

されている。NORゲート243の第2の入力端子には、フリップフロップ241の第2の端子、フリップフロップ242の第2の端子、及びNORゲート244の第2の入力端子が接続されており、リセット信号RSTが入力される。NORゲート243の第3の入力端子には、NORゲート244の出力端子が接続されている。NORゲート243の出力端子には、NORゲート244の第3の入力端子が接続されている。

【0096】

NORゲート244の第1の入力端子には、フリップフロップ242の第4の端子が接続されている。NORゲート244の第2の入力端子には、フリップフロップ241の第2の端子、フリップフロップ242の第2の端子、及びNORゲート243の第2の入力端子が接続されており、リセット信号RSTが入力される。NORゲート244の第3の入力端子には、NORゲート243の出力端子が接続されている。NORゲート244の出力端子には、NORゲート243の第3の入力端子が接続されており、パルス幅変調出力信号PWMが出力される。

10

【0097】

ここで、図2(A)～図2(C)を用いてデジタルパルス幅変調処理化の方法について説明する。

【0098】

デジタル信号のパルス信号pulseのパルス幅をW、パルス周期をTとする(図2(A)参照)。パルス信号pulseは、クロック分割器155からのクロックおよび信号SETCNT0乃至SETCNT5により制御される位相に基づいて、生成される。パルス信号pulseがパルス幅変調出力信号PWMに相当する。またデューティ比Diは、以下の式1に表される。

20

【0099】

$$D_i = (W / T) = (i / 2^n) \quad (i = 1, 2, \dots, m) \quad (\text{式1})$$

【0100】

上記式1で、 $n = 6$ の場合、 $i = 32$ 、 $i = 48$ 、 $i = 16$ のときのそれぞれのパルス信号pulseを、それぞれ図2(A)、図2(B)、図2(C)に示す。

【0101】

$i = 32$ 、 $i = 48$ 、 $i = 16$ それぞれの、デューティ比は、 $D_{32} = 0.5$ 、 $D_{48} = 0.75$ 、 $D_{16} = 0.25$ となる。後述する電源電圧Vddは、このデューティ比に応じて生成されることとなる。デジタル信号がアナログ信号となり、DAコンバータと同様の動作を行う。

30

【0102】

例として、1MHzのクロックから、15.525kHzのパルス幅変調処理化されたパルス幅変調出力信号を出力する方法について説明する。

【0103】

1MHz(1μ秒)のクロックで、15.525kHz(64μ秒)のパルス幅変調信号を生成すると、64位相のパルス幅変調出力信号の出力が可能となる。

【0104】

デジタルパルス幅変調処理化されたパルス幅変調出力信号は、パルス幅変調出力ドライバ153に入力される。パルス幅変調出力信号は、パルス幅変調出力ドライバ153によって、信号強度を高められる。すなわち、パルス幅変調出力信号は、パルス幅変調出力ドライバ153によって増幅される。

40

【0105】

信号強度を高められたパルス幅変調出力信号は、平滑化回路であるローパスフィルタ154に入力される。

【0106】

ローパスフィルタ154に入力されたパルス幅変調出力信号は、高周波成分が遮断されて平滑化される。ローパスフィルタ154に入力されたパルス幅変調出力信号から、上述のデューティ比に応じた電圧が出力される。その出力電圧Verは、出力電圧Ver =

50

(デューティ比) × (パルス幅変調出力ドライバ 153 の電源電圧) で表される。

【0107】

すなわち、デジタル信号がアナログ信号となり、D/Aコンバータと同様の動作を行い、さらにローパスフィルタ 154 によって、周波数応答が加わる。

【0108】

本実施の形態では、デジタル制御方式の回路 150 を用いることにより、電源回路 101 の回路動作の劣化を抑制することができる。

【0109】

また、電源回路 101 にデジタル制御方式の回路 150 を用いることにより、電源回路の面積を抑制することができる。

10

【0110】

制御回路 103 の他の素子について、以下に説明する。

【0111】

三角波発生回路 121 は、パルス幅変調信号に必要な三角波 V_{osc} を発生させる回路である。

【0112】

パルス幅変調出力ドライバ 123 の反転入力端子にはデジタル制御方式の回路 150 の出力電圧 V_{err} が入力され、非反転入力端子には三角波発生回路 121 が生成した三角波 V_{osc} が入力される。

20

【0113】

パルス幅変調出力ドライバ 123 は、デジタル制御方式の回路 150 の出力電圧 V_{err} と三角波 V_{osc} の信号レベルを比較し、三角波 V_{osc} の信号レベルがデジタル制御方式の回路 150 の出力電圧 V_{err} の信号レベルより大きい場合は、H (ハイレベル) をパルス幅変調信号としてトランジスタ 111 に出力する。一方、三角波 V_{osc} の信号レベルがデジタル制御方式の回路 150 の出力電圧 V_{err} の信号レベルより小さい場合は、L (ローレベル) をパルス幅変調信号としてトランジスタ 111 に出力する。

【0114】

アナログ回路を減少させることにより、回路を構成する素子の特性がばらついても、回路の動作の劣化を抑制することができる。

【0115】

また回路の動作の劣化を抑制することにより、該電源回路を有する電気素子、及び、このような電気素子を有する電気機器に不具合を引き起こす要因を減らすことが可能になる。

30

【0116】

アナログ回路を減少させることにより、面積が大きなアナログ回路の設置を抑制することができる。

【0117】

面積が大きいアナログ回路の設置を抑制することにより、集積回路及びその集積回路を用いて構成される電気機器の面積を抑制することが可能である。よって、集積回路及びその集積回路を用いて構成される電気機器のコストを抑制することが可能である。

40

【0118】

また、デジタル回路の出力は 1 か 0 (ゼロ) しかないので、デジタル回路を構成するトランジスタに単極性のトランジスタ、例えば、n チャネル型トランジスタを用いることが可能となる。複雑なアナログ信号処理は、単極性のトランジスタからなるアナログ回路では非常に難しい。従って、本実施の形態では、デジタル回路を単極性のトランジスタのみを用いて作製することが可能となる。

【0119】

[実施の形態 2]

本実施の形態では、実施の形態 1 で述べられた、トランジスタ 111、並びに、コンパレータ 151、デジタル演算処理回路 152、及びパルス幅変調出力ドライバ 153 のそれぞれに含まれるトランジスタについて説明する。

50

【 0 1 2 0 】

本実施の形態を、図 3 (A) ~ 図 3 (B)、図 4 (A) ~ 図 4 (E)を用いて説明する。

【 0 1 2 1 】

まず、図 3 (A) 及び図 3 (B) にトランジスタの上面及び断面構造の一例を示す。図 3 (A) はトップゲート構造のトランジスタ 4 1 0 の上面図であり、図 3 (B) は図 3 (A) の線 A - A ' における断面図である。

【 0 1 2 2 】

トランジスタ 4 1 0 は、酸化物半導体膜 4 1 2、第 1 の電極 (ソース電極及びドレイン電極の一方) 4 1 5 a、第 2 の電極 (ソース電極及びドレイン電極の他方) 4 1 5 b、ゲート絶縁膜 4 0 2、及びゲート電極 4 1 1 を有し、第 1 の電極 4 1 5 a、第 2 の電極 4 1 5 b にはそれぞれ第 1 の配線 4 1 4 a、第 2 の配線 4 1 4 b が接して設けられ、電氣的に接続されている。トランジスタ 4 1 0 は、ソース電極及びドレイン電極である第 1 の電極 4 1 5 a 及び第 2 の電極 4 1 5 b が、チャネル形成領域である酸化物半導体膜 4 1 2 の上面で接しているので、トップコンタクト型のトランジスタと言える。

10

【 0 1 2 3 】

なお、図 3 (A) に示すトランジスタ 4 1 0 はシングルゲート構造のトランジスタであるが、開示される発明の形態は、この構成に限定されるものではなく、ゲート電極を複数有し、チャネル形成領域を複数有するマルチゲート構造のトランジスタとしてもよい。

【 0 1 2 4 】

なお図 3 (A) 及び図 3 (B) に示すトランジスタは、チャネル形成領域である酸化物半導体膜 4 1 2 上に、第 1 の電極 (ソース電極及びドレイン電極の一方) 4 1 5 a、並びに、第 2 の電極 (ソース電極及びドレイン電極の他方) 4 1 5 b が形成されているが、開示される発明の形態は、この構成に限定されるものではない。第 1 の電極 (ソース電極及びドレイン電極の一方) 4 1 5 a、並びに、第 2 の電極 (ソース電極及びドレイン電極の他方) 4 1 5 b 上に、チャネル形成領域である酸化物半導体膜 4 1 2 を形成してもよい。

20

【 0 1 2 5 】

また図 3 (A) 及び図 3 (B) に示すトランジスタは、トップゲート構造のトランジスタであるが、開示される発明の形態は、この構成に限定されるものではない。トランジスタ 4 1 0 は、ボトムゲート構造のトランジスタでもよい。さらに、トランジスタ 4 1 0 としてボトムゲート構造のトランジスタを用いた場合、ソース電極及びドレイン電極、並びに、チャネル形成領域である酸化物半導体膜は、どちらが上に積層されていてもよい。すなわち、チャネル形成領域である酸化物半導体膜上に、ソース電極及びドレイン電極が形成されていても良いし、ソース電極及びドレイン電極上に、チャネル形成領域である酸化物半導体膜が形成されていてもよい。

30

【 0 1 2 6 】

トランジスタ 4 1 0 の酸化物半導体膜 4 1 2 として、高純度の酸化物半導体膜を用いると、トランジスタ 4 1 0 の特性が向上する。このような高純度の酸化物半導体膜、及び、高純度の酸化物半導体膜を有するトランジスタの特徴について、以下に詳細に説明する。

【 0 1 2 7 】

高純度の酸化物半導体膜は、酸化物半導体膜を用いたトランジスタの電気特性に悪影響を与える不純物が極めて少ないレベルにまで低減されたものである。電気特性に悪影響を与える不純物の代表例としては、水素が挙げられる。水素は、酸化物半導体膜中でキャリアの供与体 (ドナー) となり得る不純物であり、酸化物半導体膜中に水素が多量に含まれていると、酸化物半導体膜が n 型化されてしまう。このように水素が多量に含まれた酸化物半導体を用いたトランジスタは、ノーマリーオンとなってしまう。そして、トランジスタのオン・オフ比を十分にとることができない。したがって、本明細書における「高純度の酸化物半導体」は、酸化物半導体における水素が極力低減されているものであって、真性な半導体を指す。高純度の酸化物半導体の一例としては、キャリア濃度が $1 \times 10^{14} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{12} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満、または $6.0 \times 10^{10} / \text{cm}^3$ 未満である酸化物半導体が挙げられる。酸化

40

50

物半導体膜に含まれる水素を徹底的に除去することにより得られる高純度の酸化物半導体をチャンネル形成領域に用いたトランジスタは、シリコンをチャンネル形成領域に用いたトランジスタ等に比較して、オフ電流が非常に小さいという特徴を有している。また、本実施の形態においては、高純度の酸化物半導体を用いたトランジスタは、nチャンネル型のトランジスタであるものとして以下説明する。

【0128】

なお、本明細書においてオフ電流（リーク電流ともいう）とは、nチャンネル型のトランジスタでしきい値 V_{th} が正である場合、室温において -20 V 以上 -5 V 以下の範囲で任意のゲート電圧を印加したときにトランジスタのソース・ドレイン間を流れる電流のことを指す。なお、室温は、15 度以上 25 度以下とする。本明細書に開示する酸化物半導体を用いたトランジスタは、室温において、チャンネル幅（ w ）1 μm あたりの電流値が 100 zA 以下、好ましくは 10 zA 以下である。

10

【0129】

なお、オフ電流とドレイン電圧との値が分かればオームの法則からトランジスタがオフ状態のときの抵抗値（オフ抵抗 R ）を算出することができ、チャンネル形成領域の断面積 A とチャンネル長 L が分かれば $R = R_A / L$ の式（ R はオフ抵抗を表す）からオフ抵抗率を算出することもできる。オフ抵抗率は $1 \times 10^9 \cdot \text{m}$ 以上（または $1 \times 10^{10} \cdot \text{m}$ 以上）が好ましい。ここで、断面積 A は、チャンネル形成領域の膜厚を d とし、チャンネル幅を W とするとき、 $A = dW$ から算出することができる。

20

【0130】

また、酸化物半導体膜のエネルギーギャップは、2 eV 以上、好ましくは 2.5 eV 以上、より好ましくは 3 eV 以上である。

【0131】

また、高純度の酸化物半導体を用いたトランジスタは温度特性が良好である。代表的には、-25 から 150 までの温度範囲におけるトランジスタの電流電圧特性において、オン電流、オフ電流、電界効果移動度、 S 値、及びしきい値電圧の変動がほとんどなく、温度による電流電圧特性の劣化がほとんど見られない。

【0132】

次に、酸化物半導体を用いたトランジスタのホットキャリア劣化について説明する。

30

【0133】

ホットキャリア劣化とは、高速に加速された電子がチャンネル中のドレイン近傍でゲート絶縁膜中に注入されて固定電荷となったり、高速に加速された電子がゲート絶縁膜界面にトラップ準位を形成することにより、しきい電圧の変動やゲートリーク等のトランジスタ特性の劣化が生じることであり、ホットキャリア劣化の要因としては、チャンネルホットエレクトロン注入（CHE 注入）とドレインアバランシェホットキャリア注入（DAHC 注入）がある。

【0134】

シリコンはバンドギャップが 1.12 eV と小さいため、アバランシェ降伏によって雪崩的に電子が発生しやすく、ゲート絶縁膜への障壁を越えられるほど高速に加速される電子数が増加する。一方、本実施の形態で示す酸化物半導体は、バンドギャップが 3.15 eV と広いため、アバランシェ降伏が生じにくく、シリコンと比べてホットキャリア劣化に対する耐性が高い。

40

【0135】

なお、高耐圧材料の一つであるシリコンカーバイドのバンドギャップと酸化物半導体のバンドギャップは同等である。しかし、シリコンカーバイドよりも、酸化物半導体の方が移動度が 2 桁程小さいため、電子が加速されにくい。また、ゲート絶縁膜である酸化膜との障壁が、シリコンカーバイド、窒化ガリウム、シリコンよりも、酸化物半導体の方が大きいため、酸化膜に注入される電子が極めて少ない。酸化膜に注入される電子が極めて少ないため、シリコンカーバイド、窒化ガリウム、シリコンよりも、酸化物半導体の方がホットキャリア劣化が生じにくく、ドレイン耐圧が高いといえる。このため、チャンネルとして

50

機能する酸化物半導体と、ソース電極及びドレイン電極との間に、意図的に低濃度不純物領域を形成する必要が無く、トランジスタ構造が極めて簡単になり、製造工程数を低減できる。

【0136】

以上のように、酸化物半導体を用いたトランジスタはドレイン耐圧が高く、具体的には100V以上、好ましくは500V、好ましくは1kV以上のドレイン耐圧を有することが可能である。

【0137】

次に、図4(A)～図4(E)を用いて、トランジスタ410を作製する工程について説明する。

10

【0138】

まず、基板400上に下地膜となる絶縁層407を形成する。

【0139】

基板400として使用可能な基板に大きな制限はないが、少なくとも後の加熱処理に耐える程度の耐熱性を有していることが必要となる。後の加熱処理の温度が高い場合には、歪み点が730以上のものを用いるとよい。基板400の具体例としては、ガラス基板、結晶化ガラス基板、セラミック基板、石英基板、サファイア基板、プラスチック基板等が挙げられる。また、ガラス基板の具体的な材料例としては、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスが挙げられる。

20

【0140】

絶縁層407としては、酸化シリコン層、酸化窒化シリコン層、酸化アルミニウム層、または酸化窒化アルミニウム層などの酸化物絶縁層を用いることが好ましい。絶縁層407の形成方法としては、プラズマCVD法、スパッタリング法等を用いることができるが、絶縁層407中に水素が多量に含まれないようにするためには、スパッタリング法で絶縁層407を成膜することが好ましい。本実施の形態においては、絶縁層407としてスパッタリング法により酸化シリコン層を形成する。具体的には、基板400を処理室へ搬送した後、水素及び水分を除去し、かつ高純度酸素を含むスパッタガスを導入し、シリコンまたはシリコン酸化物のターゲットを用いて、基板400上に絶縁層407として酸化シリコン層を成膜する。なお、成膜時の基板400は室温でもよいし、加熱されていてもよい。

30

【0141】

成膜条件の具体例としては、ターゲットとして石英（好ましくは合成石英）を用い、基板温度108℃、基板400とターゲット間の距離（T-S間距離）を60mm、圧力0.4Pa、高周波電源1.5kW、酸素及びアルゴン（酸素流量25sccm：アルゴン流量25sccm=1:1）雰囲気下でRFスパッタリング法により酸化シリコン層を成膜する。膜厚は100nmとする。なお、ターゲットとして石英（好ましくは合成石英）に代えてシリコンターゲットを用いることもできる。また、スパッタガスとして酸素及びアルゴンの混合ガスに代えて酸素ガスを用いてもよい。ここで、絶縁層407を成膜する際に用いるスパッタガスは、水素、水、水酸基又は水素化物などの不純物の濃度がppmレベル、好ましくはppbレベルまで低減された高純度ガスを用いる。

40

【0142】

また、絶縁層407の成膜時において、処理室内の残留水分を除去しつつ絶縁層407を成膜することにより、絶縁層407に水素、水、水酸基又は水素化物などが含まれないようにすることが好ましい。

【0143】

処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いればよい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることができる。また、排気手段としては、ターボポンプにコールドトラップを組み合わせ使用することが好ましい。クライオポンプを用いて排気した成膜室は、水素原子や、水（ H_2O ）等の水素原子を含む化合物等が排気されるため、当該成膜室で成膜した絶縁層407は、水素原子が極力取り込まれにくく好ましい。

50

【 0 1 4 4 】

スパッタリング法にはスパッタ用電源に高周波電源を用いる R F スパッタリング法と、D C スパッタリング法があり、さらにパルスのバイアスを与えるパルス D C スパッタリング法もある。R F スパッタリング法は主に絶縁膜を成膜する場合に用いられ、D C スパッタリング法は主に金属膜を成膜する場合に用いられる。

【 0 1 4 5 】

また、材料の異なるターゲットを複数設置可能な多元スパッタ装置もある。多元スパッタ装置は、同一チャンバーで異なる材料膜を積層成膜することも、同一チャンバーで複数種類の材料を同時に放電させて成膜することもできる。

【 0 1 4 6 】

また、チャンバー内部に磁石機構を備えたマグネトロンスパッタリング法を用いるスパッタ装置や、グロー放電を使わずマイクロ波を用いて発生させたプラズマを用いる E C R スパッタリング法を用いるスパッタ装置を用いることができる。

【 0 1 4 7 】

また、スパッタリング法を用いる成膜方法としては、成膜中にターゲット物質とスパッタガス成分とを化学反応させ、それらの化合物薄膜を形成するリアクティブスパッタリング法や、成膜中に基板にも電圧をかけるバイアスパッタリング法もある。

【 0 1 4 8 】

また、絶縁層 4 0 7 は単層構造に限定されず、積層構造でもよい。例えば、基板 4 0 0 側から窒化シリコン層、窒化酸化シリコン層、窒化アルミニウム層、又は窒化酸化アルミニウム層などの窒化物絶縁層と、上記酸化物絶縁層との積層構造としてもよい。

【 0 1 4 9 】

例えば、基板上に高純度窒素を含むスパッタガスを導入し、シリコンターゲットを用いて窒化シリコン層を成膜し、その後、スパッタガスを高純度酸素ガスを含むものに切り替えて、酸化シリコン層を成膜する。この場合においても、先に説明したものと同様に、処理室内の残留水分を除去しつつ窒化シリコン層や酸化シリコン層を成膜することが好ましい。また、成膜時に基板を加熱してもよい。

【 0 1 5 0 】

次に、絶縁層 4 0 7 上に酸化物半導体膜をスパッタリング法により形成する。

【 0 1 5 1 】

酸化物半導体膜に水素、水酸基及び水分が極力含まれないようにするために、成膜の前処理として、スパッタリング装置の予備加熱室で絶縁層 4 0 7 が形成された基板 4 0 0 を予備加熱し、基板 4 0 0 に吸着した水素、水分などの不純物を脱離し排気することが好ましい。なお、予備加熱室に設ける排気手段は、水素原子や、水 (H_2O) 等の水素原子を含む化合物等を排気するためクライオポンプが好ましい。また、この予備加熱は、後に形成するゲート絶縁膜 4 0 2 の成膜前の基板 4 0 0 に対して行うことが好ましい。また、後に形成する第 1 の電極 4 1 5 a 及び第 2 の電極 4 1 5 b まで形成した基板 4 0 0 に対しても同様に行うことが好ましい。ただし、これらの予備加熱の処理は省略してもよい。

【 0 1 5 2 】

なお、酸化物半導体膜をスパッタリング法により成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、絶縁層 4 0 7 の表面に付着しているゴミを除去することも好ましい。逆スパッタとは、アルゴン雰囲気下で基板に高周波電源を用いて電圧を印加することによって基板近傍にプラズマを形成し、表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウム、酸素等を用いてもよい。

【 0 1 5 3 】

酸化物半導体膜のターゲットとしては、酸化亜鉛を主成分とする金属酸化物のターゲットを用いることができる。上記ターゲットとして、例えば、 $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 1$ (mol 数比)、 $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 2$ (mol 数比)、または $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 4$ (mol 数比) であるターゲットを用いることができる。また、In、Ga、及び Zn を含むターゲットの充填率は

10

20

30

40

50

90%以上100%以下、好ましくは95%以上100%未満である。充填率の高いターゲットを用いることにより、成膜した酸化物半導体膜は緻密な膜となる。

【0154】

なお、酸化物半導体膜の成膜の際は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、または希ガス及び酸素混合雰囲気下とすればよい。ここで、酸化物半導体膜を成膜する際に用いるスパッタガスは、水素、水、水酸基又は水素化物などの不純物の濃度がppmレベル、好ましくはppbレベルまで低減された高純度ガスを用いる。

【0155】

酸化物半導体膜は、減圧状態に保持された処理室内に基板を保持し、処理室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入し、金属酸化物をターゲットとして基板400上に成膜する。処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子、水（ H_2O ）など水素原子を含む化合物（より好ましくは炭素原子を含む化合物も）等が排気されるため、当該成膜室で成膜した酸化物半導体膜に含まれる不純物の濃度を低減できる。また、酸化物半導体膜成膜時に基板を室温状態のままとするか、または400未満の温度に加熱してもよい。

10

【0156】

酸化物半導体膜の成膜条件の一例としては、基板温度を室温、基板とターゲットの間との距離を110mm、圧力0.4Pa、直流（DC）電源0.5kW、酸素及びアルゴン（酸素流量15sccm：アルゴン流量30sccm＝1：2）雰囲気下の条件が挙げられる。なお、パルス直流（DC）電源を用いると、ごみが軽減でき、膜厚分布も均一となるために好ましい。酸化物半導体膜の膜厚は、膜厚2nm以上200nm以下とすればよく、好ましくは5nm以上30nm以下とする。なお、適用する酸化物半導体の材料により適切な厚みは異なり、材料に応じて適宜厚みを選択すればよい。

20

【0157】

以上では、酸化物半導体として、三元系金属の酸化物であるIn-Ga-Zn-O系酸化物を用いる例を示したが、その他にも、四元系金属の酸化物であるIn-Sn-Ga-Zn-O系や、他の三元系金属の酸化物であるIn-Sn-Zn-O系、In-Al-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系や、二元系金属の酸化物であるIn-Zn-O系、Sn-Zn-O系、Al-Zn-O系、Zn-Mg-O系、Sn-Mg-O系、In-Mg-O系や、In-O系、Sn-O系、Zn-O系などの酸化物半導体を用いることができる。また、上記酸化物半導体はSiを含んでいてもよい。また、これらの酸化物半導体は、非晶質であってもよいし、結晶質であってもよい。または、非単結晶であってもよいし、単結晶であってもよい。

30

【0158】

なお本明細書において、三元系金属の酸化物とは、酸素（O）の他に3つの金属元素を含む物質を示している。同様にして、四元系金属の酸化物とは、酸素（O）の他に4つの金属元素を含む物質、二元系金属の酸化物とは、酸素（O）の他に2つの金属元素を含む物質を示している。

40

【0159】

また、酸化物半導体膜として、 $InMO_3(ZnO)_m$ （ $m>0$ ）で表記される薄膜を用いることもできる。ここで、Mは、Ga、Al、MnおよびCoから選ばれた一または複数の金属元素である。例えば、Mとして、Ga、Ga及びAl、Ga及びMn、またはGa及びCoが挙げられる。

【0160】

次に、酸化物半導体膜を第1のフォトリソグラフィ工程により島状の酸化物半導体膜412に加工する（図4（A）参照）。なお、島状の酸化物半導体膜412を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット

50

法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0161】

なお、酸化物半導体膜のエッチングは、ドライエッチングでもウェットエッチングでもよく、両方を用いてもよい。

【0162】

ドライエッチングを行う場合、平行平板型RIE (Reactive Ion Etching) 法や、ICP (Inductively Coupled Plasma: 誘導結合型プラズマ) エッチング法を用いることができる。所望の加工形状にエッチングできるように、エッチング条件 (コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等) を適宜調節する。

10

【0163】

ドライエッチングに用いるエッチングガスとしては、塩素を含むガス (塩素系ガス、例えば塩素 (Cl_2)、三塩化硼素 (BCl_3)、四塩化珪素 (SiCl_4)、四塩化炭素 (CCl_4) など) が好ましいが、フッ素を含むガス (フッ素系ガス、例えば四弗化炭素 (CF_4)、六弗化硫黄 (SF_6)、三弗化窒素 (NF_3)、トリフルオロメタン (CHF_3) など)、臭化水素 (HBr)、酸素 (O_2)、またはこれらのガスにヘリウム (He) やアルゴン (Ar) などの希ガスを添加したガス等を用いることもできる。

【0164】

ウェットエッチングに用いるエッチング液としては、リン酸と酢酸と硝酸を混ぜた溶液、アンモニア過水 (31重量%過酸化水素水: 28重量%アンモニア水: 水 = 5: 2: 2) などを用いることができる。また、ITO07N (関東化学社製) を用いてもよい。エッチングの条件 (エッチング液、エッチング時間、温度等) については、酸化物半導体の材料に合わせて適宜調節すればよい。

20

【0165】

また、ウェットエッチングを行う場合、エッチング液はエッチングされた材料とともに洗浄によって除去される。その除去された材料を含むエッチング液の廃液を精製し、含まれる材料を再利用してもよい。当該エッチング後の廃液から酸化物半導体膜に含まれる材料 (例えば、インジウム等のレアメタル) を回収して再利用することにより、資源を有効活用することができる。

【0166】

本実施の形態では、エッチング液としてリン酸と酢酸と硝酸を混ぜた溶液を用いたウェットエッチング法により、酸化物半導体膜を島状の酸化物半導体膜412に加工する。

30

【0167】

次に、酸化物半導体膜412に第1の加熱処理を行う。第1の加熱処理の温度は、400以上750以下、好ましくは400以上基板の歪み点未満とする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体膜に対して窒素雰囲気下450において1時間の加熱処理を行った後、大気に触れることなく、酸化物半導体膜への水や水素の再混入を防ぎ、酸化物半導体膜を得る。この第1の加熱処理によって酸化物半導体膜412から水素、水、及び水酸基等を除去することができる。

【0168】

なお、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を備えていてもよい。例えば、GRTA (Gas Rapid Thermal Anneal) 装置、LRTA (Lamp Rapid Thermal Anneal) 装置等のRTA (Rapid Thermal Anneal) 装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光 (電磁波) の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて加熱処理を行う装置である。気体としては、不活性ガス (代表的には、アルゴン等の希ガス) または窒素ガスを用いることができる。

40

50

【0169】

例えば、第1の加熱処理として、650 ~ 700 の高温に加熱した不活性ガス中に基板を移動させて入れ、数分間加熱した後、基板を移動させて高温に加熱した不活性ガス中から出すGRTAを行ってもよい。GRTAを用いることにより、短時間での高温加熱処理が可能となる。

【0170】

第1の加熱処理の際の雰囲気には、水、水素などが含まれないようにすることが好ましい。または、加熱処理装置の装置内に導入する窒素、ヘリウム、ネオン、アルゴン等のガスの純度を、6N(99.9999%)以上、好ましくは7N(99.99999%)以上、(即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。

10

【0171】

なお、第1の加熱処理の条件、または酸化物半導体膜の材料によっては、第1の加熱処理により島状の酸化物半導体膜412が結晶化し、微結晶化または多結晶化する場合もある。例えば、結晶化率が80%以上の微結晶の酸化物半導体膜となる場合もある。ただし、第1の加熱処理を行っても島状の酸化物半導体膜412が結晶化せず、非晶質の酸化物半導体膜となる場合もある。また、非晶質の酸化物半導体膜の中に微結晶部(粒径1nm以上20nm以下(代表的には2nm以上4nm以下))が混在する酸化物半導体膜となる場合もある。

20

【0172】

また、酸化物半導体膜に対する第1の加熱処理は、島状の酸化物半導体膜に加工する前の酸化物半導体膜に行ってもよい。この場合、第1の加熱処理後に、加熱処理装置から基板を取り出し、第1のフォトリソグラフィ工程を行う。その他に、第1の加熱処理は、酸化物半導体膜上にソース電極及びドレイン電極を積層した後、またはソース電極及びドレイン電極上にゲート絶縁膜を形成した後、のいずれで行ってもよい。

【0173】

第1の加熱処理においては、酸化物半導体膜中から水素、水、及び水酸基等の不純物を除去することを主な目的としているが、この加熱処理の際に酸化物半導体膜中に酸素欠損が生じてしまうおそれがある。このため、第1の加熱処理の後に、加酸処理を行うことが好ましい。加酸処理の具体例としては、第1の加熱処理の後、連続して酸素雰囲気または窒素及び酸素を含む雰囲気(例えば、窒素と酸素の体積比が4:1)での加熱処理を行う方法が挙げられる。また、酸素雰囲気下でのプラズマ処理を行う方法を用いることもできる。

30

【0174】

第1の加熱処理は、酸化物半導体膜に対する脱水化、脱水素化の効果を奏する。

【0175】

次に、絶縁層407及び酸化物半導体膜412上に、導電膜を形成する。導電膜は、スパッタリング法や真空蒸着法により形成すればよい。導電膜の材料としては、Al、Cu、Cr、Ta、Ti、Mo、W、Yなどの金属材料、該金属材料を成分とする合金材料、導電性を有する金属酸化物等が挙げられる。また、例えば、ヒロックやウィスカの発生を防止するために、Si、Ti、Ta、W、Mo、Cr、Nd、Sc、Yなどの元素が添加されたAl材料を用いてもよく、この場合、耐熱性を向上させることができる。導電性を有する金属酸化物としては、酸化インジウム(In_2O_3)、酸化スズ(SnO_2)、酸化亜鉛(ZnO)、酸化インジウム酸化スズ合金(In_2O_3 — SnO_2 、ITOと略記する)、酸化インジウム酸化亜鉛合金(In_2O_3 — ZnO)または当該金属酸化物材料にシリコン若しくは酸化シリコンを含ませたものを用いることができる。

40

【0176】

また、導電膜は、単層構造としてもよいし、2層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層した2層構造、Ti膜上に重ねてアルミニウム膜を積層し、さらにその上にTi膜を積層した3層

50

構造が挙げられる。また、Al、Cuなどの金属層と、Cr、Ta、Ti、Mo、Wなどの高融点金属層とが積層された構成としてもよい。本実施の形態では、導電膜としてスパッタリング法により膜厚150nmのチタン膜を形成する。

【0177】

次に、第2のフォトリソグラフィ工程により導電膜上にレジストマスクを形成し、選択的にエッチングを行って第1の電極415a及び第2の電極415bを形成した後、レジストマスクを除去する(図4(B)参照)。第1の電極415aはソース電極及びドレイン電極の一方として機能し、第2の電極415bはソース電極及びドレイン電極の他方として機能する。ここで、第1の電極415a及び第2の電極415bの端部がテーパ形状となるようにエッチングすると、上に積層するゲート絶縁膜の被覆性が向上するため好ましい。なお、第1の電極415a、第2の電極415bを形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

10

【0178】

また、導電膜のエッチングの際には、酸化物半導体膜412が除去されてその下の絶縁層407が露出しないようにそれぞれの材料及びエッチング条件を適宜調節する必要がある。そこで、本実施の形態では、酸化物半導体膜412としてIn-Ga-Zn-O系の酸化物半導体を用い、導電膜としてチタン膜を用い、エッチャントとして過水アンモニア水(アンモニア、水、過酸化水素水の混合液)を用いることにより、酸化物半導体膜412の一部がエッチングされないようにしているが、本発明はこの構成に限定されない。すなわち、第2のフォトリソグラフィ工程により、酸化物半導体膜412の一部をエッチングし、溝部(凹部)を有する酸化物半導体膜とすることもできる。

20

【0179】

第2のフォトリソグラフィ工程でのレジストマスク形成時の露光には、紫外線やKrFレーザ光、またはArFレーザ光を用いればよい。酸化物半導体膜412上で隣り合う第1の電極415aの下端部と第2の電極415bの下端部との間隔幅によって、後に形成されるトランジスタのチャンネル長Lが決定される。なお、チャンネル長 $L = 25\text{ nm}$ 未満の露光を行う場合には、数nm~数10nmと極めて波長が短い超紫外線(Extreme Ultraviolet)を用いて第2のフォトリソグラフィ工程でのレジストマスク形成時の露光を行う。超紫外線による露光は、解像度が高く焦点深度も大きい。このため、後に形成されるトランジスタのチャンネル長Lを10nm以上1000nm以下とすることも可能である。この場合、トランジスタの動作速度を高速化でき、さらにオフ電流値が極めて小さいため、トランジスタの低消費電力化を図ることができる。

30

【0180】

次に、絶縁層407、酸化物半導体膜412、第1の電極415a、第2の電極415b上にゲート絶縁膜402を形成する(図4(C)参照)。

【0181】

ゲート絶縁膜402は、プラズマCVD法又はスパッタリング法等を用いて、酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、又は酸化アルミニウム層を単層又は積層して形成することができる。

40

【0182】

ゲート絶縁膜402を形成する際は、水素が含まれないようにすることが好ましい。このため、成膜時の雰囲気から水素を極力減らすことが可能なスパッタリング法でゲート絶縁膜402を成膜することが好ましい。スパッタリング法により酸化シリコン膜を成膜する場合には、ターゲットとしてシリコンターゲット又は石英ターゲットを用い、スパッタガスとして酸素、または酸素及びアルゴンの混合ガスを用いて行う。

【0183】

また、ゲート絶縁膜402は、基板400側から順に酸化シリコン層と窒化シリコン層を積層した構造とすることもできる。例えば、第1のゲート絶縁膜として膜厚5nm以上300nm以下の酸化シリコン層(SiO_x ($x > 0$))を形成し、第1のゲート絶縁膜上

50

に第2のゲート絶縁膜として膜厚50nm以上200nm以下の窒化シリコン層(SiN_y ($y > 0$))を積層して、膜厚100nmのゲート絶縁膜としてもよい。本実施の形態では、圧力0.4Pa、高周波電源1.5kW、酸素及びアルゴン(酸素流量25sccm:アルゴン流量25sccm=1:1)雰囲気下でRFスパッタリング法により膜厚100nmの酸化シリコン層を形成する。

【0184】

次に、第3のフォトリソグラフィ工程によりレジストマスクを形成し、選択的にエッチングを行ってゲート絶縁膜402の一部を除去することにより、第1の電極415a、第2の電極415bに達する開口417a及び開口417bを形成する(図4(D)参照)。なお、レジストマスクをインクジェット法で形成する場合、フォトマスクを使用しないため、製造コストを低減できる。

10

【0185】

次に、ゲート絶縁膜402、開口417a、及び開口417b上に導電膜を形成した後、第4のフォトリソグラフィ工程によりゲート電極411、第1の配線414a、第2の配線414bを形成する(図4(E)参照)。

【0186】

ゲート電極411、第1の配線414a、第2の配線414bの材料は、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウム等の金属材料、又はこれらを主成分とする合金材料を用いて、単層又は積層して形成することができる。ゲート電極411、第1の配線414a、及び第2の配線414bの2層構造の具体例としては、アルミニウム層上にモリブデン層が積層された構造、銅層上にモリブデン層が積層された構造、銅層上に窒化チタン層若しくは窒化タンタル層が積層された構造、または窒化チタン層上にモリブデン層が積層された構造が挙げられる。また、3層構造の具体例としては、タングステン層または窒化タングステン層と、アルミニウム及びシリコンの合金層またはアルミニウム及びチタンの合金層と、窒化チタン層またはチタン層とが積層された構造が挙げられる。なお、透光性を有する導電膜を用いてゲート電極を形成することもできる。透光性を有する導電膜の具体例としては、透光性を有する導電性酸化物が挙げられる。

20

【0187】

本実施の形態では、ゲート電極411、第1の配線414a、第2の配線414bとしてスパッタリング法により形成した膜厚150nmのチタン膜を用いる。

30

【0188】

次に、不活性ガス雰囲気下、または酸素ガス雰囲気下で第2の加熱処理(好ましくは200以上400以下、例えば250以上350以下)を行う。本実施の形態では、窒素雰囲気下で250、1時間の第2の加熱処理を行う。なお、第2の加熱処理は、トランジスタ410上に保護絶縁層や平坦化絶縁層を形成してから行ってもよい。

【0189】

また、大気中、100以上200以下、1時間以上30時間以下での加熱処理を更に行ってもよい。この加熱処理は、一定の加熱温度を保持して加熱してもよいし、室温から、100以上200の加熱温度への昇温と、加熱温度から室温までの降温を複数回繰り返して行ってもよい。

40

【0190】

以上の工程により、水素、水分、水素化物、水酸化物の濃度が低減された、高純度の酸化物半導体膜412を有するトランジスタ410を形成することができる。

【0191】

本実施の形態のトランジスタ410を、実施の形態1で述べられた、トランジスタ111、及び、コンパレータ151、デジタル演算処理回路152、パルス幅変調出力ドライバ153のそれぞれに含まれるトランジスタとして用いることができる。

【0192】

また、トランジスタ410上に保護絶縁層や、平坦化のための平坦化絶縁層を設けてもよ

50

い。保護絶縁層としては、酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、又は酸化アルミニウム層を単層又は積層して形成することができる。また、平坦化絶縁層としては、ポリイミド、アクリル、ベンゾシクロブテン、ポリアミド、エポキシ等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料（low - k 材料）、シロキサン系樹脂、PSG（リンガラス）、BPSG（リンボロンガラス）等を用いることもできる。また、これらの材料で形成される絶縁膜を複数積層させることで平坦化絶縁層を形成してもよい。

【0193】

ここで、シロキサン系樹脂とは、シロキサン系材料を出発材料として形成されたSi - O - Si結合を含む樹脂に相当する。シロキサン系樹脂は置換基としては有機基（例えばアルキル基やアリール基）やフルオロ基を用いても良い。また、有機基はフルオロ基を有していても良い。

10

【0194】

平坦化絶縁層の形成法は、特に限定されず、その材料に応じて、スパッタ法、SOG法、スピンコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法、スクリーン印刷、オフセット印刷等）、ドクターナイフ、ロールコータ、カーテンコータ、ナイフコータ等を用いることができる。

【0195】

上述したように、酸化物半導体膜を成膜するに際し、反応雰囲気中の残留水分を除去することで、酸化物半導体膜中の水素及び水素化物の濃度を低減することができる。

20

【0196】

次に図3（B）に示すトランジスタと異なる構造の例、高純度の酸化物半導体を用いたトランジスタの構造の他の例を、図5（A）～図5（C）に示す。

【0197】

図5（A）に示すトランジスタ420は、ボトムゲート型トランジスタである。トランジスタ420は、基板400上に形成されたゲート電極421と、ゲート電極421上のゲート絶縁膜422と、ゲート絶縁膜422上においてゲート電極421と重畳する酸化物半導体膜423と、酸化物半導体膜423上においてゲート電極421と重畳するチャネル保護膜424と、酸化物半導体膜423上に形成された導電膜425及び導電膜426とを有する。さらに、トランジスタ420は、酸化物半導体膜423上に形成された絶縁膜427を、その構成要素に含めても良い。トランジスタ420は、ソース電極及びドレイン電極である導電膜425及び導電膜426が、チャネル形成領域である酸化物半導体膜423の上面で接しているので、トップコンタクト型のトランジスタと言える。

30

【0198】

チャネル保護膜424を設けることによって、酸化物半導体膜423のチャネル形成領域となる部分に対する、後の工程時におけるダメージ（エッチング時のプラズマやエッチング剤による膜減りなど）を防ぐことができる。従ってトランジスタの信頼性を向上させることができる。

【0199】

チャネル保護膜424には、酸素を含む無機材料（酸化珪素、窒化酸化珪素、酸化窒化珪素、酸化アルミニウム、または酸化窒化アルミニウムなど）を用いることができる。チャネル保護膜424は、プラズマCVD法や熱CVD法などの気相成長法やスパッタリング法を用いて形成することができる。チャネル保護膜424は成膜後にエッチングにより形状を加工する。ここでは、スパッタ法により酸化珪素膜を形成し、フォトリソグラフィによるマスクを用いてエッチング加工することでチャネル保護膜424を形成する。

40

【0200】

また、島状の酸化物半導体膜423に接してチャネル保護膜424を形成すると、島状の酸化物半導体膜423中のチャネル保護膜424と接する領域が高抵抗化し、高抵抗化酸化物半導体領域となる。チャネル保護膜424の形成により、酸化物半導体膜423は、チャネル保護膜424との界面近傍に高抵抗化酸化物半導体領域を有することができる。

50

【0201】

なお、トランジスタ420は、絶縁膜427上に、バックゲート電極をさらに有していても良い。バックゲート電極は、酸化物半導体膜423のチャネル形成領域と重なるように形成する。バックゲート電極は、電氣的に絶縁しているフローティングの状態であっても良いし、電位が与えられる状態であっても良い。後者の場合、バックゲート電極には、ゲート電極421と同じ高さの電位が与えられていても良いし、グラウンドなどの固定電位が与えられていても良い。バックゲート電極に与える電位の高さを制御することで、トランジスタ420の閾値電圧を制御することができる。

【0202】

図5(B)に示すトランジスタ430は、ボトムゲート型トランジスタである。トランジスタ430は、基板400上に形成されたゲート電極431と、ゲート電極431上のゲート絶縁膜432と、ゲート絶縁膜432上の導電膜433及び導電膜434と、ゲート電極431と重なっている酸化物半導体膜435とを有する。さらに、トランジスタ430は、酸化物半導体膜435上に形成された絶縁膜437を、その構成要素に含めても良い。トランジスタ430は、ソース電極及びドレイン電極である導電膜433及び導電膜434が、チャネル形成領域である酸化物半導体膜435の下面で接しているため、ボトムコンタクト型のトランジスタと言える。

10

【0203】

また、ボトムコンタクト型のトランジスタ430の場合、導電膜433及び導電膜434の膜厚は、後に形成される酸化物半導体膜435が段切れを起こすのを防ぐために、薄くするのが望ましい。具体的には、10nm~200nm、好ましくは50nm~75nmとする。

20

【0204】

なお、トランジスタ430は、絶縁膜437上に、バックゲート電極をさらに有していても良い。バックゲート電極は、酸化物半導体膜435のチャネル形成領域と重畳するように形成する。バックゲート電極は、電氣的に絶縁しているフローティングの状態であっても良いし、電位が与えられる状態であっても良い。後者の場合、バックゲート電極には、ゲート電極431と同じ高さの電位が与えられていても良いし、グラウンドなどの固定電位が与えられていても良い。バックゲート電極に与える電位の高さを制御することで、トランジスタ430の閾値電圧を制御することができる。

30

【0205】

図5(C)に示すトランジスタ440は、トップゲート型トランジスタである。トランジスタ440は、基板400上に形成された導電膜441及び導電膜442と、導電膜441及び導電膜442上に形成された酸化物半導体膜443と、酸化物半導体膜443上のゲート絶縁膜444と、ゲート絶縁膜444上において酸化物半導体膜443と重なっているゲート電極445とを有する。さらに、トランジスタ440は、ゲート電極445上に形成された絶縁膜447を、その構成要素に含めても良い。トランジスタ440は、ソース電極及びドレイン電極である導電膜441及び導電膜442が、チャネル形成領域である酸化物半導体膜443の下面で接しているため、ボトムコンタクト型のトランジスタと言える。

40

【0206】

また、トップゲート型のトランジスタ440の場合、導電膜441及び導電膜442の膜厚は、後に形成される酸化物半導体膜443が段切れを起こすのを防ぐために、薄くするのが望ましい。具体的には、10nm~200nm、好ましくは50nm~75nmとする。

【0207】

本実施の形態により作製されるトランジスタ410、トランジスタ420、トランジスタ430、又はトランジスタ440は、nチャネル型トランジスタである。実施の形態1で述べたように、デジタル回路の出力は1か0(ゼロ)しかないので、デジタル回路を構成するトランジスタに、本実施の形態で述べたnチャネル型トランジスタのみを用いて作製

50

することが可能である。

【 0 2 0 8 】

特に、電圧変換回路 1 0 2 のトランジスタ 1 1 1 は、出力電圧が高いため、耐圧の高いトランジスタを用いると好適である。耐圧の高いトランジスタとしては、エネルギーギャップがシリコン半導体よりも大きい酸化物半導体膜をチャネル形成領域に有するトランジスタが好適である。

【 0 2 0 9 】

本実施の形態のトランジスタを用いた電源回路では、電源回路にデジタル制御方式の回路を用いることにより、トランジスタ特性にバラツキがあっても、電源回路の回路動作の劣化を抑制することが可能となる。

10

【 0 2 1 0 】

また本実施の形態のトランジスタを用いた電源回路では、電源回路にデジタル制御方式の回路を用いることにより、電源回路の面積を抑制することが可能となる。

【 0 2 1 1 】

また本実施の形態のトランジスタを用いた電源回路では、電源回路の面積を抑制することにより、電源回路のコストを抑制することが可能となる。

【 符号の説明 】

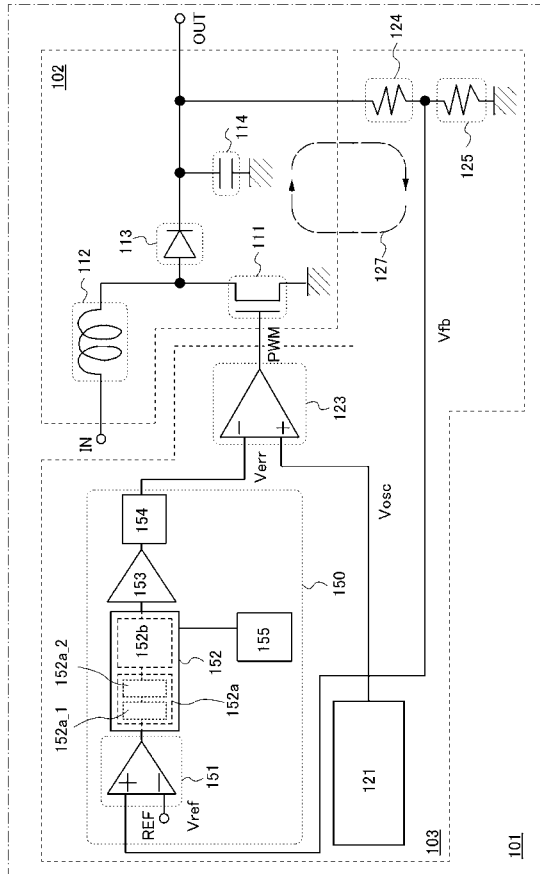
【 0 2 1 2 】

1 0 1	電源回路	
1 0 2	電圧変換回路	20
1 0 3	制御回路	
1 1 1	トランジスタ	
1 1 2	コイル	
1 1 3	ダイオード	
1 1 4	コンデンサ	
1 2 1	三角波発生回路	
1 2 3	パルス幅変調出力ドライバ	
1 2 4	抵抗	
1 2 5	抵抗	
1 2 7	矢印	30
1 5 0	回路	
1 5 1	コンパレータ	
1 5 2	デジタル演算処理回路	
1 5 2 a	デジタル平均化・積分器	
1 5 2 a __ 1	デジタル平均化回路	
1 5 2 a __ 2	デジタル積分器	
1 5 2 b	デジタルパルス幅変調器	
1 5 3	パルス幅変調出力ドライバ	
1 5 4	ローパスフィルタ	
1 5 5	クロック分割器	40
2 0 1	加算回路	
2 0 2	加減算回路	
2 0 3	カウント比較回路	
2 0 4	ラッチ回路	
2 1 1	A N D ゲート	
2 1 2	A N D ゲート	
2 1 3	X O R ゲート	
2 1 4	フリップフロップ	
2 2 1	A N D ゲート	
2 2 2	A N D ゲート	50

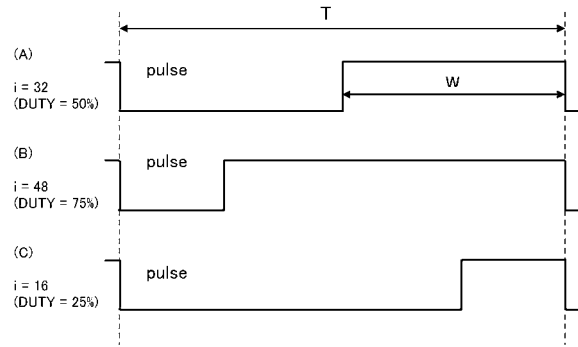
2 2 4	OR ゲート	
2 2 5	XOR ゲート	
2 2 6	XOR ゲート	
2 2 7	フリップフロップ	
2 4 1	フリップフロップ	
2 4 2	フリップフロップ	
2 4 3	NOR ゲート	
2 4 4	NOR ゲート	
2 5 1	加算器	
2 5 2	加算器	10
2 5 3	加算器	
2 5 4	加算器	
2 5 5	加算器	
2 5 6	加算器	
2 5 7	加算器	
2 5 8	加算器	
2 5 9	加算器	
2 6 1	インバータ	
2 6 2	インバータ	
2 6 3	NOR ゲート	20
2 7 1	XOR ゲート	
2 7 2	XOR ゲート	
2 7 3	XOR ゲート	
2 7 4	XOR ゲート	
2 7 5	XOR ゲート	
2 7 6	XOR ゲート	
2 7 7	NAND ゲート	
2 7 8	AND ゲート	
2 7 9	OR ゲート	
2 8 1	NAND ゲート	30
2 8 2	NAND ゲート	
4 0 0	基板	
4 0 2	ゲート絶縁膜	
4 0 7	絶縁層	
4 1 0	トランジスタ	
4 1 1	ゲート電極	
4 1 2	酸化物半導体膜	
4 1 4 a	配線	
4 1 4 b	配線	
4 1 5 a	電極	40
4 1 5 b	電極	
4 1 7 a	開口	
4 1 7 b	開口	
4 2 0	トランジスタ	
4 2 1	ゲート電極	
4 2 2	ゲート絶縁膜	
4 2 3	酸化物半導体膜	
4 2 4	チャネル保護膜	
4 2 5	導電膜	
4 2 6	導電膜	50

4 2 7	絶縁膜	
4 3 0	トランジスタ	
4 3 1	ゲート電極	
4 3 2	ゲート絶縁膜	
4 3 3	導電膜	
4 3 4	導電膜	
4 3 5	酸化物半導体膜	
4 3 7	絶縁膜	
4 4 0	トランジスタ	
4 4 1	導電膜	10
4 4 2	導電膜	
4 4 3	酸化物半導体膜	
4 4 4	ゲート絶縁膜	
4 4 5	ゲート電極	
4 4 7	絶縁膜	
CNT__RST	制御リセット信号	
CNT 0	信号	
CNT 1	信号	
CNT 2	信号	
CNT 3	信号	20
CNT 4	信号	
CNT 5	信号	
COMP	信号	
RST	リセット信号	
CLK	クロック信号	
CIN	入力信号	
COUT	出力信号	
LIMIT	リミット信号	
DIG__AVE	平均化されたデジタル信号	
CONT	制御信号	30
SET - CNT 0	信号	
SET - CNT 1	信号	
SET - CNT 2	信号	
SET - CNT 3	信号	
SET - CNT 4	信号	
SET - CNT 5	信号	
PWM	パルス幅変調出力信号	
HIGH - SET	信号	
LOW - SET	信号	
pulse	信号	40

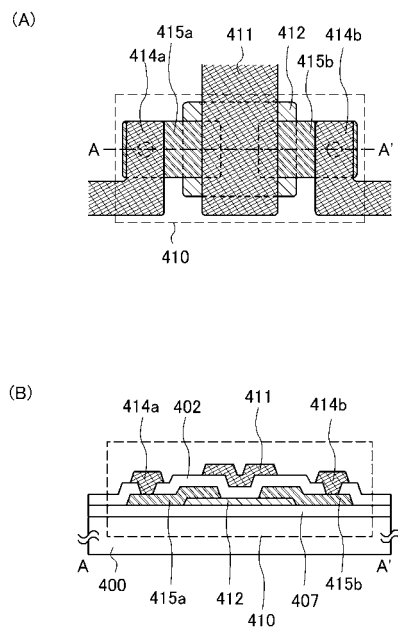
【図 1】



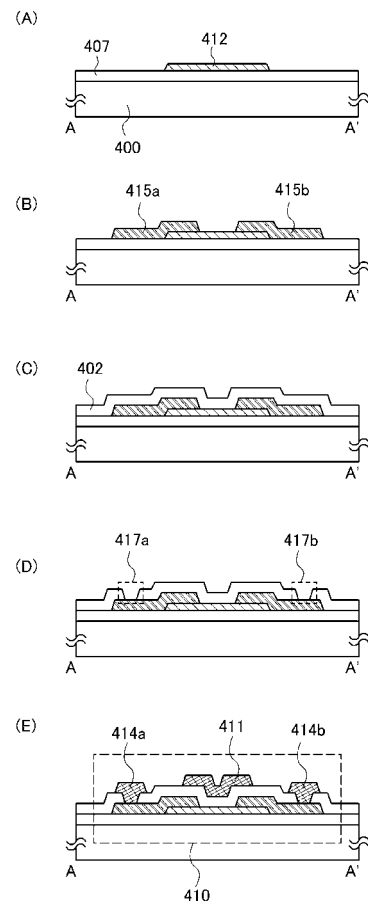
【図 2】



【図 3】

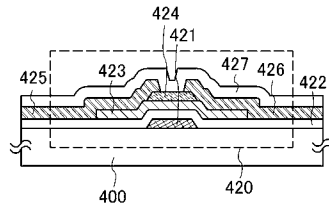


【図 4】

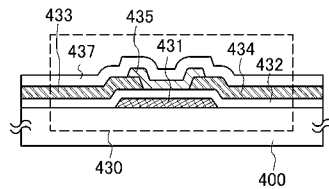


【図 5】

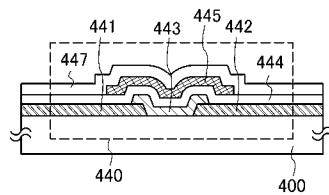
(A)



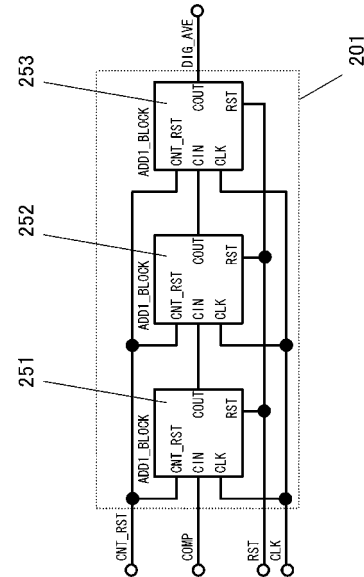
(B)



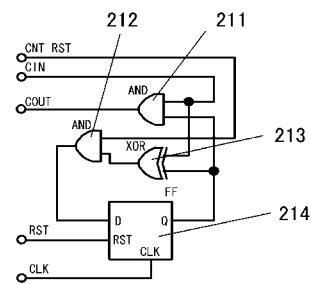
(C)



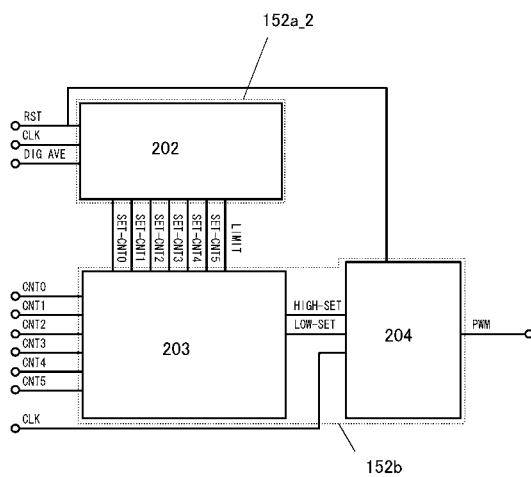
【図 6】



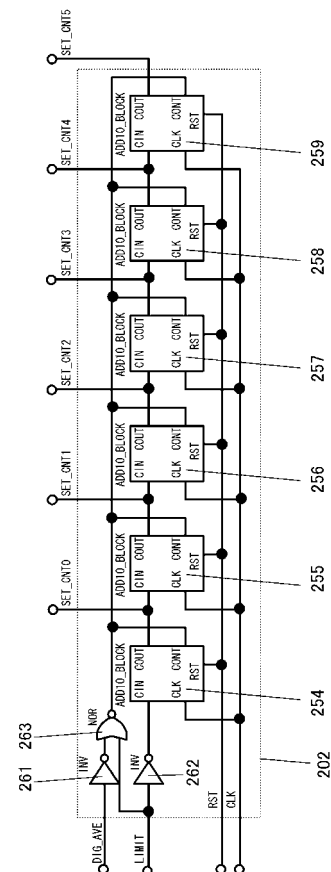
【図 7】



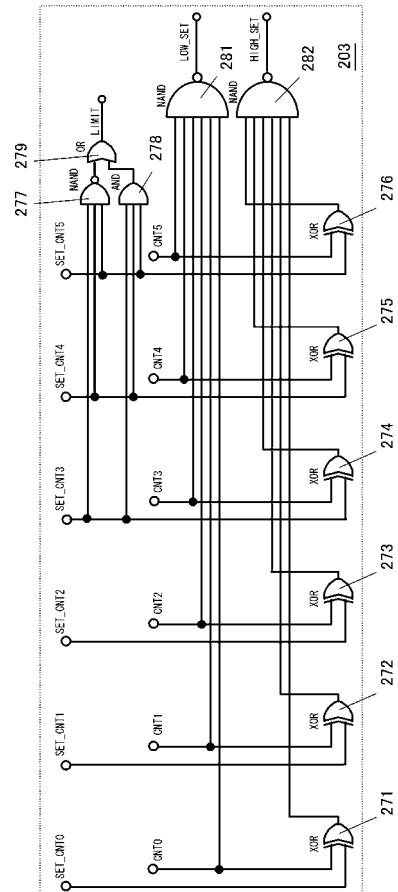
【図 8】



【図 9】



【 図 1 1 】



The diagram shows a digital logic circuit 204. It contains two D-type flip-flops, 241 and 242, and two NOR gates, 243 and 244. The inputs are HIGH-SET, LOW-SET, RST, and CLK. The output is PWM. The circuit is enclosed in a dashed box labeled 204.

フロントページの続き

F ターム(参考) 5F110 AA30 BB20 CC01 CC03 CC05 CC07 DD01 DD02 DD03 DD12
DD13 DD14 DD15 DD17 EE01 EE02 EE03 EE04 EE06 EE07
EE14 EE15 EE27 EE30 EE48 FF01 FF02 FF03 FF04 FF09
FF28 FF30 GG01 GG06 GG24 GG25 GG35 GG43 GG58 HK02
HK03 HK04 HK06 HK07 HK21 HK22 HK32 HK33 HM03 NN03
NN16 NN22 NN23 NN24 NN25 NN27 NN33 NN34 NN36 NN40
5H730 AA04 AA20 BB14 BB57 DD04 EE59 FD01 FF06 FG05