



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2022년06월28일  
(11) 등록번호 10-2413441  
(24) 등록일자 2022년06월22일

(51) 국제특허분류(Int. Cl.)  
H01L 25/065 (2006.01) H01L 23/48 (2006.01)  
H01L 23/488 (2006.01) H01L 23/495 (2006.01)  
(52) CPC특허분류  
H01L 25/0655 (2013.01)  
H01L 23/481 (2013.01)  
(21) 출원번호 10-2015-0158942  
(22) 출원일자 2015년11월12일  
심사청구일자 2020년11월10일  
(65) 공개번호 10-2017-0056071  
(43) 공개일자 2017년05월23일  
(56) 선행기술조사문헌  
KR100541393 B1\*  
KR1020150103835 A\*  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
삼성전자주식회사  
경기도 수원시 영통구 삼성로 129 (매탄동)  
(72) 발명자  
김형준  
서울특별시 송파구 송파대로32길 15 가락금호아파트 106동 803호  
박광일  
경기도 수원시 수지구 성북1로164번길 20, 101동 1601호 (성북동, 버들치마을 성북자이1차)  
(뒷면에 계속)  
(74) 대리인  
특허법인 고려

전체 청구항 수 : 총 10 항

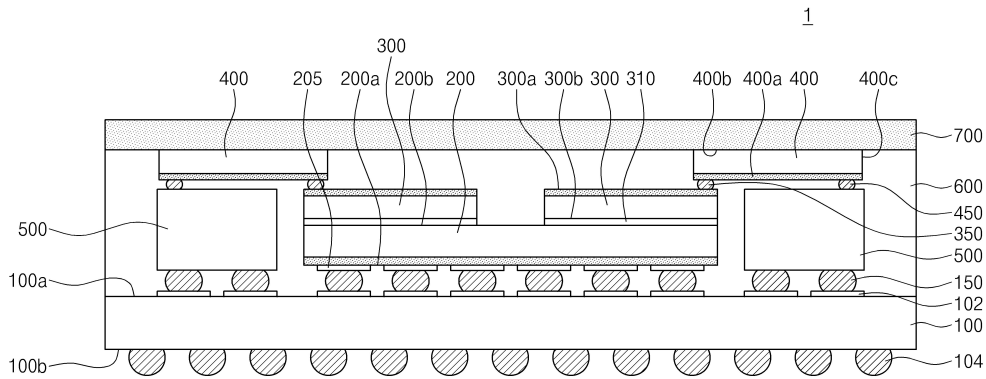
심사관 : 안경민

(54) 발명의 명칭 반도체 패키지

(57) 요약

본 발명의 실시예에 따라 반도체 패키지를 제공한다. 반도체 패키지는 기판 상에 실장된 로직 칩, 상기 로직 칩 상에 배치되고 제 1 활성면을 가지는 적어도 하나의 제 1 메모리 칩 및 상기 제 1 메모리 칩 상에 오프셋 구조로 배치되고, 제 2 활성면을 가지는 적어도 하나의 제 2 메모리 칩을 포함하고, 상기 제 1 활성면과 상기 제 2 활성면은 서로 마주보도록 배치되어 제 1 솔더 범프를 통해 전기적으로 연결된다.

대표도



(52) CPC특허분류

*H01L 23/488* (2013.01)

*H01L 23/49503* (2013.01)

*H01L 25/0652* (2013.01)

(72) 발명자

**권석홍**

경기도 화성시 메타폴리스로 6, 310동 304호 (반송동, 동탄시범다운마을 삼성래미안)

**박철성**

서울특별시 서초구 효령로68길 13, 21동 1104호 (서초동, 현대아파트)

**서은성**

서울특별시 성동구 금호로 17 (금호동4가, 서울숲2차푸르지오) 209-403

**이희진**

경기도 성남시 분당구 정자일로 248, 608동 1101호 (정자동, 파크뷰)

**박기중**

인천광역시 남동구 방축로 501, 7동 205호 (간석동, 우성아파트)

## 명세서

### 청구범위

#### 청구항 1

기판 상에 실장되고, 상기 기판을 향하는 활성면을 갖는 로직 칩, 상기 로직 칩은 상기 로직 칩의 상기 활성면과 상기 기판 사이에 제공되는 연결 단자들을 통해 상기 기판에 접속되고;

상기 로직 칩 상에 배치되고 제 1 활성면을 가지는 적어도 하나의 제 1 메모리 칩; 및

상기 제 1 메모리 칩 상에 오프셋 구조로 배치되고, 제 2 활성면을 가지는 적어도 하나의 제 2 메모리 칩을 포함하고,

상기 제 1 활성면과 상기 제 2 활성면은 서로 마주보도록 배치되어 제 1 솔더 범프를 통해 전기적으로 연결되는 반도체 패키지.

#### 청구항 2

제 1 항에 있어서,

상기 제 2 메모리 칩은 상기 제 2 활성면에 배치되는 재배선을 가지고,

상기 재배선은 상기 제 1 솔더 범프를 통해 상기 제 1 메모리 칩과 전기적으로 연결되고, 본딩 부재를 통해 상기 기판과 전기적으로 연결되고,

상기 본딩 부재는 인터포저, 필러 또는 TMV(through mold via) 중 어느 하나인 반도체 패키지.

#### 청구항 3

제 2 항에 있어서,

상기 재배선은:

상기 제 2 활성면의 중앙에 배치되는 전극패드;

상기 제 2 활성면의 일측에 제공되어 상기 전극패드와 연결되는 제 1 연결패드; 및

상기 일측에 대향하는 타측에 제공되어 상기 전극패드와 연결되는 제 2 연결패드를 포함하고,

상기 제 1 연결패드는 상기 제 1 메모리 칩과 전기적으로 연결되고, 상기 제 2 연결 패드는 상기 기판과 전기적으로 연결되는 반도체 패키지.

#### 청구항 4

제 1 항에 있어서,

상기 제 1 메모리 칩은 상기 제 1 활성면에 배치되는 재배선을 가지고,

상기 재배선은 상기 제 1 솔더 범프를 통해 상기 제 2 메모리 칩과 전기적으로 연결되고, 제 2 솔더 범프를 통해 상기 로직 칩과 전기적으로 연결되는 반도체 패키지.

#### 청구항 5

제 4 항에 있어서,

상기 재배선은:

상기 제 1 활성면의 중앙에 배치되는 전극패드;

상기 제 1 활성면의 일측에 제공되어 상기 전극패드와 연결되는 제 1 연결패드; 및

상기 일측에 대향하는 타측에 제공되어 상기 전극패드와 연결되는 제 2 연결패드를 포함하고,

상기 제 1 연결패드는 상기 제 2 메모리 칩과 연결되고, 상기 제 2 연결 패드는 상기 로직 칩과 연결되는 반도체 패키지.

**청구항 6**

기관 상에 실장되고, 상기 기관을 향하는 활성면을 갖는 로직 칩, 상기 로직 칩은 상기 로직 칩의 상기 활성면과 상기 기관 사이에 제공되는 연결 단자들을 통해 상기 기관에 접속되고;

상기 로직 칩 상에 배치되고 제 1 활성면 및 제 1 비활성면을 가지는 적어도 하나의 제 1 메모리 칩;

상기 제 1 메모리 칩들 상에 오프셋 구조로 배치되고, 제 2 활성면 및 제 2 비활성면을 가지는 적어도 하나의 제 2 메모리 칩; 및

상기 제 1 메모리칩은 상기 제 1 활성면에 배치되는 제 1 재배선을 가지고, 상기 제 2 메모리 칩은 상기 제 2 활성면에 배치되는 제 2 재배선을 가지고, 상기 제 1 활성면과 상기 제 2 활성면은 서로 마주보도록 배치되어 상기 제 1 재배선과 상기 제 2 재배선은 전기적으로 연결되는 반도체 패키지.

**청구항 7**

제 6 항에 있어서,

상기 제 1 재배선과 상기 제 2 재배선의 각각은 좌우 대칭되도록 배치되고,

상기 제 1 재배선과 상기 제 2 재배선은 동일한 구조인 반도체 패키지.

**청구항 8**

제 6 항에 있어서,

상기 제 1 재배선은:

상기 제 1 활성면의 중앙에 배치되는 제 1 전극패드;

상기 제 1 활성면 상의 일측에 제공되어 상기 제 1 전극패드와 연결되는 제 1 연결패드; 및

상기 일측에 대향하는 상기 제 1 활성면 상의 타측에 제공되어 상기 제 1 전극패드와 연결되는 제 2 연결패드를 가지고,

상기 제 2 재배선은:

상기 제 2 활성면의 중앙에 배치되는 제 2 전극패드;

상기 제 2 활성면 상의 일측에 제공되어 상기 제 2 전극패드와 연결되는 제 3 연결패드; 및

상기 일측에 대향하는 상기 제 2 활성면 상의 타측에 제공되어 상기 제 2 전극패드와 연결되는 제 4 연결패드; 를 가지는 반도체 패키지.

**청구항 9**

제 8 항에 있어서,

상기 제 1 비활성면은 상기 로직 칩의 비활성면과 마주보게 배치되고,

상기 제 2 활성면은 상기 기관을 마주보게 배치되고,

상기 제 1 연결 패드와 상기 제 3 연결 패드는 수직적으로 중첩되고, 서로 전기적으로 연결되어 동일한 입출력 신호의 경로가 되는 반도체 패키지.

**청구항 10**

제 8 항에 있어서,

상기 제 1 활성면은 상기 로직 칩의 활성면과 마주보게 배치되고,

상기 제 2 활성면은 상기 기관을 마주보게 배치되고,

상기 제 1 연결 패드와 상기 제 3 연결 패드는 수직적으로 중첩되고, 서로 전기적으로 연결되어 동일한 입출력 신호의 경로가 되는 반도체 패키지.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 반도체 패키지에 관한 것으로, 활성층이 서로 마주보도록 제공된 메모리 칩들을 포함하는 반도체 패키지에 관한 것이다.

**배경 기술**

[0002] 반도체 기술이 발전함에 따라, 반도체 소자의 소형화와 고용량화가 요구되고 있다. 이러한 추세에 대응하여 하나의 패키지 기관에 여러 반도체 칩들을 적층하여 실장하거나 패키지 위에 패키지를 적층하는 방법이 대두되고 있다.

[0003] 일반적으로, 패키지 기관에 복수개의 메모리 칩들을 적층하기 위하여 TSV 공정, 플립 칩 공정 및 와이어 본딩 공정 등이 사용되고 있다. 다만, TSV 공정은 공정이 복잡하고 비용이 과다한 문제점이 있어, 이를 해결할 공정의 필요성이 대두될 수 있다.

**발명의 내용**

**해결하려는 과제**

[0004] 본 발명의 기술적 과제는 활성면이 서로 마주보는 메모리 칩들이 적층된 반도체 패키지를 제공하는 것이다.

[0005] 본 발명의 기술적 과제는 활성면에 재배선이 형성된 메모리 칩들을 적층하되, 메모리 칩들의 활성면이 서로 마주보는 반도체 패키지를 제공하는 것이다.

**과제의 해결 수단**

[0006] 본 발명의 실시예에 따라 반도체 패키지를 제공한다. 반도체 패키지는 기관 상에 실장된 로직 칩, 상기 로직 칩 상에 배치되고 제 1 활성면을 가지는 적어도 하나의 제 1 메모리 칩 및 상기 제 1 메모리 칩 상에 오프셋 구조로 배치되고, 제 2 활성면을 가지는 적어도 하나의 제 2 메모리 칩을 포함하고, 상기 제 1 활성면과 상기 제 2 활성면은 서로 마주보도록 배치되어 제 1 솔더 범프를 통해 전기적으로 연결된다.

[0007] 일 예에 의하여, 상기 제 2 메모리 칩은 상기 제 2 활성면에 배치되는 재배선을 가지고, 상기 재배선은 상기 제 1 솔더 범프를 통해 상기 제 1 메모리 칩과 전기적으로 연결되고, 본딩 부재를 통해 상기 기관과 전기적으로 연결되되, 상기 본딩 부재는 인터포저, 필러 또는 TMV(through mold via) 중 어느 하나이다.

[0008] 일 예에 의하여, 상기 재배선은, 상기 제 2 활성면의 중앙에 배치되는 전극패드, 상기 제 2 활성면의 일측에 제공되어 상기 전극패드와 연결되는 제 1 연결패드 및 상기 일측에 대향하는 타측에 제공되어 상기 전극패드와 연결되는 제 2 연결패드를 포함하고, 상기 제 1 연결패드는 상기 제 1 메모리 칩과 전기적으로 연결되고, 상기 제 2 연결 패드는 상기 기관과 전기적으로 연결된다.

[0009] 일 예에 의하여, 상기 제 1 메모리 칩은 상기 제 1 활성면에 배치되는 재배선을 가지고, 상기 재배선은 상기 제 1 솔더 범프를 통해 상기 제 2 메모리 칩과 전기적으로 연결되고, 제 2 솔더 범프를 통해 상기 로직 칩과 전기적으로 연결된다.

[0010] 일 예에 의하여, 상기 재배선은, 상기 제 1 활성면의 중앙에 배치되는 전극패드, 상기 제 1 활성면의 일측에 제공되어 상기 전극패드와 연결되는 제 1 연결패드 및 상기 일측에 대향하는 타측에 제공되어 상기 전극패드와 연결되는 제 2 연결패드를 포함하고, 상기 제 1 연결패드는 상기 제 2 메모리 칩과 연결되고, 상기 제 2 연결 패드는 상기 로직 칩과 연결된다.

[0011] 본 발명의 실시예에 따라 반도체 패키지를 제공한다. 반도체 패키지는 기관 상에 실장된 로직 칩, 상기 로직 칩 상에 배치되고 제 1 활성면 및 제 1 비활성면을 가지는 적어도 하나의 제 1 메모리 칩, 상기 제 1 메모리 칩들 상에 오프셋 구조로 배치되고, 제 2 활성면 및 제 2 비활성면을 가지는 적어도 하나의 제 2 메모리 칩 및 상기

제 1 메모리 칩은 상기 제 1 활성면에 배치되는 제 1 재배선을 가지고, 상기 제 2 메모리 칩은 상기 제 2 활성면에 배치되는 제 2 재배선을 가지고, 상기 제 1 활성면과 상기 제 2 활성면은 서로 마주보도록 배치되어 상기 제 1 재배선과 상기 제 2 재배선은 전기적으로 연결된다.

- [0012] 일 예에 의하여, 상기 제 1 재배선과 상기 제 2 재배선의 각각은 좌우 대칭되도록 배치되고, 상기 제 1 재배선과 상기 제 2 재배선은 동일한 구조이다.
- [0013] 일 예에 의하여, 상기 제 1 메모리 칩과 상기 제 2 메모리 칩은 복수개로 제공되고, 상기 제 1 메모리 칩들과 상기 제 2 메모리 칩들은 상기 로직 칩을 기준으로 좌우 대칭되어 배치된다.
- [0014] 일 예에 의하여, 상기 제 1 재배선은, 상기 제 1 활성면의 중앙에 배치되는 제 1 전극패드, 상기 제 1 활성면 상의 일측에 제공되어 상기 제 1 전극패드와 연결되는 제 1 연결패드 및 상기 일측에 대향하는 상기 제 1 활성면 상의 타측에 제공되어 상기 제 1 전극패드와 연결되는 제 2 연결패드를 가지고, 상기 제 2 재배선은, 상기 제 2 활성면의 중앙에 배치되는 제 2 전극패드, 상기 제 2 활성면 상의 일측에 제공되어 상기 제 2 전극패드와 연결되는 제 3 연결패드 및 상기 일측에 대향하는 상기 제 2 활성면 상의 타측에 제공되어 상기 제 2 전극패드와 연결되는 제 4 연결패드를 가진다.
- [0015] 일 예에 의하여, 상기 제 1 비활성면은 상기 로직 칩의 비활성면과 마주보게 배치되고, 상기 제 2 활성면은 상기 기판을 마주보게 배치되고, 상기 제 1 연결 패드와 상기 제 3 연결 패드는 수직적으로 중첩되고, 서로 전기적으로 연결되어 동일한 입출력 신호의 경로가 된다.
- [0016] 일 예에 의하여, 상기 제 4 연결패드와 상기 기판을 전기적으로 연결하는 본딩 부재를 포함하고, 상기 본딩 부재는 인터포저, 필러 또는 TMV(through mold via) 중 어느 하나이다.
- [0017] 일 예에 의하여, 상기 로직 칩, 상기 제 1 메모리 칩 및 상기 제 2 메모리 칩의 측면들을 덮고, 상기 제 2 메모리 칩의 상기 제 2 비활성면을 노출하는 몰드막 및 노출된 상기 제 2 비활성면과 상기 몰드막 상에 배치되는 열 방출층을 더 포함한다.
- [0018] 일 예에 의하여, 상기 제 1 활성면은 상기 로직 칩의 활성면과 마주보게 배치되고, 상기 제 2 활성면은 상기 기판을 마주보게 배치되고, 상기 제 1 연결 패드와 상기 제 3 연결 패드는 수직적으로 중첩되고, 서로 전기적으로 연결되어 동일한 입출력 신호의 경로가 된다.
- [0019] 일 예에 의하여, 상기 제 2 연결패드는 상기 로직 칩과 전기적으로 연결된다.
- [0020] 일 예에 의하여, 상기 로직 칩의 측면들, 상기 제 1 메모리 칩 및 상기 제 2 메모리 칩의 측면들을 덮고, 상기 로직 칩의 비활성면 및 상기 제 2 메모리 칩들의 상기 제 2 비활성면을 노출하는 몰드막 및 노출된 상기 로직 칩의 상기 비활성면, 상기 제 2 비활성면 및 상기 몰드막 상에 배치되는 열 방출층을 더 포함한다.

**발명의 효과**

- [0021] 본 발명의 실시예에 따르면, 동일한 반도체 공정을 거쳐 형성된 웨이퍼에서 분리된 메모리 칩들로 반도체 패키지를 형성할 수 있고, 메모리 칩들의 활성면이 서로 마주보도록 배치하여 TSV 공정이나 와이어 본딩 공정 없이 메모리 칩들과 로직 칩이 전기적으로 연결된 반도체 패키지를 형성할 수 있다.
- [0022] 본 발명의 실시예에 따르면, 재배선 구조가 동일한 메모리 칩들의 활성면이 서로 마주보도록 메모리 칩들을 배치하여 TSV 공정없이 반도체 패키지를 형성할 수 있고, 이에 따라 공정 비용을 감소시킬 수 있다.

**도면의 간단한 설명**

- [0023] 도 1은 본 발명의 실시예에 따른 반도체 패키지를 나타내는 단면도이다.
- 도 2a 및 도 2b는 본 발명의 실시예에 따른 메모리 칩들을 나타내는 단면도들이다.
- 도 3은 본 발명의 실시예에 따른 제 1 메모리 칩과 제 2 메모리 칩의 결합관계를 나타내는 도면이다.
- 도 4는 본 발명의 실시예에 따른 반도체 패키지의 변형예를 나타내는 단면도이다.
- 도 5는 본 발명의 실시예에 따른 반도체 패키지를 나타내는 단면도이다.
- 도 6은 본 발명의 실시예에 따른 메모리 칩들을 나타내는 단면도이다.

도 7은 본 발명의 실시예에 따른 제 1 반도체 칩과 제 2 반도체 칩의 결합관계를 나타내는 도면이다.

도 8은 본 발명의 실시예에 따른 반도체 패키지를 나타내는 단면도이다.

도 9는 본 발명의 실시예에 따른 메모리 칩들을 나타내는 단면도이다.

도 10은 본 발명의 실시예에 따른 반도체 패키지를 나타내는 단면도이다.

도 11은 본 발명의 실시예에 따른 메모리 칩들을 나타내는 단면도이다.

도 12는 본 발명의 실시예에 따른 반도체 패키지를 나타내는 단면도이다.

도 13은 본 발명의 실시예에 따른 메모리 칩들을 나타내는 단면도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0024] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예를 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예는 본 발명의 개시가 완전하도록 하고, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전문에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0025] 또한, 본 명세서에서 기술하는 실시예들은 본 발명의 이상적인 예시도인 단면도 및/또는 평면도들을 참고하여 설명될 것이다. 도면들에 있어서, 막 및 영역들의 두께는 기술적 내용의 효과적인 설명을 위해 과장된 것이다. 따라서, 제조 기술 및/또는 허용 오차 등에 의해 예시도의 형태가 변형될 수 있다. 따라서, 본 발명의 실시예들은 도시된 특정 형태로 제한되는 것이 아니라 제조 공정에 따라 생성되는 형태의 변화도 포함되는 것이다. 예를 들면, 직각으로 도시된 식각 영역은 라운드지거나 소정 곡률을 가지는 형태일 수 있다. 따라서, 도면에서 예시된 영역들은 개략적인 속성을 가지며, 도면에서 예시된 영역들의 모양은 소자의 영역의 특정 형태를 예시하기 위한 것이며 발명의 범주를 제한하기 위한 것이 아니다.
- [0027] 도 1은 본 발명의 실시예에 따른 반도체 패키지를 나타내는 단면도이다.
- [0028] 도 1을 참조하면, 반도체 패키지(1)는 기판(100), 로직 칩(200), 제 1 메모리 칩(300), 제 2 메모리 칩(400), 본딩 부재(500) 및 몰드막(600)을 포함할 수 있다.
- [0029] 기판(100)은 상면(100a)과 그 반대면인 하면(100b)을 가지고, 그 내부에 회로 배선을 가지는 인쇄회로기판(PCB)일 수 있다. 기판(100)의 상면(100a) 상에는 실장 패드(102)가 배치될 수 있고, 기판(100)의 하면(100b) 상에는 외부 단자(104)가 제공될 수 있다. 외부 단자(104)는 주석(Sn), 납(Pb), 니켈(Ni), 금(Au), 은(Ag), 구리(Cu) 또는 비스무스(Bi) 중 적어도 하나의 금속을 포함할 수 있다.
- [0030] 로직 칩(200)은 기판(100)의 상면(100a) 상에 배치될 수 있다. 로직 칩(200)은 기판(100)을 마주보는 활성면(200a)과 그 반대면인 비활성면(200b)을 가질 수 있다. 로직 칩(200)의 활성면(200a)에는 패드(205)가 배치될 수 있다. 패드(205)와 기판(100)의 실장 패드(102) 사이에는 연결 단자(150)가 제공될 수 있고, 로직 칩(200)은 연결 단자(150)를 통해 기판(100)의 상면(100a) 상에 플립 칩(flip-chip) 본딩될 수 있다. 로직 칩(200)은 로직 소자(logic device)를 포함하는 컨트롤러(controller) 또는 마이크로프로세서(microprocessor) 일 수 있다.
- [0031] 제 1 메모리 칩(300)은 로직 칩(200)의 비활성면(200b) 상에 배치될 수 있다. 제 1 메모리 칩(300)은 적어도 하나 이상 제공될 수 있다. 예를 들어, 제 1 메모리 칩(300)은 복수개로 제공될 수 있고, 로직 칩(200) 상에 서로 이격되어 배치될 수 있다. 제 1 메모리 칩(300)은 회로 패턴이 제공되는 제 1 활성면(300a)과 제 1 활성면(300a)과 대향하고 로직 칩(200)을 마주보는 제 1 비활성면(300b)을 가질 수 있다. 예를 들어, 제 1 메모리 칩(300)은 디램(DRAM), 에스램(SRAM), 플래시(Flash), 피램(PRAM), 알이램(ReRAM), 예프이램(FerAM) 또는 엠램(MRAM)을 포함할 수 있다. 그러나, 이에 한정되는 것은 아니다. 제 1 메모리 칩(300)과 로직 칩(200) 사이에는 접착층(301)이 제공될 수 있다. 접착층(301)은 NCF(non-conductive film), ACF(anisotropic conductive film), UV 감응 필름, 순간 접착제, 열경화성 접착제, 레이저 경화형 접착제 및 초음파 경화형 접착제, NCP(non-conductive paste) 등일 수 있다. 접착층(301)을 통해 제 1 메모리 칩(300)은 로직 칩(200)의 비활성면(200b)에 부착될 수 있다.
- [0032] 제 2 메모리 칩(400)은 제 1 메모리 칩(300) 상에 배치될 수 있다. 제 2 메모리 칩(400)은 제 1 메모리 칩(300) 상에 오프셋(Offset) 구조로 배치될 수 있다. 제 2 메모리 칩(400)은 적어도 하나 이상 제공될 수 있다. 제 2

메모리 칩(400)은 제 1 메모리 칩(300)을 마주보는 제 2 활성면(400a), 제 2 활성면(400a)과 대향하는 제 2 비활성면(400b), 및 제 2 활성면(400a)과 제 2 비활성면(400b)을 연결하는 측면들(400c)을 가질 수 있다. 예를 들어, 제 2 메모리 칩(400)은 디램(DRAM), 에스램(SRAM), 플래시(flash), 피램(PRAM), 알이램(ReRAM), 에프이램(FerAM) 또는 엠램(MRAM)을 포함할 수 있다. 그러나, 이에 한정되는 것은 아니다.

[0033] 복수개로 제공되는 제 1 메모리 칩들(300)과 제 2 메모리 칩들(400)은 계단 형태로 적층될 수 있다. 제 1 메모리 칩(300)의 제 1 활성면(300a)과 제 2 메모리 칩(400)의 제 2 활성면(400a)은 서로 마주볼 수 있다. 제 1 메모리 칩(300)과 제 2 메모리 칩(400)은 제 1 솔더 범프(350)를 통해 전기적으로 연결될 수 있다. 제 1 솔더 범프(350)는 주석(Sn), 납(Pb), 니켈(Ni), 금(Au), 은(Ag), 구리(Cu) 또는 비스무스(Bi) 중 적어도 하나의 금속을 포함할 수 있다.

[0034] 본딩 부재(500)는 제 2 메모리 칩(400)과 기판(100) 사이에 배치될 수 있다. 본딩 부재(500)는 복수개로 제공될 수 있고, 로직 칩(200)과 옆으로 이격되어 제공될 수 있다. 본딩 부재(500)는 그 내부에 회로배선을 가지는 인쇄회로기판(PCB)일 수 있다. 예를 들어, 본딩 부재(500)는 인터포저일 수 있다. 본딩 부재(500)는 적어도 하나의 제 2 메모리 칩(400)의 제 2 활성면(400a)과 기판(100)을 전기적으로 연결할 수 있다. 인터포저(500)는 제 2 솔더 범프(450)를 통해 제 2 메모리 칩(400)의 제 2 활성면(400a)과 연결될 수 있고, 연결 단자(150)를 통해 기판(100)과 연결될 수 있다. 제 2 솔더 범프(450)는 주석(Sn), 납(Pb), 니켈(Ni), 금(Au), 은(Ag), 구리(Cu) 또는 비스무스(Bi) 중 적어도 하나의 금속을 포함할 수 있다.

[0035] 몰드막(600)은 기판(100)의 상면(100a), 제 1 메모리 칩들(300) 및 제 2 메모리 칩들(400)의 측면들(400c)을 덮을 수 있고, 제 2 메모리 칩들(400)의 제 2 비활성면(400b)을 노출시킬 수 있다. 몰드막(600)의 상면은 제 2 메모리 칩(400)의 제 2 비활성면(400b)과 동일한 레벨을 가질 수 있다. 몰드막(600)은 에폭시 몰딩 컴파운드(EMC) 같은 절연성 고분자 물질을 포함할 수 있다.

[0036] 열 방출층(700)은 몰드막(600) 상에 배치될 수 있다. 열 방출층(700)은 제 2 메모리 칩(400)의 제 2 비활성면(400b)을 덮을 수 있다. 열 방출층(700)은 열 매개 물질(Thermal Interface Material; TIM)을 포함할 수 있다. 열 방출층(700)은 제 2 메모리 칩(400)의 제 2 비활성면(400b)과 직접 접촉하여 제 2 메모리 칩(400)에서 발생하는 열을 방출할 수 있다.

[0038] 본 발명의 실시예에 따르면, 로직 칩(200)과 메모리 칩들(300, 400)은 직접 연결되지 않고, 기판(100)을 통해 전기적으로 연결될 수 있다. 로직 칩(200)이 전송하는 신호 및/또는 데이터는 기판(100) 및 본딩 부재(500)를 통해 제 1 메모리 칩(300) 및 제 2 메모리 칩(400)으로 전달될 수 있다. 또한, TSV공정을 사용하지 않고, 로직 칩(200)과 메모리 칩들(300, 400)을 전기적으로 연결할 수 있어 공정 비용이 감소할 수 있고, 와이어 본딩 공정을 사용하지 않아 반도체 패키지(1)의 박형화가 가능할 수 있다.

[0040] 도 2a 및 도 2b는 본 발명의 실시예에 따른 메모리 칩들을 나타내는 단면도들이다.

[0041] 도 1 및 도 2a를 참조하면, 제 1 메모리 칩(300)은 제 1 활성면(300a)에 배치된 제 1 재배선(310)을 가지고, 제 2 메모리 칩(400)은 제 2 활성면(400a)에 배치된 제 2 재배선(410)을 가질 수 있다. 제 1 활성면(300a)과 제 2 활성면(400a)은 서로 마주보도록 배치될 수 있다.

[0042] 제 1 재배선(310)은 제 1 전극패드(311), 제 1 금속배선(312), 제 1 연결패드(313a) 및 제 2 연결패드(313b)를 포함할 수 있다. 제 1 전극패드(311)는 제 1 메모리 칩(300) 내부에 제공되는 내부 회로(미도시)와 연결될 수 있다. 제 1 연결패드(313a) 및 제 2 연결패드(313b)는 제 1 금속배선(312)을 통해 제 1 전극패드(311)와 연결될 수 있다. 제 1 연결패드(313a)는 제 1 활성면(300a) 상의 일측에 제공될 수 있고, 제 2 연결패드(313b)는 일측에 대향하는 제 1 활성면(300a) 상의 타측에 제공될 수 있다. 제 1 연결패드(313a)와 제 2 연결패드(313b)는 제 1 전극패드(311)를 기준으로 대칭되게 배치될 수 있다.

[0043] 제 2 재배선(410)은 제 2 전극패드(411), 제 2 금속배선(412), 제 3 연결패드(413a) 및 제 4 연결패드(413b)를 포함할 수 있다. 제 2 전극패드(411)는 제 2 메모리 칩(400) 내부에 제공되는 내부 회로(미도시)와 연결될 수 있다. 제 3 연결패드(413a) 및 제 4 연결패드(413b)는 제 2 금속배선(412)을 통해 제 2 전극패드(411)와 연결될 수 있다. 제 3 연결패드(413a)는 제 2 활성면(400a) 상의 일측에 제공될 수 있고, 제 4 연결패드(413b)는 일측에 대향하는 제 2 활성면(400a) 상의 타측에 제공될 수 있다. 제 3 연결패드(413a)와 제 4 연결패드(413b)는 제 2 전극패드(411)를 기준으로 대칭되게 배치될 수 있다.

[0044] 제 1 메모리 칩(300)과 제 2 메모리 칩(400)은 제 1 솔더 범프(350)를 통해 전기적으로 연결될 수 있다. 예를 들어, 제 1 솔더 범프(350)는 솔더볼일 수 있다. 제 1 연결패드(313a)와 제 3 연결패드(413a)는 수직적으로 중



칩될 수 있고, 제 1 연결패드(313a)와 제 3 연결패드(413a) 사이에 제 1 솔더 범프(350)가 제공될 수 있다.

- [0045] 제 4 연결패드(413b)는 본딩 부재(500)를 통해 기판(100)과 전기적으로 연결될 수 있다. 제 4 연결패드(413b)와 본딩 부재(500) 사이에는 제 2 솔더 범프(450)가 제공될 수 있다.
- [0046] 도 1 및 도 2b를 참조하면, 제 1 메모리 칩(300)과 제 2 메모리 칩(400)은 제 1 솔더 범프(380)를 통해 전기적으로 연결될 수 있다. 예를 들어, 제 1 솔더 범프(380)는 전도성 필러일 수 있다. 전도성 필러는 구리(Cu)일 수 있다.
- [0048] 도 3은 본 발명의 실시예에 따른 제 1 메모리 칩과 제 2 메모리 칩의 결합관계를 나타내는 도면이다.
- [0049] 도 1 내지 도 3을 참조하면, 제 1 메모리 칩(300) 상에 일방향을 따라 이격되어 제공되는 제 1 전극패드들(311), 제 1 연결패드들(313a) 및 제 2 연결패드들(313b)을 포함하는 제 1 재배선(310)이 제공될 수 있다. 제 1 연결패드들(313a) 및 제 2 연결패드들(313b)은 제 1 금속배선들(312)을 통해 제 1 전극패드들(311)과 전기적으로 연결될 수 있다. 제 1 연결패드들(313a)과 제 2 연결패드들(313b)은 제 1 전극패드들(311)을 기준으로 좌우 대칭될 수 있다.
- [0050] 제 2 메모리 칩(400) 상에 일방향을 따라 이격되어 제공되는 제 2 전극패드들(411), 제 3 연결패드들(413a) 및 제 4 연결패드들(413b)을 포함하는 제 2 재배선(410)이 제공될 수 있다. 제 3 연결패드들(413a) 및 제 4 연결패드들(413b)은 제 2 금속배선들(412)을 통해 제 2 전극패드들(411)과 전기적으로 연결될 수 있다. 제 3 연결패드들(413a)과 제 4 연결패드들(413b)은 제 2 전극패드들(411)을 기준으로 좌우 대칭될 수 있다.
- [0051] 제 1 재배선(310)과 제 2 재배선(410)은 평면적으로 동일한 구조일 수 있다. 제 2 메모리 칩(400)을 기준선(L)을 기준으로 180° 회전시켜 제 1 메모리 칩(300) 상에 오프셋(Offset) 구조로 적층하면, 제 1 연결패드들(313a)과 제 3 연결패드들(413a)이 수직적으로 중첩될 수 있다. 제 1 재배선(310)과 제 2 재배선(410)은 좌우 대칭되는 구조를 가지므로, 제 2 메모리 칩(400)을 회전시켜도 제 1 재배선(310)과 제 2 재배선(410)은 평면적으로 동일한 구조를 가질 수 있다. 따라서, 별도의 회로 배선을 형성하지 않고 솔더 범프를 통해 제 1 메모리 칩(300)과 제 2 메모리 칩(400)을 연결할 수 있다.
- [0052] 또한, 제 1 메모리 칩(300) 및 제 2 메모리 칩(400)은 서로 동일한 반도체 공정을 거쳐 형성된 웨이퍼에서, 싱귤레이션(Singulation) 공정을 통해 분리되어 형성될 수 있다. 제 1 메모리 칩(300)의 제 1 활성면(300b)과 제 2 메모리 칩(400)의 제 2 활성면(400a) 미러 타입이기 때문에 동일한 웨이퍼에서 분리된 제 1 메모리 칩(300) 및 제 2 메모리 칩(400)을 그대로 반도체 패키지(1)를 형성하는데 이용할 수 있다.
- [0053] 전기적으로 연결된 제 1 연결패드들(313a)과 제 3 연결패드들(413a)은 동일한 신호 및/또는 데이터를 전달할 수 있다. 이에 따라, 로직 칩(200)이 전송하는 하나의 칩 선택 신호(CS)에 의해 제 1 메모리 칩(300)과 제 2 메모리 칩(400)을 동시에 제어할 수 있다. 또한, 복수개의 메모리 칩들을 적층하여 반도체 패키지(1)의 전체 용량을 설계할 수 있고, 제 1 재배선(310)과 제 2 재배선(410)의 설계를 통해 입출력 핀(I/O pin)의 수를 조절할 수 있다.
- [0054] 도 4는 본 발명의 실시예에 따른 반도체 패키지의 변형예를 나타내는 단면도이다. 설명의 간략을 위해 도 1과 중복되는 내용의 기재는 생략한다.
- [0055] 도 4를 참조하면, 반도체 패키지(2)는 제 2 메모리 칩(400)과 기판(100)을 연결하는 본딩 부재(550)를 포함할 수 있다. 본딩 부재(550)는 필러 또는 TMV(through mold via) 중 어느 하나일 수 있다. 예를 들어, 본딩 부재(550)는 구리(Cu)를 포함하는 전도성 물질일 수 있다. 본딩 부재(550)는 전도성 물질로 이루어진 기둥 형상일 수 있고, 제 2 메모리 칩(400)과 기판(100)을 전기적으로 연결할 수 있다.
- [0057] 도 5는 본 발명의 실시예에 따른 반도체 패키지를 나타내는 단면도이고, 도 6은 본 발명의 실시예에 따른 메모리 칩들을 나타내는 단면도이고, 도 7은 본 발명의 실시예에 따른 제 1 메모리 칩과 제 2 메모리 칩의 결합관계를 나타내는 도면이다. 설명의 간략을 위해 도 1과 중복되는 내용의 기재는 생략한다.
- [0058] 도 5 내지 도 7을 참조하면, 반도체 패키지(3)는 제 1 전극패드들(311)을 가지는 제 1 메모리 칩(300)과 재배선(410)을 가지는 제 2 메모리 칩(400)을 포함할 수 있다. 제 1 전극패드들(311)은 제 1 메모리 칩(300)의 제 1 활성면(300a) 상에 제공될 수 있고, 재배선(410)은 제 2 메모리 칩(400)의 제 2 활성면(400a)에 배치될 수 있다.
- [0059] 제 1 전극패드들(311)은 제 1 활성면(300a) 상의 중앙에 배치될 수 있으나, 제 1 전극패드들(311)의 위치는 특

별히 제한되지 않을 수 있다. 제 1 전극패드들(311)은 복수개로 제공될 수 있고, 일방향을 따라 서로 이격되어 제공될 수 있다.

- [0060] 제배선(410)은 제 2 전극패드들(411), 제 1 금속배선들(412), 제 1 연결패드들(413a) 및 제 2 연결패드들(413b)을 포함할 수 있다. 제 2 전극패드들(411)은 일방향을 따라 서로 이격되어 제공될 수 있다. 제 2 전극패드들(411)은 제 2 메모리 칩(400) 내부에 제공되는 내부 회로(미도시)와 연결될 수 있다. 제 1 연결패드들(413a) 및 제 2 연결패드들(413b)은 제 1 금속배선들(412)을 통해 제 2 전극패드들(411)과 연결될 수 있다. 제 1 연결패드들(413a)과 제 2 연결패드들(413b)은 제 2 전극패드들(411)을 기준으로 대칭되게 배치될 수 있다.
- [0061] 제 2 메모리 칩(400)을 기준선(L)을 기준으로 180° 회전시켜 제 1 메모리 칩(300) 상에 오프셋(Offset) 구조로 적층하면, 제 1 전극패드들(411)은 제 1 연결패드들(413a)과 수직적으로 중첩될 수 있다. 제 1 전극패드들(411)은 제 1 솔더 범프(350)를 통해 제 1 연결패드들(413a)과 전기적으로 연결될 수 있다.
- [0062] 본 실시예에 따르면, 제 1 메모리 칩(300)에는 별도의 제배선을 형성하지 않고, 제 2 메모리 칩(400)에만 제배선(410)을 형성하여 반도체 패키지(3)를 제조할 수 있다. 제 2 메모리 칩(400)의 제배선(410)을 통해 TSV 공정 또는 와이어 본딩 공정 없이도 제 1 메모리 칩(300), 제 2 메모리 칩(400) 및 기판(100)을 서로 전기적으로 연결할 수 있다.
- [0063] 전기적으로 연결된 제 1 전극패드들(311)과 제 1 연결패드들(413a)은 동일한 신호 및/또는 데이터를 전달할 수 있다. 이에 따라, 로직 칩(200)이 전송하는 하나의 칩 선택 신호(CS)에 의해 제 1 메모리 칩(300)과 제 2 메모리 칩(400)을 동시에 제어할 수 있다.
- [0065] 도 8은 본 발명의 실시예에 따른 반도체 패키지를 나타내는 단면도이고, 도 9는 본 발명의 실시예에 따른 메모리 칩들을 나타내는 단면도이다. 설명의 간략을 위해 도 1과 중복되는 내용의 기재는 생략한다.
- [0066] 도 8 및 도 9를 참조하면, 반도체 패키지(4)는 기판(100), 로직 칩(200), 제 1 메모리 칩(300), 제 2 메모리 칩(400) 및 몰드막(600)을 포함할 수 있다.
- [0067] 로직 칩(200)은 기판(100)의 상면(100a) 상에 실장될 수 있다. 로직 칩(200)은 기판(100)을 마주보는 활성면(200a), 활성면(200a)과 대향하는 비활성면(200b) 및 활성면(200a)과 비활성면(200b)을 연결하는 측면들(200c)을 포함할 수 있다. 기판(100)은 연결단자(150)를 통해 기판(100)과 전기적으로 연결될 수 있다.
- [0068] 제 1 메모리 칩(300)이 기판(100)의 상면(100a) 상에 배치될 수 있다. 제 1 메모리 칩(300)은 적어도 하나 이상 제공될 수 있다. 예를 들어, 제 1 메모리 칩(300)은 복수개로 제공될 수 있고, 기판(100) 상에 서로 이격되어 배치될 수 있다. 제 1 메모리 칩(300)은 로직 칩(200)을 바라보는 제 1 활성면(300a)과 제 1 비활성면(300b)과 대향하고 기판(100)을 바라보는 제 1 비활성면(300b)을 가질 수 있다. 제 1 메모리 칩(300)은 로직 칩(200) 아래에 배치될 수 있고, 제 1 메모리 칩(300)의 제 1 활성면(300a)은 로직 칩(200)의 활성면(200a)과 마주볼 수 있다. 제 1 메모리 칩(300)은 접착층(301)을 통해 기판(100)의 상면(100a)에 부착될 수 있다. 제 1 메모리 칩(300)은 제 1 제배선(310)을 가질 수 있고, 제 1 제배선(310)은 제 1 전극패드(311)와 제 1 전극패드(311)를 기준으로 좌우 대칭되게 배치되는 제 1 연결패드(313a) 및 제 2 연결패드(313b)를 포함할 수 있다. 제 1 연결패드(313a)와 제 2 연결패드(313b)는 제 1 금속배선(312)을 통해 제 1 전극패드(311)와 연결될 수 있다. 제 2 연결패드(313b)는 솔더 범프(250)를 통해 로직 칩(200)과 연결될 수 있고, 이에 따라 제 1 메모리 칩(300)과 로직 칩(200)이 전기적으로 연결될 수 있다. 솔더 범프(250)는 주석(Sn), 납(Pb), 니켈(Ni), 금(Au), 은(Ag), 구리(Cu) 또는 비스무스(Bi) 중 적어도 하나의 금속을 포함할 수 있다.
- [0069] 제 2 메모리 칩(400)은 제 1 메모리 칩(300) 상에 배치될 수 있다. 제 2 메모리 칩(400)은 적어도 하나 이상 제공될 수 있다. 제 2 메모리 칩(400)은 기판(100)을 바라보는 제 2 활성면(400a), 제 2 비활성면(400b) 및 제 2 비활성면(400b)을 연결하는 측면들(400c)을 가질 수 있다. 제 2 메모리 칩(400)의 측면들(400c)은 로직 칩(200)의 측면들(200c)과 마주볼 수 있고, 제 2 메모리 칩(400)의 제 2 비활성면(400a)은 로직 칩(200)의 비활성면(200b)과 동일한 레벨을 가질 수 있다. 제 2 메모리 칩(400)은 제 3 제배선(410)을 가질 수 있고, 제 2 제배선(410)은 제 2 전극패드(411)와 제 2 전극패드(411)를 기준으로 좌우 대칭되게 배치되는 제 3 연결패드(413a) 및 제 4 연결패드(413b)를 포함할 수 있다. 제 3 연결패드(413a)와 제 4 연결패드(413b)는 제 2 금속배선(412)을 통해 제 2 전극패드(411)와 연결될 수 있다. 제 3 연결패드(413a)는 제 1 연결패드(313a)와 수직적으로 중첩될 수 있다. 제 3 연결패드(413a)는 제 1 솔더 범프(350)를 통해 제 1 연결패드(313a)와 전기적으로 연결될 수 있다.
- [0070] 제 1 메모리 칩(300)의 제 1 제배선(310)과 제 2 메모리 칩(400)의 제 2 제배선(410)은 서로 동일한 구조일 수

있으므로, 제 1 메모리 칩(300) 및 제 2 메모리 칩(400)은 서로 동일한 반도체 공정을 거쳐 형성된 웨이퍼에서, 싱글레이션(Singulation) 공정을 통해 분리되어 형성될 수 있다.

- [0071] 몰드막(600)은 로직 칩(200)의 측면들(200c), 제 1 메모리 칩(300) 및 제 2 메모리 칩(400)의 측면들(400c)을 덮을 수 있고, 몰드막(600)은 로직 칩(200)의 비활성면(200b) 및 제 2 메모리 칩(400)의 제 2 비활성면(400b)을 노출할 수 있다. 몰드막(600)의 상면은 로직 칩(200)의 비활성면(200b) 및 제 2 메모리 칩(400)의 제 2 비활성면(400b)과 동일한 레벨을 가질 수 있다.
- [0072] 열 방출층(700)은 몰드막(600) 상에 배치될 수 있다. 열 방출층(700)은 로직 칩(200)의 비활성면(200b) 및 제 2 메모리 칩들(400)의 제 2 비활성면(400b)을 덮을 수 있다. 열 방출층(700)은 로직 칩(200)의 비활성면(200b) 및 제 2 메모리 칩(400)의 제 2 비활성면(400b)과 직접 접촉하여 로직 칩(200)과 제 2 메모리 칩(400)에서 발생하는 열을 방출할 수 있다.
- [0073] 본 발명의 실시예에 따르면, 제 1 메모리 칩(300)과 제 2 메모리 칩(400)은 기판(100)과 직접 연결되지 않고, 로직 칩(200)을 통해 기판(100)과 전기적으로 연결될 수 있다. 로직 칩(200)은 전기적으로 연결된 제 1 메모리 칩(300) 및 제 2 메모리 칩(400)으로 신호 및/또는 데이터를 전송할 수 있다.
- [0074] 또한, TSV공정을 사용하지 않고, 로직 칩(200)과 메모리 칩들(300, 400)을 전기적으로 연결할 수 있어 공정 비용이 감소할 수 있고, 와이어 본딩 공정을 사용하지 않아 반도체 패키지(4)의 박형화가 가능할 수 있다.
- [0076] 도 10은 본 발명의 실시예에 따른 반도체 패키지를 나타내는 단면도이고, 도 11은 본 발명의 실시예에 따른 메모리 칩들을 나타내는 단면도이다. 설명의 간략을 위해 도 8과 중복되는 내용의 기재는 생략한다.
- [0077] 도 10 및 도 11을 참조하면, 반도체 패키지(5)는 재배선(310)을 가지는 제 1 메모리 칩(300)과 제 2 전극패드(411)를 가지는 제 2 메모리 칩(400)을 포함할 수 있다. 재배선(310)은 제 1 메모리 칩(300)의 제 1 활성면(300a)에 배치될 수 있고, 제 2 전극패드(411)는 제 2 메모리 칩(400)의 제 2 활성면(400a) 상에 제공될 수 있다.
- [0078] 재배선(310)은 제 1 전극패드(311), 제 1 금속배선(312), 제 1 연결패드(313a) 및 제 2 연결패드(313b)를 포함할 수 있다. 제 1 전극패드(311)는 제 1 메모리 칩(300) 내부에 제공되는 내부 회로(미도시)와 연결될 수 있다. 제 1 연결패드(313a) 및 제 2 연결패드(313b)는 제 1 금속배선(312)을 통해 제 1 전극패드(311)와 연결될 수 있다. 제 1 연결패드(313a)과 제 2 연결패드(313b)은 제 1 전극패드(311)를 기준으로 대칭되게 배치될 수 있다.
- [0079] 제 2 전극패드(411)는 제 2 활성면(400a) 상의 중앙에 배치될 수 있으나, 제 2 전극패드(411)의 위치는 특별히 제한되지 않을 수 있다.
- [0080] 제 1 메모리 칩(300)의 제 1 활성면(300a)은 제 2 메모리 칩(400)의 제 2 활성면(400a)과 마주보도록 배치될 수 있다. 제 1 연결패드(313a)는 제 2 전극패드(411)와 수직적으로 중첩될 수 있다. 제 1 연결패드(313a)는 제 1 솔더 범프(350)를 통해 제 2 전극패드(411)와 전기적으로 연결될 수 있다.
- [0082] 본 실시예에 따르면, 제 2 메모리 칩(400)에는 별도의 재배선을 형성하지 않고, 제 1 메모리 칩(300)에만 재배선(310)을 형성하여 반도체 패키지(5)를 제조할 수 있다. 제 1 메모리 칩(300)의 재배선(310)을 통해 TSV 공정 또는 와이어 본딩 공정 없이도 제 1 메모리 칩(300), 제 2 메모리 칩(400) 및 기판(100)을 서로 전기적으로 연결할 수 있다.
- [0084] 도 12는 본 발명의 실시예에 따른 반도체 패키지를 나타내는 단면도이고, 도 13은 본 발명의 실시예에 따른 메모리 칩들을 나타내는 단면도이다. 설명의 간략을 위해 도 8과 중복되는 내용의 기재는 생략한다.
- [0085] 도 12 및 도 13을 참조하면, 반도체 패키지(6)는 기판(100) 상에 배치된 로직 칩(200), 제 1 메모리 칩(300), 제 2 메모리 칩(400) 및 제 3 메모리 칩(800)을 포함할 수 있다. 로직 칩(200), 제 1 메모리 칩(300) 및 제 2 메모리 칩(400)의 배치 및 연결관계는 도 8의 내용과 유사하므로 설명을 생략한다.
- [0086] 제 3 메모리 칩(800)은 기판(100)과 제 2 메모리 칩(400) 사이에 배치될 수 있다. 제 3 메모리 칩(800)은 적어도 하나 이상 제공될 수 있다. 예를 들어, 제 3 메모리 칩(800)은 복수개로 제공되고, 제 1 메모리 칩(300)과 옆으로 이격되어 제공될 수 있다. 제 3 메모리 칩(800)은 제 2 메모리 칩(400)을 바라보는 제 3 활성면(800a) 및 기판(100)을 바라보는 제 3 비활성면(800b)을 가질 수 있다. 제 3 활성면(800a) 상에는 제 3 전극패드(811)가 제공될 수 있다. 제 3 전극패드(811)는 제 3 활성면(800a) 상의 중앙에 배치될 수 있으나, 제 3 전극패드(811)의 위치는 특별히 제한되지 않을 수 있다. 제 3 메모리 칩(800)은 디램(DRAM), 에스램(SRAM), 플래시(flash),

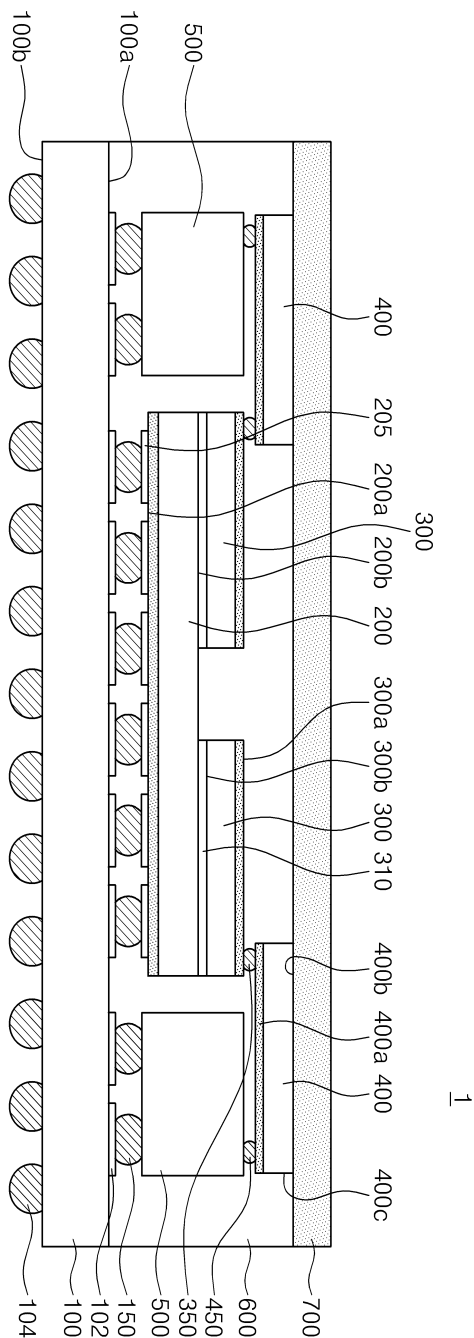
피램(PRAM), 알이램(ReRAM), 에프이램(FerRAM) 또는 엠램(MRAM)을 포함할 수 있다. 그러나, 이에 한정되는 것은 아니다. 제 3 메모리 칩(800)은 접착층(801)을 통해 기판(100)의 상면(100a)에 부착될 수 있다.

[0087]

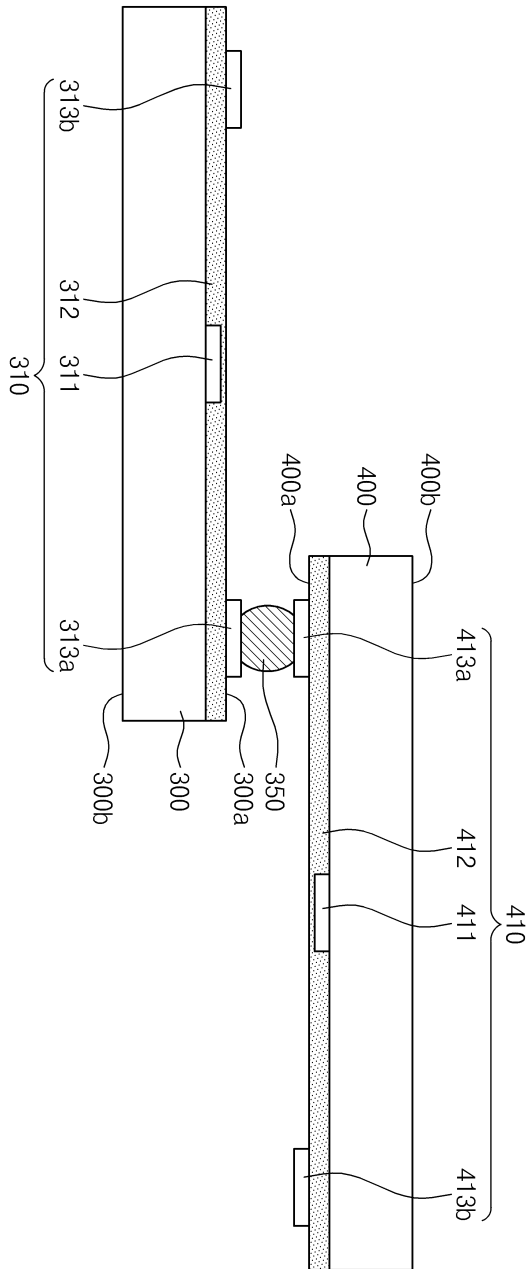
제 3 메모리 칩(800)의 제 3 활성면(800a)은 제 2 메모리 칩(400)의 제 2 활성면(400a)과 마주보도록 배치될 수 있다. 제 2 메모리 칩(400)의 제 4 연결패드(413b)는 제 3 메모리 칩(800)의 제 3 전극패드(811)와 수직적으로 중첩될 수 있다. 제 3 전극패드(811)는 제 3 솔더 범프(850)를 통해 제 4 연결패드(413b)와 전기적으로 연결될 수 있다. 제 3 솔더 범프(850)는 주석(Sn), 납(Pb), 니켈(Ni), 금(Au), 은(Ag), 구리(Cu) 또는 비스무스(Bi) 중 적어도 하나의 금속을 포함할 수 있다.

도면

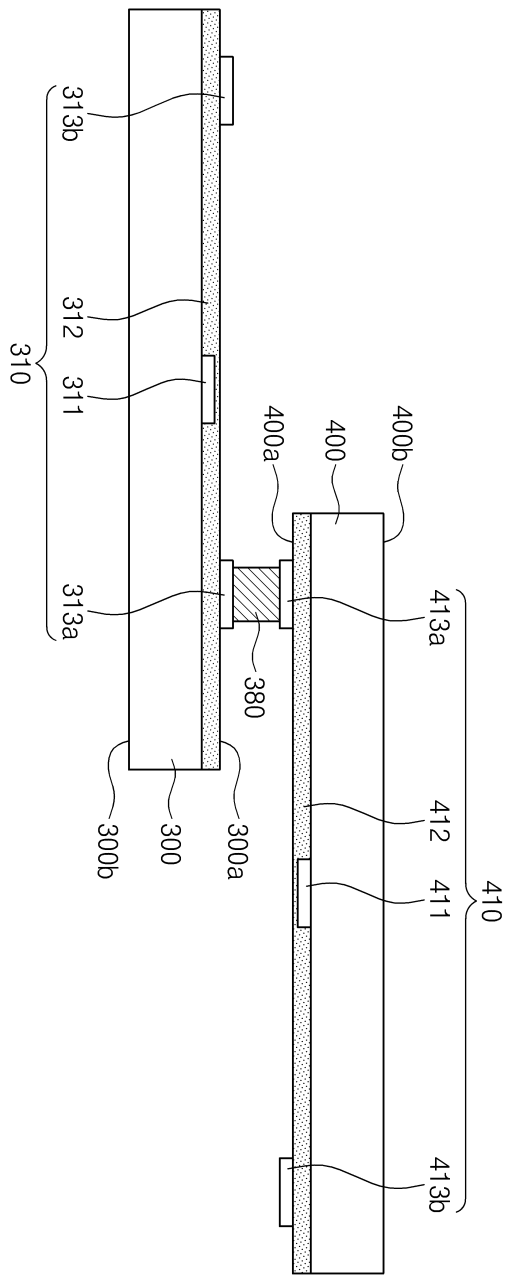
도면1



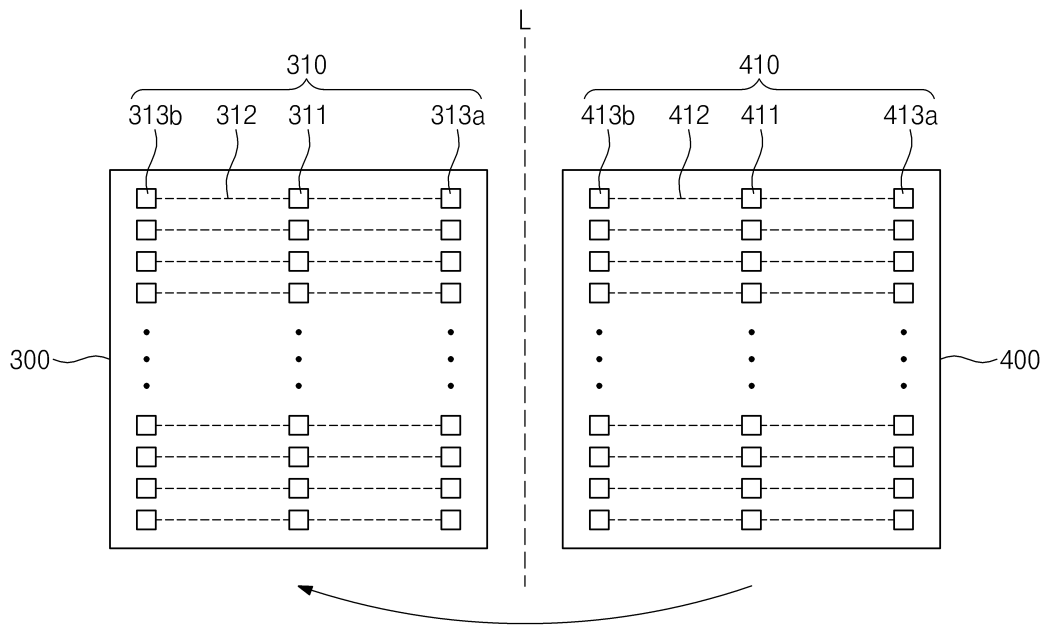
도면2a



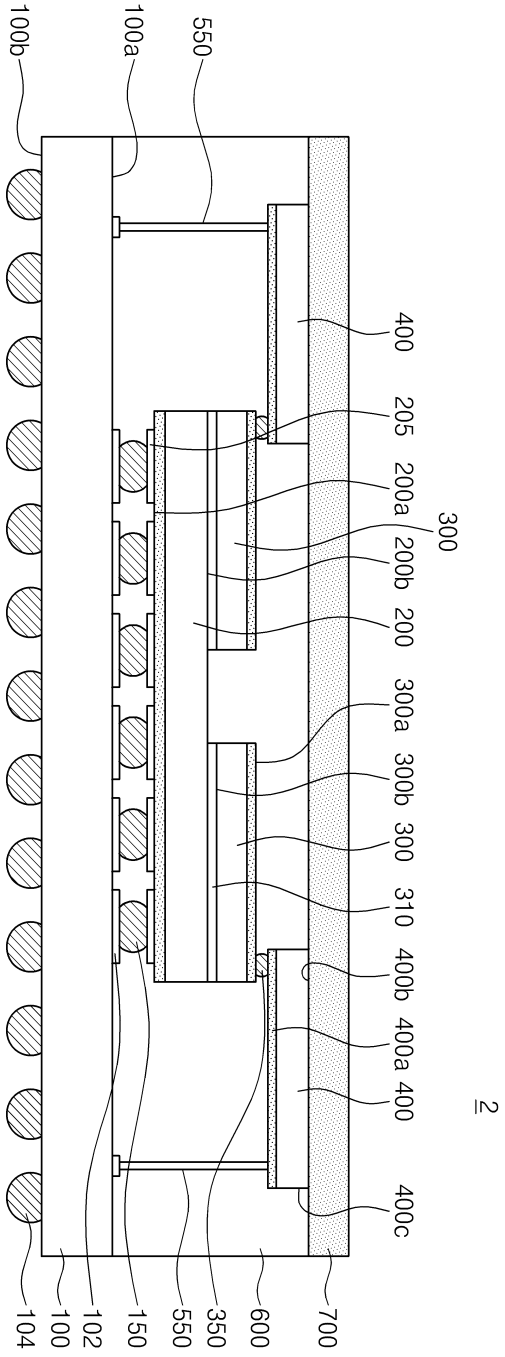
도면2b



도면3



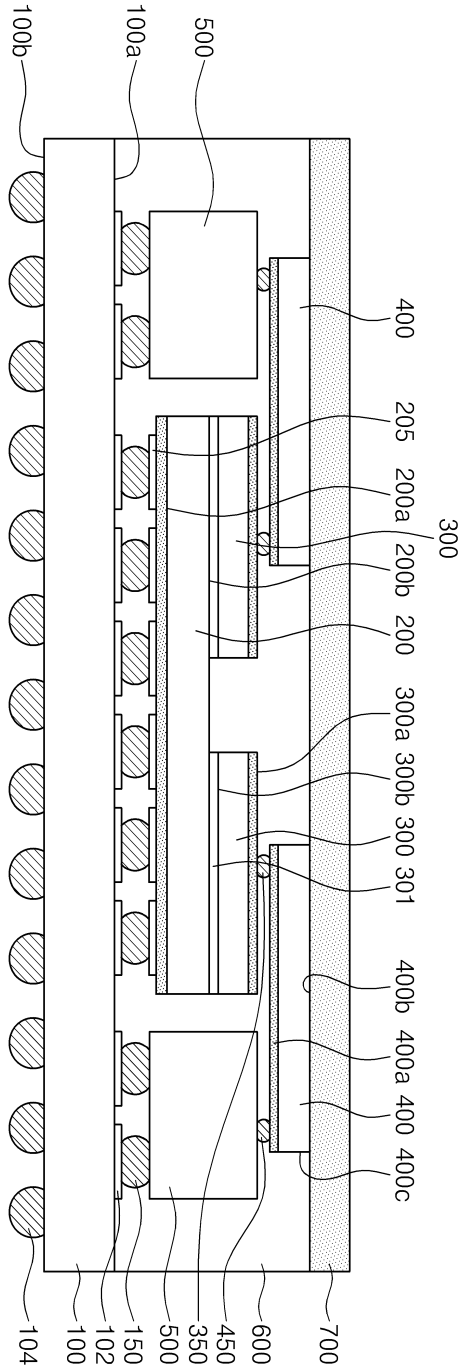
도면4



2

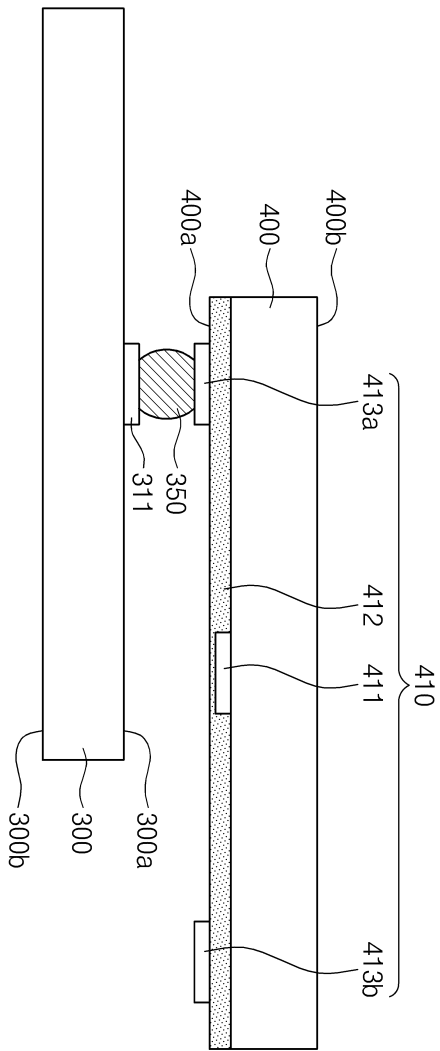


도면5

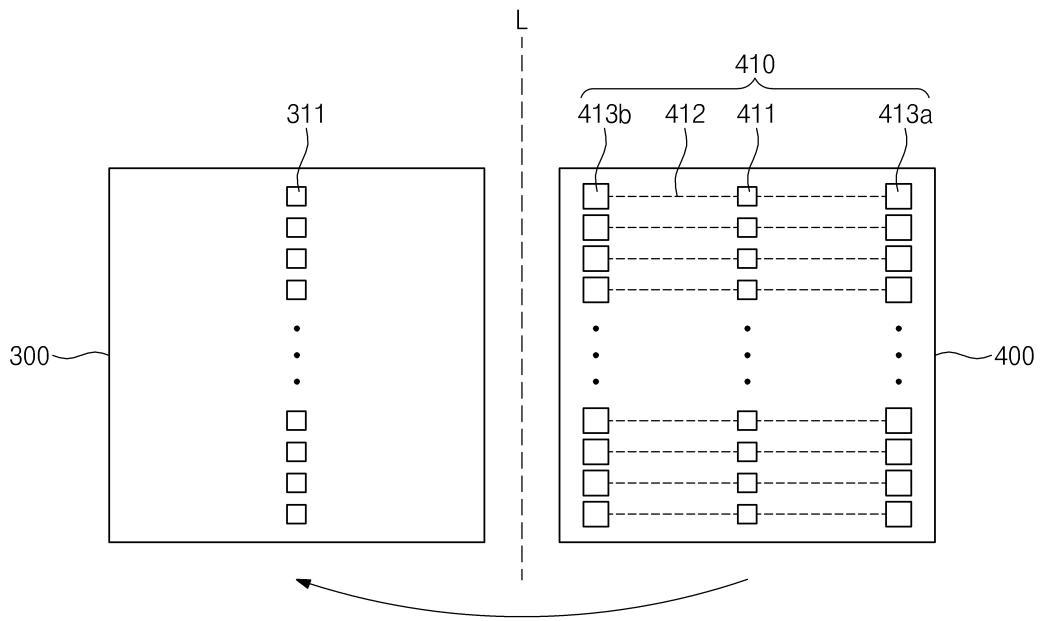


3

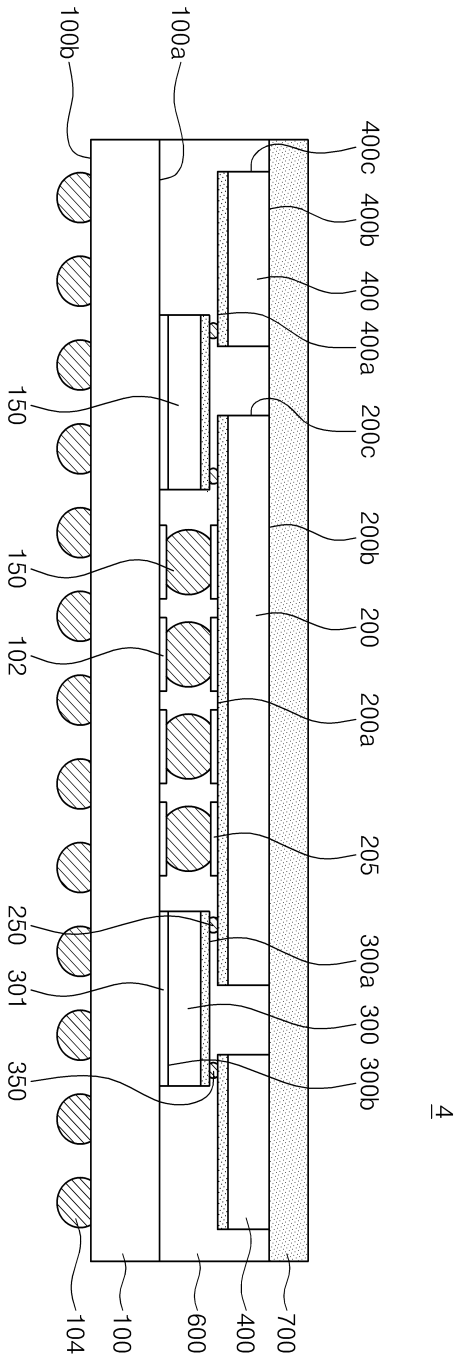
도면6



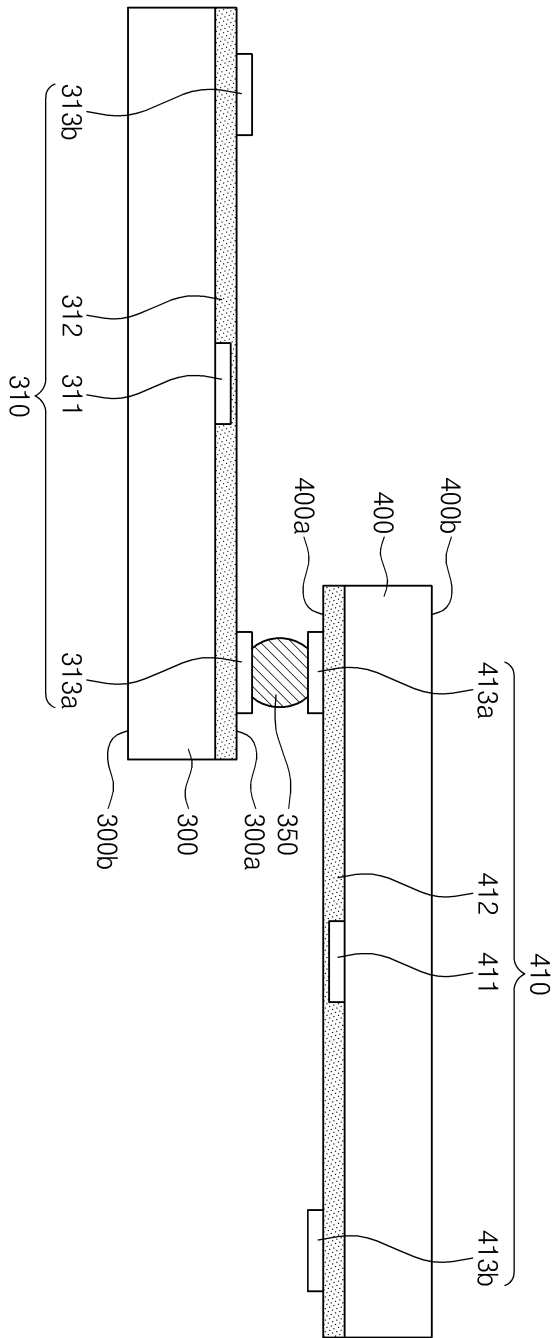
도면7



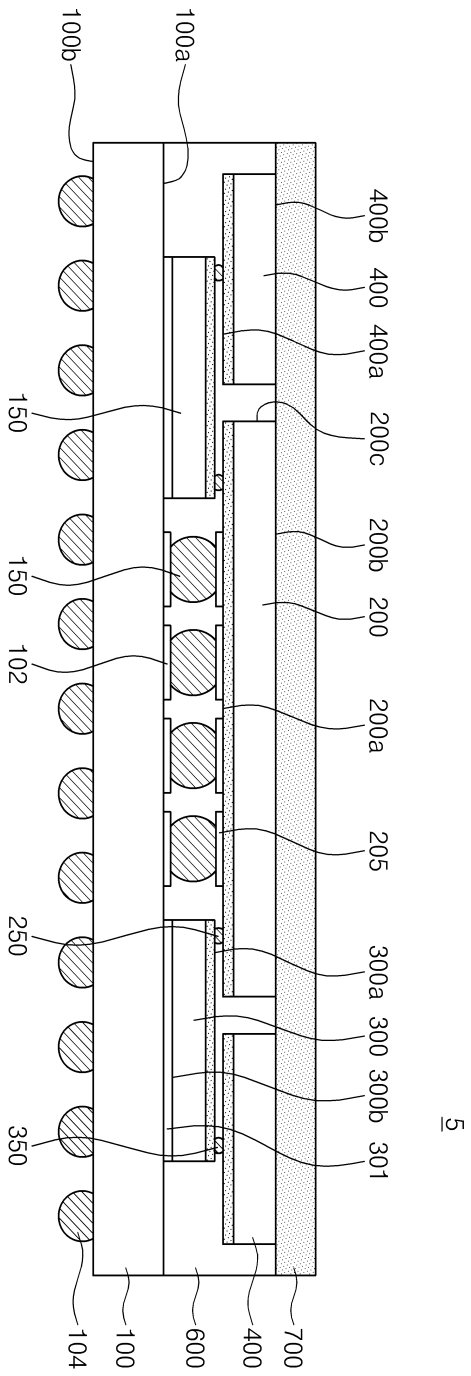
도면8



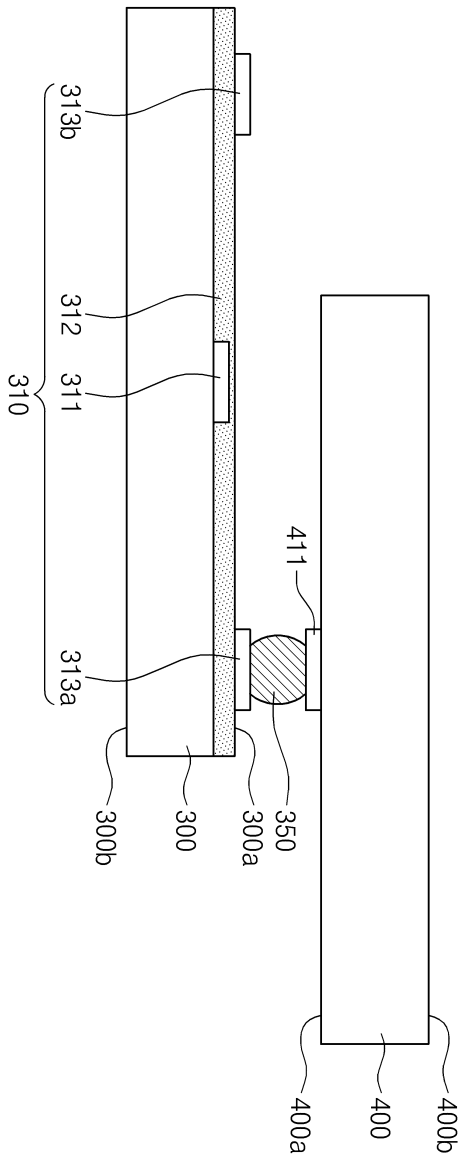
도면9



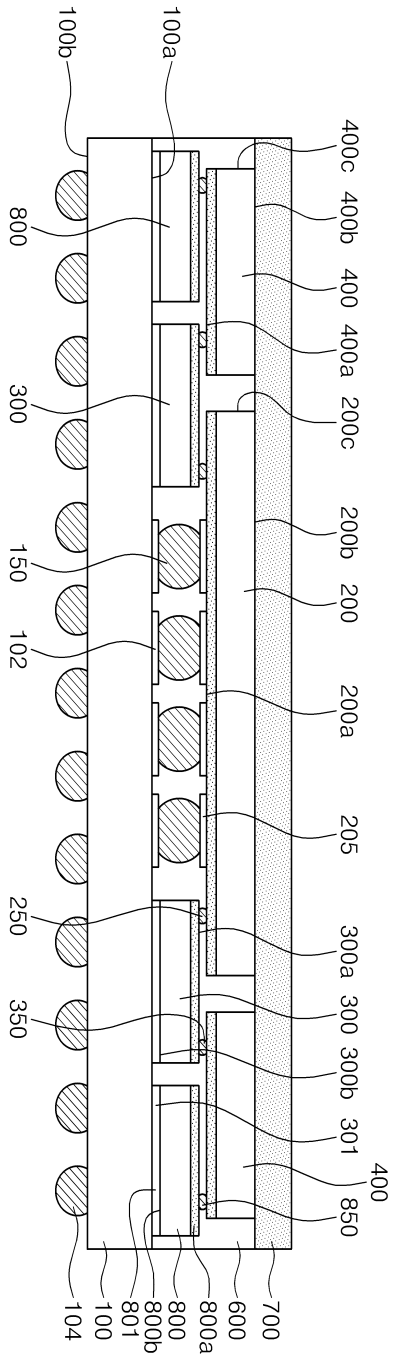
도면10



도면11



도면12



6



도면13

