

312010

公告本

申請日期	84 年 10 月 12 日
案 號	84110716
類 別	G11B 11/10

A4
C4

312010

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 名稱	中 文	使高密度磁性記錄資料再生之改良系統
	英 文	
二、發明 人	姓 名	(1) 山川秀之 (2) 西谷卓史 (3) 奈良孝
	國 籍	(1) 日本 (2) 日本 (3) 日本 (1) 日本國神奈川縣藤沢市辻堂五九七七-一
	住、居所	(2) 日本國東京都町田市大蔵町四七四-四 (3) 日本國群馬縣高崎市上中居町一三八三番地
三、申請人	姓 名 (名稱)	(1) 日立製作所股份有限公司 株式会社日立製作所
	國 籍	(1) 日本 (1) 日本國東京都千代田區神田駿河台四丁目六番地
	住、居所 (事務所)	
	代 表 人 姓 名	(1) 金井務

裝

訂

線

312010

申請日期	84 年 10 月 12 日
案 號	84110716
類 別	

A4
C4

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	
	英 文	
二、發明人 創作	姓 名	(4) 高師輝実
	國 籍	(4) 日本 (4) 日本國神奈川縣茅ヶ崎市円蔵二五八七-一〇
	住、居所	
三、申請人	姓 名 (名稱)	
	國 籍	
	住、居所 (事務所)	
	代 表 人 姓 名	

裝

訂

線

312010

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權

日本	1994 年 10 月 27 日	6-263435	☒ 無主張優先權
日本	1995 年 3 月 30 日	7-074063	☒ 無主張優先權
日本	1995 年 8 月 8 日	7-202377	☒ 無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準 (CNS) A4規格 (210×297公釐)

五、發明說明(1)

【發明之詳細說明】

本發明係有關經由再生記錄於記錄媒體的記錄信號，得數位信號之資料再生裝置，尤其是使用局部響應4方式及韋氏(Viterbi detection)解碼方式(Partial Response class IV - Maxmum Likelihood detection : PR4-ML)，再生以高密度記錄於記錄媒體的記錄信號，而得數位信號之裝置者。

【以往之技術】

以往，於磁碟裝置等之磁性記錄再生裝置中，就再生於記錄媒體以高密度記錄之記錄信號時所使用之資料再生方式而言，頻繁地使用局部響應IV及韋氏解碼方式。

有關此PR4-ML而言，於由Roger W. Wood撰寫之文獻「Viterbi Detection of class IV Partial Response on aMagnetic Recording 6」等中，其技術則被詳細地加以記載。此PR4-ML係有關公知公用之資料再生方式的技術之故在此不加以詳述，但為使容易理解，於下大體地加以記述。

局部響應(PR)係積極利用符號間干擾(intersymbol interference)(對應鄰接記憶之位元間的再生信號間的干涉)，進行資料再生的方法。

於本方式中，首先，將進行包含稱之為預碼處理之處理的資料，記憶於記憶媒體。然後，於再生時，進行含前述預碼處理，和以具相反傳達特性之再生系統加以再生者

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (2)

。

對於本方式而言，公知之技術部分不再加以詳述，可提供經由上述之處理，產生符號間干擾時，仍難以產生資料再生錯誤之系統。因此，亦可處理以高密度記錄之記錄信號的再生。局部響應係經由進行處理之種類等，可分類為複數種類，但是最為主流者係第4級之局部響應「PR4」。

又，韋氏解碼方式係所謂最佳系列推定方式之一種，使用過去之取樣資料，將最為確定之資料系列呈再生資料的方式者。

組合局部響應IV(PR4)及韋氏解碼方式(ML)，進行資料之記錄再生者為PR-4ML方式者。

又，對於提升記錄媒體之記錄信號的記錄密度時的資料再生方式而言，亦頻繁使用擴充局部響應IV及韋氏解碼方式(Extended PR4-ML:以後略稱為「EPR4-ML」)。有關此方式，記載於T.Sugawara所撰寫之文獻「Viterbi Detector Including PRML and EPRML」(IEEE Transaction on Magnetics, Vol.29, Nov.1993)等中，其詳細之技術內容有詳細的記載。此EPR4-ML亦為有關公知，公用之資料再生方式的技術，對此則本文中不再加以說明。

更且，經由具比較簡易之硬體構成的資料再生裝置，較使用PR4-ML方式時，做為處理記錄密度高之記錄信號的方式，則由Roger.W.Wood加以提案。亦有提案稱為「Turbo-PRML方式」的資料再生方式。做為此Turbo-PRML方式

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (3)

，例如於 Roger.W.Wood 所撰寫之文獻的「Turbo-PRML: A Com promise EPRML Detecor」(IEEE Transaction on Magneti cs, Vol.29, No.6, Nov.1993)中，揭示其技術內容。此 Turbo-PRML 方式係首先使用 PR4-ML 方式進行資料再生，更且，進行判定再生資料是否為錯誤資料，以前述 PR4-ML 方式，檢出再生錯誤機率高之資料，進行將檢出資料以預定之修正資料圖案修正的處理者。

然而，就現在對磁碟裝置等之儲存製品的市場主要要求而言，首先，為小型且記錄容量為大（記錄密度為高），更且，可列舉對記錄裝置之資料寫入/讀取速度為高速者，或製品價格為低等等者。其中，做為將記錄密度提高之一種方法而言，如前述 PR4-ML 方式，可列舉提具有資料再生裝置之資料識別性能的形態者。又，可對應於高記錄密度者，進行資料再生方式的開發、研究。此例係前述之 EPR4-ML 方式者。

另一方面，如前所述，對儲存製品的市場要求而言，對記憶裝置而言，令資料之寫入/讀取的速度高速化亦為重要者。此係隨著多媒體之普及，為經由電腦處理大容量之資料的動畫資料所造成，因而需要將超越於每秒處理數十 M 位元組 (MBYTE) 的大容量資料，高速地再生記錄於記憶裝置者。

個人電腦，工作站等之各種電腦的內部中，雖確保有每秒 100M 位元組以上之資料傳送速度，於儲存製品之中，就較為快速之再生速度的磁碟裝置而言，亦不過擁有每秒

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

水

五、發明說明(4)

10MBYTE程度之再生速度而已。爲此，對磁碟裝置而言之記錄再生速度會成爲障礙，使電腦整體之處理速度會有所限制，造成無法進行高精細之畫像處理等的問題。

又，最近之作業系統(OS)或應用程式(AP)中，其程式的大小有巨大化的傾向。因此，將此等程式由記憶裝置加以再生，以至實際執行程式所需之時間有增加以情形。爲此，由給予程式之起動命令，至實際開始執行程式時，需要數分程度的情形則不在少數。爲使由給予程式之起動命令至實際開始執行程式的時間縮短，急切期望令具磁碟裝置等之記憶裝置的資料再生裝置更爲高速化。

但是，使用如EPR4-ML方式，處理高密度記錄的資料再生方式時，需非常複雜之處理之故，實現以往PR4-ML方式一半程度之資料再生速度者爲現狀技術之極限。在此，爲對應前述市場之要求，必需有開發對應高密度記錄的資料再生方式，更且較容易進行高速化之資料再生方式。

前述Turbo-PRML方式係對應高密度記錄者，以PR4-ML方式檢出再生錯誤比率爲高之資料，進行檢出之資料以修正資料圖案修正之處理時，需要較長之時間，由提升資料的再生速度的點視之，無法稱之爲充分之資料再生方式。

如此，使用以往所提案之任一之資料再生方式進行資料再生時，由處理之複雜等之點視之，難以將於記錄媒體高密度記錄之信號正確高速進行。

在此，本發明之目的係提供較以往PR4-ML方式，將可對應高記錄密度資料再生方式，較實現EPR4-ML方式的硬

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

水

五、發明說明(5)

體，實現具有簡易構成之硬體的同時，令記錄資料可高速再生之資料再生手段者。

為解決上述之課題，為達成本發明之目的，有以下之手段。

即，使用局部響應方式，再生記錄於記錄媒體的記錄信號的資料再生方式，將前述記錄信號加以讀取，令讀取之記錄信號，於所定時間類比・數位變換，將變換之信號經由預定之等化特性加以過濾。令過濾之信號進行韋氏解碼，將此解碼結果呈4值資料，令該4值資料，根據預定規則變換為2值資料的資料再生方法者。

又，可考量有以下之裝置。

使用局部響應方式，再生記錄於記錄媒體之記錄信號的資料再生裝置中，具備讀取前述記錄信號之磁頭部，和令讀取之記錄信號於每所定時間，做類比・數位變換之類比・數位變換部，和將數位變換之信號經由預定等化特性等化之等化器，和將等化器之輸出信號呈輸入信號之韋氏解碼電路，和令解碼結果呈4值資料之4值化碗路，和令前述4值資料根據預定之規則，變換為2值資料(數位資料)之資料變換部者。

然而，前述資料變換部係具備求得前述韋氏解碼部及前述等化器之差分信號，將求得之差分信號僅延遲所定時間，令延遲之信號不進行加算原差分信號的處理((1+D)處理)，將不進行(1+D)處理所得信號呈誤差信號之誤差信號檢出手段，和前述誤差信號之產生圖案為預定之錯誤信號

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

以

五、發明說明(6)

圖案者，判斷是否對應誤判定誤差信號圖案，輸出判定斷結果之誤差信號圖案檢出部，和由前述韋氏解碼部輸出之4值資料，判斷是否對應於預定錯誤信號之圖案的誤判定信號圖案，將判斷結果輸出之位元圖案檢出部，和由前述誤差信號圖案檢出部及位元圖案檢出部輸出之判斷結果，顯示對應於誤判定誤差信號圖案，且對應誤判定信號圖案時，對應兩圖案輸出預定之2值信號圖案的資料修正部者所構成。

使用局部響應方式，再生記錄於記錄媒體之記錄信號的資料再生裝置中，首先經由磁頭部，讀取前述記錄信號。接著，經由類比・數位變換部，將讀取之記錄信號於每所定時間，進行類比・數位者。等化器係將數位變換信號經由預定之等化特性加以等化。韋氏解碼部係將等化器之輸出信號呈輸入信號，進行韋氏解碼。更且，4值化電路係將解碼結果呈4值資料，更且，經由資料變換部，前述4值資料係根據預定之規則，變換為2值資料(數位資料)。

經由以上之動作，根據記錄信號，進行數位資料之再生處理。

根據本發明之時，可減少評估對象之易錯誤之資料圖案數，就最終而言再生正確資料的性能係較Turbo-PRML之性能雖略遜，但PR4-ML方式之判定錯誤係大半為根據本發明所評估之判定錯誤圖案之故，實質上的性能下降(記錄密度之下降)則幾乎沒有。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

冰

五、發明說明(7)

【圖面之簡單說明】

【圖1】第1實施例之資料再生電路的構成圖。

【圖2】2值輸出型之PR(1, -1)方式用韋氏解碼電路的構成圖。

【圖3】有關本發明之4值輸出型之PR(1, -1)方式用韋氏解碼電路的構成圖。

【圖4】有關第1實施例之誤差信號檢出電路的構成圖。

【圖5】有關第1實施例之位元圖案檢出電路的構成圖。

【圖6】有關第1實施例之資料修正信號的構成圖。

【圖7】(A)-(E)有關第1實施例之各部信號波形說明圖。

【圖8】顯示(a)-(d)有關第1實施例之判定錯誤和誤差信號的關係說明圖。

【圖9】圖2所示(A)-(E)有關第1實施例之各部信號波形說明圖。

【圖10】顯示有關第1實施例之韋氏解碼電路動作之說明圖。

【圖11】有關第3實施例之資料再生電路之構成圖。

【圖12】有關第3實施例之資料修正電路之構成圖。

【圖13】有關第4實施例之資料再生電路之構成圖。

【圖14】有關第4實施例之誤差信號檢出電路之構成圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(8)

【圖 15】有關第 4 實施例之位元圖案檢出電路之構成圖。

【圖 16】有關第 4 實施例之資料修正電路之構成圖。

【圖 17】有關第 4 實施例之誤差信號生成之動作時間流程圖之說明圖。

【圖 18】有關第 4 實施例之誤差檢出電路之動作時間流程圖之說明圖。

【圖 19】有關第 4 實施例之資料修正電路之動作時間流程圖之說明圖。

【圖 20】有關第 5 實施例之誤差信號檢出電路之構成圖。

【圖 21】顯示(a)-(d)有關第 6 實施例之判定錯誤和誤差信號的關係說明圖。

【圖 22】有關第 6 實施例之資料再生電路之構成圖。

【圖 23】有關第 6 實施例之誤差信號檢出電路之構成圖。

【圖 24】顯示(e)-(f)有關第 7 實施例之判定錯誤和誤差信號的關係說明圖。

【圖 25】有關第 7 實施例之誤差信號檢出電路之構成圖。

【圖 26】有關第 7 實施例之位元圖案檢出電路之構成圖。

【圖 27】有關第 7 實施例之資料修正電路之構成圖。

【圖 28】PR4-ML記錄再生系統說明圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

冰

五、發明說明 (9)

【圖 29(a), (b)】PR(1、0、-1)用韋氏解碼電路之構成圖。

【圖 30】使用 PR4-ML 方式之磁碟用資料再生電路之構成圖。

【圖 31】有關第 2 實施例之誤差信號檢出電路之構成圖。

【圖 32】顯示本發明之資料再生方式和以往之資料再生方式的資料再生性能的說明圖。

【圖 33】LSI 電路之概念圖。

【圖 34】有關第 8 實施例之誤差信號檢出電路之構成圖。

【圖 35】有關第 8 實施例之最大值檢出電路之構成圖。

【圖 36】有關第 8 實施例之誤差信號檢出電路的動作說明圖。

【圖 37】有關第 8 實施例之誤差圖案電路的動作說明圖。

以下，將有關本發明之實施例參照圖面加以說明，但為使之容易理解，首先，說明本發明之基本的再生方式之 PR4-ML 方式，其後，說明表現本發明之特徵的實施例。然而，對 PR4-ML 方式而言，日本特開平 5-325433 號公報、日本特開平 6-68614 號公報中，做為以往技術說明，配合加以參照。

更且，於圖 28 中，顯示使用 PR4-ML 方式的記錄再生系

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

水

五、發明說明(10)

統的一構成例的方塊圖，及顯示系統內之各種信號的資料及波形例者。圖28中，令記錄資料呈「 A_k 」者。 A_k 係二進位資料(即對應數位信號)，具體而言，為「0」或「1」之串列資料。

附屬字之「 k 」係顯示記錄資料的順序(對應時間經過)，以 $k=0、1、2、3\cdots$ 之順序將記錄資料 A_k ，記錄於記錄媒體。預碼處理部260中，為了記錄資料，對資料進行調制處理。令此輸出為「 B_k 」、進行

$$B_k = (A_k + B_{k-2}) \text{MOD } 2 \cdots (1)$$

之處理。在此，「MOD 2」所成演算係意味將某數以2除之時，求得其餘值之演算。

寫入效大器261係於預碼處理部260之輸出為「1」時呈高位準，預碼處理部260之輸出為「0」時呈低位準，生成寫入脈衝，於記錄媒體262記錄資料。

資料再生時，由記錄媒體262讀取波形係經由讀取放大器263增幅，以濾波器264呈PR4之回應波形地進行波形等化(即，對濾波器264而言，經由預定等化特性，進行輸入信號之等化處理)。在此，PR4之回應波形係指將濾波器264之輸出信號的振幅呈 Y_k 時，

$$Y_k = (B_k - B_{k-2}) \cdots (2)$$

之關係成立的波形 Y_k 者。

以上所述 B_k 至 Y_k 的過程通常稱之為「通道」。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

或

五、發明說明 (11)

在此，考量 $B_0=1$ 、 $B_k=0$ ($k=1, 2, 3\cdots$) 所成輸入信號 (脈衝輸入)。參照式 (2) 時，得 $Y_0=1$ 、 $Y_1=0$ 、 $Y_2=-1$ 、 $Y_k=0$ ， $k=3, 4, 5\cdots$ 所成脈衝回應波形。由此脈衝回應性質視之，PR4 稱之為 PR(1, 0, -1) 方式，又，稱之為 PR(1, 0, -1) 通道。即，濾波器 264 之輸出波形 (PR4 之回應波形) 係可經由脈衝回應 (1, 0, -1)，和與 B_k 之捲積演算加以表現。

經由式 (1) 所定 B_k 值，係為「0」或「1」之故，經由式 (2)， Y_k 係呈「1」、「0」、「-1」之 3 值的任一值。但是在實際上，於 Y_k 之中，系統內之雜音被加以重疊之故，亦會呈 3 值以外之值。

求得解碼資料 Z_k 時，PR4 的輸出於「1」或「-1」時， $Z_k="1"$ ，PR4 的輸出於「0」時，呈 $Z_k="0"$ 的關係則由 PR4 之性質成立之故，經由

$$\text{abs}(Y_k) \geq 0.5 \text{ 時 } Z_k="1"$$

$$\text{abs}(Y_k) < 0.5 \text{ 時 } Z_k="0" \cdots (3)$$

(但是 $\text{abs}(Y_k)$ 係意味求得 Y_k 之絕對值。)，求得 Z_k 。

但是，根據使用式 (3) 之方法時，重疊大的雜音時，產生判定錯誤之故，通常，經由優於雜音性能的韋氏解碼方式求得 Z_k 。解碼器 265 係利用此韋氏解碼方式進行解碼的解碼器者。然而，韋氏解碼方式係可稱之為最優之解碼方式，比較於解碼側推定之記錄資料和脈衝回應之捲積演

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

歌

五、發明說明 (12)

算的結果，和實際之過濾輸出 Y_k ，將其差呈最小之記錄資料呈解碼輸出之方法。

做為此解碼器 265，如圖 29(a)所示，使用 $PR(1, 0, -1)$ 用之韋氏解碼器。將此時輸入信號順序呈「 $Y_0, Y_1, Y_2, Y_3, \dots$ 」時，解碼之結果順序呈「 $Z_0, Z_1, Z_2, Z_3, \dots$ 」。

又，圖 29(b)所示構成中，進行完全相同之動作。在此，設置二個 $PR(1, -1)$ 用之韋氏解碼器 ($PR(1, -1)$) 用解碼電路，各解碼器並列進行動作。

即，令解碼器 265 之輸入信號順序呈「 $Y_0, Y_1, Y_2, Y_3, \dots$ 」時，於單側之解碼器中，輸入偶數系列信號「 $Y_0, Y_2, Y_4, \dots$ 」，於另側之解碼器中，輸入奇數系列信號「 $Y_1, Y_3, Y_5, \dots$ 」。

在此，置換「 $j = k/2$ 」，顯示式 (2) 時， Y_k 則會呈如下者。

$$Y_j = (B_j - B_{j-1}) \dots (4)$$

與式 (2) 之時同樣地，求得式 (4) 之脈衝回應時呈 (1, -1)。此係表示為 $PR(1, -1)$ 。對各 $PR(1, -1)$ 用解碼電路而言輸入之輸入信號，係可視為 $PR(1, -1)$ 的回應波形。各 $PR(1, -1)$ 用解碼電路係獨立動作，各輸出「 $Z_0, Z_2, Z_4, \dots$ 」及「 $Z_1, Z_3, Z_5, \dots$ 」所成解碼結果。

如此地，如圖 29(b)所示，呈設置 2 個 $PR(1, -1)$ 用解

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

訂

五、發明說明 (13)

碼電路的構成時，各解碼電路係以資料再生速度的一半速度加以動作即可，較圖 29(a)所示構成，圖 29(b)所示構成者較為簡單之故，通常係採用具有顯示圖 29(b)之構成的韋氏解碼電路。

圖 30 係顯示將 PR4-ML 方式做為資料再生方法加以採用的磁碟用資料再生電路的構成的方塊圖。

圖 30 中，磁性媒體 11 係實際記錄信號的記錄媒體的磁碟。由磁性媒體 11 介由磁頭讀取之信號係輸入於可變增益增幅器 (VGA12) 加以增幅。此時增幅增益係令下一段的類比數位變換器 (ADC13) 的動態範圍有效地加以使用，經由 VGA/ADC 控制電路 15 加以調整。然後，以 VGA12 增幅之信號則經由類比數位變換器 (ADC13)，變換為數位信號。

濾波器 14 係將數位化之再生信號呈 PR4 之回應波形地波形等化。此濾波器 14 係將數位信號輸入，經由預定信號之等化特性，等化輸入信號，具有做為輸出信號加以輸出之機能。即使，濾波器 14 之輸出信號則於與 PR4 之回應波形不同時，呈 PR4 之回應波形地，調整 VGA12 之增幅增益，或 ADC13 之取樣。然而，VGA/VFO 控制電路 15 則進行此調整，生成供予 ADC13 之取樣時間之取樣時鐘。

又，經由 VGA/VFO 控制電路 15 生成之取樣時鐘係為進行資料再生電路整體之動作而使用者，做為系統時鐘加以使用。

呈 PR4 之回應波形之波形等化的濾波器 14 的輸出係經由圖 29(b) 所示 2 個 PR(1, -1) 用韋氏解碼電路 16、17，復

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

咏

五、發明說明 (14)

原為原本之記錄資料。

然而，元件26、27係例如連動動作之類比開關，2個韋氏解碼電路可交互動作地，令輸入信號之供給側，和輸出信號之取出側，以所定時間切換。為此，設置未圖示之切換驅動電路等即可。

接著，對2值輸出型之PR(1、-1)用韋氏解碼電路之構成詳細加以說明。

圖2係顯示2值輸出型之PR(1、-1)用韋氏解碼電路之構成的方塊圖。此電路係如顯示於WOOD等的論文「Viterbi Detection of class IV Partial Response on a Magnetic Recording Channel」的電路。此圖2所示之電路則相當於韋氏解碼電路16或17，韋氏解碼電路16或17係各別做為偶數系列、奇數系列的資料解碼電路加以動作。於圖2中，令輸入信號為「 Y_k 」，輸出資料為「 Z_k 」，而附屬字之「 k 」係顯示時刻。

取樣保持器31係將輸入信號 Y_k 呈取樣保持的取樣保持電路，根據給予之更新命令，將輸入信號 Y_k 之值做為「 Y_p 」加以保持。

加法電路30係進行求得輸入信號 Y_k ，和取樣保持器31所保持之 Y_p 差（「 $Y_k - Y_p$ 」）的演算電路。

比較電路33、34係具進行比較加法電路30之演算結果，和韋氏解碼電路內部所設定之閾值的機能。比較電路34係其負側輸入端子呈接地電壓「0」之故，具有將輸入至正側輸入端子的加法電路30的輸出，經常與「0」比較之

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

錄

五、發明說明 (15)

機能。

加法電路30的輸出為正值之時，比較電路34的輸出係呈「1」，加法電路30的輸出為負值之時，比較電路34的輸出係呈「0」地構成。

又，取樣保持器32係將給予信號取樣保持之取樣保持電路。

然而，比較電路33與加法器30之輸出進行比較的對象值係經由取樣保持32之值 β 加以變化。即， $\beta=1$ 時開關28係切換為圖中上側，「-A」係呈比較電路33之正側輸入端子之輸入信號。又， $\beta=0$ 時、開關28係切換為圖中下側，「+A」係呈比較電路33之正側輸入端子之輸入信號。加法電路30之輸出值則以開關28較選擇值為小時，比較電路33之輸出係呈"1"，又，加法電路30之輸出值則以開關28較選擇值為大時，比較電路33之輸出係呈"0"。

然而，上述「+A」係PR4之輸出則「1」時之實際信號振幅，又，「-A」係PR4之輸出則「-1」時之實際信號振幅。

取樣保持器32係根據後述之更新命令，更新保持值 β 。供予更新命令之時，比較電路34的輸出為「1」時，呈 $\beta=1$ ，又，更新命令到來之時比較電路34的輸出為「0」時，呈 $\beta=0$ 。於其他之情形時，取樣保持器32係將 β 之值維持不動。可以進行如此之動作係可由比較電路34之輸出由呈輸入取樣保持器32構成得知。

EOR35、36係為各2輸入之排他邏輯和電路者。輸入

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

水

五、發明說明 (16)

EOR35之信號係比較電路33及比較電路34之輸出信號，
EOR35之輸出「1」時，此高位準信號為介由命令更新線，
做為向取樣保持器31，32及後述之暫存器39之更新命令加以輸出。

輸入至EOR36的信號係比較電路34之輸出及取樣保持器32的輸出信號，EOR36之輸出係呈暫定性之解碼器輸出，而呈RAM38的輸入信號(Di)。RAM38係保持解碼結果Zk的緩衝記憶體。

又，開關37係進行RAM38之輸入資料的切換，EOR35之輸出為「1」時，開關37係呈上側(「H」)，又，EOR35之輸出為「0」時，開關37係呈下側(「L」)。

又，位址計數器40係保持解碼結果寫入RAM38時之位址的計數器。位址計數器40所保持之值k係對應於輸入信號Yk之附屬字k值，與新Yk之輸入的同時，增加被保持之值。

接著，指標暫存器39係於時刻k中，解碼結果Zk之值為如後述，記憶呈"保留"時之記憶位址的暫存器。

EOR35之輸出呈「1」，介由命令更新線，供予更新時，位址計數器40之值則保持於指標暫存器。更且，開關29係將RAM38之位址值切換，EOR35之輸出為「1」時，連接於右側(「H」)，指標暫存器39之值則呈RAM38之位址，EOR35之輸出為「0」時，連接於左側(「L」)，位址計數器之值係呈RAM38之位址。

RAM38係例如具有記憶10位元之資料的容量，第11位

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

水

五、發明說明 (17)

元之資料為做為 D_i 加以輸入時，最老之資料進行做為 $D_o (= Z_k)$ 加以輸出之 FIFO 動作。

圖 2 所示韋氏解碼電路係經由以下之演算法，進行再生處理記錄資料。

對此處理演算法順序加以說明。

(1) 首先求得 $(Y_k - Y_p)$ 。

(2) 以 $\beta = 1$ ， $(Y_k - Y_p)$ 之值較「 $-A$ 」為小時，於 RAM38 之位址 p 寫入「1」。然後將 β 值更新為 $\beta = 0$ 。

接著，將取樣保持器 32 所保持之值 Y_p ，更新呈新 Y_k 之值。更且，將指標暫存器 p 之值，更新呈位址計數器之值 k 。

(3) 以 $\beta = 0$ ， $(Y_k - Y_p)$ 之值較「 $+A$ 」為小時，於 RAM38 之位址 p 寫入「1」。然後將 β 值更新為 $\beta = 1$ 。

接著，將取樣保持器 31 所保持之值 Y_p ，更新呈新 Y_k 之值。更且，將指標暫存器 p 之值，更新呈位址計數器之值 k 。

(4) 以 $\beta = 1$ ， $(Y_k - Y_p)$ 之值為「 $-A$ 」至「0」間之值時，或以 $\beta = 0$ ， $(Y_k - Y_p)$ 之值為「 A 」至「0」間之值時，於 RAM38 之位址 k 寫入「0」。

(5) 以 $\beta = 1$ ， $(Y_k - Y_p)$ 之值較「0」為大時，於 RAM38 之位址 p 寫入「0」。然後，將取樣保持器 31 所保持之值 Y_p ，更新呈新 Y_k 之值。更且，將指標暫存器 p 之值，更新呈位址計數器之值 k 。

(6) 以 $\beta = 0$ ， $(Y_k - Y_p)$ 之值較「0」為小時，於 RAM38 之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

冰

五、發明說明 (18)

位址 p 寫入「0」。然後，將取樣保持器 31 所保持之值 Y_p ，更新呈新 Y_k 之值。更且，將指標暫存器 p 之值，更新呈位址計數器之值 k 。

(7) 將「 k 」之值更新呈「 $k+1$ 」。

將上述之(1)~(7)之處理，於每信號輸入加以重覆。

考量以上所述之演算法，將圖 2 所示之韋氏解碼電路的一連動作，參照圖 9 簡單加以說明。

圖 9 中，(F) 係輸入信號 Y_k 。此時之信號振幅的最大・最小值係呈「 ± 1.0 」。

因此，對應圖 2 所示之開關 28 的 2 個連接狀態之閾值「 $+A$ 」「 $-A$ 」係各為「 $+1.0$ 」「 -1.0 」。

Y_k 之附屬字「 k 」係與以前同樣，顯示輸入輸入信號的時刻的後綴。 Y_p 係保持於取樣保持器 31 之值。 p 係保持於指標暫存器 39 之值。以後，由時刻 3 說明順序，動作。

時刻 3 之輸入 Y_k 係「 0.1 」，此時 Y_p 係時刻 2 之 Y_k 的「 1.0 」。此時指標暫存器 p 之值為「2」。因此，加法器 30 之輸出結果的 $(Y_k - Y_p)$ 之值係「 -0.9 」。又，此時 $\beta = 1$ ，開關 28 係連接於上側（「 $-A$ 」，即「 -1.0 」）。結果，比較電路 33 之輸出係呈「0」，比較電路 34 之輸出係呈「0」。因此，EOR36 之輸出係呈「1」，又，EOR35 之輸出係呈「0」，不輸出更新命令。

因此，開關 29 係連接於 L 側（位址計數器 40 側），更且，開關 37 係連接於 L 側（0 位準）。結果，RAM38 之輸入資料 D_i 係呈「0」。結果，RAM38 之位址 3 中寫入「0」。此時，

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

詠

五、發明說明 (19)

未有更新命令輸出之故， β 及 Y_p 之值則不加變更。然後，位址計數器40之值計數至「4」，對時刻3之輸入信號的處理則終了。

接著，時刻4之輸入 Y_k 係「-0.2」， Y_p 係與時刻3相同之值，即「1.0」。指標暫存器p之值係「2」。因此，加法器30的輸出($Y_k - Y_p$)之值係「-1.2」。又，此時 $\beta = 1$ ，開關28係連接於上側（「-A」，即「-1.0」）。結果，比較電路33之輸出係呈「1」，比較電路34之輸出係呈「0」。因此，EOR36之輸出係呈「1」，又，EOR35之輸出係呈「1」，介由命令更新線，更新命令會被輸出。

因此，開關29係連接於H側（指標暫存器側），更且，開關37係連接於H側（EOR36側）。結果，RAM38之輸入資料 D_i 係呈「1」。指標暫存器p之值係「2」之故，記憶體38之位址2中則寫入「1」。需留意的是於此時，於時刻4所判定者為時刻2之資料。即，於此時點才確定時刻2以前之解碼資料。

又，比較電路33的輸出為「0」之故， β 之值係更新為「0」。 Y_p 之值係變更「-0.2」。更且，指標暫存器p之值則更新為「4」。然後，位址計數器40之值計數至「5」，之後移至下個時刻的處理。

如以上所述，對PR4-ML方式之資料再生而言，本發明有關之資料再生係具有以下列舉之特徵。

(a)於本發明中，基本而言，進行PR4-ML方式之資料再生。但是，於PR4-ML方式中，對再生輸出為2值之二進

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

水

五、發明說明 (20)

位資料(1或0)而言，本發明之PR4-ML方式中，則以輸出4值資料為其特徵點。

(b)PR4-ML方式之解碼結果，使用韋氏解碼器之輸入信號，檢出PR4-ML方式之解碼錯誤的處理，即進行誤差信號圖案之檢出點上有其特徵。

(c)使用PR4-ML方式的解碼結果，根據預定之規則，進行資料修正。即，以(b)之處理檢出之解碼錯誤(誤差信號圖案)，和該時之解碼資料有著某種關係，調查兩者之關係時，呈所定之關係時，修正PR4-ML方式的解碼結果上有其特徵存在。

以下，列舉具體之實施例對此等之特徵順序加以說明。

首先，於圖1顯示具有上述之特徵之本發明的第1實施例的資料再生電路構成。

於圖1中，點線所包圍之部分係呈圖30所示採用PR4-ML方式資料再生電路，構成要素係與圖30所示者相同。因此，在此不再重複PR4-ML方式資料再生電路的說明。但是，對韋氏解碼電路160、170而言，加上若干之構成變更，為呈4值輸出型之解碼電路，圖30，圖2所示韋氏解碼電路16，17係與其構成不同。對此，參照圖3後加以說明。

做為其他之構成要素，列舉以下所示者。

首先，誤差信號圖案檢出電路21係進行上述之(b)處理的電路。

又，位元圖案檢出電路24及資料修正電路25係進行上

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

水

五、發明說明 (21)

述之(c)的處理電路。

加法電路19、20係對輸入之信號進行加法處理的電路。

延遲電路10、18、22、23係將輸入之信號，延遲所定之時間，加以輸出的電路，例如以D型觸發電路構成。延遲什麼樣程度、信號係考量韋氏解碼電路160、170或位元圖案檢出電路24之構成等，於系統構築之時，各種信號之時間呈適切者加以決定為佳。做為一例，延遲電路10係通常做為延遲1系統時鐘分之電路的構成。

以下，將本實施例之資料再生動作的概要參照圖1、圖7加以說明。

於圖7，示於圖1之構成要素中，顯示由主要之構成要素的輸出信號，或輸出值。圖7中，時刻T係顯示輸入輸入信號的時刻。

顯示圖7(A)之濾波器14輸出係顯示由圖1所示之濾波器14之輸出信號，呈前述PR(1、0、-1)之輸出。然而，濾波器14輸出中，以實線所示之信號為原來之PR(1、0、-1)之輸出信號，點線所示之部分係顯示雜音重疊之信號。

示於圖7(B)之2值判定結果係將以實線所示原來之濾波器14輸出，經由圖2所示韋氏解碼電路，再生資料時的解碼結果者。但是，於時刻6及時刻8中，時刻6係「0」，時刻8係「1」為正確之解碼結果，以箭頭所示之「1」及「0」係於濾波器14的輸出重疊雜音，將錯誤之解碼結果輸出時之例者。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (22)

圖 7(C) 所示之 4 值判定結果係有關本發明之以 4 值輸出型之韋氏解碼電路 160，170 進行解碼時的解碼結果者。對於此 4 值輸出型之韋氏解碼的詳細說明則述於後。於此 4 值判定結果中，時刻 6 及時刻 8 之輸出係與 2 值判定結果時相同，「+0」和「-1」為正確之解碼結果，箭頭所示之「-1」及「-0」係錯誤之結果。

圖 7(D) 所示之 " 差分信號 " 係加法電路 19 之輸出。加法電路 19 係由介由延遲電路 18 所得之濾波器 14 之輸出，將韋氏解碼器 160、170 之輸出不進行減少之演算，將此演算結果輸出。

圖 7(E) 所示之 " 誤差信號 " 係加法電路 20 之輸出。將差分信號，和將差分信號介由延遲電路 10 所得之信號，不進行加法之演算，將此演算結果做為誤差信號 (E) 輸出。可由圖 7(E) 所示，示於圖 7(E) 之誤差信號係延遲所定時間之示於圖 7(D) 之差分信號的信號則加附於差分信號加以生成。

以上雖已說明，圖 7(A) 所示之濾波器 14 輸出係 PR4 的輸出，不含雜音之原本振幅值係「1.0」、「0」、「-1.0」之 3 值的任一者。

在此，將 4 值之解碼結果 Z_k 如以下加以定義。

「 $Y_k = +10$ 」之時，「 $Z_k = +1$ 」

「 $Y_k = -10$ 」之時，「 $Z_k = -1$ 」

「 $Y_k = 0$ 且 ($Z_{k-2} = +1$ 又 $Z_{k-2} = +0$)」之時，「 $Z_k = +0$ 」

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (23)

「 $Y_k=0$ 且 ($Z_{k-2}=-1$ 又 $Z_{k-2}=-0$)」之時，「 $Z_k=-0$ 」

以此 4 值輸出之韋氏解碼結果，令「 $Z_k=+0$ 」及「 $Z_k=-0$ 」皆為「0」，將解碼結果 Z_k 以「1、0、-1」之 3 值加以考量。此時，於 Y_k 不含雜音， Z_k 所有為正確時，對所有之「 k 」而言，成立以下之式。

$$Y_k - Z_k = 0 \cdots (5)$$

當然，於實際之濾波器 14 的輸出中，含有雜音。將此雜音做為 N_k ，定義含雜音之濾波器輸出 Y'_k 時，則呈下式 (6)。

$$Y'_k = Y_k + N'_k \cdots (6)$$

由式 (5)、式 (6) 得以下之關係。

$$Y'_k - Z_k = N_k \cdots (7)$$

圖 7 所示之差分信號係相當於式 (7) 中之 N_k 。

一般而言，雜音 N_k 係做為具有平均值「0」之高斯分布信號，可令之為近似值。更且，將圖 7(D) 之差分信號呈「 $\text{diff}(k)$ 」、圖 7(E) 之誤差信號呈「 $\text{err}(k)$ 」時，以下之關係式則會成立。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (24)

$$\text{err}(k) = \text{diff}(k) + \text{diff}(k-1) \cdots (8)$$

在此，圖 7(c) 所示，時刻 6 及時刻 8 之 4 值判定結果則以箭頭示之，對做為錯誤之判定結果加以輸出之時加以考量。唯，含於濾波器 14 輸出的雜音 $N_k \neq 0$ ，為 $Y_k \neq Z_k$ 時者。

求得時刻 5 至時刻 9 之各時刻的差分信號時，

$$\text{diff}(5) = Y5 - Z5 = -1 - (-1) = 0$$

$$\text{diff}(6) = Y6 - Z6 = 0 - (-1) = +1$$

$$\text{diff}(7) = Y7 - Z7 = 1 - 1 = 0$$

$$\text{diff}(8) = Y8 - Z8 = -1 - 0 = -1$$

$$\text{diff}(9) = Y9 - Z9 = -1 - (-1) = 0$$

更且，求得時刻 6 至時刻 9 之各時刻的誤差信號時

$$\text{err}(6) = \text{diff}(6) + \text{diff}(5) = +1$$

$$\text{err}(7) = \text{diff}(7) + \text{diff}(8) = +1$$

$$\text{err}(8) = \text{diff}(8) + \text{diff}(7) = -1$$

$$\text{err}(9) = \text{diff}(9) + \text{diff}(8) = -1$$

此差分信號係可視為 PR4 之回應波形，又，誤差信號係可視為 EPR4 之回應波形。此係記載於前述 Wood 論文之「-Turbo-PRML: A Compromise EPRML detector」。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄

五、發明說明 (25)

在此，檢出經由PR4-ML之判定錯誤所生之錯誤信號，進行修正PR4-ML之判定結果的處理。然而，對具體之檢出方法而言述於後部。

然而，產生誤差信號圖案之種類係依存於以PR4-ML方式之判定錯誤形態，而以Wood論文之「-Turbo-PRML:A Compromise EPRML detector」時為9類。但是，PR4-ML方式之判定錯誤為相當實際上所產生之幾近者為圖8(a)-(d)所示4類(不區別正負之符號為「2類」者)之誤差信號圖案所產生時之一者。在此，本發明中，限定此4類之誤差信號圖案，進行誤差信號圖案的檢出，檢出進行錯誤判定之情形。

參照圖8之結果，對應各誤差信號圖案的回應波形係呈以下者。

- (a)「error2P」、(1、1、-1、-1)…(9)
- (b)「error2N」、(-1、-1、1、1)…(10)
- (c)「error4P」、(1、1、0、0、-1、-1)…(11)
- (d)「error4N」、(-1、-1、0、0、1、1)…(12)

上述之中，(a)和(b)、(c)和(d)係僅為反轉其符號，實質上可稱之為同類之誤差信號圖案。

又，上述之「error2P」、「error2N」、「error4P」、「error4N」係為便利而對誤差信號圖案附予名稱者，而在其後之(1、1、-1、-1)、(-1、-1、1、1)、(1、1

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (26)

、0、0、-1、-1)、(-1、-1、0、0、1、1)則將對誤差信號之回應波形依時刻顯示者。各誤差信號圖案係示於圖8(a)、(b)、(c)、(d)之右側。

然而，為配合說明，將示於圖8(a)、(b)之誤差信號的振幅，示於圖中地，各自呈 $y(1)$ 、 $y(2)$ 、 $y(3)$ 、 $y(4)$ ，更且將示於圖8(c)、(d)之誤差信號的振幅，示於圖中地，各自呈 $y(0)$ 、 $y(1)$ 、 $y(2)$ 、 $y(3)$ 、 $y(4)$ 、 $y(5)$ 。

又，圖8(a)、(b)、(c)、(d)之左側的表係對各誤差信號圖案之PR4-ML的正確判定資料，和錯誤判定資料的關係示於圖中。但圖中之「+1」、「-1」、「+0」、「-0」係前述之4值PR4-ML的值，「x」係1位元之任意再生資料。

例如，圖8(a)之第1線所示之情形時，將判定為原本「+0、x、+0、x」之信號，以「-1、x、+1、x」為誤判定表現。同樣第2線係將判定為原本「+0、x、-1、x」之信號，以「-1、x、0、x」為誤判定表現。圖8(a)所示之4個任一時亦觀測之誤差信號係示於圖8(a)之右側，呈誤差信號圖案者。檢出圖8(a)所示誤差信號圖案時，產生以PR4-ML判定錯誤係對應 $y(1)$ 、 $y(3)$ 之解碼資料。

又，圖8(b)之第1線所示之情形時，將判定為原本「-0、x、-0、x」之信號，以「+1、x、-1、x」為誤判定表現。同樣第2線係將判定為原本「-0、x、+1、x」之信號，以「+1、x、+0、x」為誤判定表現。圖8(b)所示之4個任一時亦觀測之誤差信號係示於圖8(b)之右側，呈誤差信

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (27)

號圖案者。檢出圖 8(b)所示誤差信號圖案時，產生以 PR4-ML 判定錯誤係對應 $y(1)$ 、 $y(3)$ 之解碼資料。

又，圖 8(c)之第 1 線所示之情形時，將判定為原本「 $+0$ 、 x 、 $+0$ 、 x 、 $+0$ 、 x 」之信號，以「 -1 、 x 、 -0 、 x 、 $+1$ 、 x 」為誤判定表現。同樣第 2 線係將判定為原本「 $+0$ 、 x 、 $+0$ 、 x 、 -1 、 x 」之信號，以「 -1 、 x 、 -0 、 x 、 -0 、 x 」為誤判定表現。圖 8(c)所示之 4 個任一時亦觀測之誤差信號係示於圖 8(c)之右側，呈誤差信號圖案者。檢出圖 8(c)所示誤差信號圖案時，產生以 PR4-ML 判定錯誤係對應 $y(0)$ 、 $y(4)$ 之解碼資料。

又，圖 8(d)之第 1 線所示之情形時，將判定為原本「 -0 、 x 、 -0 、 x 、 -0 、 x 」之信號，以「 $+1$ 、 x 、 $+0$ 、 x 、 -1 、 x 」為誤判定表現。同樣第 2 線係將判定為原本「 -0 、 x 、 -0 、 x 、 $+1$ 、 x 」之信號，以「 $+1$ 、 x 、 $+0$ 、 x 、 $+0$ 、 x 」為誤判定表現。圖 8(d)所示之 4 個任一時亦觀測之誤差信號係示於圖 8(d)之右側，呈誤差信號圖案者。檢出圖 8(d)所示誤差信號圖案時，產生以 PR4-ML 判定錯誤係對應 $y(0)$ 、 $y(4)$ 之解碼資料。

為檢出此等之誤差信號圖案，使用實際觀測之誤差信號「 $y(0)$ 、 $y(1)$ 、 $y(2)$ 、 $y(3)$ 、 $y(4)$ 、 $y(5)$ (包含 $y(0)$ 、 $y(1)$ 、 $y(2)$ 、 $y(3)$ 加以考量)」和示於圖 8(a)、(b)、(c)、(d)之右側的誤差信號圖案的 2 次方誤差為評估函數 (稱之為「量度」)。

例如對圖 8(a)所示之誤差信號圖案的量度 Ma 係以下式

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (28)

表現。

$$Ma = y(0)^2 + (y(1)-1)^2 + (y(2)-1)^2 + (y(3)+1)^2 + (y(4)+1)^2 + y(5)^2$$

同樣地，對圖 8(b)、(c)、(d) 所示誤差信號圖案的量度 Mb，Mc，Md 係如以下所示。

$$Mb = y(0)^2 + (y(1)+1)^2 + (y(2)+1)^2 + (y(3)-1)^2 + (y(4)-1)^2 + y(5)^2$$

$$Mc = (y(0)-1)^2 + (y(1)-1)^2 + y(2)^2 + y(3)^2 + (y(4)+1)^2 + (y(5)+1)^2$$

$$Md = (y(0)+1)^2 + (y(1)+1)^2 + y(2)^2 + y(3)^2 + (y(4)-1)^2 + (y(5)-1)^2$$

更且，求得實際觀測之誤差信號和以 PR4-ML 方式之無判定錯誤時之誤差信號的 2 次方誤差 M0 時，則呈如下者。

$$M0 = y(0)^2 + y(1)^2 + y(2)^2 + y(3)^2 + y(4)^2 + y(5)^2$$

量度係顯示誤差之值，於 Ma、Mb、Mc、Md、M0 之中，對應最小值之量度誤差信號圖案則判定為實際觀測之誤差信號圖案。

但是，嚴密求得最小值之處理因為複雜之故，本發明

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (29)

之中，以以下之簡化之條件式，進行誤差信號之檢出。

即，檢出圖 8(a)所示誤差信號圖案的條件式係 $(M_a < M_0)$
 $)AND(M_a < M_c)$ (唯 AND 爲顯示邏輯和)。

將上述不等式根據各量度之定義加以計算時呈

$$y(1)+y(2)-y(3)-y(4)>2.0$$

$$\text{且 } y(0)-y(2)+y(3)-y(5)<0.0 \cdots (13)$$

同樣地，檢出圖 8(b)所示誤差信號圖案的條件式係 $(M_b < M_0)AND(M_b < M_d)$ (唯 AND 爲顯示邏輯積)。

將上述不等式根據各量度之定義加以計算時呈下式者

$$y(1)+y(2)-y(3)-y(4)<-2.0$$

$$\text{且 } y(0)-y(2)+y(3)-y(5)>0.0 \cdots (14)$$

同樣地，檢出圖 8(c)所示誤差信號圖案的條件式係 $(M_c < M_0)AND(M_c < M_a)$ (唯 AND 爲顯示邏輯積)。

將上述不等式根據各量度之定義加以計算時呈下式者

$$y(0)+y(1)-y(4)-y(5)>2.0$$

$$\text{且 } y(0)-y(2)+y(3)-y(5)>0.0 \cdots (15)$$

同樣地，檢出圖 8(d)所示誤差信號圖案的條件式係 $(M_d < M_0)AND(M_d < M_b)$ (唯 AND 爲顯示邏輯積)。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (30)

將上述不等式根據各量度之定義加以計算時呈下式者

$$y(0)+y(1)-y(4)-y(5)<-2.0$$

$$\text{且 } y(0)-y(2)+y(3)-y(5)<0.0\cdots (16)$$

以上記載之式(13)，式(14)，式(15)，式(16)則呈誤差信號圖案檢出條件。因此，使用此等之式，進行誤差信號圖案的檢出。

接著，對PR4-ML方式之解碼結果的分類(位元圖案檢出)加以說明。

即，雖參照圖8加以說明，例如示於圖8(a)右側之誤差信號圖案被檢出時的PR4-ML方式之輸出資料(4值)係必需做為圖8(a)之左側的錯誤判定資料所示的4類資料列的任一者。

假使，式(13)成立，示於圖8(a)右側之誤差信號圖案被檢出時的PR4-ML輸出，不為圖8(a)之左側的錯誤判定資料(4類)的任一者時，可視為檢出錯誤之誤差信號。

在此，分類PR4-ML方式之輸出圖案，進行與前述誤差信號圖案檢出結果的比較。即已說明，於本發明有關之PR4-ML方式中，輸出「+1、+0、-0、-1」的4值資料。更且，將PR4-ML的輸出依時間順序呈 $\text{bin}(0)$ 、 $\text{bin}(1)$ 、 $\text{bin}(2)$ 、 $\text{bin}(3)$ 、 $\text{bin}(4)$ 、 $\text{bin}(5)$ 。

PR4-ML再生輸出與圖8(a)左側所示"錯誤判定資料"之任一者一致的條件係如下式。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (31)

$$P2bit = (\text{bin}(1) = -1 \text{ or } \text{bin}(1) = -0) \text{ and } (\text{bin}(3) = +1 \text{ or } \text{bin}(3) = -0) \cdots (17)$$

(唯「or」顯示邏輯和，「and」係顯示邏輯積)

同樣地，PR4-ML再生輸出為與圖8(b)、圖8(c)、圖8(d)所示錯誤判定資料列一致的條件係如下所示。

$$N2bit = (\text{bin}(1) = +1 \text{ or } \text{bin}(1) = +0) \text{ and } (\text{bin}(3) = -1 \text{ or } \text{bin}(3) = +0) \cdots (18)$$

$$P4bit = (\text{bin}(0) = -1 \text{ or } \text{bin}(0) = -0) \text{ and } (\text{bin}(2) = -0) \text{ and } (\text{bin}(4) = +1 \text{ or } \text{bin}(4) = -0) \cdots (19)$$

$$N4bit = (\text{bin}(0) = +1 \text{ or } \text{bin}(0) = +0) \text{ and } (\text{bin}(2) = +0) \text{ and } (\text{bin}(4) = -1 \text{ or } \text{bin}(4) = +0) \cdots (20)$$

示於式(17)之P2bit為1時，PR4-ML再生輸出係圖8(a)所示錯誤判定資料的任一者。同樣地，示於式(18)之N2bit為1時，PR4-ML再生輸出係圖8(b)所示錯誤判定資料的任一者。同樣地，示於式(19)之P4bit為1時，PR4-ML再生輸出係圖8(c)所示錯誤判定資料的任一者。同樣地，示於式(10)之N4bit為1時，PR4-ML再生輸出係圖8(d)所示錯誤判定資料的任一者。經由進行如以上之邏輯演算，將

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

咏

五、發明說明 (32)

PR4-ML 再生輸出分類為誤差信號圖案的4類。

綜合以上所述，則如下所述。

即，式(13)成立(檢出圖8(a)之誤差信號圖案)，式(17)所示之P2bit為1時，判定產生圖8(a)所示判定錯誤，經由反轉相當於bin(1)、bin(3)之解碼結果，修正判定錯誤。

同樣地，式(14)成立(檢出圖8(b)之誤差信號圖案)，式(18)所示之N2bit為1時，判定產生圖8(b)所示判定錯誤，經由反轉相當於bin(1)、bin(3)之解碼結果，修正判定錯誤。

更且，式(15)成立(檢出圖8(c)之誤差信號圖案)，式(19)所示之P4bit為1時，判定產生圖8(c)所示判定錯誤，經由反轉相當於bin(0)、bin(4)之解碼結果，修正判定錯誤。

更且，式(16)成立(檢出圖8(d)之誤差信號圖案)，式(20)所示之N4bit為1時，判定產生圖8(d)所示判定錯誤，經由反轉相當於bin(0)、bin(4)之解碼結果，修正判定錯誤。

在此「解碼結果之反轉」係意味不改變符號將"1"和"0"逆轉，具體而言，將「+1」呈「+0」、將「+0」呈「+1」、將「-1」呈「-0」、將「-0」呈「-1」。

將錯誤判定資料完全可修正為正確資料，最終的輸出者為「1」或「0」之二進位值，符號不需要正確。在此，實際僅修正資料。如此地，本發明之資料再生方式中，較

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

冰

五、發明說明 (33)

以往之 PR4-ML 方式，可令資料再生時之錯誤率減低。相反資料再生時之錯誤率與以往之 PR4-ML 方式同等時，較以往可提升記憶媒體之資料的記錄密度。

以下，對本發明第 1 實施例之資料再生電路的各部之詳細部分加以說明。

首先，對使用有關本實施例的資料再生電路的 4 值輸出型 PR(1, -1) 用韋氏解碼電路而言，參照圖 3 加以說明。

圖 3 中，顯示 4 值輸出型之 PR(1, -1) 用韋氏解碼器的構成。示於圖 3 之電路係相當於示於圖 1 之韋氏解碼電路 160 和 170。由圖所示得知，本電路之基本構成係與示於圖 2 之 2 值輸出型之韋氏解碼器相同，同一符號之構成要素係具有同一之機能。本電路中，特徵在於令比較電路 34 之輸出端子，連接於 RAM41，更且於 RAM41 連接觸發電路（以下記為「FF」）42 之處。

更且，於圖 3 中，將輸入信號呈 Y_k ，輸出資料呈 Z_k 。取樣保持器 31 係將輸入信號呈取樣保持的取樣保持電路，根據更新命令，將輸入信號 Y_k 之值做為「 Y_p 」加以保持。

加法電路 30 係進行求得輸入信號 Y_k ，和取樣保持器 31 所保持之 Y_p 差（「 $Y_k - Y_p$ 」）的演算電路。比較電路 33、34 係具進行比較加法電路 30 之演算結果，和韋氏解碼電路內部所設定之閾值的機能。

比較電路 34 係具有將輸入於正側輸入端子之加法電路 30 的輸出，經常地與負側輸入端子之輸入值（如圖示為接地者）之「0」加以比較的機能。加法電路 30 的輸出為正值

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

水

五、發明說明 (34)

之時，比較電路 34 的輸出係呈「1」，加法電路 30 的輸出為負值之時，比較電路 34 的輸出係呈「0」。

又，取樣保持器 32 係將給予信號取樣保持之取樣保持電路。

經由比較電路 33，進行加法電路 30 之輸出和比較電路 33 為對象之值係經由保持取樣保持 32 之值 β 加以變化。

即， $\beta = 1$ 時開關 28 係切換為圖中上側，「 $-A$ 」係呈比較電路 33 之正側輸入端子之輸入值。又， $\beta = 0$ 時、開關 28 係切換為圖中下側，「 $+A$ 」係呈比較電路 33 之正側輸入端子之輸入值。

加法電路 30 之輸出值則以開關 28 較選擇值為小時，比較電路 33 之輸出係呈「1」，加法電路 30 之輸出值則以開關 28 較選擇值為大時，比較電路 33 之輸出係呈「0」。然而，上述「 $+A$ 」係 PR4 之輸出則「1」時之實際信號振幅，又，「 $-A$ 」係 PR4 之輸出則「-1」時之實際信號振幅。

取樣保持器 32 係根據後述之更新命令，更新保持值 β 。

供予更新命令之時，比較電路 34 的輸出為「1」時，呈 $\beta = 1$ ，又，更新命令到來之時比較電路 34 的輸出為「0」時，呈 $\beta = 0$ 。於其他之情形時，取樣保持器 32 係將 β 之值維持不動。。

EOR35、36 係為 2 輸入之排他邏輯和電路者。EOR35 之輸入信號係比較電路 33 及比較電路 34 之輸出信號，EOR35 之輸出「1」時，介由命令更新線，輸出更新命令。另一

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄

五、發明說明 (35)

方面 EOR36 輸入信號係比較電路 34 之輸出及取樣保持器 32 的輸出信號，EOR36 之輸出係呈最終之解碼器輸出，做為 RAM41 的輸入資料加以輸入。

又，開關 37 係進行 RAM41 之輸入資料的切換，EOR35 之輸出為「1」時，開關 37 係呈上側（「H」），又，EOR35 之輸出為「0」時，開關 37 係呈下側（「L」）。

接著，位址計數器 40 係保持將解碼結果寫入 RAM41 時之位址的計數器。位址計數器 40 之計數值 k 係對應於輸入信號 Yk 之附屬字 k 值，與新 Yk 之輸入的同時，增加其值。

指標暫存器 39 係於時刻 k 中，為記憶解碼結果 Zk 之值為呈保留時之 RAM 內的位址（記憶位址）之暫存器。即，指標暫存器 39 係 EOR35 之輸出呈「1」，命令更新被輸出時，具有保持位址計數器 40 之機能。

開關 29 係將 RAM41 之位址值切換，EOR35 之輸出為「1」時，連接於右側（「H」），又，EOR35 之輸出為「0」時，連接於左側（「L」）。

RAM41 係做為保持解碼結果 Zk 的緩衝記憶體加以動作，此 RAM41 和示於圖 2 所示 RAM38 的不同，係連接於 RAM38 資料匯流排為對 1 位元用匯流排而言，連接於 RAM41 之匯流排係呈 2 位元用之匯流排者。

又，FF42 係例如以 1 位元之 D 型觸發電路加以實現，於 RAM41 之輸出資料的 LSB 為「1」時，呈此 FF42 所對應之輸入觸發信號，保持此時 RAM41 的輸出資料的 MSB 值地加以動作。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明 (36)

RAM41之輸出資料的2位元資料之LSB則呈輸出 Z_k 的LSB，觸發電路42之輸出則呈輸出 Z_k 之MSB。然而，將示於圖3的韋氏解碼電路所輸出之2位元資料 Z_k ，和前述之4值之解碼資料「+1、+0、-0、-1」的對應關係示於表1。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(37)

【表 1】

4值資料	二進位之表現
+1	01
+0	00
-0	10
-1	11

接著將圖 3 之韋氏解碼電路的動作，參照圖 10 加以說明。

於圖 10 之中，(F) 為輸入信號 Y_k 。又，輸入信號之最大、最小振幅呈 ± 1.0 。因此，對應接觸狀態於圖 3 所示開關 28 加以設定。閾值之「+A」、「-A」係各別呈「+1.0」、「-1.0」。

Y_k 之附屬字「k」係與以前同樣，顯示輸入輸入信號的時刻的後綴。 Y_p 係保持於取樣保持器 31 之值。 p 係保持於指標暫存器 39 之值。以下，由時刻 3 說明順序，動作。

首先，時刻 3 之輸入 Y_k 係「0.1」，此時 Y_p 係時刻 2 之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (38)

Y_k 的「1.0」。此時指標暫存器 p 之值為「2」。因此，加法電路 30 之輸出的 $(Y_k - Y_p)$ 之值係「-0.9」。又，此時 $\beta = 1$ ，開關 28 係連接於上側（「-A」，即「-1.0」）。因此，比較電路 33 之輸出係呈「0」，比較電路 34 之輸出係呈「0」。因此，EOR36 之輸出係呈「1」，又，EOR35 之輸出係呈「0」，不輸出更新命令。因此，開關 29 係連接於 L 側（位址計數器側），開關 37 係連接於 L 側（0 位準）。因此，RAM41 之輸入資料 D_i 的 LSB 呈「0」。

比較電路 34 的輸出為「0」之故，RAM41 之輸入資料 MSB 為「0」。因此，RAM38 之位址 3 中寫入「00」。此時，未有更新命令輸出之故， β 及 Y_p 之值則不加變更。然後，位址計數器 40 之值計數至「4」，對時刻 3 之輸入信號的處理則終了。

接著，時刻 4 之輸入 Y_k 係「-0.2」， Y_p 係與時刻 3 相同之值，即「1.0」。指標暫存器 p 之值係「2」。因此，加法器 30 的輸出 $(Y_k - Y_p)$ 之值係「-1.2」。又，此時 $\beta = 1$ ，開關 28 係連接於上側（「-A」，即「-1.0」）。因此，比較電路 33 之輸出係呈「1」，比較電路 34 之輸出係呈「0」。因此，EOR36 之輸出係呈「1」，又，EOR35 之輸出係呈「1」，輸出更新命令。因此，開關 29 係連接於 H 側（指標暫存器側），更且，開關 37 係連接於 H 側（EOR36 側）的 RAM38 之輸入資料 D_i 的 LSB 係呈「1」。比較電路 34 之輸出為「0」之故，RAM41 之輸入資料 D_i 之 MSB 為「0」。

指標暫存器 p 之值係「2」之故，記憶體 41 之位址 2 中

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明 (39)

則寫入「01」。需留意的是於此時，於時刻4所判定者為時刻2之資料。即，於時點4之時點，才確定時刻2以前之解碼資料。

又，比較電路34的輸出為「0」之故， β 之值係更新為「0」。又， Y_p 之值係變更「-0.2」。又，指標暫存器p之值則更新為「4」。然後，位址計數器40之值計數至「5」，之後移至下個時刻的處理。

又，寫入RAM41之資料係於6時刻(6時鐘)之後，確定做為解碼資料，由RAM41依位址順序收納之資料則被加以讀取。然而，6時鐘的延遲時間係兼具電路規模和解碼資料之可靠性而加以變更者。

為求便利，令RAM41之輸出資料Do的MSB呈「Do_MSB」、輸出資料Do的LSB呈「Do_LSB」。「Do_MSB」係呈FF42之輸入資料，「Do_LSB」係呈FF42之閘鎖輸入(觸發信號)。例如，圖10所示之時刻2之「Do_LSB」為「1」，又，「Do_MSB」為「0」。因此，於FF42保持為「0」，且由FF42輸出資料「0」。此係4值韋氏解碼結果MSB。又，4值韋氏解碼結果LSB係呈「Do_LSB」。

同樣地，時刻3之「Do_MSB」為「0」，「Do_LSB」為「0」。因此，FF42所保持之值則為「0」不加變化。因此，最終之解碼結果係呈「MSB=0、LSB=0」。

又，例如，時刻8時，RAM41之輸出，即，「Do_MSB」為「1」，「Do_LSB」為「0」。此時，「Do_LSB」為「0」之故，FF42所保持之值則不改變。因此，最終之解碼結

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (40)

果之 MSB 爲「0」。

如以上所示，可得 4 值之 PR4-ML 輸出之 Z_k 。

使用此 Z_k ，進行式(7)所示之演算，求得差分信號。進行此演算者，係圖 1 所示之加法器 19。然而，由向韋氏解碼電路 160，170，輸入濾波器 14 之輸出，至輸出對應解碼資料，產生數時脈之時間延遲。爲調整此時間，於圖 1 中，設置延遲電路 18 進行時間之調整。更且，於圖 1 所示加法器 20 中，進行式(8)之演算，求得誤差信號。將此演算處理通常稱之爲 $(1+D)$ 處理。

接著，對圖 1 所示之誤差信號圖案檢出電路 21 的構成例加以說明。

圖 4 係以第 1 實施例使用之誤差信號圖案檢出電路 21 的構成圖。圖 4 之中，43、44、45、46、47、48 係 1 時鐘之延遲電路，通常可以 D 型觸發電路實現。50 係加法器，51、52 爲減法器。53、54、55、56、57 係比較器。此等比較器中，較負值端子輸入(-側)之值，正值端子輸入(+側)之值爲大時，輸出「1」，於其他情形時輸出「0」。

58、59、60、61 係邏輯積閘，輸入端子之圓圈係表示反轉輸入。然而，本電路動作之基準時鐘係使用圖 1 之類比・數位變換器 13 所使用之取樣時鐘。

本電路係進行式(13)、式(14)、式(15)、式(16)所示之演算處理。以下，將本電路之輸入信號做爲 $y(5)$ ，順序說明其動作。但是括號內之附屬字爲顯示時刻。

首先，延遲電路 43 之輸出係 1 時刻前之輸入 $y(4)$ 。結

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (41)

果，加法器 50 之輸入係為 $y(5)$ 及 $y(4)$ ，而加法器 50 之輸出則為「 $y(5)+y(4)$ 」。以延遲電路 45、46 產生各 1 時刻之延遲之故，減法器 51 之輸入係呈「 $y(5)+y(4)$ 」及「 $y(2)+y(3)$ 」。因此，減法器 51 之輸出係呈「 $y(2)+y(3)-y(4)-y(5)$ 」。此輸出係以延遲電路 44 延遲 1 時刻呈「 $y(1)+y(2)-y(3)-y(4)$ 」。

又，延遲電路 46 之輸出係經由延遲電路 47、48，再延遲 1 時刻，延遲電路 48 之輸出係呈「 $y(0)+y(1)$ 」。結果，減法器 52 的輸出係呈「 $y(0)+y(1)-y(4)-y(5)$ 」。

然而，比較器 54 之正側端子的輸入「 $-TH_1$ 」係閾值，具體而言，使用式 (14) 比較之值「 -2.0 」者。因此，於比較器 54 中，根據式 (14) 之第 1 不等式進行評估。不等式成立時，比較器 54 之輸出呈「1」。

然而，比較器 54 之負端子的輸入「 TH_1 」係閾值，具體而言，使用式 (13) 比較之值「 2.0 」者。因此，於比較器 55，根據式 (13) 之第 1 不等式進行評估。不等式成立時，比較器 55 之輸出呈「1」。

然而，比較器 56 之正側端子的輸入「 $-TH_2$ 」係閾值，使用式 (16) 比較之值「 -2.0 」者。因此，於比較器 56 中，根據式 (16) 之第 1 不等式進行評估。不等式成立時，比較器 56 之輸出呈「1」。

然而，比較器 57 之負端子的輸入「 TH_2 」係閾值，具體而言，使用式 (15) 比較之值「 2.0 」者。因此，於比較器 57，根據式 (15) 之第 1 不等式進行評估。不等式成立時

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (42)

，比較器 57 之輸出呈「1」。然而，「TH_1」、「TH_2」等之閾值係配合實際之再生信號的振幅加以調整即可。

然而，比較器 53 之正側端子的輸入係「 $y(0)+y(1)-y(4)-y(5)$ 」，負側端子的輸入係「 $y(1)+y(2)-y(3)-y(4)$ 」。因此，比較器 53 係具有評估以下不等式之機能。

$$y(0)-y(2)+y(3)-y(5)>0.0\cdots(21)$$

此式(21)成立之時，比較器 53 之輸出呈「1」者。此時於式(14)，式(15)第 2 之不等式則成立。相反地，比較器 53 之輸出呈「0」時，於式(13)，式(16)第 2 之不等式則成立。

邏輯積閘 59 係具有求得比較器 53 輸出反轉的邏輯積之機能。因此，式(13)成立之時，邏輯積 59 之輸出呈「1」。

接著，邏輯積閘 58 係具有求得比較器 54 輸出，和比較器 53 輸出的邏輯積之機能。因此，式(14)成立之時，邏輯積閘 58 的輸出則呈「1」。更且，邏輯積閘 61 係具有求得比較器 57 輸出，和比較器 53 輸出的邏輯積之機能。因此，式(15)成立之時，邏輯積閘 61 的輸出則呈「1」。更且，邏輯積閘 60 係具有求得比較器 56 輸出，和比較器 53 輸出之反轉邏輯積之機能。因此，式(16)式成立時，邏輯積閘 60 之輸出呈「1」。然而，為配合說明，將邏輯積閘 58 之輸出信號稱之為「error2N」，將邏輯積閘 59 之輸出信號稱之為「error2P」，將邏輯積閘 60 之輸出信號稱之為「

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (43)

error4N」，將邏輯積閘 61 之輸出信號稱之為「error4P」。

如以上之說明，經由圖 4 所示之電路，可檢出圖 8 所示「error2N」、「error2P」、「error4N」、「error4P」4 類之誤差信號圖案。

以下，對位元圖案檢出電路 24 之構成例加以說明。

圖 5 係顯示有關第 1 實施例之位元圖案檢出電路 24 之構成例圖。圖 5 之中，輸入信號係圖 3 所示韋氏解碼電路的解碼結果，具體而言為 2 位元之 2 進位資料。201、202、203、204 係延遲電路，於 DD 型 FF 中可加以實現。D 型 FF 係以圖 1 所示之類比・數位變換器 13 同一之時鐘進行動作。

然而，為求方便，令輸入二進位資料為 $\text{bin}(4)$ ，延遲電路 201 之輸出為 $\text{bin}(3)$ ，延遲電路 202 之輸出為 $\text{bin}(2)$ ，延遲電路 203 之輸出為 $\text{bin}(1)$ ，延遲電路 204 之輸出為 $\text{bin}(0)$ 。又，令各 MSB 為「 $\text{bin}(k)_M$ 」、令各 LSB 為「 $\text{bin}(k)_L$ 」。205、206 係排他性邏輯和閘。

207、208、209、210 係反轉電路。211、212、213、214、215、216、217、218、219、220 係邏輯積閘。唯 216、217、218 之輸入側的圓記係意味反轉輸入。

由式(17)、式(18)、式(19)、式(20)之表 1 關係，各檢出信號係經由以下之邏輯式求得。但是，NOT、AND、EOR 係顯示各反轉，邏輯積、排他性邏輯和。

對式(17)而言，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (44)

$$P2bit = bin(1)_M \text{ AND } (bin(3)_M \text{ EOR } bin(3)_L)$$

對式(18)而言，

$$N2bit = NOT \ bin(1)_M \text{ AND } (NOT \ (bin(3)_M \text{ EOR } bin(3)_L))$$

對式(19)而言，

$$P4bit = bin(0)_M \text{ AND } (bin(2)_M \text{ AND } 0) \text{ AND } (bin(2)_L \text{ AND } 0) \text{ and } (bin(4)_M \text{ EOR } bin(4)_L)$$

對式(20)而言，呈

$$N4bit = (NOT \ bin(0)_M) \text{ AND } (bin(2)_M \text{ AND } 0) \text{ AND } (bin(2)_L \text{ AND } 0) \text{ AND } NOT(bin(4)_M \text{ EOR } bin(4)_L))。$$

圖5所示之電路中，經由排他性邏輯和閘，邏輯積閘、反轉閘等，單純執行上述邏輯演算，求得P2bit、N2bit、P4bit、N4bit。因此，經由圖5所示之電路構成，可檢出上述P2bit、N2bit、P4bit、N4bit。

接著，對資料修正電路25之構成例而言加以說明。

於圖6顯示資料修正電路25之構成圖。240、241、242

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (45)

、243係邏輯積閘。244、245係邏輯和閘。246、248、251、253係排他性邏輯和閘。247、249、250、252係延遲電路，以D型FF加以實現。此D型FF則在於與類比・數位變換器13同一之時鐘進行動作上，與前者相同。

此電路之輸入信號為以位元圖案檢出電路24輸出之PR4-ML的解碼結果bin(k)的LSB，圖4之誤差檢出電路21之輸出的「error2P」、「error2N」、「error4P」、「error4N」，位元圖案檢出電路24之輸出「P2bit」、「N2bit」、「P4bit」、「N4bit」。

為求方便，令資料修正電路的輸入PR4-ML的解碼結果為bin(4)，延遲電路247之輸出為bin(3)，延遲電路249之輸出為bin(2)，延遲電路250之輸出為bin(1)，延遲電路252之輸出為bin(0)。

圖8(a)所示之誤差信號圖案係「error2P」，對應之位元圖案檢出信號為「P2bit」。此時之誤判定資料係bin(1)及bin(3)。bin(k)係1位元之二進位資料之故，經由單純之反轉可進行資料的修正。因此、(error2P AND P2bit)=1時，反轉bin(1)、bin(3)。實際之反轉處理係演算(error2P AND P2bit)和bin(1)或bin(3)之排他性邏輯和加以實現。

又，圖8(b)所示之誤差信號圖案係「error2N」，對應之位元圖案檢出信號為「N2bit」。此時之誤判定資料係bin(1)及bin(3)。因此、(error2N AND N2bit)=1時，反轉bin(1)、bin(3)。實際之反轉處理係演算(

(請先閱讀背面之注意事項再填寫本頁)

表

訂

五、發明說明 (46)

error2NAND N2bit)和bin(1)或bin(3)之排他性邏輯和加以實現。

圖8(c)所示之誤差信號圖案係「error4P」，對應之位元圖案檢出信號為「P4bit」。此時之誤判定資料係bin(0)及bin(4)。因此，(error4P AND P4bit)=1時，反轉bin(0)、bin(4)。實際之反轉處理係演算(error4P AND P4bit)和bin(0)或bin(4)之排他性邏輯和加以實現。

又，圖8(d)所示之誤差信號圖案係「error4N」，對應之位元圖案檢出信號為「N4bit」。此時之誤判定資料係bin(0)及bin(4)。因此，(error4N AND N4bit)=1時，反轉bin(0)、bin(4)。實際之反轉處理係演算(error4NAND N4bit)和bin(0)或bin(4)之排他性邏輯和加以實現。

如上所述，組合4值輸出之韋氏解碼電路、誤差信號圖案電路、位元圖案檢出電路等，可實現有關本發明之資料再生電路。

接著，於第1實施例之誤差信號圖案檢出電路21加上改良，減低再生資料之錯誤率。對第2實施例加以說明。

然而為配合說明，改變使用式(13)，式(15)之不等式的左邊，呈量度 $Ma'(k)$ 、 $Mc'(k)$ ，但是附屬字 k 係做為式(15)之第1y的時刻，定義呈如下。

$$Ma'(k) = y(k+1) + y(k+2) - y(k+3) - y(k+4) \cdots (22)$$

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (47)

$$Mc'(k) = y(k) + y(k+1) - y(k+4) - y(k+5) \cdots (23)$$

然而，產生大的雜音等時，誤差信號則連續檢出。但是PR4-ML之判定錯誤連續產生之機率非常的低，誤差信號圖案連續檢出之時，誤檢出的可能性高，為避免如此之誤檢出，將式(22)、式(23)之量度時序列地加以比較，僅於取得量度為極大值之時，判定為真之誤差信號圖案。

因此，如以下地檢出誤差信號圖案的條件式。

檢出圖8(a)所示之誤差信號圖案的條件式係

$$\begin{aligned} \text{error2P} = & (Ma'(k) > Ma'(k+1) \text{ AND } Ma'(k) > Ma'(k-1)) \text{ and} \\ & (abs(Ma'(k)) > TH_1) \text{ and } (abs(Ma'(k)) > abs(Mc'(k))) \cdots \end{aligned} \quad (24)$$

惟 $abs(x)$ 係求得 x 之絕對值的記號者。

接著，檢出圖8(b)所示之誤差信號圖案的條件式係

$$\begin{aligned} \text{error2N} = & (Ma'(k) < Ma'(k+1) \text{ AND } Ma'(k) < Ma'(k-1)) \text{ and} \\ & (abs(Ma'(k)) > TH_1) \text{ and } (abs(Ma'(k)) > abs(Mc'(k))) \cdots \end{aligned} \quad (25)$$

再則，檢出圖8(c)所示之誤差信號圖案的條件式係

$$\begin{aligned} \text{error4P} = & (Ma'(k) > Ma'(k+1) \text{ AND } Mc'(k) > Mc'(k-1)) \text{ and} \\ & (abs(Mc'(k)) > TH_2) \text{ and } (abs(Mc'(k)) > abs(Ma'(k))) \cdots \end{aligned}$$

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (48)

(26)

更且，檢出圖 8(d)所示之誤差信號圖案的條件式係

$$\text{error4N} = (\text{Mc}'(k) > \text{Mc}'(k+1) \text{ AND } \text{Mc}'(k) > \text{Mc}'(k-1)) \text{ and} \\ (\text{abs}(\text{Mc}'(k)) > \text{TH_2}) \text{ and } (\text{abs}(\text{Mc}'(k)) > \text{abs}(\text{Ma}'(k))) \dots$$

(27)

然而，式(24)~(27)之 TH_1、YH_2 為閾值，與圖 4 之 TH_1、TH_2 之值相同。式(24)~(27)之右值為「1」時，檢出各誤差信號圖案。

圖 31 係使用第 2 實施例的誤差信號圖案檢出電路 21 的構成圖。

加法器 50、51、52 係具有與圖 4 同一之機能的加法器。延遲電路 43、44、45、46、47、48、270、271、276、277 係具有延遲 1 時鐘分信號的機能的延遲電路，實現 D 型 FF。絕對值電路 272、273 係求得輸入資料之絕對值電路。53、55、274、275 係比較電路者，正側端子之輸入值較負側端子之輸入值為大時，輸出「1」。

邏輯積閘 278、279、280、281、282、283、284、285、286、287 係具有進行邏輯積演算的機能。然而，輸入端子之圓記係意味反轉輸入。

邏輯積閘 278 之輸出(neg.2)係連接於邏輯積閘 284 之輸入端子。又，邏輯積閘 279 之輸出(neg.2)係連接於邏輯

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (49)

積閘 285 之輸入端子。同樣地，邏輯積閘 282 之輸出 (neg. 4) 係連接於邏輯積閘 286 之輸入端子，又，邏輯積閘 283 之輸出 (neg. 4) 係連接於邏輯積閘 287 之輸入端子。邏輯積閘 284、285、286、287 的輸出係各為誤差信號。圖 31 之延遲電路 44 之輸出係與圖 4 所示之延遲電路 44 的輸出同一者。延遲電路 44 之輸出係相當顯示式 (22) 之量度 $Ma'(k)$ 。

圖 31 所示之加法器 52 的輸出係與圖 4 所示加法器 52 之輸出相同。此加法器 52 之輸出係顯示式 (23) 之量度 $Mc'(k)$ 。在此為配合說明，延遲電路 44 之輸出呈 $Ma'(k+1)$ 、延遲電路 270 之輸出呈 $Ma'(k)$ 。同樣地，加法電路 52 之輸出呈 $Mc'(k+1)$ 、延遲電路 271 之輸出呈 $Mc'(k)$ 。

於比較器 274 中， $Ma'(k)$ 為正側端子之輸入信號， $Ma'(k+1)$ 為負側端子之輸入信號。因此， $Ma'(k)$ 較 $Ma'(k+1)$ 為大時，比較器 274 之輸出係「1」， $Ma'(k)$ 較 $Ma'(k+1)$ 為小時，比較器 274 之輸出係「0」。

延遲電路 276 之輸出係將 $Ma'(k-1)$ 和 $Ma'(k)$ 比較之結果， $Ma'(k)$ 為小時，輸出「1」、 $Ma'(k)$ 為大時，輸出「0」。

在此，比較器 274 之輸出呈「1」、延遲電路 276 之輸出呈「0」，係於

$(Ma'(k) > Ma'(k+1) \text{ AND } Ma'(k) > Ma'(k-1))$

時，即 $Ma'(k)$ 取最大值之時。此時，邏輯積閘 279 之輸出係呈「1」。在此，相當於式 (24) 之右邊之第 1 項。

在此，比較器 274 之輸出呈「0」、延遲電路 276 之輸

(請先閱讀背面之注意事項再填寫本頁)

訂

裝

五、發明說明 (50)

出呈「1」，係於

$$(Ma'(k) > Ma'(k+1) \text{ AND } Ma'(k) > Ma'(k-1))$$

時，即 $Ma'(k)$ 取最小值之時。此時，邏輯積閘 278 之輸出係呈「1」。在此，相當於式 (25) 之右邊之第 1 項。

同樣地，比較例 275 中， $Mc'(k)$ 為正側端子之輸入， $Mc'(k+1)$ 為負側端子之輸入。 $Mc'(k)$ 較 $Mc'(k+1)$ 為大時，比較器 275 之輸出係「1」， $Mc'(k)$ 較 $Mc'(k+1)$ 為小時，比較器 275 之輸出係「0」。

延遲電路 277 之輸出係將 $Mc'(k-1)$ 和 $Mc'(k)$ 比較之結果， $Mc'(k)$ 為小時，輸出「1」、又、 $Mc'(k)$ 為大時，輸出「0」。

在此，比較器 275 之輸出呈「1」、延遲電路 277 之輸出呈「1」，係於

$$(Mc'(k) > Mc'(k+1) \text{ AND } Mc'(k) > Mc'(k-1))$$

時，即 $Mc'(k)$ 取最小值之時。此時，邏輯積閘 278 之輸出係呈「1」。在此，相當於式 (26) 之右邊之第 1 項。

在此，比較器 275 之輸出呈「0」、延遲電路 277 之輸出呈「1」，係於

$$(Mc'(k) < Mc'(k+1) \text{ AND } Mc'(k) < Mc'(k-1))$$

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (51)

時，即 $Mc'(k)$ 取最小值之時。此時，邏輯積閘 282 之輸出係呈「1」。在此，相當於式 (27) 之右邊之第 1 項。

絕對值電路 272 係求得 $abs(Ma'(k))$ ，又，絕對值電路 273 係求得 $abs(Mc'(k))$ 。

比較器 55 係 $(abs(Ma'(k)) > TH_1)$ 成立時，輸出「1」，不成立時，輸出「0」。又，比較器 57 係 $(abs(Mc'(k)) > TH_2)$ 成立時，輸出「1」，不成立時，輸出「0」。

更且，比較器 53 係 $(abs(Mc'(k)) > abs(Ma'(k)))$ 成立時，輸出「1」，不成立時，輸出「0」。

因此，邏輯積閘 280 之輸出係 $(abs(Ma'(k)) > TH_1) \text{ and } (abs(Mc'(k)) > abs(Ma'(k)))$ 成立時呈「1」。此係相當於式 (24)、式 (25) 之右邊的第 2、3 項。

同樣地，邏輯積閘 281 之輸出係 $(abs(Mc'(k)) > TH_2) \text{ and } (abs(Mc'(k)) > abs(Ma'(k)))$ 成立時呈「1」。此係相當於式 (26)、式 (27) 之右邊的第 2、3 項。

邏輯積閘 285 中，輸出邏輯積閘 279 之輸出，和邏輯積閘 280 的輸出之邏輯積演算結果之故，結果則呈評估式 (24) 者。邏輯積閘 285 之輸出為「1」時，為「error2P=1」。

又，邏輯積閘 284 中，輸出邏輯積閘 278 之輸出，和邏輯積閘 280 的輸出之邏輯積演算結果之故，結果則呈評估式 (25) 者。邏輯積閘 284 之輸出為「1」時，為「error2N=1」。

又，邏輯積閘 287 中，輸出邏輯積閘 283 之輸出，和邏

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (52)

輯積閘 281 的輸出之邏輯積演算結果之故，結果則呈評估式 (26) 者。邏輯積閘 287 之輸出為「1」時，為「error4P=1」。邏輯積閘 286 中，輸出邏輯積閘 282 之輸出，和邏輯積閘 281 的輸出之邏輯積演算結果之故，結果則呈評估式 (27) 者。邏輯積閘 286 之輸出為「1」時，為「error4N=1」。

如以上檢出之誤差信號圖案係與檢出圖 4 所示之電路的誤差信號圖案者為同一之故，其他之構成要素係使用與第 1 實施例之構成要素同一之構成要素，達成第 2 實施例的目的。

然而，將有關於以上所述之第 1 及第 2 實施例的電路，示於圖 33 地，加以積體化做為半導體 LSI 加以製造。設置信號輸入端子及再生資料輸出端子，更且將圖 33 所示構成要件形成於同一半導體基板上，使之 LSI 化，於安裝於各資訊處理裝置時，對於裝置之小型化之配合為佳。經由半導體化，提升量產性，繼而可達成本的減低。然而以下所述之實施例電路亦呈 LSI 化為佳。

接著，將圖 1 所示之第 1 實施例的構成加以簡化，對第 3 實施例加以說明。

圖 11 所示之第 3 實施例中，除去位元圖案檢出電路 24，以第 1 實施例進行，省略對 4 值輸出值之位元圖案檢出。由此，檢出判定錯誤的可靠性雖會下降，但電路構成被簡化，而 LSI 亦能可容易達成。第 1 實施例所進行之位元圖案檢出係防止誤差信號圖案之誤檢出為目的所進行者，原本

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (53)

可加以省略。

如圖 11 所示，除去位元圖案檢出電路 24 時，誤差信號圖案之誤檢出則增加，最終之錯誤率雖會增高，對錯誤率增高之比例為小而言，經由除去位元圖案檢出電路 24，可將整體之電路規模大幅加以縮小。

同時，資料修正電路 25 則由圖 6 所示之電路，如圖 12 所示，經由簡單之電路構成所成。此係位元圖案檢出消失之故。

圖 12 中，120、121、122、123 係將輸入信號延遲 1 時鐘之延遲電路者，以 D 型 FF 加以實現。經由各延遲電路，輸入信號 $\text{bin}(4)$ 則可知延遲 $\text{bin}(3)$ 、 $\text{bin}(2)$ 、 $\text{bin}(1)$ 、 $\text{bin}(0)$ 。

125、126、127、128 係排他性邏輯和閘，129、130 係邏輯和閘。邏輯和閘 129 係輸入「error4P」、「error4N」，演算此等之邏輯和，將演算結果輸出於排他性邏輯和閘 125、128。同樣地，邏輯和閘 130 係輸入「error2P」、「error2N」，演算此等之邏輯積，將演算結果輸出於排他性邏輯和閘 126、127。

經由如此之電路構成，對應過去所述之誤差信號圖案，可進行資料之修正。又省略位元圖案檢出之故，無需進行前述 4 值輸出之韋氏解碼。但是，為求誤差信號圖案，至少需要「+1、0、-1」之 3 值的解碼結果。但是，將 3 值之解碼結果分割為 2 個系列時，於各系列中「+1」和「-1」則挾 n 個 (n 係 0 以上之整數)「0」的狀態下，交互加以產

五、發明說明 (54)

生之故，於進行資料再生時，於各系列中，最初之「1」則例如呈「+1」地，將資料加以記錄即可。

接著，將第1實施例並列處理化，呈可高速處理之第4實施例加以說明。PR4-ML方式之韋氏解碼係分割為偶數系列和奇數系列之2個系列進行資料再生之故，就結果而言，則進行並列處理，可進行非常高速之資料再生。圖1所示之第1實施例中，將以PR4-ML方式分為2個系統的再生信號，為檢出誤判定資料，再統合於一系統。為此進行誤判定檢出的電路處理速度不被改善之時，裝置之處理速度無法提升。在此，與PR4-ML方式同樣地，將解碼結果，分割為偶數系列和奇數系列之應用例做為第4實施例示於圖13。

本實施例特徵之構成係設有具有韋氏解碼器160、位元圖案檢出電路64、資料修正電路66、延遲電路97構成之第1系列電路系(偶數資料用)，及具有韋氏解碼器170、位元圖案檢出電路65、資料修正電路67、延遲電路96構成之第2系列電路系(奇數資料用)者。當然，對前述2系列而言，檢出誤差信號之電路亦設置2列。具體而言，設有延遲電路101、102、98、99、加法器132、133之2系列。

於圖13之中，示於圖7(D)之差分信號之生成係僅求得濾波器14之輸出，和韋氏解碼器160或170差之故，將解碼之信號直接分割於2個系列。

但是，由差分信號求得誤差信號，即所謂(1+D)處理，誤差信號之檢出處理中，相互需要對方信號之故，單純

五、發明說明 (55)

而言，不進行並列處理。在此，將對應並列處理之誤差信號圖案檢出電路63示於圖14。

圖中，79、80、81、82、92、93、94、95為門鎖，70、71為加法器，72、73為減法器，74、75、76、77、78係比較器。其他，於圖中之右側，配置4個邏輯積閘。又，令呈具延遲電路135、136之構成。

僅記述電路動作之概要時，圖中，由左側供給奇數及偶數差分信號，更且，供給偶數時鐘，奇數時鐘。圖14中，考量電路之對稱性，僅對偶數輸入的電路加以詳細記述。

然後，經由各電路要素動作，得「error4P偶數」、「error4N偶數」、「error2P偶數」、「error2N偶數」4類之誤差信號。

加法器70係進行由差分信號求得誤差信號之 $(1+D)$ 處理。在此需要 $(1+D)$ 處理的1時刻前的差分信號係存在於其他之系列(奇數系列)之故，需要接收奇數系列之差分信號的處理。

在此，將奇數系列之差分信號經由偶數系列1之時鐘(偶數時鐘)，暫時由門鎖93處理，進行門鎖93之輸出和偶數差分信號之加法處理，進行 $(1+D)$ 處理。

將此誤差信號圖生成部分之時間流程圖例示於圖17。

圖17中，偶數輸入之 $d(x)$ 係顯示各時刻之偶數系列之差分信號，附屬字則顯示時刻。而奇數輸入 $d(x)$ 亦相同。門鎖93_偶數係將奇數系列之差分信號，經由偶數系列之

五、發明說明 (56)

時鐘，加以處理之值者。加法器 70(偶數)係以偶數系列側之加法器 70 之輸出，呈為此為目的之誤差信號，為加算同一時刻偶數輸入和門鎖 93_偶數的結果。

令時刻 k 之誤差信號呈 $y(k)$ ， $y(k)$ 係 $d(k)$ 和 $d(k-1)$ 之和，加法器 70 之輸出則呈各時刻之誤差信號。偶數輸入為 $d(2)$ 時之門鎖 93_偶數輸出係 $d(1)$ ，此兩者之加算結果「 $d(1)+d(2)$ 」為時刻 2 之誤差信號 $y(2)$ 。以後、經由重覆同樣之處理，可求得誤差信號。

又，如上述相同之處理，進行誤差信號檢出之並列處理。於圖 18，顯示示於圖 14 之誤差信號檢出電路的驅動時間流程圖。

由上段對誤差信號(偶數)，誤差信號(奇數)，門鎖 95 之值，加法器 71(偶數)之輸出、加法器 72(偶數)之輸出、加法器 72(奇數)之輸出，門鎖 80 之值，比較例 75(偶數)之輸入，比較例 77(偶數)之輸入，各信號之時間加以記載。

圖 18 中，誤差信號_偶數係前述加法器 70 之輸出，以 $y(k)$ 表之。但是附屬字 k 係表示時刻。誤差信號_奇數係於門鎖 95 經由偶數時鐘處理，又門鎖 95 之輸出係與門鎖 92 時同樣，同步於誤差信號_偶數輸出。結果，於時刻 6 之加法器 71(偶數)的輸出為「 $y(5)+y(6)$ 」。又，偶數系列之下個加法器 71(偶數)的輸出係「 $y(7)+y(8)$ 」。

延遲電路 135、136 係對偶數時鐘之 1 時鐘延遲電路。結果，加法器 71(偶數)之輸出為「 $y(5)+y(6)$ 」時，延遲電路 135 之輸出值為「 $y(3)+y(4)$ 」。更且，此時之延遲電

五、發明說明 (57)

路 136 之輸出為「 $y(1)+y(2)$ 」。因此，加法器 72(偶數)之輸出係加法器 71(偶數)和延遲電路 135 之和，即，呈「 $y(3)+y(4)-y(5)-y(6)$ 」。此加法器 72 之輸出係於門鎖 79 經由奇數側之時鐘處理，使用奇數系列側之誤差信號圖案檢出電路。與此相反地，加法器 72(奇數)之演算結果係於門鎖 79 經由偶數時鐘處理，使用偶數系列之誤差信號圖案檢出電路。加法器 72(偶數)之輸出值為「 $y(3)+y(4)-y(5)-y(6)$ 」時之門鎖 80 的輸出值係如示於圖 18 之時間流程圖為「 $y(2)+y(3)-y(4)-y(5)$ 」。又，此時之加法器 73(偶數)的輸出係延遲電路 136 和加法器 71 之和，即，呈「 $y(1)+y(2)-y(5)-y(6)$ 」。將以上處理於各時刻進行時，可得圖 18 所示之時間流程圖。

對比較器 75、76 及 77、78 而言，閾值 TH_1、TH_2 之值係與以使用圖 4 之電路值相同。著目於在此比較例 75、76、77、78 的輸入信號時，比較器 75、76 之輸入為「 $y(2)+y(3)-y(4)-y(5)$ 」時，比較器 77、78 之輸入為呈「 $y(1)+y(2)-y(5)-y(6)$ 」，此係顯示與圖 4 進行完全相同的動作。因此，將示於圖 14 之並列處理化呈可能的誤差信號圖案檢出電路，係與不進行示於圖 4 並列化的誤差信號圖案檢出電路具同一之機能。又，比較器 77、78 的輸入值係呈「 $y(1)+y(2)-y(5)-y(6)$ 」，此時之修正對象資料係對應於奇數系列資料之 $y(1)$ 、 $y(5)$ 的解碼結果。因此，將由比較例 77、78 所得誤差信號圖案檢出信號(error4P 奇數、error4N 奇數)，呈使用奇數時鐘處理於門鎖 81、奇數系列

五、發明說明 (58)

側之誤差信號圖案檢出輸出。相反地，以奇數系列側之誤差信號圖案檢出電路輸出之error4P偶數、error4N偶數的各信號，係使用偶數時鐘處理於門鎖82，偶數系列側之誤差信號圖案檢出輸出。

圖15、16中，顯示各並列處理對應之位元圖案檢出電路，及資料修正電路的構成例。在此，雖對偶數系列之情形加以說明，奇數系列中呈同一之構成、動作之故，省略重覆說明。圖中之電路基本構成係與圖5、6所示位元圖案檢出電路、資料修正電路相同。因此，同一符號之構成要素係為完全相同之故，省略重新加以說明。圖15和圖5，圖16和圖6之不同係經由並列處理化，僅偶數系列之判定結果為輸入信號之故，解碼結果之資料列則呈「bin(0)、bin(2)、bin(4)、…」。

在此，於圖5、6之電路中，將使用bin(1)、bin(3)之值的電路部分，變更為使用bin(2)、bin(4)之值。除去之點時，具有與圖5、6之電路完全相同之機能電路之故，圖15、16所示電路構成中，詳細動作之說明係在此不進行。即，僅顯示將實現電路者。

又，圖19係顯示示於圖14之誤差信號檢出電路的輸出，圖15之位元圖案檢出電路的輸出關係的時間流程圖。但是，實際之信號係以延遲信號96~99調整時間之故，並非同時加以輸出。圖19中，由上段，將4值解碼結果，誤差檢出事出，圖案檢出之輸出，對偶數列及奇數列而言，記載有各信號時間。

五、發明說明 (59)

$\text{bin}(k)$ 係表示4值之韋氏解碼結果， k 係顯示時刻。又， $\text{error4}(j, x, k)$ 、 $\text{error2}(j, k)$ 係以由示於圖14之誤差信號檢出電路的輸出， j 、 k 之值係顯示呈修正對象之解碼資料的時刻。又， $X4\text{bit}(j, x, k)$ 係顯示由示於圖15之位元圖案檢出電路的輸出信號 $P4\text{bit}(j, x, k)$ 或 $N4\text{bit}(j, x, k)$ ， j 、 k 係顯示資料修正之對象時刻。同樣地， $X2\text{bit}(j, k)$ 係顯示 $P2\text{bit}(j, k)$ 或 $N2\text{bit}(j, k)$ ， j 、 k 係顯示資料修正之對象時刻。

以偶數系列之時為例，說明圖19之時間流程圖和圖16之電路動作時，經由誤差檢出電路(偶數)，輸出 $\text{error4P}(0, 2, 4)=1$ ，由圖案檢出電路(偶數)輸出 $P4\text{bit}(0, 2, 4)=1$ 。結果，圖16之邏輯積閘240的輸入端子係呈兩者為「1」。因此，邏輯積閘240的輸出係呈「1」。結果，無關邏輯積閘241的輸出，邏輯積閘244的輸出係呈「1」，無關邏輯積閘245的輸出，邏輯積閘255的輸出係呈「1」。結果，排他性邏輯和246之輸出係輸入的「 $\text{bin}(4)$ 」則呈反轉之值。又，排他性邏輯和253之輸出係輸入的「 $\text{bin}(0)$ 」則呈反轉之值。

如以上者，修正PR4-ML方式之解碼結果，做為最終之解碼資料加以輸出。

經由進行如以上之並列處理，可提升電路整體之處理速度。

接著，於第1實施例中，經由進行管道處理，對提升整體處理速度之第5實施例加以說明。由過去之說明，將

五、發明說明（60）

檢出PR4-ML方式錯誤判定的電路高速化時，可知改善整體之處理速度。為使將誤判定之檢出高速化，僅使誤差信號圖案檢出電路高速動作即可。誤差信號圖案檢出電路係不含反饋處理之故，可容易實現經管道處理的高速化。

圖20係將示於圖4之誤差信號圖案檢出電路管道化高速化之電路方塊圖。此圖之中，閘鎖83~91係追加於管道處理用之閘鎖，各閘鎖間係加算或比較處理呈1次以下。由此圖20得知，可充分將誤差信號圖案檢出電路管道化之電路加以實現。

再則於圖3所示局部響應級4用之韋氏解碼電路中，最花處理時間為加法電路30、比較器33、EOR35之處理部分。此處理部分係包含反饋處理之故，不進行管道處理。然而，圖3所示之電路係將同樣之電路使用2個進行並列處理之故，換算不進行並列處理之圖20電路之處理時間，大約相當於加法處理1次。因此，圖3之電路處理速度和圖20之電路處理速度係幾近相等。因此，使用圖20之誤差信號圖案檢出電路的第5之實施例中，可進行極高速之資料再生。

在此，圖20之電路動作係除去進行管道處理之外，與圖4之電路同樣者。然而，省略重複之部分，簡單說明圖20之電路動作。此圖中，輸入信號係加法器20之輸出之誤差信號。輸入信號係於閘鎖83暫時處理。為求說明之方便，將閘鎖83之輸出呈「 $Y(7)$ 」。結果，延遲電路43之輸出係呈「 $y(6)$ 」，此時加法器50之輸出係「 $y(6)+y(7)$ 」。

五、發明說明 (61)

然而，此信號係於門鎖 84 加以處理。結果，門鎖 84 之輸出係呈「 $y(5)+y(6)$ 」。此值係以 2 個延遲電路 45，46，延遲電路 46 之輸出值係呈「 $y(3)+y(4)$ 」。

同樣地，延遲電路 48 之輸出值係呈「 $y(1)+y(2)$ 」。然後，加法器 51 之輸出係呈「 $y(3)+y(4)-y(5)-y(6)$ 」，又，加法器 52 之輸出係呈「 $y(1)+y(2)-y(5)-y(6)$ 」。又，加法器 52 之輸出係經由延遲電路 44 及門鎖 85，延遲 2 時刻，門鎖 85 之輸出係呈「 $y(1)+y(2)-y(3)-y(4)$ 」。因此，比較器 53、54、56、57 之各輸入信號係與圖 4 之情形完全相同，此 2 個電路係可由進行同樣之處理我知。比較器 53、54、56、57 之輸出係暫時於各門鎖 87、88、90、91 處理後，介由邏輯積 58、59、60、61，呈誤差信號圖案檢出信號。

更且，比較圖 4 之誤差信號圖案檢出電路和圖 20 之電路時，圖 20 所示之電路構成中，進行管道處理之故，由某時刻之誤差信號輸入，至對應誤差信號圖案檢出信號被輸出的時間則與圖 4 之構成不同。為吸收此時間差，使用圖 20 之電路時，必需調整圖 1 延遲電路 22 或延遲電路 23 之延遲時間。

以上之說明中，對差分信號而言，將進行 $(1+D)$ 處理所生成之誤差信號，呈 $EPR4$ 通道之輸出，檢出對應 $PR4-ML$ 方式之判定錯誤之誤差信號圖案，但對誤差信號而言，再進行 $(1+D)$ 處理，呈 $EEPR4$ (Extended Extended Partial Response class 4) 通道的輸出，可檢出誤差信號圖案。

五、發明說明 (62)

如此之實施例之第6實施例時，較第1實施例更提升記錄密度之時亦可加以處理。

對應說明第1實施例之圖1，將有關第6實施例之資料再生電路之方塊圖，於圖22，或對應於圖8，顯示將第6實施例之判定錯誤和誤差信號的關係圖，示於圖21。

圖22所示之資料再生記錄的主要構成要素係與圖1所示之構成要素共通，於兩者間附上同一符號之構成要素係具有同一之機能。於圖22所示之電路的特徵係新設延遲電路9，加法器8，再度進行 $(1+D)$ 處理，生成誤差信號之處者。因此，誤差信號圖案檢出電路21的構成則與過去之電路構成不同。

首先，與第1實施例同樣之手續，求取對圖21(a)~(d)之誤差信號的量度 M_a 、 M_b 、 M_c 、 M_d 以及無PR4-ML方式之判定錯誤時之量度 M_0 時則呈以下者。

$$M_a = y(0)^2 + (y(1)-1)^2 + (y(2)-2)^2 + (y(4)+2)^2 + (y(5)+1)^2 + y(6)^2$$

$$M_b = y(0)^2 + (y(1)+1)^2 + (y(2)+2)^2 + (y(4)-2)^2 + (y(5)-1)^2 + y(6)^2$$

$$M_c = (y(0)-1)^2 + (y(1)-2)^2 + (y(2)-1)^2 + (y(4)+1)^2 + (y(5)+2)^2 + (y(6)+1)^2$$

五、發明說明 (63)

$$M_d = (y(0)+1)^2 + (y(1)+2)^2 + (y(2)+1)^2 + (y(4)-1)^2 + (y(5)-2)^2 + (y(6)-1)^2$$

$$M_0 = y(0)^2 + y(1)^2 + y(2)^2 + y(4)^2 + y(5)^2 + y(6)^2$$

量度係表示誤差之值，於 M_a 、 M_b 、 M_c 、 M_d 、 M_0 中，對應最小值之量度的誤差信號則判定為實際觀測之誤差信號。

但是，為嚴密求得最小值之處理係複雜之故，本發明之中，以如下簡化之條件式進行誤差信號之檢出。

即，圖 21(a) 所示，檢出誤差信號條件式係呈 ($M_a < M_0$) and ($M_a < M_c$) (惟 and 表示邏輯和)。

令上述不等式根據各量度之定義計算時，呈

$$y(1) + 2 * y(2) - 2 * y(4) - y(5) > 5$$

$$\text{且 } y(0) + y(1) - y(2) + y(4) - y(5) - y(6) < 1 \quad \cdots \cdots (28)$$

同樣地，圖 21(b) 所示，檢出誤差信號條件式係呈 ($M_b < M_0$)

and ($M_b < M_d$) (惟 and 表示邏輯和)。

令上述不等式根據各量度之定義計算時，呈

$$y(1) + 2 * y(2) - 2 * y(4) - y(5) < -5$$

$$\text{且 } y(0) + y(1) - y(2) + y(4) - y(5) - y(6) > -1 \quad \cdots \cdots (29)$$

同樣地，圖 21(c) 所示，檢出誤差信號條件式係呈 ($M_c < M_0$)

五、發明說明 (64)

and (Mc<Ma)(惟 and 表示邏輯和)。

令上述不等式根據各量度之定義計算時，呈

$$y(0)+2*y(1)+y(2)-y(4)-2*y(5)-y(6)>6$$

$$\text{且 } y(0)+y(1)-y(2)+y(4)-y(5)-y(6)>1 \quad \cdots \cdots (30)$$

同樣地，圖 21(d)所示，檢出誤差信號條件式係呈(Md<M0)

and (Md<Ma)(惟 and 表示邏輯和)。

令上述不等式根據各量度之定義計算時，呈

$$y(0)+2*y(1)+y(2)-y(4)-2*y(5)-y(6)<-6$$

$$\text{且 } y(0)+y(1)-y(2)+y(4)-y(5)-y(6)<-1 \quad \cdots \cdots (31)$$

以上記載之式(28)，式(29)，式(30)，式(31)係第 6 實施例之誤差信號圖案檢出之判定式。

根據以上之判定式，將檢出誤差信號圖案之誤差信號圖案檢出電路的構成圖示於圖 23。如此地，可實現檢出第 6 實施例之 4 類誤差信號圖案之電路。然而，圖 23 之電路係基本上具有與圖 4 電路同樣之構成。以下參照圖 23 簡單說明此電路之動作。

首先，令輸入信號呈「y(6)」，延遲電路 43 中，產生延遲一時刻之故，加法器 50 的輸出係呈「y(5)+y(6)」。
以後，於延遲電路 263、364、265 中，各 1 時刻地順序延遲之故，延遲電路 263 之輸出係「y(4)+y(5)」，延遲電路 26

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (65)

4之輸出係「 $y(3)+y(4)$ 」，延遲電路265之輸出係「 $y(2)+y(3)$ 」。因此，加法器260，261，262中，順序地進行演算，加法器260之輸出係「 $y(3)-2*y(5)-y(6)$ 」，加法器262之輸出係「 $y(2)-2*y(3)-2*y(5)-y(6)$ 」。此信號係再以延遲電路44延遲1時刻，比較器275、276之輸入則呈「 $y(1)-2*y(2)-2*y(4)-y(5)$ 」。

另一方面，加法器50之輸出係以延遲電路270，269，268，267，266各延遲1時刻之故，加法器271之輸出係「 $y(4)-2*y(5)-y(6)$ 」，加法器272之輸出係「 $y(1)+y(2)-y(4)-2*y(5)-y(6)$ 」，加法器273之輸出係呈「 $y(0)-2*y(1)-y(2)-y(4)-2*y(5)-y(6)$ 」。更且，加法器274之輸出係由加法器273之輸出，減去延遲電路44之輸出值之故，呈「 $y(0)+y(1)-y(2)+y(4)-(5)-y(6)$ 」。

比較器275係評估式(29)之第1式，比較器276係評估式(28)之第1式。因此，考量式(28)，(29)之下，為「 $TH_1=5$ 」。

又，比較器279係評估式(31)之第1式，比較器280係評估式(30)之第1式。因此，考量式(30)，(31)之下，為「 $TH_2=6$ 」。又，比較器277係評估式(29)、(31)之第2式，比較器278係評估式(28)、(30)之第2式。因此，，為「 $TH_3=1$ 」。

如以上者，進行順序之演算時，可評估式(28)~式(31)之不等式。當然，此等之閾值係適合於實際之再生信號加以設定即可。

五、發明說明(66)

然而，第6實施例之位元圖案檢出電路24及資料修正電路25係對圖5、圖6所示之第1實施例的電路使用同一之電路即可。

更且，於記載一切之第1實施例中，僅於示於圖8之4類誤差信號圖案，經由最佳判定加以檢出，但經由檢出其他類之誤差信號圖案，可再減低判定錯誤，處理記錄密度之提昇。例如，加上圖8所示誤差信號，可檢出示於圖24之誤差信號圖案的構成，以此做為實施例7加以說明。

與第1實施例同樣地，定義對圖24(e)、(f)之誤差信號圖案之量度 M_e 、 M_f 。

$$M_e = (y(-1)-1)^2 + (y(0)-1)^2 + y(1)^2 + y(2)^2 + y(3)^2 + y(4)^2 + \\ (y(5)+1)^2 + (y(6)+1)^2$$

$$M_f = (y(-1)-1)^2 + (y(0)+1)^2 + y(1)^2 + y(2)^2 + y(3)^2 + y(4)^2 + \\ (y(5)-1)^2 + (y(6)-1)^2$$

再次顯示檢出圖8(a)之誤差信號圖案的條件式時，($M_d < M_0$) and ($M_a < M_c$) and ($M_a < M_e$) (and表示邏輯積)。

根據各量度之定義，展開式時呈

$$y(1) + y(2) - y(3) - y(4) > 2.0$$

$$y(0) - y(2) + y(3) - y(5) < 0.0 \quad y(-1) + y(0) - y(1) - y(2) + y(3) + y(4) - y(5) - y(6) < 0.0 \cdots (32)$$

五、發明說明 (67)

又，檢出圖 8(b)之誤差信號圖案的條件式時， $(M_b < M_0)$ and $(M_b < M_d)$ and $(M_b < M_f)$ (and表示邏輯積)。

根據各量度之定義，展開式時呈

$$y(1) + y(2) - y(3) - y(4) < -2.0$$

$$y(0) - y(2) + y(3) - y(5) > 0.0 \quad y(-1) + y(0) - y(1) - y(2) + y(3) + y(4) - y(5) - y(6) > 0.0 \cdots (33)$$

又，檢出圖 8(c)之誤差信號圖案的條件式時， $(M_c < M_0)$ and $(M_c < M_a)$ and $(M_c < M_e)$ (and表示邏輯積)。

根據各量度之定義，展開式時呈

$$y(1) + y(2) - y(3) - y(4) > 2.0$$

$$y(0) - y(2) + y(3) - y(5) > 0.0$$

$$y(-1) - y(1) + y(4) - y(6) < 0.0 \cdots (34)$$

又，檢出圖 8(d)之誤差信號圖案的條件式時， $(M_d < M_0)$ and $(M_d < M_b)$ and $(M_d < M_f)$ (and表示邏輯積)。

根據各量度之定義，展開式時呈

$$y(1) + y(2) - y(3) - y(4) < -2.0$$

$$y(0) - y(2) + y(3) - y(5) < 0.0$$

$$y(-1) - y(1) + y(4) - y(6) > 0.0 \cdots (35)$$

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (68)

又，檢出圖 24(e)之誤差信號圖案的條件式時， $(Me < M0)$ and $(Me < Ma)$ and $(Me < Mc)$ (and表示邏輯積)。

根據各量度之定義，展開式時呈

$$y(-1) + y(0) - y(5) - y(6) > 2.0$$

$$y(-1) + y(0) - y(1) - y(2) + y(3) + y(4) - y(5) - y(6) > 0.0$$

$$y(-1) - y(1) + y(4) - y(6) > 0.0 \cdots (36)$$

又，檢出圖 24(f)之誤差信號圖案的條件式時， $(Mf < M0)$ and $(Mf < Mb)$ and $(Mf < Md)$ (and表示邏輯積)。

根據各量度之定義，展開式時呈

$$y(-1) + y(0) - y(5) - y(6) < -2.0$$

$$y(-1) + y(0) - y(1) - y(2) + y(3) + y(4) - y(5) - y(6) < 0.0$$

$$y(-1) - y(1) + y(4) - y(6) < 0.0 \cdots (37)$$

將如上所述之進行檢出誤差信號圖案的誤差信號圖案檢出電路 21 之構成例，示於圖 25。

圖 25 中，「TH_1」、「TH_2」係與圖 4 之「TH_1」、「TH_2」者同一者。又，「TH_3」係式 (36)，式 (37) 之第 1 式之右邊值，通常設定與「TH_1」、「TH_2」同樣之值。

以下，參照圖 25，將此誤差信號圖案檢出電路 21 之動

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (69)

作簡單地加以說明。

於圖 25 中，43、301、302、303、304、305、306、308、309、311 係 1 時刻延遲之電路。50、307、310、312 係加法電路(加法器)。313、314、315、316、317、318、319、320、321 係比較電路(比較器)。322、323、324、325、326、327 係邏輯積電路。

圖 25 所示電路所進行之演算內容雖複雜，基本之電路構成係與圖 4 所示電路相同。

現在，令輸入信號呈「 $y(6)$ 」。以延遲電路 43，延遲一時刻之輸出則以加法器 50 加算於輸入信號，其輸出係呈「 $y(5)+y(6)$ 」。此信號係以延遲電路 301、302、303、304、305、306，各延遲 1 時刻之故，延遲電路 302 之輸出係「 $y(3)+y(4)$ 」，延遲電路 302 之輸出係「 $y(3)+y(4)$ 」，延遲電路 304 之輸出係「 $y(1)+y(2)$ 」、延遲電路 306 之輸出係「 $y(-1)+y(0)$ 」。於加法器 307 中，求得延遲電路 302 之輸出和加法器 50 的輸出差分、將此以延遲電路 308、309，各別延遲 1 時刻之故，延遲電路 309 之輸出係「 $y(1)+y(2)-y(3)-y(4)$ 」。

又，加法器 310 中，進行減算延遲電路 304 之輸出和加法器 50 之輸出，其輸出係以延遲電路 311 延遲 1 時刻加以輸出之故，延遲電路 311 之輸出係呈「 $y(0)+y(1)-y(4)-y(5)$ 」。更且，加法器 312 係輸出延遲電路 306 之輸出和加法器 50 之輸出的減算結果之故，輸出結果係呈「 $y(-1)+y(0)-y(5)-y(6)$ 」。此等之演算結果係比較適切地設定之閾值

五、發明說明 (70)

TH_1、TH_2、TH_3，結果，評估式(32)~式(37)之不等式是否成立。

比較器 317 係進行式(32)之第 1 式的比較，比較器 316 係進行式(33)之比較，比較器 319 係進行式(34)之第 1 式的比較，比較器 320 係進行式(32)之比較。更且，比較器 313 係比較延遲電路 309 和延遲電路 311 之輸出之故，呈進行式(32)、(33)、(34)、(35)之第 2 式的評估。又，比較例 314 係比較延遲電路 311 和加法器 312 之輸出之故，評估式(34)、(35)的第 3 式、式(36)、(37)之第 2 式。又，比較例 315 係比較加法器 312 和延遲電路 309 之輸出之故，評估式(32)、(33)、(36)、(37)之第 3 式。

將此等各不等式之評估結果之邏輯積，經由以邏輯積 322、323、324、325、326、327 求得，可輸出目的之誤差檢出信號 error2N，error2P，error4N，error4P，error6N，error6P。

又，將相當於第 1 實施例之圖 5 的位元圖案檢出電路示於圖 26。此電路亦僅增加誤差信號圖案的種類之故，基本之構成為相同者。

參照圖 26 簡單地對電路之構成、動作加以說明。

圖 26 之電路和圖 5 之電路的不同係對圖 5 之電路為檢出圖 8 所示之 4 類的位元圖案而言，圖 26 之電路係更檢出圖 24 所示之 2 類位元圖案之處。圖 26 所示之 2 種類的位元圖案之檢出條件係

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (71)

$P6bit = (\text{bin}(0) = -1 \text{ or } \text{bin}(0) = -0) \text{ and } (\text{bin}(2) = -0) \text{ and } (\text{bin}(4) = -0) \text{ and } (\text{bin}(6) = +1 \text{ or } \text{bin}(6) = -0)$

$N6bit = (\text{bin}(0) = +1 \text{ or } \text{bin}(0) = +0) \text{ and } (\text{bin}(2) = +0) \text{ and } (\text{bin}(4) = +0) \text{ and } (\text{bin}(6) = -1 \text{ or } \text{bin}(6) = +0)$

其他之 4 類之位元圖案檢出動作係與圖 5 之電路相同，圖 5 之同一符號要素係同一物之故省略其說明。

P6bit，N6bit 之檢出部中，對應 bit(0) 之位元檢出部 (333) 係與對應 P4bit、N4bit 的 bit(1) 檢出部 (207) 相同。同樣地，P6bit，N6bit 之檢出部中，對應 bit(2)，bit(4) 之位元檢出部 (330、331) 係與對應 P4bit、N4bit 的 bit(3) 檢出部 (215~220) 相同。同樣地，P6bit，N6bit 之檢出部中，對應 bit(6) 之位元檢出部 (332) 係與對應 P4bit、N4bit 的 bit(5) 檢出部 (205，210) 相同。

將此等各位元之檢出結果的邏輯積，經由以邏輯積 334、335 求得，可輸出對應圖 24(e) 之位元圖案的 P6bit，及對應圖 24(f) 之位元圖案的 N6bit 之檢出信號。

又，將第 1 實施例之說明圖之相當圖 6 的資料修正電路，示於圖 27。

此電路亦係僅於增加對象資料之處不同。基本之構成，動作為相同者。

對圖 27 之電路構成，動作簡單加以說明。在此與圖 6 同一符號之構成要素係顯示同樣之物，故省略其重複說明。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (72)

圖 6 之電路和圖 27 之電路的不同係圖 6 為僅對應 error2P、error2N、error4P、error4N 之誤差信號的資料加以修正，但是圖 27 之電路為更修正對應 error6P、error6N 之誤差信號的資料。因此，圖 27 中，對應 error2P、error2N、error4P、error4N、error6P、error6N 之誤差信號資料的修正電路係與圖 6 之電路相同，僅對本電路之動作的特徵點簡單加以說明則為如下。

為修正對應圖 24(e) 之錯誤圖案的資料，由邏輯積 336 檢出對應之誤差檢出信號(error6P)和位元圖案信號(P6bit)兩者皆為「1」之時，經由EOR339，340，反轉對應之資料。為修正對應圖 24(f) 之錯誤圖案的資料，由邏輯積 337 檢出對應之誤差檢出信號(error6N)和位元圖案信號(N6bit)兩者皆為「1」之時，經由EOR339，340，反轉對應之資料。以上為圖 27 所示之電路動作。

如上所述，於本發明之中，可增加與 Turbo-PRML 同等，或進行以上之誤差檢出的圖案種類。

如第 7 實施例所示，經由增加檢出之誤差信號圖案種類，可減低最終判定錯誤，對記錄密度之提升處理。

又，第 6 實施例，第 7 實施例之資料再生電路之基本構成為同一者，與第 4 實施例，第 5 實施例同樣地，經由進行並列處理或管道處理，亦可進行與 PR4-ML 同等之高速處理。

又，可併用第 6 實施例和第 7 實施例。更且，此等之實施例中，如第 2 實施例，可除去位元圖案檢出電路。

五、發明說明 (73)

接著，簡化第4實施例之電路構成，對第8實施例加以說明。

第4實施例中，為進行並列處理，誤差信號檢出電路63則呈略複雜之構成。在此，第8實施例中，簡化誤差信號圖案檢出電路63之構成，其他之部分係與呈第4實施例同一之電路構成。

本實施例之特徵係高速進行圖8所示誤差信號圖案之檢出，將如圖示之a1、a2的一對誤差信號為單位加以檢出，檢出圖8所示之誤差信號圖案。即，由圖8可知，誤差信號之圖案係經由1對單位之誤差信號輸出形態（經由正變負或負變正之情形，於正及負間延遲），可較為容易檢出。本實施例係利用如此之事項。

首先，對第8實施例之誤差信號圖案檢出方法而言，參照圖36說明。然而偶數系列或奇數系列之處理手續為同一者之故，為省去重複說明，以偶數系列之情形為重點加以說明。

圖36中，第1列之數字係顯示輸入信號之「時刻」，奇數時刻之信號係輸入於奇數側之電路，偶數時刻之信號係輸入於偶數側之電路。

第2列及第3列之「Z」係對各奇數系列，偶數系列者，皆將輸入誤差信號 $(1+D)$ 處理之結果。在此，附屬字k係顯示閏刻。將時刻k之誤差信號呈 Y_k ， $Z_k = Y_k + Y_{k-1}$ 。

第4列係顯示第3列所示之偶數系列中，顯示 Z_k 之時刻k的最大值，第5列係顯示偶數系列中，顯示 Z_k 之時刻k的

五、發明說明 (74)

最小值。

第6列係顯示時刻k之偶數系列最大值和偶數系列最小值的減算值(偶數系列最大值-偶數系列最小值)，即「第4列之值-第5之列值」，第7列係奇數系列最大值和奇數系列最小值的減算值(奇數系列最大值-奇數系列最小值)。更且，將式(22)、(23)定義之量度 $M'a(k)$ 和 $M'(k)$ ，再度定義呈各 $Mg(k)$ 和 $Mh(k)$ 。

$$Mg(k) = Ma'(k) = (Z_{k-2} - Z_k) \cdots (38)$$

$$Mh(k) = Mc'(k+1) = (Z_{k-4} - Z_k) \cdots (39)$$

在此，為配合說明， Mh 和 $M'c$ 係請注意於偏移1時刻之處。將此 $Mg(k)$ 、 $Mh(k)$ 之值，各顯示於圖36之第8列和第9列。

再則，如以上所說明，本發明所使用之PR4-ML方式之判定錯誤率極低，複數之錯誤圖案則幾近同時產生。

限定某程度、時間之範圍時，誤差信號檢出時之 Mg 或 Mh 之絕對值呈最大值，對 $Mg(k)$ 而言， Z_{k-2} 和 Z_k 則對 $Mh(k)$ 而言， Z_{k-4} 和 Z_k 則各呈最大值或最小值的可能性為高。此圖36例中，於時刻12中，可由「偶數系列最大值-偶數系列最小值」(第6列)之值「2.7306」，與同時刻之 $Mg(k)$ (第8列)之值「2.7306」一致得知。

在此，例如前後合計14位元程度之範圍的部分 Z_k 之最

五、發明說明 (75)

大值和最小值的差為超越某閾值時，視為檢出誤差信號圖案者。此時之錯誤位元位置係檢出 Z_k 之最大值和最小值時刻之1時刻前者。

然而，第8實施例中，更進行並列處理之故，難以比較其他系列之 Z_k 和直接值。在此，對偶數系列而言，求得偶數系列之 Z_k 之最大值、最小值的差分，此差分值則較某閾值為大，且較奇數系列之 Z_k 之最大值、最小值的差分值為大時，檢出誤差信號者。

又，為確實進行各系列之最大值、最小值之檢出，更新最大值或最小值，於經過一定時間後，不更新任一值時，視為真正之最大值、最小值。此係圖36所示之例中，將時刻10之偶數系列的最大值和時刻12之最小值，例如以閾時刻18加以確定，將此時之差分值「2.7306」，比較閾值及其他系列之差分值。此時差分值「2.7306」係較經由閾值「2.0」（相當前述之 TH_1 ）者為大，且較奇數系列之差分值「2.3884」為大之故，將此做為誤差信號檢出。

更且，為區別圖8所示之4類誤差信號圖案，錯誤資料間隔對應 Z_k 之最大值和最小值之時刻間隔，誤差信號之「pos/neg」（「pos」）係對應於圖8之P，或「neg」）係對應於圖8之N），對應 Z_k 之最大值、最小值的檢出順序。即，對偶數系列之 Z_k ，以最大值、最小值之順序連續檢出之時，以圖8(a)之誤差信號圖案最小值、最大值之順序，連續加以檢出時，以圖8(b)之誤差信號圖案最小值、最大值之順序，於其間挾住1個資料時，以圖8(c)之誤差信號圖案

五、發明說明 (76)

最小值、最大值之順序，於其間挾住1個資料時，係圖8(d)之誤差信號圖案。

經由以上之方法，將檢出誤差信號圖案之誤差信號圖案檢出電路的構成圖示於圖34。但是，在此所示電路構成係僅為並列處理構成之單側(偶數側)，實際上同一之電路則對奇數側亦需要。

即，最大值檢出電路之計數值為「4」，最小值檢出電路之計數值為「3」時，圖8(a)所示誤差信號，輸出「error2P=1」。同樣地，最大值檢出電路之計數值為「3」，最小值檢出電路之計數值為「4」時，輸出「error2N=1」。又，最大值檢出電路之計數值為「5」，最小值檢出電路之計數值為「3」時，輸出「error4P=1」。又，最大值檢出電路之計數值為「3」，最小值檢出電路之計數值為「5」時，輸出「error4N=1」。

於此之同時，輸出此4類之任一誤差信號時，令對開關408之enable信號呈「1」，將開關408呈開啓。

如以上所述，可判定誤差信號之種類。然而，進行上述之動作的電路係經由組合邏輯電路，可容易加以實現，極易加以LSI化。

更且，將本發明之第1實施例的資料再生方法和以往之資料再生方法之PR4-ML方式及EPR4-ML方式的資料再生性能，經由計算機模擬比較。

在此，將磁碟裝置之再生波形 $s(t)$ 近似於下述所示。

五、發明說明 (77)

1111111111111111

Bk:預碼輸出

T:資料記錄周期(s/bit)

n(t):高斯性白色雜音

k:顯示記錄密度之定數(規格化線密度)

惟，令顯示記錄密度定數 $k=2.5$ ，將重疊於再生波形之雜音 $n(t)$ 以白色性高斯雜音近似之。

圖32中顯示計算機模擬之結果。由此圖可知，本發明之資料再生方式係較以往之PR4-ML方式，換算信號對雜音比，約可改善約 $0.8(\text{db})$ 。又，本發明之資料再生方式係可得與EPR4-ML方式幾近同樣之資料再生性能。

更且，第1實施例之資料再生電路之電路模模，係可以由PR4-ML方式變更至EPR4-ML方式時之電路規模增加之約一半之電路規模加以實現。更且，根據本發明之時，進行與PR4-ML方式同樣之高速處理。

經由，根據本發明，提供較使用PR4-ML方式之磁碟裝置，可再生記錄密度為高之記錄信號的磁碟裝置。

如以上所述，提供根據本發明於磁碟等，經由PR4-ML再生方式減低錯誤率，且，較PR4-ML再生方式實現簡易之電路構成，且與PR4-ML再生方式同等地可高速處理之數件資料再生方式者。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(78)

具體而言，提供較PR4-ML方式以S/N換算減低約0.8(db)之錯誤率，且較EPR4-ML方式約增加一半之電路規模，且可與PR4-ML方式同等之高速處理的數位資料再生方式。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

四、中文發明摘要（發明之名稱：

）

使高度磁性記錄資料再生之改良系統

本發明係提供於磁性記錄媒體，將高密度記錄之資料，以簡易之構成再生之裝置者。

由韋氏解碼電路160、170，輸出4值之再生資料，將此4值再生資料，經由加法器19，由以PR4-ML方式之資料判定前的信號減去，對所得之結果，使用加法器20進行(1+D)處理，經由誤差信號檢出21，令PR4-ML方式之判定錯誤為最佳判定，更且，經由資料修正電路25，檢出之判定錯誤和實際再生資料列為一致時，修正再生資料列者。

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

英文發明摘要（發明之名稱：

）

訂

線

8月1日 修正 補充

第84110716號專利申請案
中文申請專利範圍修正本

民國85年9月 修正
A8
B8
C8
D8

六、申請專利範圍

1、一種資料再生裝置，使用局部響應方式，再生記錄於記錄媒體之資料的資料再生裝置中，其特徵係在於具備讀取記錄於前述記錄媒體之資料，輸出類比信號之磁頭，

和將該類比信號，以一定時間間隔數位・類比變換之數位類比變換手段，

和將經由該類比數位變換手段所得數位信號，根據對應前述局部響應方式之等化特性等化之等化手段，

和接受該等化手段之輸出信號進行韋氏解碼，生成4值之再生資料的韋氏解碼手段，

和根據預定由該韋氏解碼手段輸出之4值再生資料的規則，變換為2值之再生資料的資料變換手段者。

2、如申請專利範圍第1項之資料再生裝置，其中，做為前述局部響應方式使用第4級之局部響應方式，前述等化手段之輸出 Y_k 為“1”，“0”，“-1”之3值所成串列資料者。

3、如申請專利範圍第2項之資料再生裝置，其中，令由前述韋氏解碼手段生成之4值再生資料呈 Z_k 時，該 Z_k 係經由以下關係所定之資料再生裝置者；

$Y_k = +1$ 時， $Z_k = +1$

$Y_k = -1$ 時， $Z_k = -1$

$Y_k = 0$ 且 $(Z_{k-2} = +1$ 或 $Z_{k-2} = +0)$ 時， $Z_k = +0$

$Y_k = 0$ 且 $(Z_{k-2} = -1$ 或 $Z_{k-2} = -0)$ 時， $Z_k = -0$ 。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

4、如申請專利範圍第3項之資料再生裝置，其中，前述資料變換手段係令前述韋氏解碼手段之4值再生資料的"+0"和"-0"呈"0"，呈+1"，"0"，"-1"之3值資料，生成與該3值之資料和前述等化手段之輸出之差分信號的手段，

和經由進行加算延遲該差分信號之延遲信號和前述差分信號之 $(1+D)$ 處理，生成誤差信號之手段，

和該誤差信號之圖案檢測是否與限定之個數之預定誤差信號圖案的任一者一致之誤差信號圖案檢出手段，

和經由該圖案檢出手段檢測為一致時，將前述韋氏解碼段之4值再生資料的對應前述誤差信號圖案之錯誤位元圖案，對應該誤差信號圖案修正預定之正確位元圖案，將該正確之再生資料變換為2值之再生資料加以輸出之資料修正手段者。

5、如申請專利範圍第4項之資料再生裝置，其中，前述限定之個數之預定誤差信號圖案係包含「+A，+A，-A，-A」、「-A，-A，+A，+A」、「+A，+A，0，0，-A，-A」，「-A，-A，0，0，+A，+A」（在此"A"係任意實數之信號振幅）之類者。

6、如申請專利範圍第4項之資料再生裝置，其中，前述限定之個數之預定誤差信號圖案係更包含「+A，+A，0，0，0，0，-A，-A」，「-A，-A，0，0，0，0，+A，+A」者。

7、如申請專利範圍第4項之資料再生裝置，其中，前

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

六、申請專利範圍

述資料變換手段係更具有前述韋氏解碼手段之4值再生資料，則對應經由前述圖案檢出手段檢出之誤差信號圖案，檢出是否與預定前述4值之再生資料的複數位元圖案的任一者一致之位元圖案檢出手段，

前述資料修正手段係以加上檢出前述誤差信號圖案檢出手段之一致，和檢出該位元圖案檢出手段之一致為條件，進行前述再生資料之修正者。

8、如申請專利範圍第4項之資料再生裝置，其中，前述誤差信號圖案檢出手段係檢出連續前述誤差信號圖案之一致時，判斷該檢出判定為誤檢出者。

9、如申請專利範圍第4項之資料再生裝置，其中，具備分離由前述等化手段輸出之偶數資料列和奇數資料列之手段，將前述韋氏解碼手段及前述資料修正手段，為偶數資料列和奇數資料列用地設置2組者。

10、如申請專利範圍第7項之資料再生裝置，其中，具備分離由前述等化手段輸出之偶數資料列和奇數資料列之手段，將前述韋氏解碼手段、前述位元圖案檢出手段及前述資料修正手段，為偶數資料列和奇數資料列用地設置2組者。

11、如申請專利範圍第10項之資料再生裝置，其中，前述誤差信號圖案檢出手段，係於偶數資料列及奇數資料列之一方中，於預定之時間寬度內，求得前述誤差信號之最大值及最小值，由該最大值減去最小值之值超越預定之閾值，且，較由該預定之時間寬度內之偶數資料列及奇數

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

資料列的另一方的誤差信號之最大值，減去最小值之值為大時，前述偶數資料列及奇數資料列之一方最大值及最小值之產生時點的關係則調查是否一致於預定複數關係之任一者，對應一致於何種關係，特定前述誤差信號圖案之任一者。

12、如申請專利範圍第4項之資料再生裝置，其中，具有前述誤差信號圖案檢出手段係進行管道處理之手段。

13、一種資料再生用積體電路，其特徵係在於為輸入由記錄使用局部響應方式之信號之記錄媒體讀取之類比信號之輸入端子，

和將輸入於輸入端子之類比信號，以一定時間間隔，變換為數位信號之類比數位變換手段，

和將經由該類比數位變換手段所得數位信號，根據對應前述局部響應方式之等化特性等化之等化手段，

和接受該等化手段之輸出信號進行韋氏解碼，生成4值之再生資料的韋氏解碼手段，

和將由該韋氏解碼手段輸出之4值再生資料，根據預定規則變換為2值之再生資料的資料變換手段，和輸出2值之再生資料的輸出端子形成於同一半導體者。

14、如申請專利範圍第13項之資料再生用積體電路，其中，做為前述局部響應方式，令級4之局部響應方式呈、前述等化手段之輸出 Y_k 為"1"，"0"，"-1"之3值所成串列資料者。

15、如申請專利範圍第14項之資料再生用積體電路，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄

六、申請專利範圍

其中，令由前述韋氏解碼手段生成之4值再生資料呈 Z_k 時，該 Z_k 係經由以下關係所定之資料再生裝置者；

$Y_k = +1$ 時， $Z_k = +1$

$Y_k = -1$ 時， $Z_k = -1$

$Y_k = 0$ 且 $(Z_{k-2} = +1$ 或 $Z_{k-2} = +0)$ 時， $Z_k = +0$

$Y_k = 0$ 且 $(Z_{k-2} = -1$ 或 $Z_{k-2} = -0)$ 時， $Z_k = -0$ 。

16、如申請專利範圍第3項之資料再生用積體電路，其中，前述資料變換手段係令前述韋氏解碼手段之4值再生資料的"+0"和"-0"呈"0"，呈"+1"，"0"，"-1"之3值資料，生成與該3值之資料和前述等化手段之輸出之差分信號的手段，

和經由進行加算延遲該差分信號之延遲信號和前述差分信號之 $(1+D)$ 處理，生成誤差信號之手段，

和該誤差信號之圖案檢測是否與限定之個數之預定誤差信號圖案的任一者一致之誤差信號圖案檢出手段，

和經由該圖案檢出手段檢測為一致時，將前述韋氏解碼段之4值再生資料的對應前述誤差信號圖案之錯誤位元圖案，對應該誤差信號圖案修正預定之正確位元圖案，將該正確之再生資料變換為2值之再生資料加以輸出之資料、修正手段者。

17、如申請專利範圍第16項之資料再生用積體電路，其中，前述資料變換手段係更具有前述韋氏解碼手段之4

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

值再生資料，則對應經由前述圖案檢出手段檢出之誤差信號圖案，檢出是否與預定前述4值之再生資料的複數位元圖案的任一者一致之位元圖案檢出手段，

前述資料修正手段係以加上檢出前述誤差信號圖案檢出手段之一致，和檢出該位元圖案檢出手段之一致為條件，進行前述再生資料之修正者。

18、一種資料再生方法，使用局部響應方式，再生記錄於記錄媒體之資料的資料再生方法中，其特徵係在於具備經由磁頭讀取記錄於前述記錄媒體之資料，

將該讀取之類比信號變換數位信號，

將該數位信號，根據對應前述局部響應方式之等化特性濾波，

將經由濾波所得信號經由韋氏解碼，得4值之再生資料，

由含該4值再生資料之資料圖案中，檢出限定個數之預定錯誤再生機率高之再生資料圖案，

於該檢出時，將該再生資料圖案對應於該再生資料圖案修正為預定正確之再生資料圖案，

由包含該修正之再生資料圖案之4值再生資料得最終2值之再生資料者。

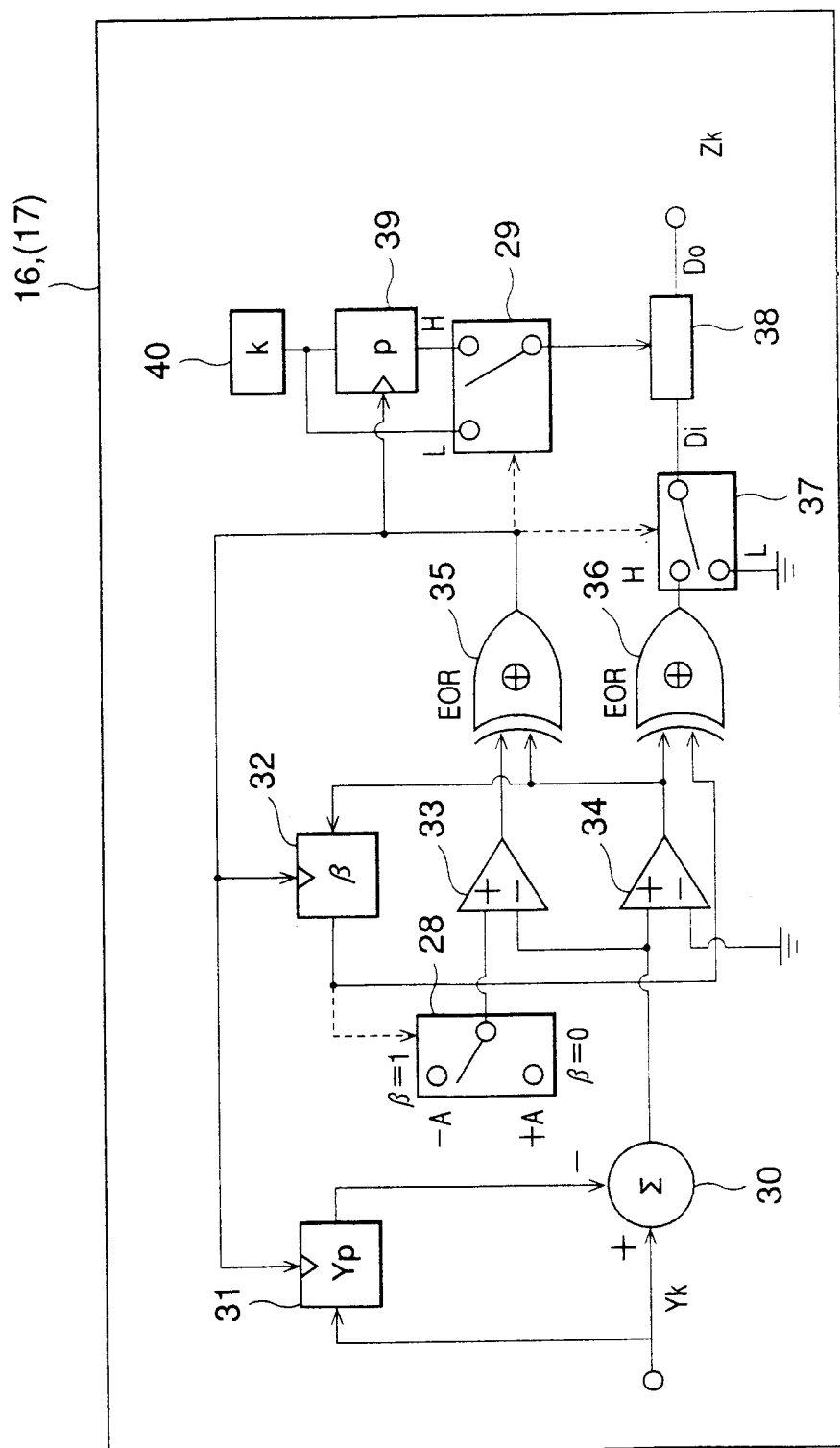
(請先閱讀背面之注意事項再填寫本頁)

裝

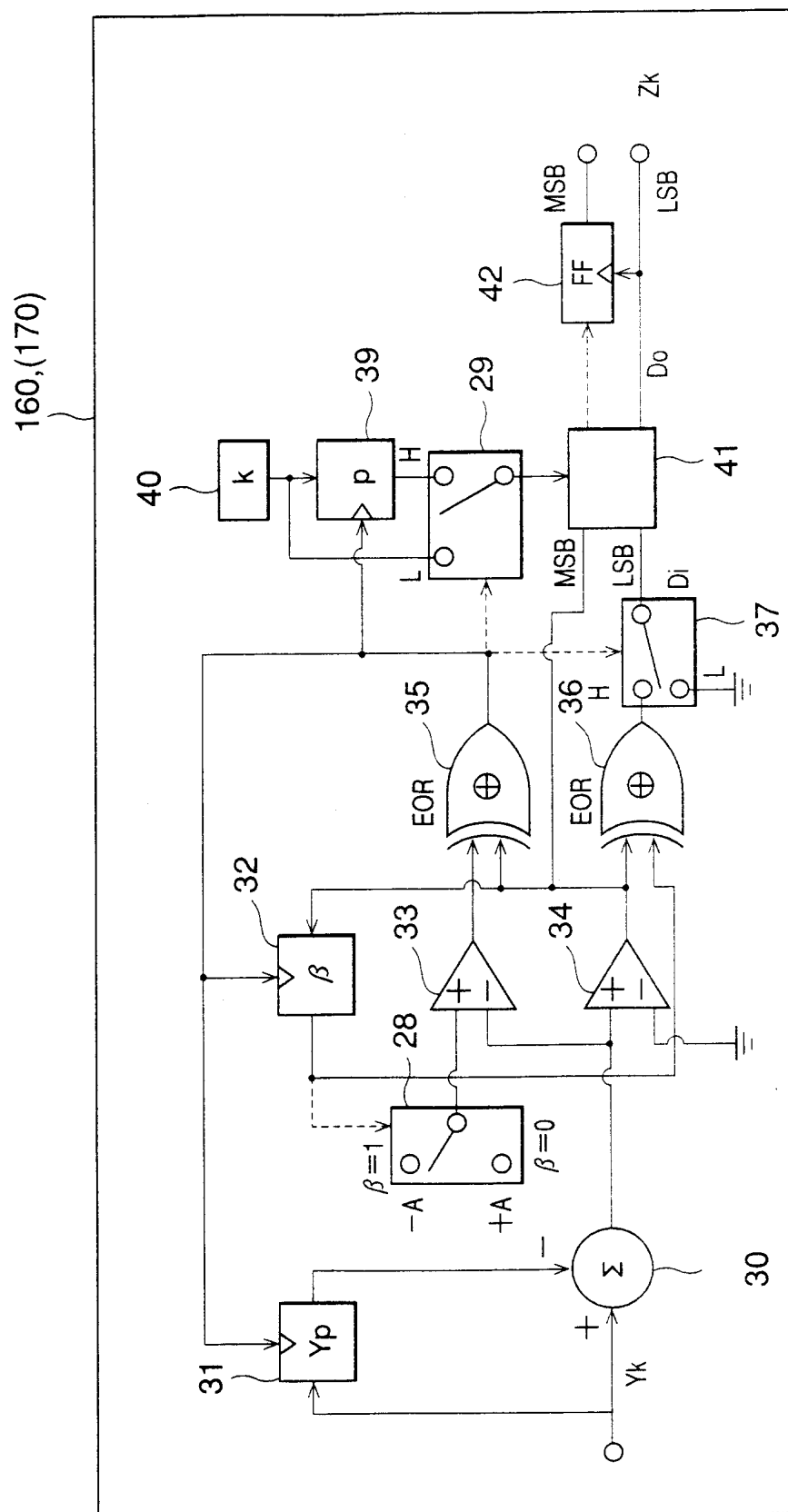
訂

永

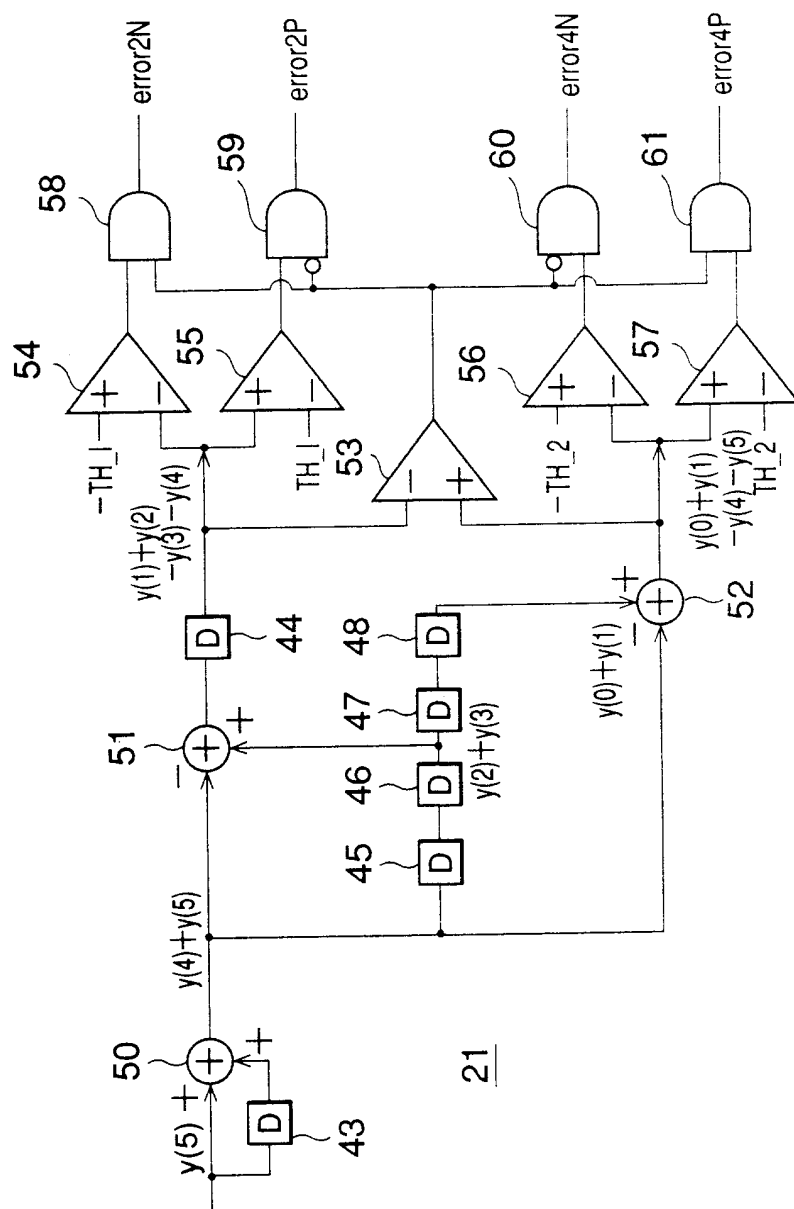
2
録



第 3 章

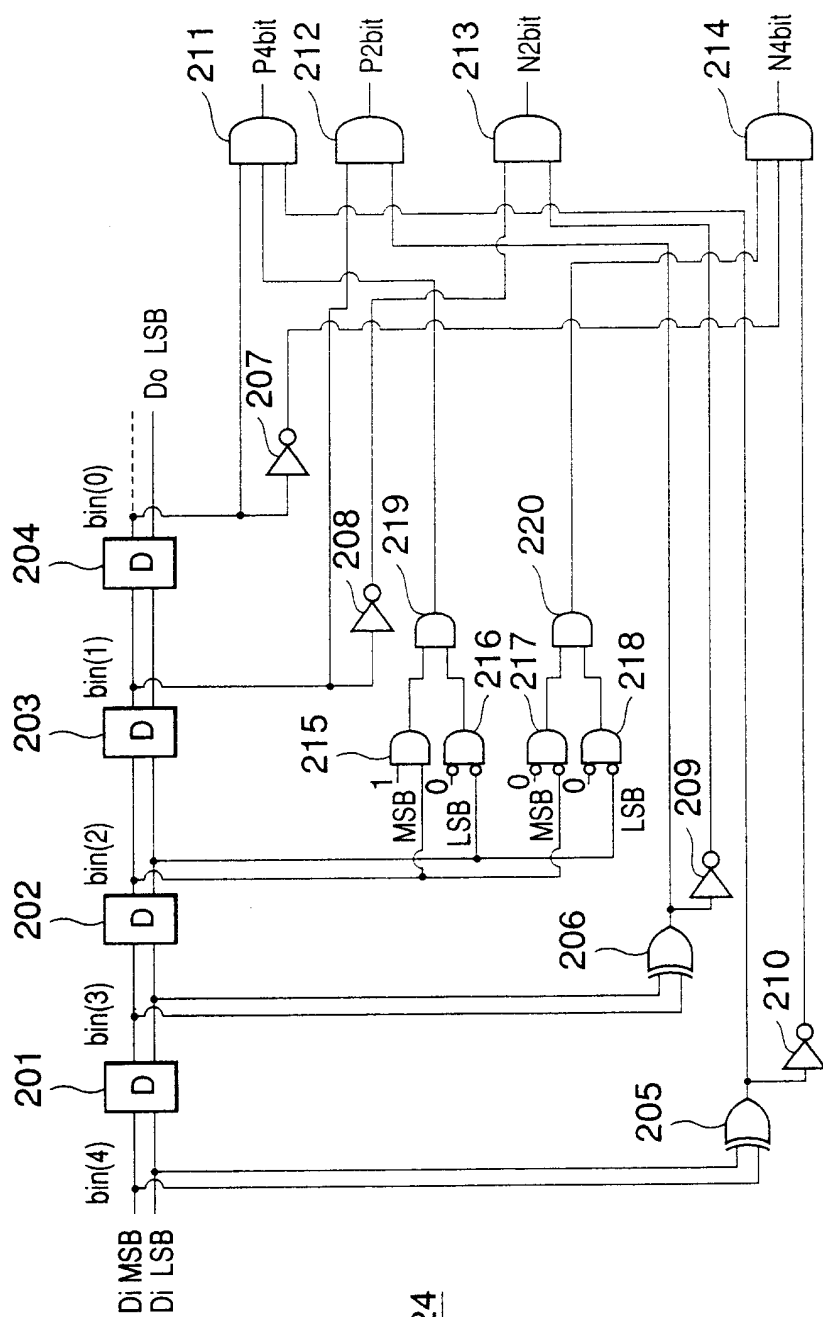


第4圖



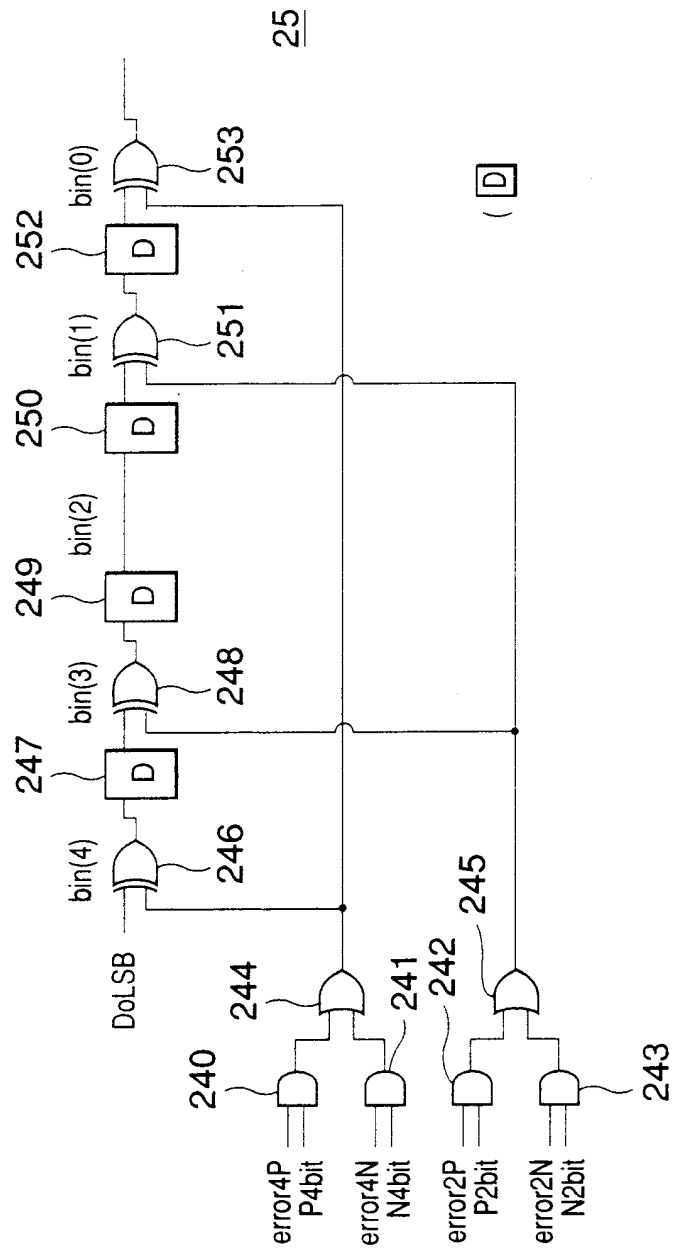
(D)

第5圖

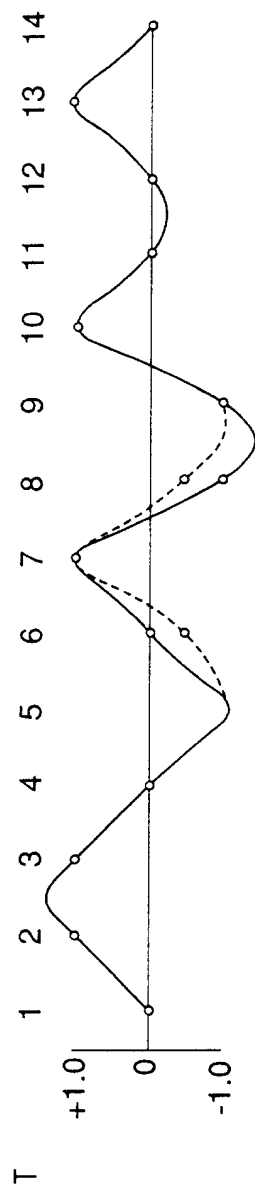


(D)

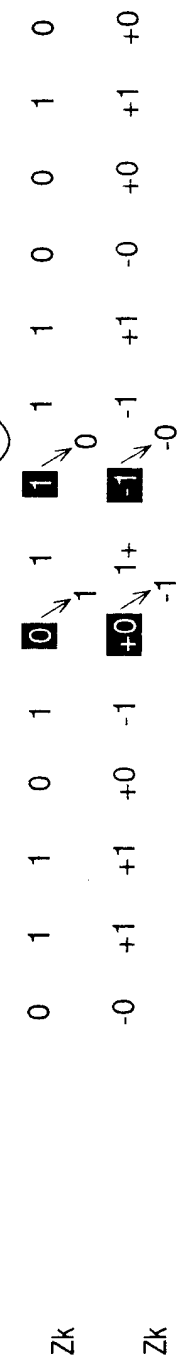
第6圖



第7圖

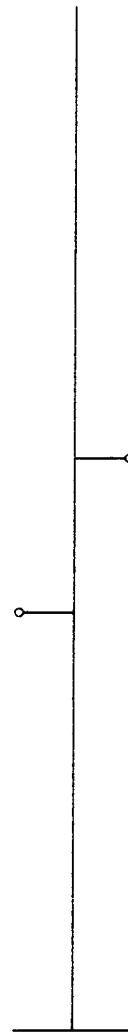


(A)

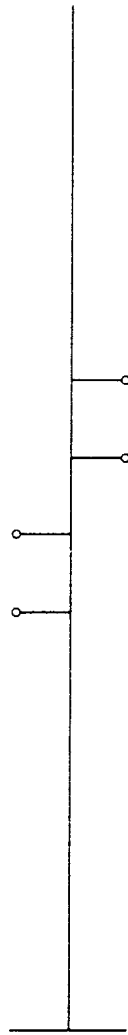


(B)

(C)



(D)

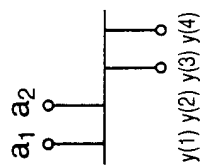


(E)

第 8 圖

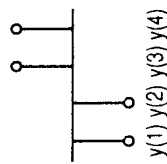
(a)

error2P		
+0 x +0 x	-1 x +1 x	
+0 x -1 x	-1 x -0 x	
+1 x +0 x	-0 x +1 x	
+1 x -1 x	-0 x -0 x	



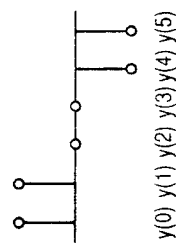
(b)

error2N		
-0 x -0 x	+1 x -1 x	
-0 x +1 x	+1 x +0 x	
-1 x -0 x	+0 x -1 x	
-1 x +1 x	+0 x +0 x	



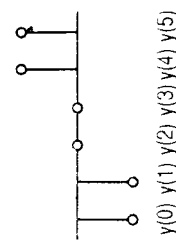
(c)

error4P		
+0 x +0 x +0 x	-1 x -0 x +1 x	
+0 x +0 x -1 x	-1 x -0 x -0 x	
+1 x +0 x +0 x	-0 x -0 x +1 x	
+1 x +0 x -1 x	-0 x -0 x -0 x	

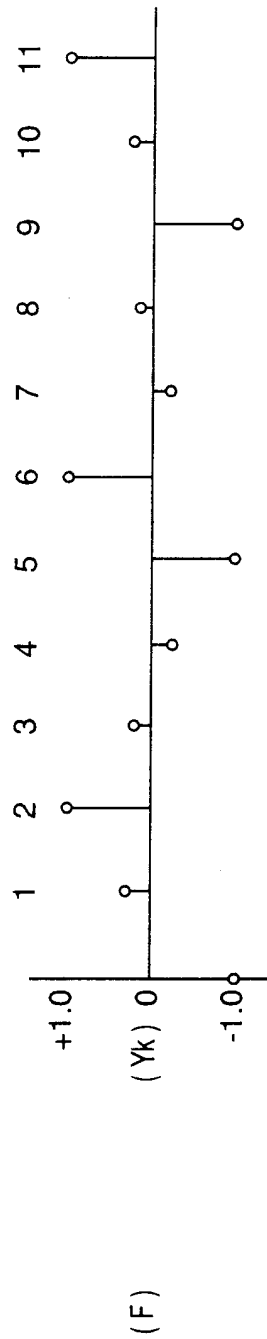


(d)

error4N		
-0 x -0 x -0 x	+1 x +0 x -1 x	
-0 x -0 x +1 x	+1 x +0 x +0 x	
-1 x -0 x -0 x	+0 x +0 x -1 x	
-1 x -0 x +1 x	+0 x +0 x +0 x	



第9圖

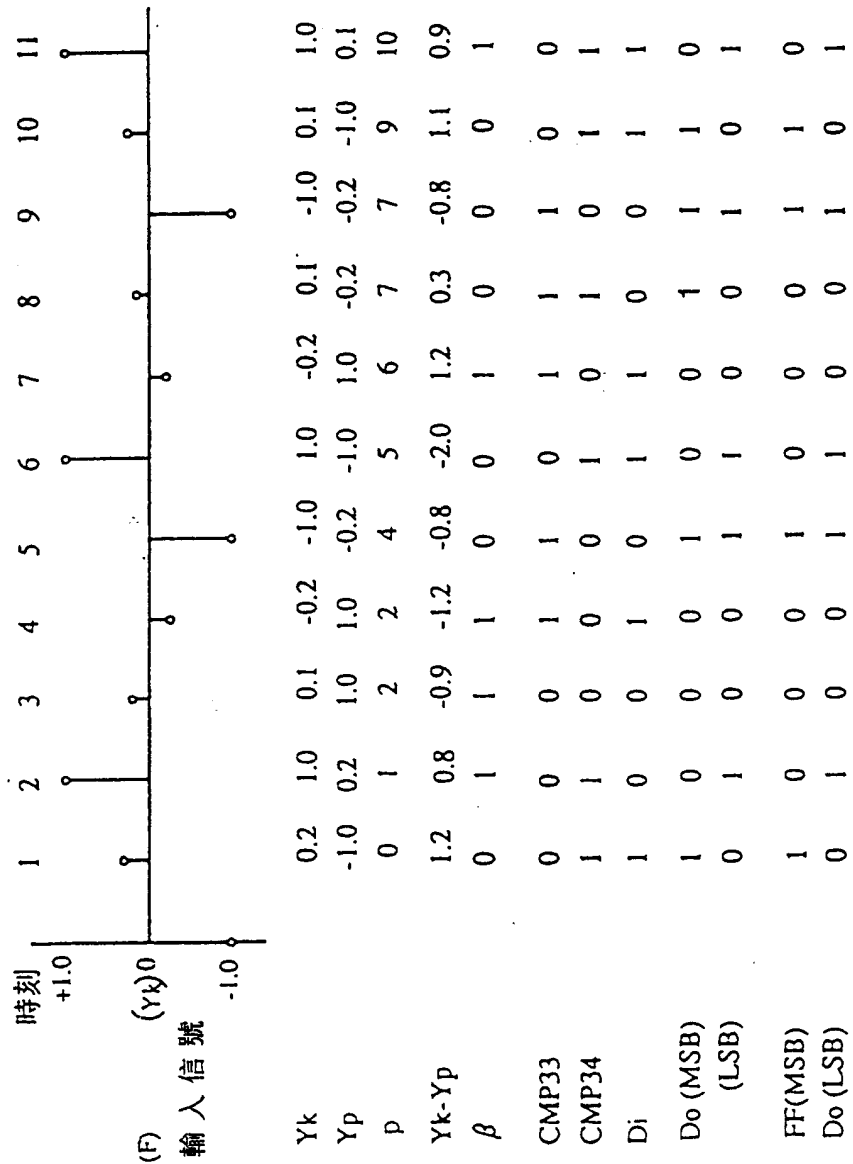


Yk	0.2	1.0	0.1	-0.2	-1.0	1.0	-0.2	0.1	-1.0	0.1	0.1	1.0
Yp	-1.0	0.2	1.0	1.0	-0.2	-1.0	1.0	-0.2	-0.2	-1.0	0.1	0.1
p	0	1	2	2	4	5	6	7	7	9	10	10
Yk-Yp	1.2	0.8	-0.9	-1.2	-0.8	-2.0	1.2	0.3	-0.8	1.1	0.9	0.9
β	0	1	1	1	0	0	1	0	0	0	0	1
CMP33	0	0	0	1	1	0	1	1	1	0	0	0
CMP34	1	1	0	0	0	1	0	1	0	1	1	1
Di	1	0	0	1	0	1	1	0	0	1	1	1
Do	0	1	0	0	1	1	0	0	1	0	0	1

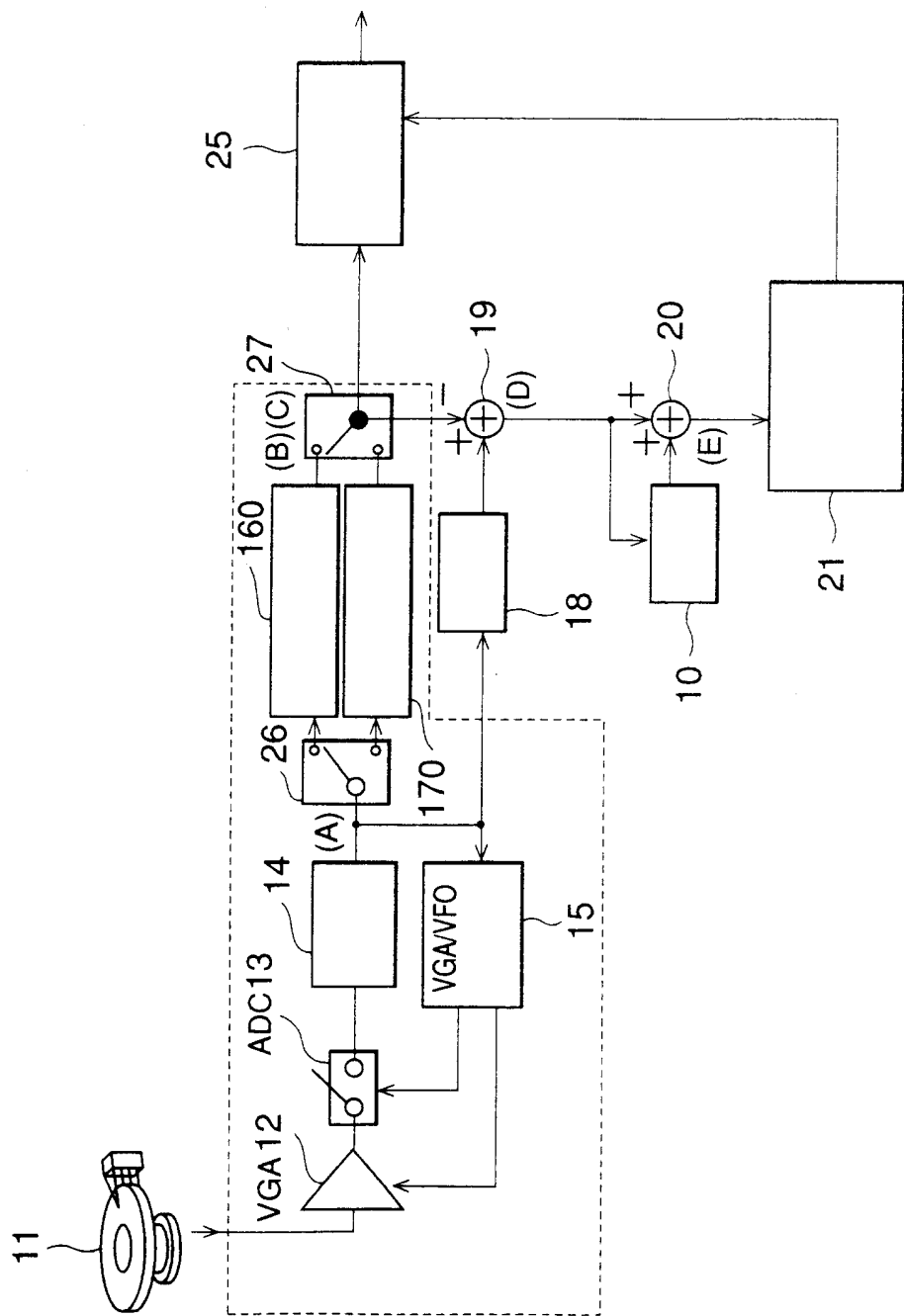
第10圖

修正
補充
85年6月8日

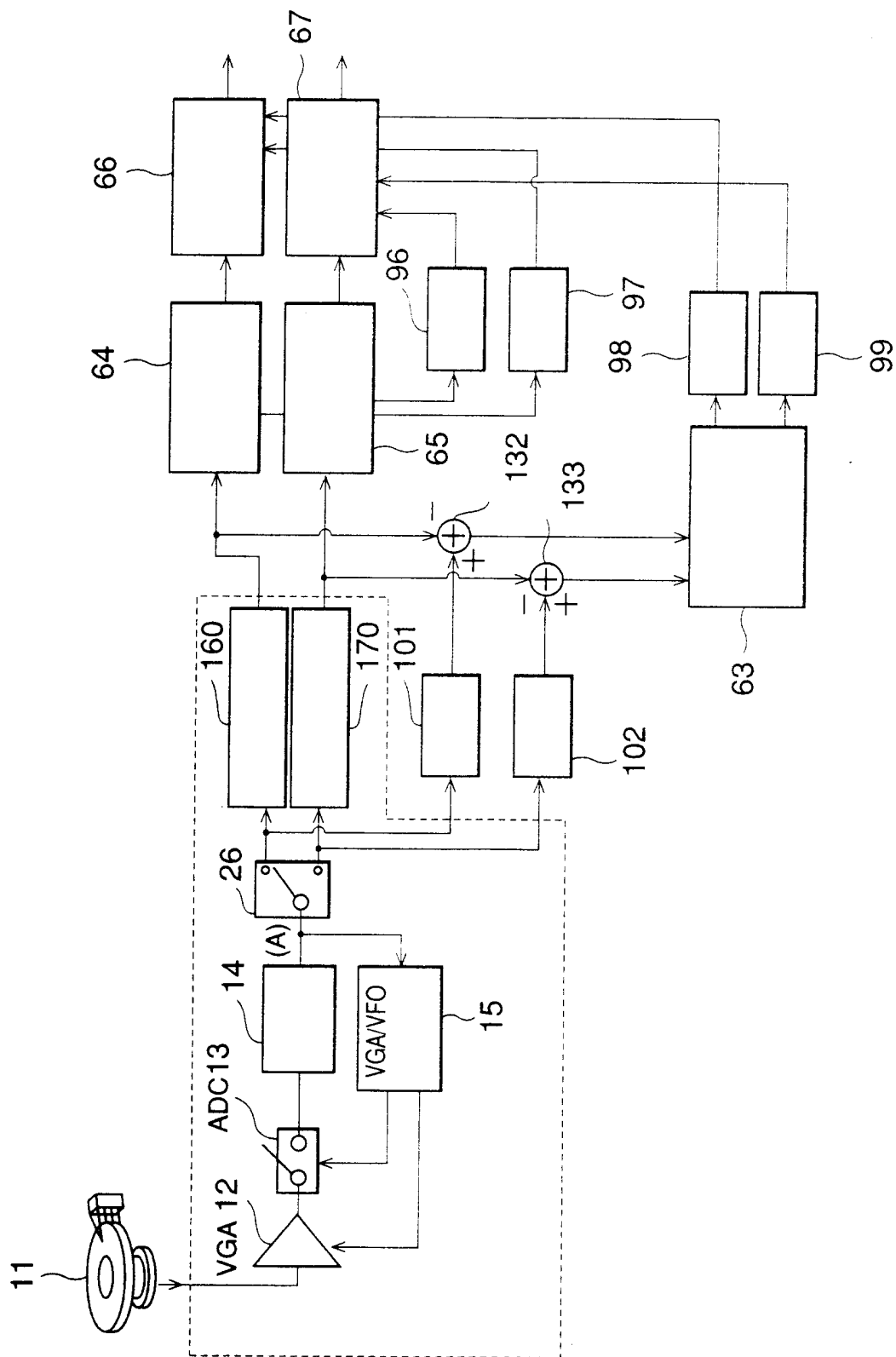
顯示第1實施例韋氏解碼電路之動作說明圖



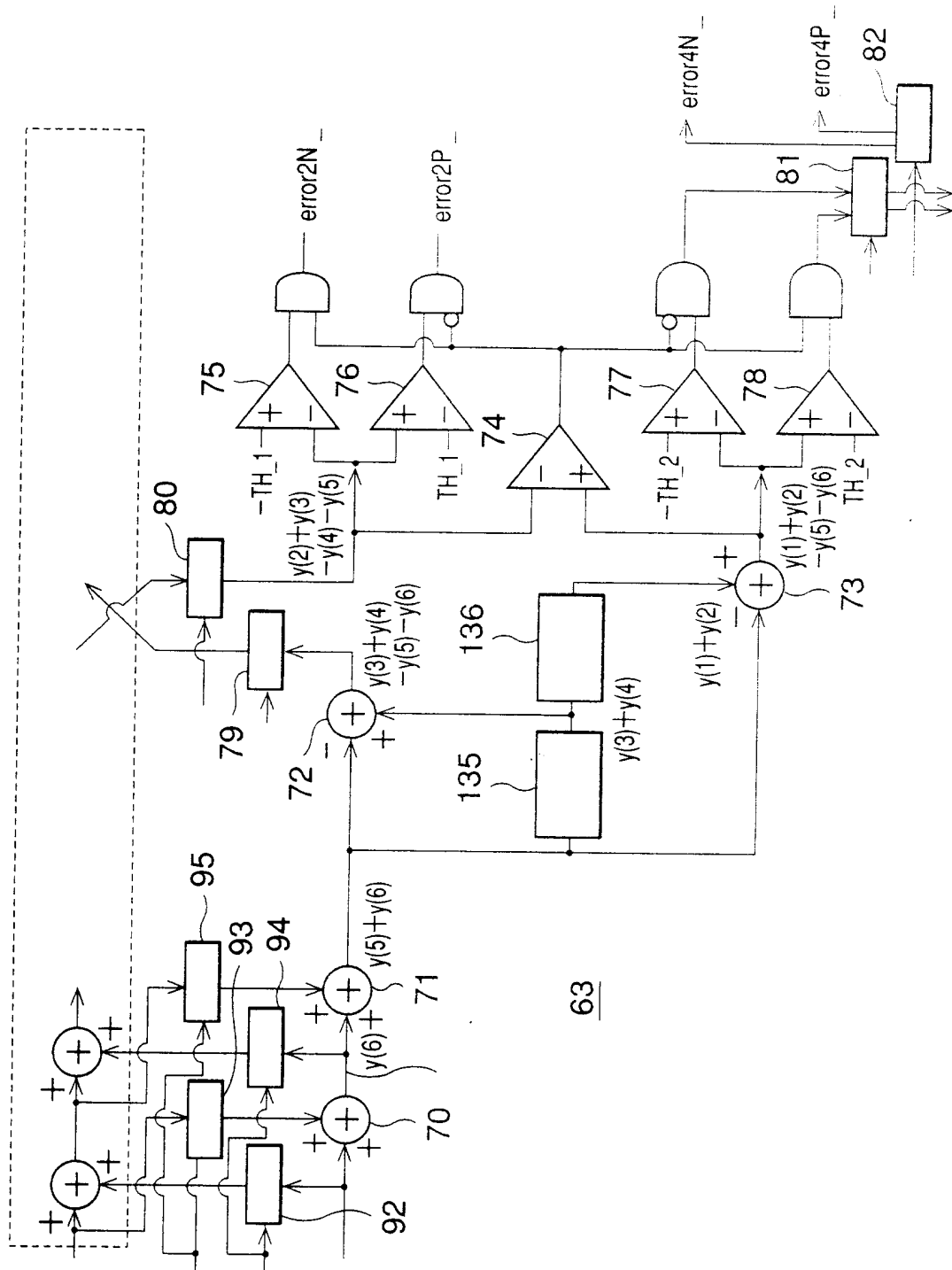
第11圖



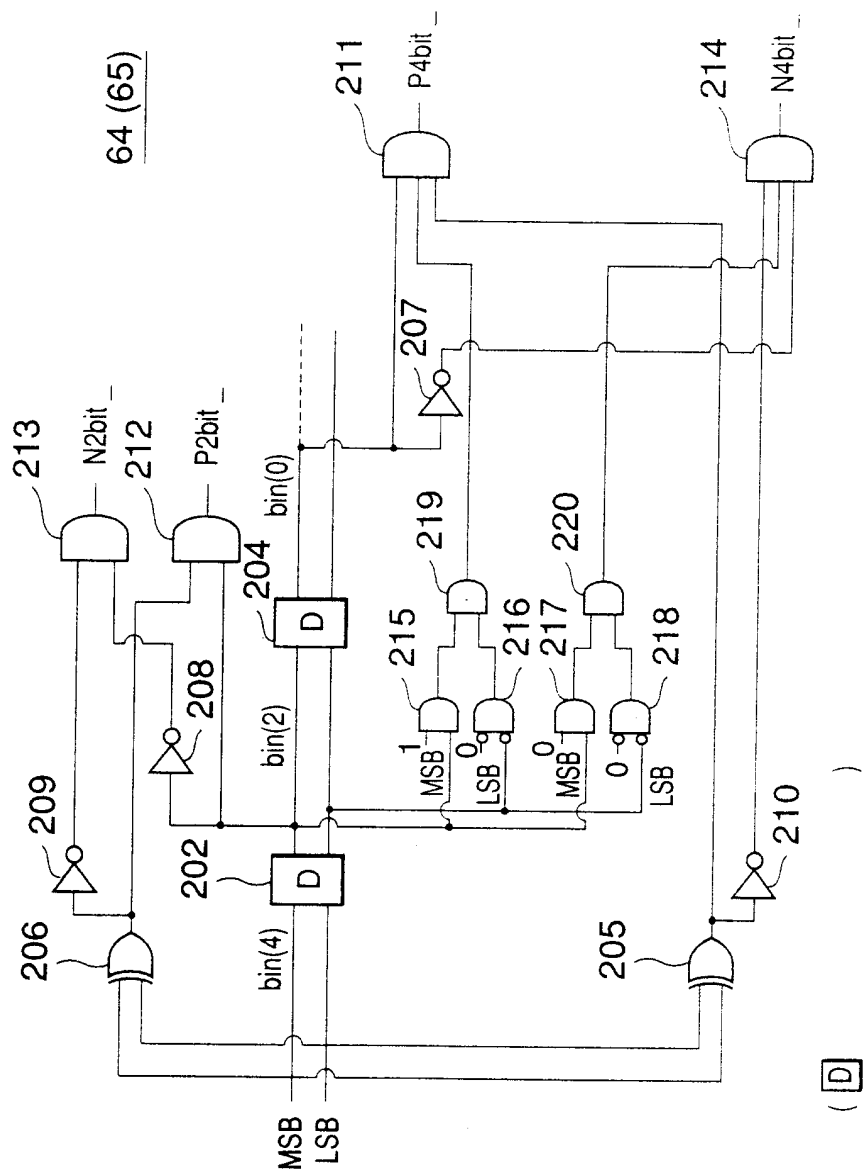
第13圖



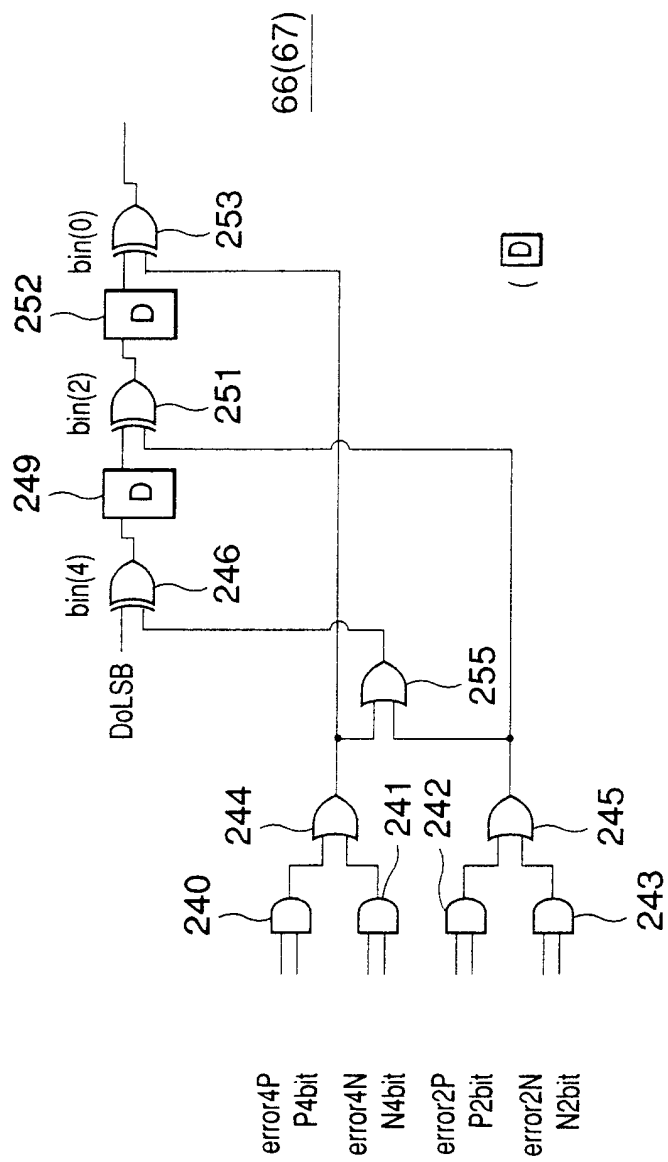
第14圖



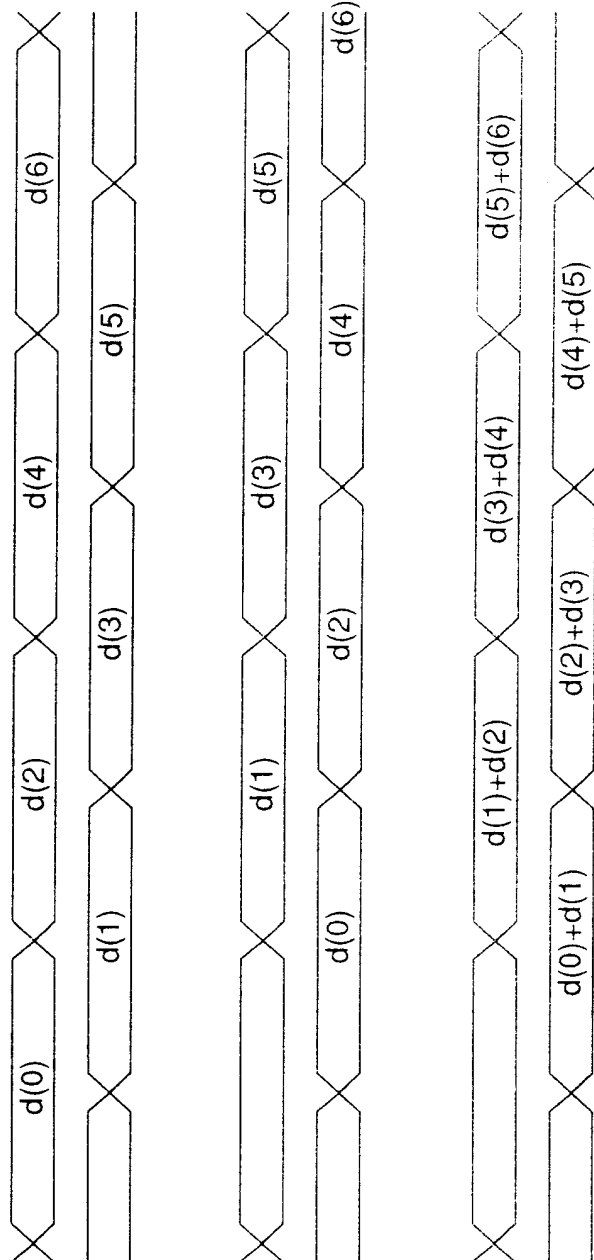
第15圖



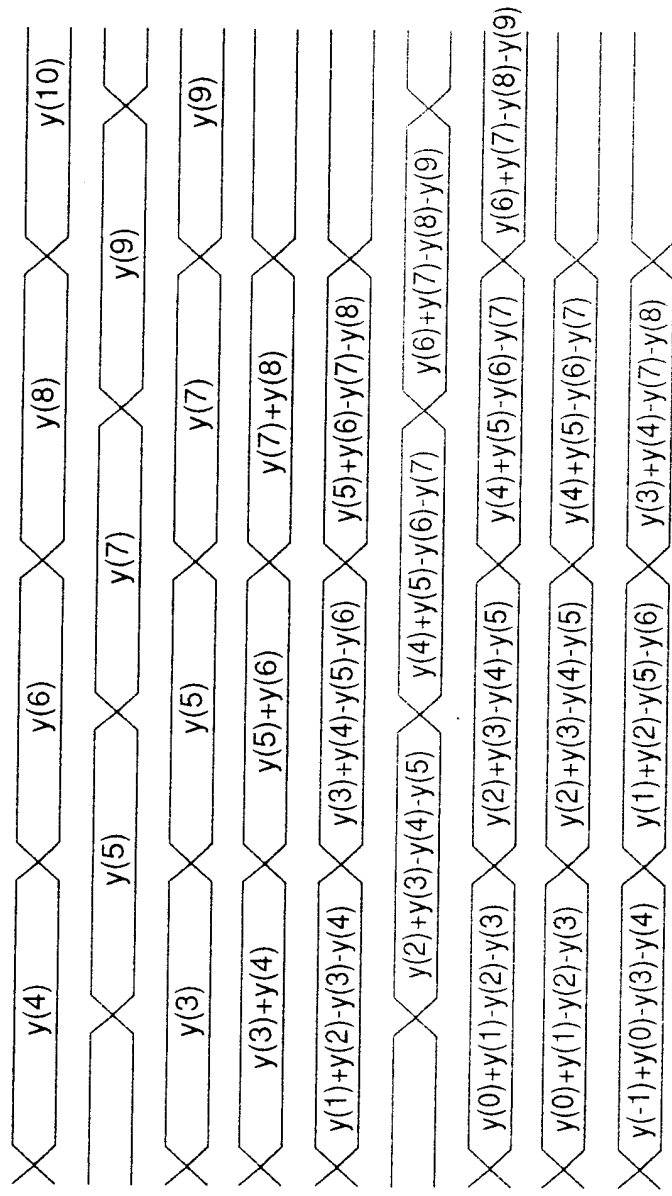
第16圖



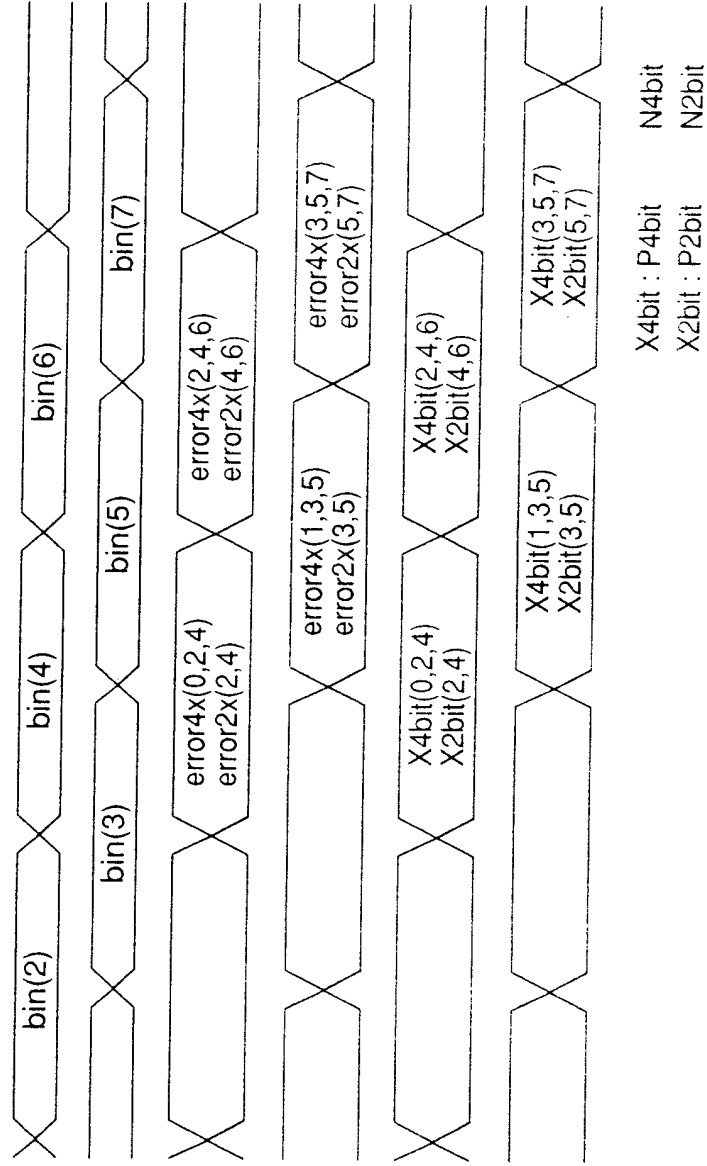
第17圖



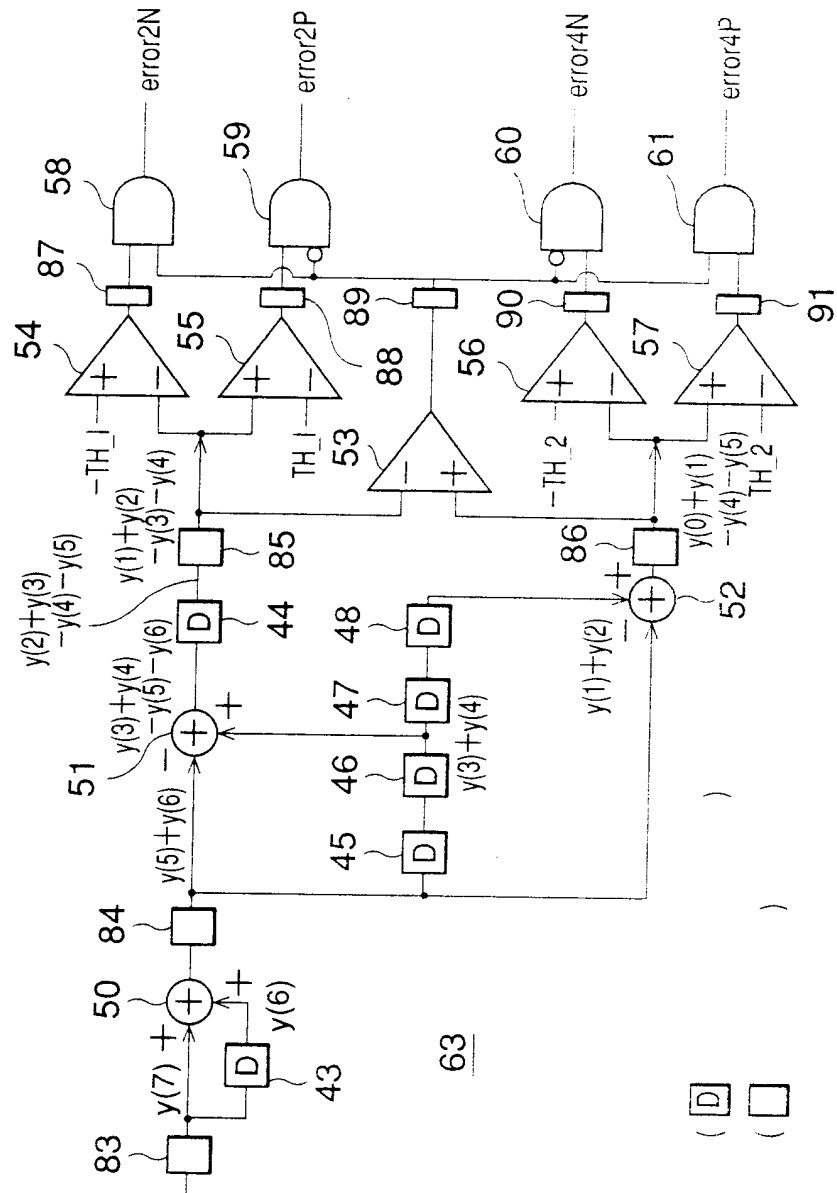
第18圖



第19圖



第20圖

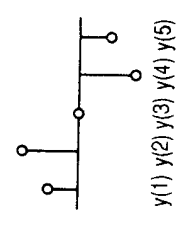


第21圖

(a)

error2P

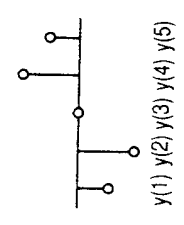
+0x +0x	-1x +1x
+0x -1x	-1x -0x
+1x +0x	-0x +1x
+1x -1x	-0x -0x



(b)

error2N

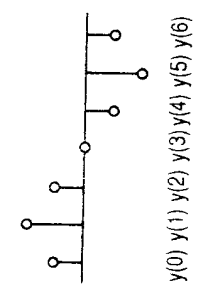
-0x -0x	+1x -1x
-0x +1x	+1x +0x
-1x -0x	+0x -1x
-1x +1x	+0x +0x



(c)

error4P

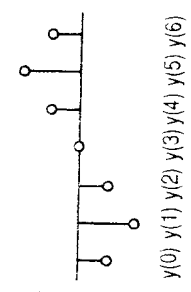
+0x +0x +0x	-1x -0x +1x
+0x +0x -1x	-1x -0x -0x
+1x +0x +0x	-0x -0x +1x
+1x +0x -1x	-0x -0x -0x



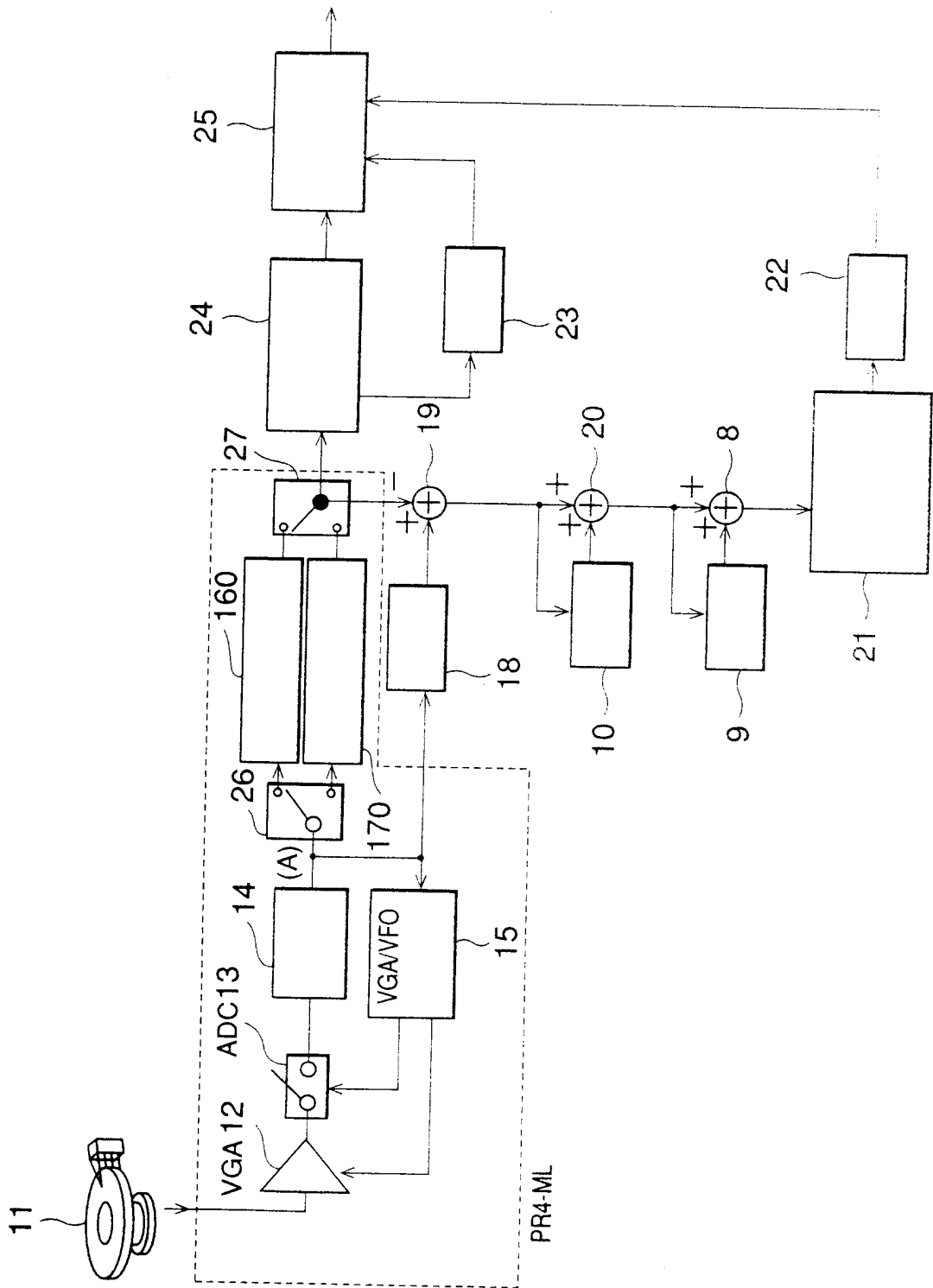
(d)

error4N

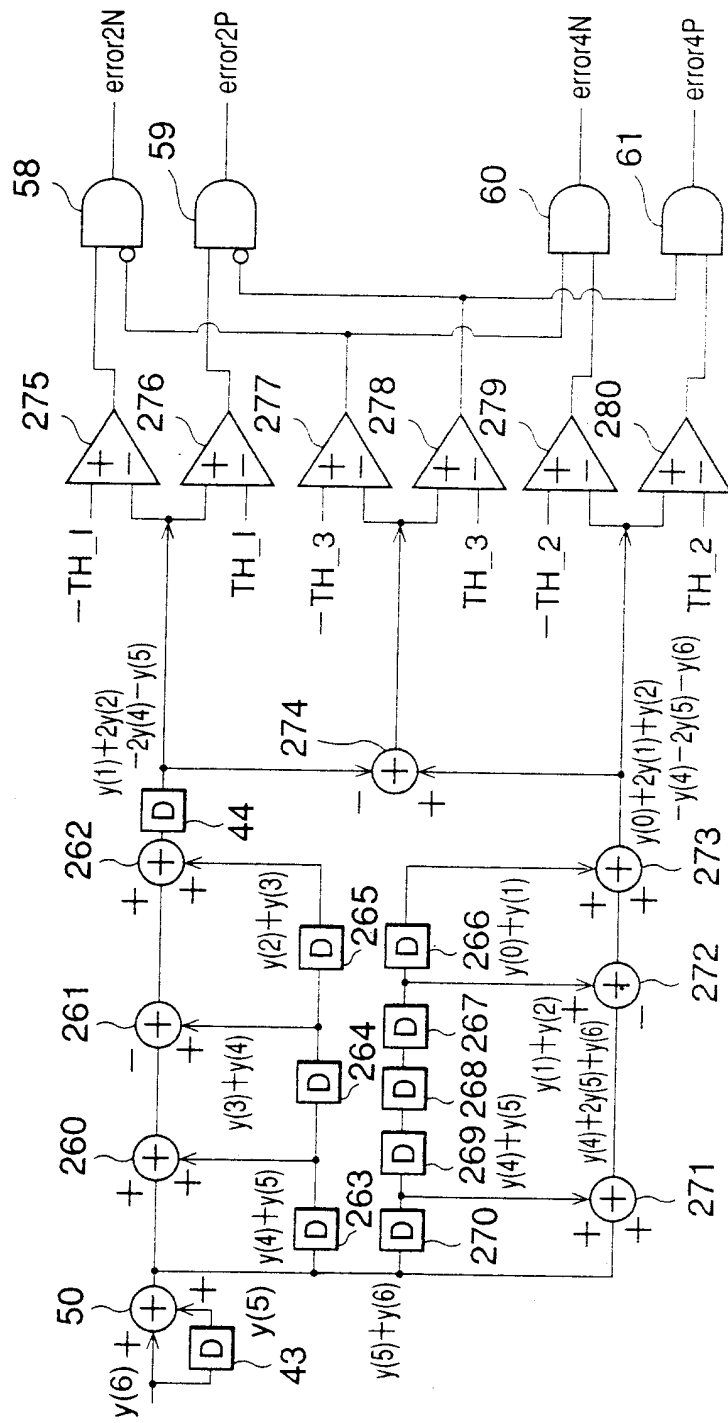
-0x -0x -0x	+1x +0x -1x
-0x -0x +1x	+1x +0x +0x
-1x -0x -0x	+0x +0x -1x
-1x -0x +1x	+0x +0x +0x



第22圖



第23圖



(D)

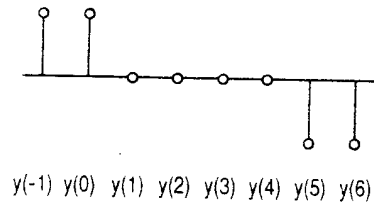
3120i0

第24圖

(e)

error6P

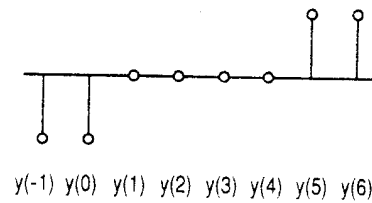
+0x +0x +0x +0x	-1x -0x -0x +1x
+0x +0x +0x -1x	-1x -0x -0x -0x
+1x +0x +0x +0x	-0x -0x -0x +1x
+1x +0x +0x -1x	-0x -0x -0x -0x



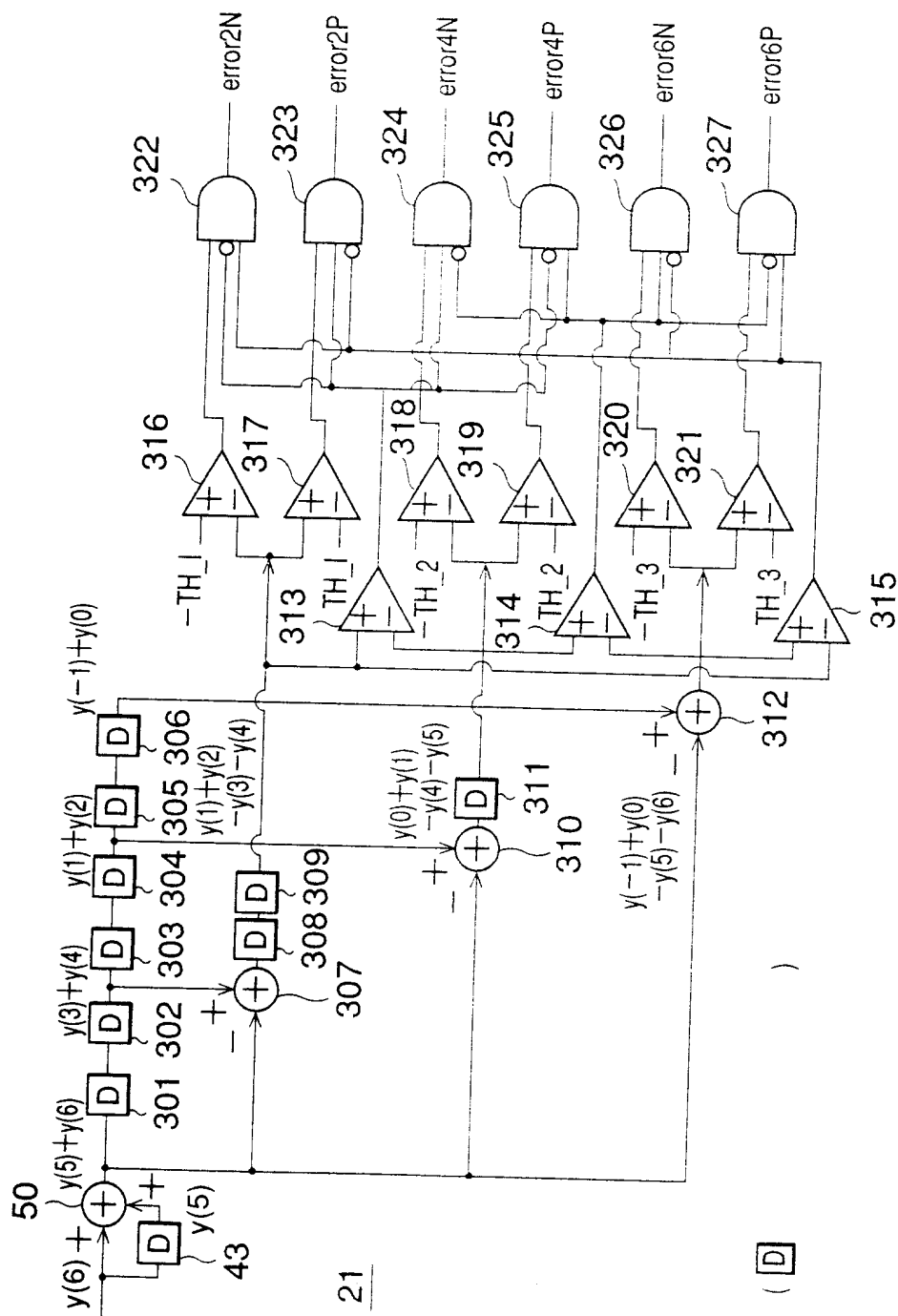
(f)

error6N

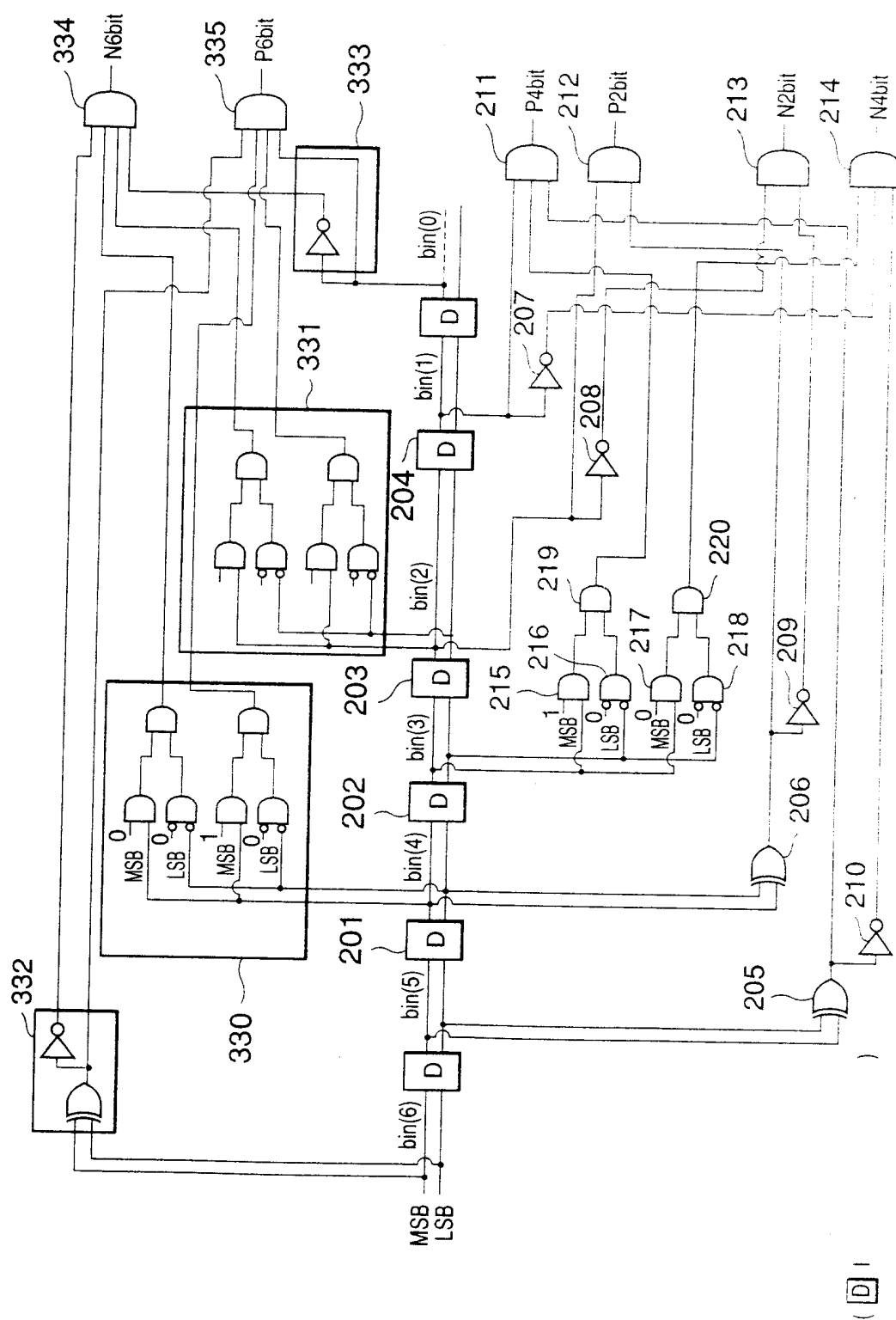
-0x -0x -0x -0x	+1x +0x +0x -1x
-0x -0x -0x +1x	+1x +0x +0x +0x
-1x -0x -0x -0x	+0x +0x +0x -1x
-1x -0x -0x +1x	+0x +0x +0x +0x



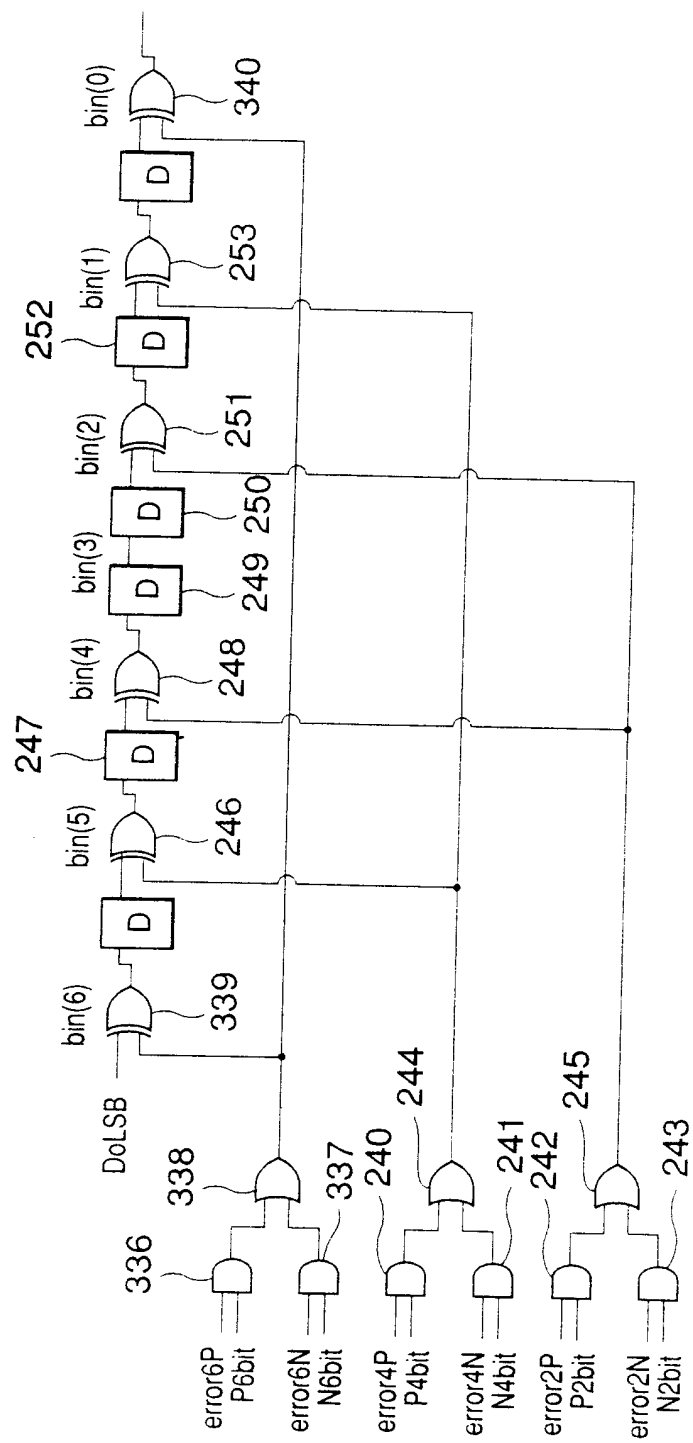
第25圖



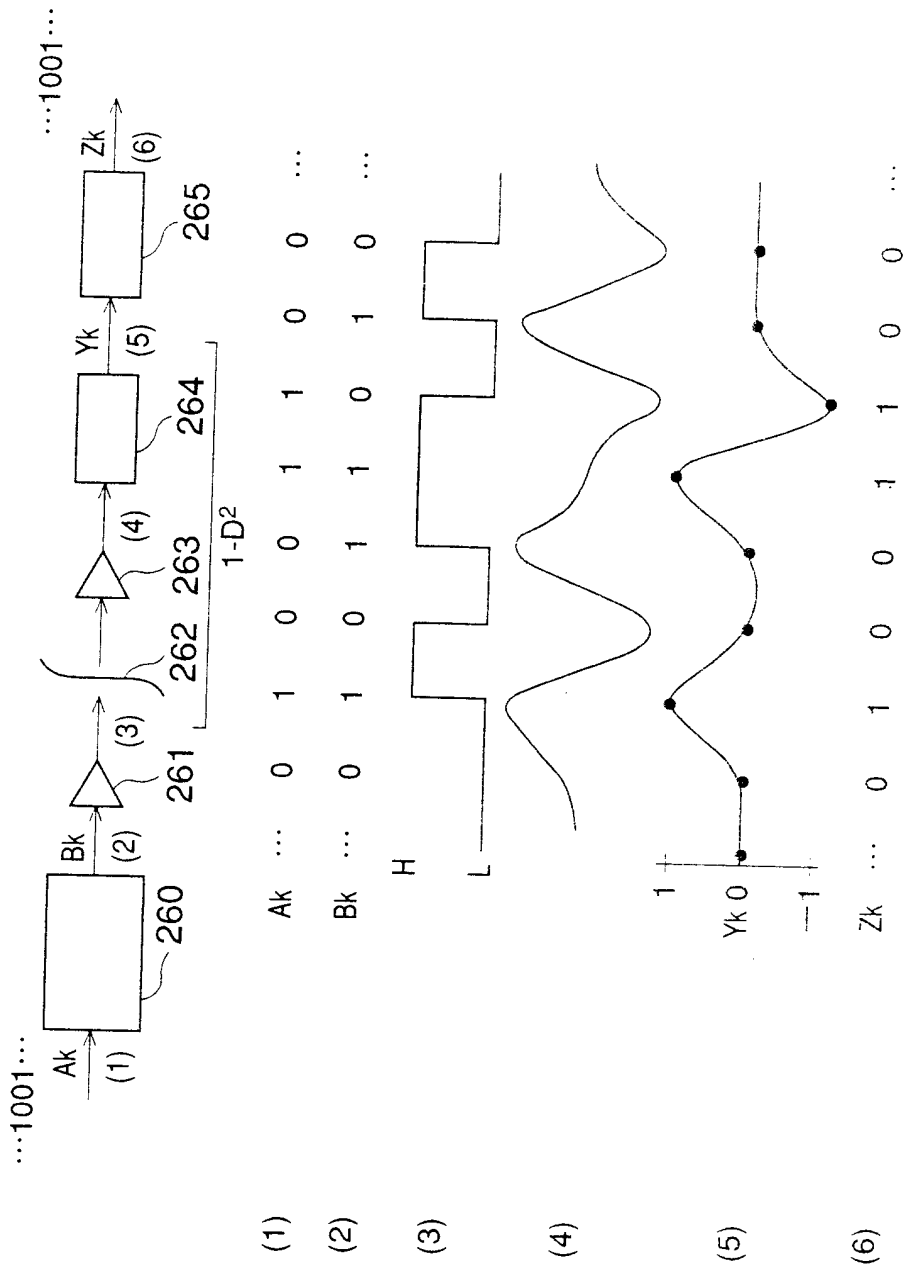
第26圖



第27圖

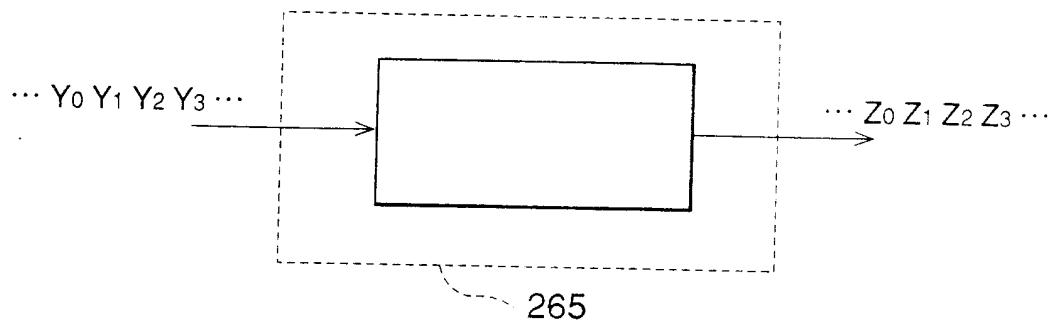


第28圖

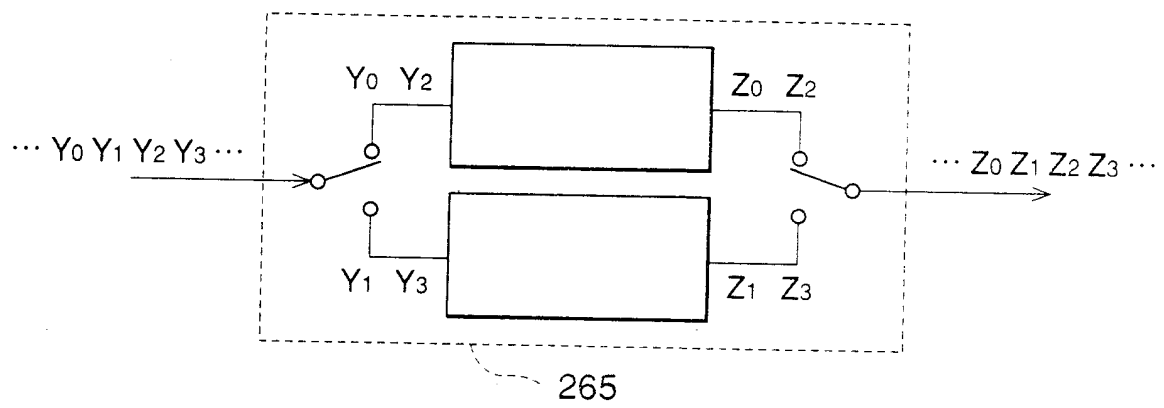


第29圖

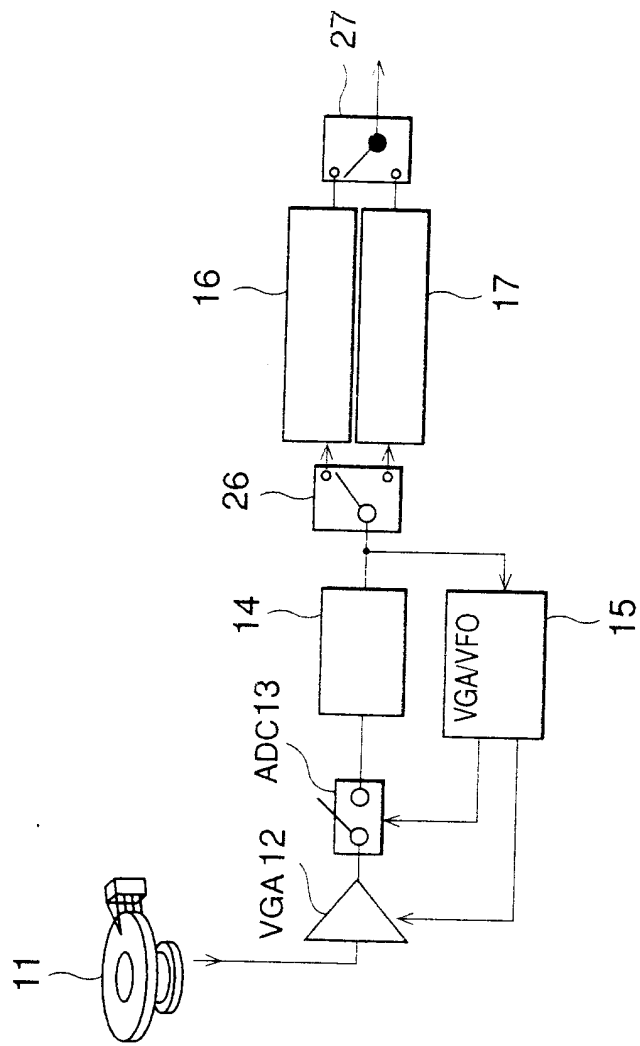
(a)



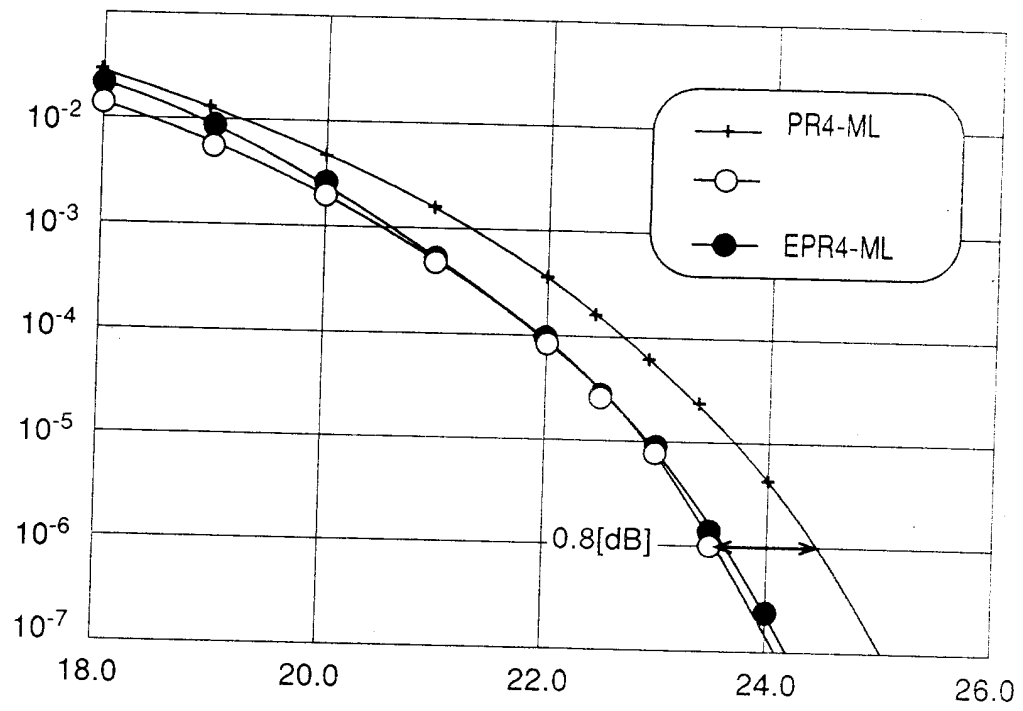
(b)



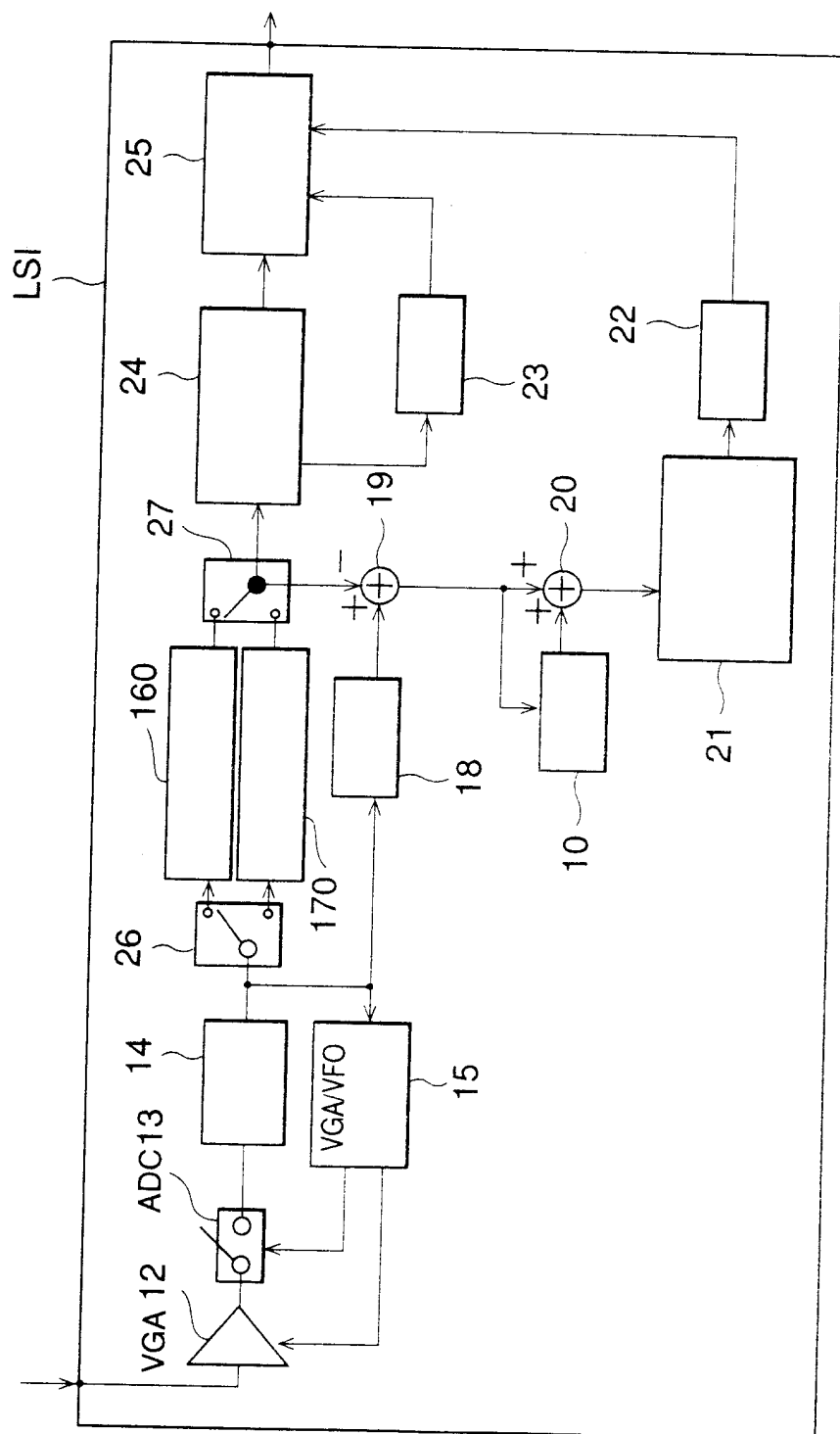
第30圖



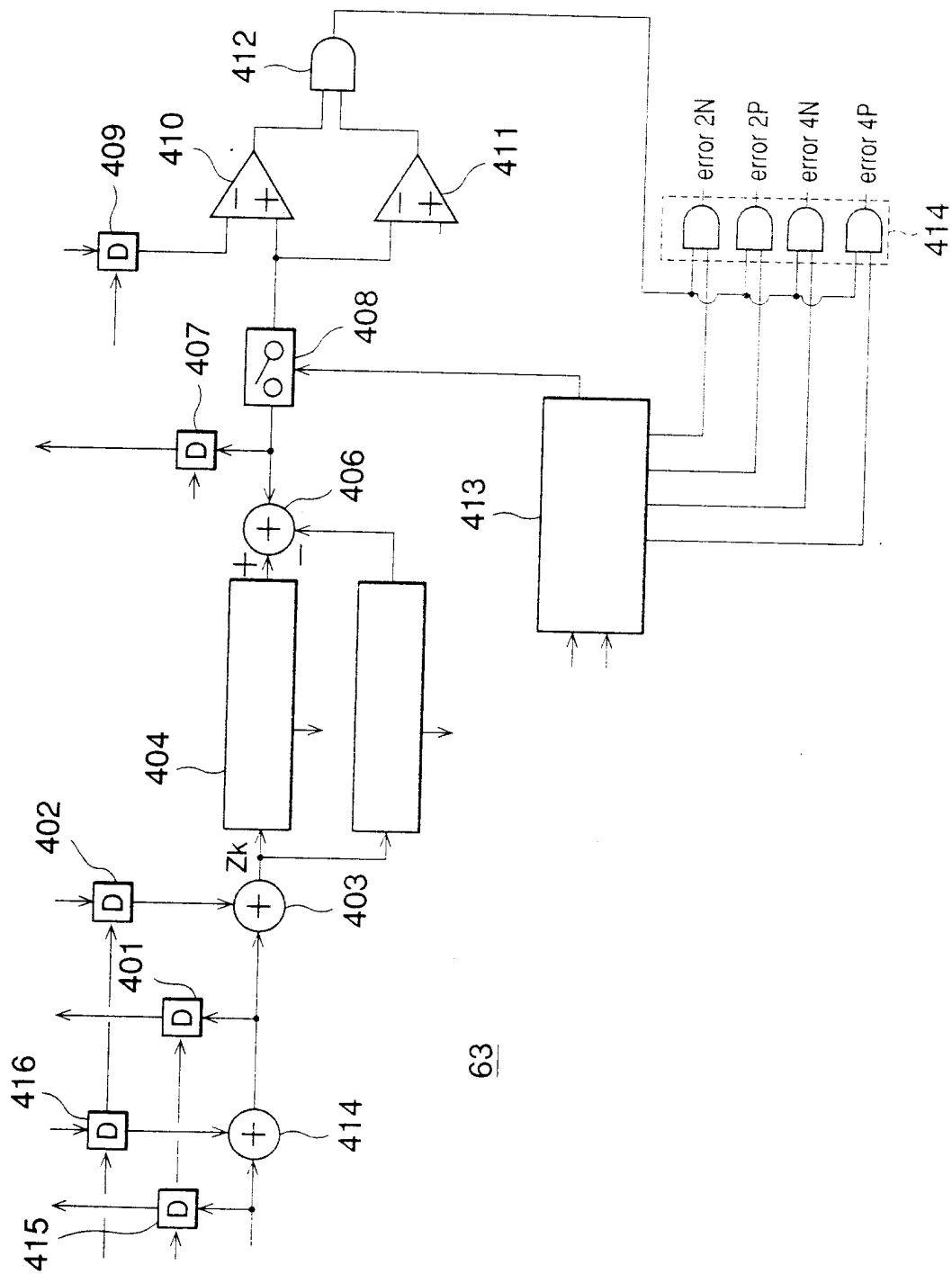
第32圖



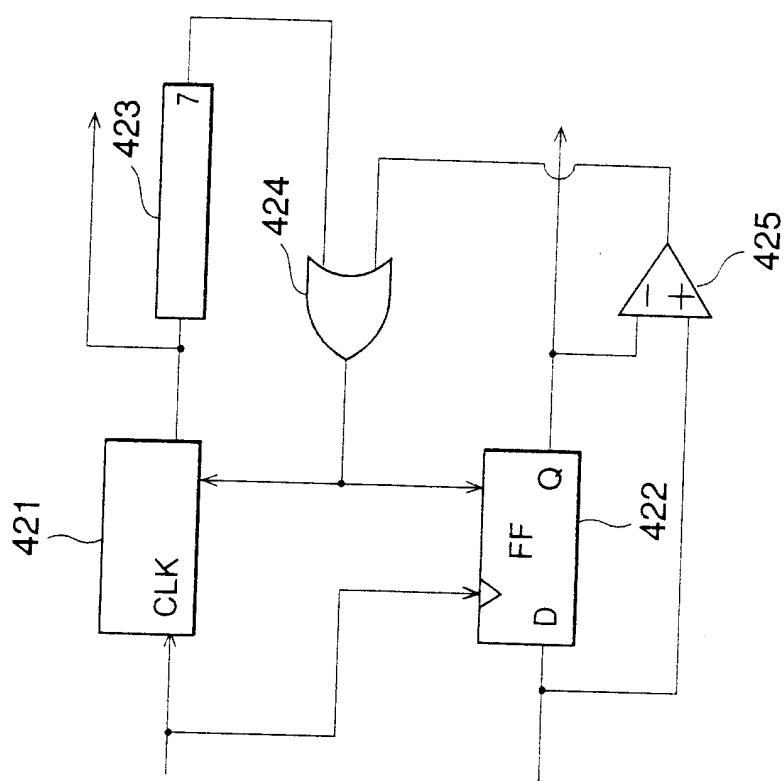
第33圖



第34圖



第35圖



312010

第36圖

	Zk	Zk					Mg (k)	Mh (k)
1	-0.5136					0.6285	0.4086	0.4633
2		-0.6295	0.2825	-0.6295	0.9120		0.7333	0.3520
3	-0.0245					0.6285	0.4891	0.0805
4		0.0943	0.2825	-0.6295	0.9120		0.7238	0.0095
5	0.0193					0.6285	0.0437	0.5328
6		0.1001	0.2825	-0.6295	0.9120		0.0058	0.7296
7	-0.2804					0.6285	0.2997	0.2559
8		-0.0269	0.2825	-0.6295	0.9120		0.1270	0.1212
9	0.9688					1.4824	1.2492	0.9495
10		1.1186	1.1186	-0.6295	1.7481		1.1455	1.0185
11	-0.0505					1.4824	1.0193	0.2299
12		-1.6120	1.1186	-1.6120	<u>2.7306</u>		<u>2.7306</u>	1.5851
13	-1.4196					<u>2.3884</u>	1.3691	<u>2.3884</u>
14		0.0396	1.1186	-1.6120	2.7306		1.6517	1.0789
15	0.2990					2.3884	1.7186	0.3495
16		-0.1840	1.1186	-1.6120	2.7306		0.2237	1.4280
17	-0.0002					2.3884	0.2992	1.4194
18		0.1317	1.1186	-1.6120	2.7306		0.3158	0.0921
19	-0.4174					2.3884	0.4172	0.7164
20		-0.4262	1.1186	-1.6120	2.7306		0.5579	0.2422
21	0.1811					2.3884	0.5986	0.1814

$$(Z_k = Y_k + Y_{k-1}, Mg(k) = Z_{k-2} \cdot Z_k, Mh(k) = Z_{k-4} \cdot Z_k)$$

312010

第37圖

4	3	error2F
3	4	error2N
5	3	error4P
3	5	error4N