

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-166607

(P2008-166607A)

(43) 公開日 平成20年7月17日(2008.7.17)

(51) Int.Cl.

H01L 27/146 (2006.01)
H01L 29/78 (2006.01)

F 1

H01L 27/14
H01L 29/78A
301G

テーマコード(参考)

4M118
5F140

審査請求 未請求 請求項の数 41 O L (全 35 頁)

(21) 出願番号

特願2006-356419 (P2006-356419)

(22) 出願日

平成18年12月28日 (2006.12.28)

(71) 出願人 000002185

ソニー株式会社

東京都港区港南1丁目7番1号

(74) 代理人 100122884

弁理士 角田 芳末

(74) 代理人 100133824

弁理士 伊藤 仁恭

(72) 発明者 糸長 総一郎

東京都品川区北品川6丁目7番35号 ソニーブルーバード内

F ターム(参考) 4M118 AA04 AA05 AB01 BA14 CA04
DA03 DD04 DD12 EA01 EA03
EA07 EA08 EA17 FA06 FA08
FA25 FA33 FA42

最終頁に続く

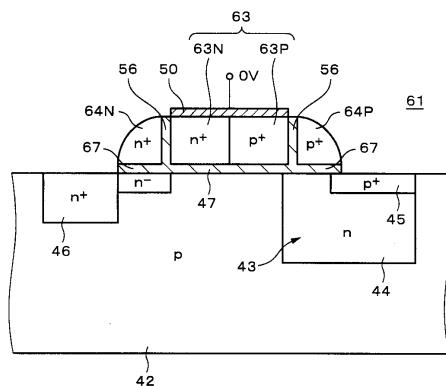
(54) 【発明の名称】 固体撮像装置とその製造方法、並びに半導体装置とその製造方法

(57) 【要約】

【課題】MOS固体撮像装置における画素のノイズを低減する。白点の発生、 $1/f$ ノイズの低減を図る。さらに読み出し特性の改善を図る。

【解決手段】MOS固体撮像装置における所要の画素トランジスタにおいて、ゲート電極に所要導電型のサイドウォールを形成する。読み出しトランジスタでは、例えばゲート電極63の光電変換素子43側を第1導電型領域63Pとし、フローティングディフュージョン部46側を第2導電型領域63Nとして構成とする。好ましくは、ゲート電極63の光電変換素子43側に絶縁膜56を介して第1導電型の半導体材料部64Pを形成する。例えば増幅トランジスタでは、ゲート電極下に埋め込みチャネルを形成し、第1導電型または第2導電型の半導体材料部を形成する。リセットトランジスタでは、ゲート電極のフローティングディフュージョン部と電気的に接続される領域側に、所要導電型の半導体材料部を形成する。

【選択図】 図10



【特許請求の範囲】**【請求項 1】**

光電変換素子と複数の画素トランジスタを含む単位画素が配列されてなる固体撮像装置であって、

前記画素トランジスタのうち、所要の画素トランジスタのゲート電極の側壁に、絶縁膜を介して少なくとも一部に所要導電型の半導体材料部が形成されていることを特徴とする固体撮像装置。

【請求項 2】

光電変換素子と該光電変換素子で光電変換して得られる電荷をフローティングディーフォージョン部に読み出す読み出しトランジスタを含む単位画素が配列されてなる固体撮像装置であって、

前記読み出しトランジスタのゲート電極は、前記光電変換素子側に第1導電型不純物が導入され、前記フローティングディーフォージョン部側に第2導電型不純物が導入されていることを特徴とする固体撮像装置。

【請求項 3】

前記ゲート電極の前記光電変換素子側に、絶縁膜を介して第1導電型不純物が導入された半導体材料部が形成されている

ことを特徴とする請求項2記載の固体撮像装置。

【請求項 4】

前記ゲート電極の前記フローティングディーフォージョン部側に、絶縁膜を介して第2導電型不純物が導入された半導体材料部が形成されている

ことを特徴とする請求項3記載の固体撮像装置。

【請求項 5】

ゲート電圧は、前記ゲート電極の前記光電変換素子側の第1導電型領域に印加される

ことを特徴とする請求項2記載の固体撮像装置。

【請求項 6】

ゲート電圧は、前記ゲート電極の前記フローティングディーフォージョン部側の第2導電型領域に印加される

ことを特徴とする請求項2記載の固体撮像装置。

【請求項 7】

ゲート電圧は、前記ゲート電極の前記第1導電型領域と第2導電型領域の両方に印加される

ことを特徴とする請求項2記載の固体撮像装置。

【請求項 8】

ゲート電圧は、ゲート電極の第1領域または/及び光電変換素子側の半導体材料部に印加される

ことを特徴とする請求項3または請求項4記載の固体撮像装置。

【請求項 9】

ゲート電圧は、前記ゲート電極の第1導電型領域と第2導電型領域の両方に印加される

ことを特徴とする請求項3または請求項4記載の固体撮像装置。

【請求項 10】

ゲート電圧は、ゲート電極の第1導電型領域及び第2導電型領域と、前記光電変換素子側の半導体材料部との独立に印加される

ことを特徴とする請求項3または請求項4記載の固体撮像装置。

【請求項 11】

ゲート電圧は、ゲート電極の第2領域または/及びフローティングディーフォージョン部側の半導体材料部に印加される

ことを特徴とする請求項4記載の固体撮像装置。

【請求項 12】

ゲート電圧は、ゲート電極の第1導電型領域及び第2導電型領域と、前記フローティン

10

20

30

40

50

グディフージョン部側の半導体材料部との独立に印加される
ことを特徴とする請求項 4 記載の固体撮像装置。

【請求項 13】

ゲート電圧は、前記ゲート電極の第1導電型領域及び第2導電型領域と、前記ゲート電極の両側壁の半導体材料部との全てに印加される
ことを特徴とする請求項 4 記載の固体撮像装置。

【請求項 14】

光電変換素子と該光電変換素子で光電変換して得られる電荷をフローティングディフージョン部に読み出す読み出しトランジスタを含む単位画素が配列されてなる固体撮像装置であって、
10

前記読み出しトランジスタのゲート電極は、第1導電型不純物、または第2導電型不純物が導入されてなり、

前記ゲート電極の光電変換素子側に絶縁膜を介して第1導電型または第2導電型不純物が導入された半導体材料部が形成されている
ことを特徴とする固体撮像装置。

【請求項 15】

前記ゲート電極のフローティングディフージョン部側に絶縁膜を介して第2導電型不純物が導入された半導体材料部が形成されている
20

ことを特徴とする請求項 14 記載の固体撮像装置。

【請求項 16】

前記読み出しトランジスタにおいて、前記第1導電型は p 型半導体であり、
前記第2導電型が n 型半導体である
ことを特徴とする請求項 2 または請求項 14 記載の固体撮像装置。

【請求項 17】

光電変換素子と、該光電変換素子で光電変換して得られた電荷に応じた信号を増幅して出力する増幅トランジスタを含む単位画素が配列されてなる固体撮像装置であって、
30

前記増幅トランジスタのゲート電極下のチャネル領域が埋め込むチャネルで形成され、
前記ゲート電極の側壁に、絶縁膜を介して第1導電型不純物を導入した半導体材料部が形成されている
ことを特徴とする固体撮像装置。

【請求項 18】

前記ゲート電極は、第1導電型不純物または第2導電型不純物が導入されている
ことを特徴とする請求項 17 記載の固体撮像装置。

【請求項 19】

前記増幅トランジスタにおいて、前記第1導電型が p 型半導体であり、
前記第2導電型が n 型半導体である
ことを特徴とする請求項 17 記載の固体撮像装置。

【請求項 20】

光電変換素子と共に単位画素を構成する画素トランジスタのうち、リセットトランジスタのゲート電極の少なくともフローティングディフージョン部と電気的に接続された領域側に、所要導電型の半導体材料部が形成されている
40

ことを特徴とする固体撮像装置。

【請求項 21】

光電変換素子と共に単位画素を構成する読み出しトランジスタまたは / 及び増幅トランジスタの不純物拡散領域が、一部ゲート電極下まで延長する延長部を有して形成されている
50

ことを特徴とする固体撮像装置。

【請求項 22】

前記不純物拡散領域は、前記延長部を含む全域が同じ不純物濃度、もしくは前記延長部の不純物濃度がその他の領域の不純物濃度に近い濃度で形成されている

ことを特徴とする請求項 2 1 記載の固体撮像装置。

【請求項 2 3】

光電変換素子と共に単位画素を構成する画素トランジスタのうち、所要の画素トランジスタの形成に際し、

半導体基板上にゲート絶縁膜を介してゲート電極を形成する工程と、

前記ゲート電極を含んで前記半導体基板上に絶縁膜を介して半導体材料層を形成する工程を有する

ことを特徴とする固体撮像装置の製造方法。

【請求項 2 4】

前記半導体材料層をエッチバックして前記ゲート電極の側壁側に半導体材料部を形成する工程を有する

10

ことを特徴とする請求項 2 3 記載の固体撮像装置の製造方法。

【請求項 2 5】

前記半導体材料層に、前記ゲート電極の側壁に向かうように所要導電型の不純物を斜め方向から導入する工程を有する

ことを特徴とする請求項 2 3 記載の固体撮像装置の製造方法。

【請求項 2 6】

前記所要導電型の不純物の導入前または導入後にアニール処理し、前記半導体材料層をエッチバックする工程を有する

20

ことを特徴とする請求項 2 3 記載の固体撮像装置の製造方法。

【請求項 2 7】

前記絶縁膜が熱酸化膜である

ことを特徴とする請求項 2 3 記載の固体撮像装置の製造方法。

【請求項 2 8】

光電変換素子と共に単位画素を構成する画素トランジスタのうち、不純物拡散領域及びゲート電極を有する読み出しトランジスタまたは / 及び增幅トランジスタ形成に際し、

所要導電型不純物を斜めイオン注入して、前記ゲート電極下に一部延長した延長部を有する前記不純物拡散領域を形成する工程を有する

ことを特徴とする固体撮像装置の製造方法。

【請求項 2 9】

前記不純物拡散領域を、前記延長部を含む全域が同じ不純物濃度、もしくは前記延長部の不純物濃度がその他の領域の不純物濃度に近い濃度で形成する

30

ことを特徴とする請求項 2 8 記載の固体撮像装置の製造方法。

【請求項 3 0】

増幅トランジスタを有し、

前記増幅トランジスタのゲート電極下のチャネル領域が埋め込みチャネルで形成され、前記ゲート電極の側壁に絶縁膜を介して所要導電型を導入した半導体材料部が形成されている

ことを特徴とする半導体装置。

【請求項 3 1】

前記ゲート電極は、第 1 導電型不純物または第 2 導電型不純物が導入されている

40

ことを特徴とする請求項 3 0 記載の半導体装置。

【請求項 3 2】

前記増幅トランジスタにおいて、前記第 1 導電型が p 型半導体であり、前記第 2 導電型が n 型半導体である

ことを特徴とする請求項 3 0 記載の半導体装置。

【請求項 3 3】

増幅トランジスタを有し、

前記増幅トランジスタの不純物拡散領域が、一部ゲート電極下まで延長する延長部を有して形成されている

50

ことを特徴とする半導体装置。

【請求項 3 4】

前記不純物拡散領域は、前記延長部を含む全域が同じ不純物濃度、もしくは前記延長部の不純物濃度がその他の領域の不純物濃度に近い濃度で形成されている

ことを特徴とする請求項 3 3 記載の半導体装置。

【請求項 3 5】

増幅トランジスタの形成に際し、

半導体基板上にゲート絶縁膜を介してゲート電極を形成する工程と、

前記ゲート電極を含んで前記半導体基板上に絶縁膜を介して半導体材料層を形成する工程を有する

10

ことを特徴とする半導体装置の製造方法。

【請求項 3 6】

前記半導体材料層をエッチバックして前記ゲート電極の側壁側に半導体材料部を形成する工程を有する

ことを特徴とする請求項 3 5 記載の半導体装置の製造方法。

【請求項 3 7】

前記半導体材料層に、前記ゲート電極の側壁に向かうように所要導電型の不純物を斜め方向から入導入する工程を有する

ことを特徴とする請求項 3 5 記載の半導体装置の製造方法。

【請求項 3 8】

前記所要導電型の不純物の導入前または導入後にアニール処理し、前記半導体材料層をエッチバックする工程を有する

ことを特徴とする請求項 3 5 記載の固体撮像装置の製造方法。

20

【請求項 3 9】

前記絶縁膜が熱酸化膜である

ことを特徴とする請求項 3 5 記載の半導体装置の製造方法。

【請求項 4 0】

不純物拡散領域及びゲート絶縁膜を有する増幅トランジスタの形成に際し、

所要導電型不純物を斜めイオン注入して、前記ゲート電極下に一部延長した延長部を有する前記不純物拡散領域を形成する工程を有する

30

ことを特徴とする半導体装置の製造方法。

【請求項 4 1】

前記不純物拡散領域を、前記延長部を含む全域が同じ不純物濃度、もしくは前記延長部の不純物濃度がその他の領域の不純物濃度に近い濃度で形成する

ことを特徴とする請求項 4 0 記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、固体撮像装置及びその製造方法、特にMOS固体撮像装置とその製造方法に関する。

40

本発明は、上記固体撮像装置の画素トランジスタである増幅トランジスタなどに適用される増幅トランジスタを有する半導体装置及びその製造方法に関する。

【背景技術】

【0 0 0 2】

固体撮像装置は、CCD (Charge Coupled Device) イメージセンサに代表される電荷転送型固体撮像装置と、CMOS (Complementary Metal Oxide Semiconductor) 等のMOS型イメージセンサに代表される増幅型固体撮像装置とに大別される。CCDイメージセンサとMOS型イメージセンサとお比較した場合、CCDイメージセンサでは、信号電荷の転送に高い駆動電圧を必要とするため、MOS型イメージセンサに比べて電源電圧が高

50

くならざるを得ない。

【0003】

従って、近年、カメラ付携帯電話やPDA(Personal Digital Assistant)などのモバイル機器に搭載されている固体撮像装置としては、CCDイメージセンサに比べて電源電圧が低く、消費電力の観点などから、CCDイメージセンサよりも有利なMOS型イメージセンサが多く用いられている。

【0004】

MOS型イメージセンサは、単位画素が光電変換部であるフォトダイオードと複数のMOSトランジスタで形成され、この複数の単位画素がアレイ状に配列された撮像領域と、周辺回路領域を有して構成される。

10

【0005】

図27に、従来、一般的なMOSイメージセンサの画素の電荷読み出し部分の要部を示す。画素では、半導体基板1に光電変換部となるフォトダイオード2と、フォトダイオード2の信号電荷が読み出されるn型半導体領域、すなわちフローティングディフュージョン部3が形成される。このフォトダイオード2及びフローティングディフュージョン部3との間にゲート絶縁膜4を介してゲート電極(いわゆる読み出しゲート電極)5を形成してなる読み出しトランジスタTr1が形成され、ここに電荷読み出し部分が構成される。

【0006】

フォトダイオード2は、電荷蓄積領域となるn型半導体領域7と、その表面の界面部分に形成したp型半導体領域、いわゆるp型アキュмуレーション層8とを有した埋め込み型フォトダイオードとして構成されている。このフォトダイオード2は、いわゆるHAD(Hole Accumulation Diode)センサとして構成される。ゲート電極5の側壁には、絶縁膜によるサイドウォール6が形成される。

20

【0007】

電荷蓄積期間では、ゲート電極5に0Vを印加し、読み出しトランジスタTr1をオフ状態にしてフォトダイオード2に信号電荷を蓄積させる。読み出し時には、ゲート電極5に正の電圧を印加してフォトダイオード2に蓄積された信号電荷をフローティングディフュージョン部3へ転送するようになされる。

【0008】

フォトダイオード2では、電荷蓄積期間において、入射光量に応じた信号電荷と、光が入射しない場合でもフォトダイオードに流入する暗電流成分(暗電子)とが蓄積される。暗電子は、ゲート電極5下の絶縁膜・シリコン領域界面から湧き出る電子であって、固定パターン雑音となり、白点発生の原因となっている。

30

【0009】

これを改善する技術として、特許文献1に示す、電荷蓄積期間において読み出しトランジスタのゲート電極に負電圧を印加することで暗電流を低減するMOSイメージセンサが提案されている。このMOSイメージセンサは、図26に示すように、電荷蓄積期間に読み出しトランジスタTr1のゲート電極5に負電圧を印加するようにした構成である。この構成では、ゲート電極5に負電圧を印加することにより、ゲート電極5の直下にホール(正孔)hを誘起して読み出しトランジスタTr1をオフ状態にし、同時にゲート電極5の近傍のサイドウォール6直下にもフリンジ容量によりホールhを誘起している。すなわち、ゲート電極5直下及びゲート電極5近傍のサイドウォール6直下は、電気的にホールピニング状態を作り出している。これにより、ゲート絶縁膜4及びその近傍のサイドウォール6とシリコン領域との界面で湧き出す電子をホールhと再結合させて白点を抑制するようにしている。

40

【0010】

また、特許文献2には、読み出しトランジスタのゲート電極に、真性半導体に対して仕事関数差をもつp型ポリシリコンで形成し、負電圧を導入しなくても、読み出しゲート界面からの暗電流の発生を抑制するようにしたMOSイメージセンサが提案されている。

【0011】

50

一方、MOSイメージセンサは、画素ごとに信号を増幅する増幅トランジスタを有する構成となっている（例えば特許文献3参照）。これらMOSイメージセンサにおいては、増幅トランジスタの絶縁膜／基板界面にトラップ準位が存在すると、このトラップ準位がチャネルを流れる電流を形成している電子や正孔を捕獲・放出して電流に揺らぎを発生させる。この揺らぎがノイズの発生原因となる。すなわち、MOSイメージセンサでは、増幅トランジスタで信号を増幅する際に、増幅トランジスタの絶縁膜／基板界面のトラップ準位が原因で、ノイズのパワ-スペクトラムが周波数 f の逆数に比例するいわゆる $1/f$ ノイズ（フリッカノイズ）が発生する。この増幅トランジスタで発生する $1/f$ ノイズは画質に大きな影響を及ぼす。

【0012】

10

【特許文献1】特開2002-217397号公報

【特許文献2】特開2006-32681号公報

【特許文献3】特開2002-51263号公報

【発明の開示】

【発明が解決しようとする課題】

【0013】

ところで、フォトダイオード2の信号電荷をフローティングディフェージョン部3へ読み出す場合、p型アキュミュレーション層8がゲート電極5に近づいてくると、読み出しひトランジスタTr1の読み出し電圧Vtgが高くなり、読み出し難くなる。このため、読み出しひトランジスタTr1では、図26に示すように、フォトダイオード2のn型半導体領域7がゲート電極5と一部重なるように形成されると共に、p型アキュミュレーション層8がゲート電極5から少し離れたオフセット状態で形成される構成となっている。この構成により、ゲート電極5に正の読み出し電圧Vtgを印加すると、サイドウォール6を含めたゲート電極5下のポテンシャルが変調して読み出し易くなる。

20

【0014】

しかし、p型アキュミュレーション層8は、信号電荷を読み出し易くするために、オフセットして形成され、サイドウォール6直下の一部に埋め込まないように形成すると、白点に発生を誘発することになる。従って、白点発生を抑制すべく、サイドウォール直下をホールピニング状態にするためには、よりp型化しなければならないが、しかし、高濃度のp型層を読み出しひゲート電極近傍に導入すると、読み出し電圧Vtgが高くなる。このように、読み出しひ特性を良くすることと、白点発生を抑制することは、相反する関係であり、両立させることが難しい。

30

【0015】

一方、増幅トランジスタにおいては、より $1/f$ ノイズの低減が望まれている。

【0016】

本発明は、上述の点に鑑み、画素で発生するノイズの更なる低減を可能にした固体撮像装置及びその製造方法を提供するものである。

特に、読み出しひトランジスタでは、白点の発生を抑制し、併せて読み出しひ特性のさらなる改善を図るようになる。増幅トランジスタでは、 $1/f$ ノイズの発生を抑制するようになす。リセットトランジスタでは、読み出しひトランジスタでの読み出しひ特性の改善を図るようになる。

40

また、本発明は、上記固体撮像装置の画素トランジスタである増幅トランジスタなどに適用される増幅トランジスタを有する半導体装置及びその製造方法を提供するものである。

【課題を解決するための手段】

【0017】

本発明に係る固体撮像装置は、光電変換素子と複数の画素トランジスタを含む単位画素が配列されてなり、画素トランジスタのうち、所要の画素トランジスタのゲート電極の側壁に、絶縁膜を介して少なくとも一部に所要導電型のポリシリコン膜による半導体材料部を形成することにより、画素で発生するノイズを低減させるものである。

50

【 0 0 1 8 】

本発明に係る固体撮像装置は、光電変換素子と、この光電変換素子で光電変換して得られる電荷をフローティングディフージョン部に読み出す読み出しトランジスタを含む単位画素が配列されてなり、読み出しトランジスタのゲート電極を、光電変換素子側に第1導電型不純物が導入され、フローティングディフージョン部側に第2導電型不純物が導入された構成とすることにより、ゲート電極の光電変換素子側の下を暗電流抑制のためのピニング状態とし、低ノイズ化、すなわち白点発生を抑制させるものである。併せて低電圧読み出しを可能とする。

【 0 0 1 9 】

本発明は、上記固体撮像装置において、読み出しトランジスタのゲート電極の光電変換素子側に、絶縁膜を介して第1導電型不純物を導入した半導体材料部を形成した構成、あるいはさらに、読み出しトランジスタのゲート電極のフローティングディフージョン部側に、絶縁膜を介して第2導電型不純物を導入した半導体材料部を形成した構成とすることにより、光電変換素子側の半導体材料部下を暗電流抑制のためのピニング状態とし、低ノイズ化、すなわち白点発生を抑制させるものである。併せて低電圧読み出しを可能とする。

10

【 0 0 2 0 】

本発明に係る固体撮像装置は、光電変換素子と、この光電変換素子で光電変換して得られる電荷をフローティングディフージョン部に読み出す読み出しトランジスタを含む単位画素が配列されてなり、読み出しトランジスタのゲート電極には第1導電型不純物または第2導電型不純物を導入し、ゲート電極の光電変換素子側に絶縁膜を介して第1導電型または第2導電型の不純物を導入した半導体材料部を形成することにより、白点の発生を抑制するようにし、低電圧読み出しを可能にしたものである。

20

【 0 0 2 1 】

本発明に係る固体撮像装置は、光電変換素子と、該光電変換素子で光電変換して得られた電荷に応じた信号を増幅して出力する増幅トランジスタを含む単位画素が配列されてなり、増幅トランジスタのゲート電極下のチャネル領域を埋め込むチャネルとし、ゲート電極の側壁に絶縁膜を介して第1導電型不純物を導入した半導体材料部を形成した構成とする。これにより、半導体材料部下も埋め込みチャネルに似た状態となり、電流は基板表面より内部を流れ、基板／絶縁膜界面のトラップ準位が存在しても。1/fノイズの低減が図れる。

30

【 0 0 2 2 】

本発明に係る固体撮像装置は、読み出しトランジスタまたは/及び増幅トランジスタの不純物拡散領域が、一部ゲート電極下まで延長する延長部を有して形成した構成とすることにより、1/fノイズの低減を可能にしたものである。この不純物拡散領域は、不純物をゲート電極に対して斜めイオン注入することに形成することができる。

【 0 0 2 3 】

本発明に係る固体撮像装置は、画素トランジスタであるリセットトランジスタのゲート電極の少なくともフローティングディフージョン部と電気的に接続される領域側に、所要導電型の半導体材料部を形成した構成とする。これにより、リセットトランジスタがオン状態からオフ状態になるときのフローティングディフージョン部の電位の低下が抑制され、読み出しトランジスタの読み出し特性が改善される。

40

【 0 0 2 4 】

本発明に係る固体撮像装置の製造方法は、光電変換素子と共に単位画素を構成する画素トランジスタのうち、所要の画素トランジスタの形成に際し、半導体基板上にゲート絶縁膜を介してゲート電極を形成する工程と、ゲート電極を含んで半導体基板上に絶縁膜を介して半導体材料層を形成する工程を有する。

【 0 0 2 5 】

本発明に係る半導体装置は、増幅トランジスタを有し、増幅トランジスタのゲート電極下のチャネル領域が埋め込みチャネルで形成され、ゲート電極の側壁に絶縁膜を介して所

50

要導電型を導入した半導体材料部が形成された構成とする。これにより、半導体材料部下も埋め込みチャネルに似た状態となり、電流は基板表面より内部を流れ、基板 / 絶縁膜界面のトラップ準位が存在しても。1/fノイズの低減が図れる。

【0026】

本発明に係る半導体装置は、増幅トランジスタを有し、増幅トランジスタの不純物拡散領域が、一部ゲート電極下まで延長する延長部を有して形成した構成とすることにより、1/fノイズの低減を可能にしたものである。この不純物拡散領域は、不純物をゲート電極に対して斜めイオン注入することに形成することができる。

【0027】

本発明に係る半導体装置の製造方法は、増幅トランジスタの形成に際し、半導体基板上にゲート絶縁膜を介してゲート電極を形成する工程と、ゲート電極を含んで半導体基板上に絶縁膜を介して半導体材料層を形成する工程を有する。

10

【発明の効果】

【0028】

本発明によれば、画素で発生するノイズを低減することができる。読み出しトランジスタでは、電荷蓄積期間での暗電流が抑制され、白点の発生を抑制する。併せて低電圧駆動を可能にする。増幅トランジスタでは、基板 / 絶縁膜界面のトラップ準位の影響が抑制され、1/fノイズを低減することができる。リセットトランジスタの上記構成により、読み出しトランジスタの読み出し特性を改善することができる。

20

また、本発明の半導体装置及びその製造方法によれば、増幅トランジスタにおける1/fノイズを低減することができる。

20

【発明を実施するための最良の形態】

【0029】

以下、図面を参照して本発明の実施の形態について詳細に説明する。

【0030】

図1は、本発明が適用される増幅型固体撮像装置、例えばMOS型イメージセンサの構成の一例を示すブロック図である。図1に示すように、本適用例に係るMOS型イメージセンサ10は、光電変換素子である例えばフォトダイオードを含む単位画素11、この画素11が行列状に2次元配列されてなる画素アレイ部12、垂直選択回路13、信号処理回路であるカラム回路14、水平選択回路15、水平信号線16、出力回路17およびタイミングジェネレータ18等を有するエリアセンサ構成となっている。

30

【0031】

画素アレイ部12には、行列状の画素配列に対して列ごとに垂直信号線121が配線されている。単位画素11の具体的な回路構成については後述する。垂直選択回路13は、シフトレジスタなどによって構成され、画素11の読み出しトランジスタ（以下、転送トランジスタという）112を駆動する転送信号や、リセットトランジスタ113を駆動するリセット信号などの制御信号を行単位で順次出力することによって画素アレイ部12の各画素11を行単位で選択駆動する。

【0032】

カラム回路14は、画素アレイ部12の水平方向の画素ごと、即ち垂直信号線121ごとに配される信号処理回路であり、例えばS/H（サンプルホールド）回路およびCDS（Correlated Double Sampling：相関二重サンプリング）回路などによって構成される。水平選択回路15は、シフトレジスタなどによって構成され、カラム回路14を通して出力される各画素11の信号を順次選択して水平信号線16に出力させる。なお、図1では、図面の簡略化のため、水平選択スイッチについては図示を省略している。この水平選択スイッチは、水平選択回路15によって列単位で順次オン／オフ駆動される。

40

【0033】

水平選択回路15による選択駆動により、カラム回路14から列ごとに順次出力される単位画素11の信号は、水平信号線16を通して出力回路17に供給され、この出力回路17で増幅などの信号処理が施された後、デバイス外部へ出力される。タイミングジェネ

50

レータ 18 は、各種のタイミング信号を生成し、これら各種のタイミング信号を基に垂直選択回路 13、カラム回路 14 および水平選択回路 15 などの駆動制御を行う。

【0034】

図 2 は、単位画素 11 の回路構成の一例を示す回路図である。図 2 に示すように、本回路例に係る単位画素 11A は、光電変換素子、例えばフォトダイオード 111 に加えて、例えば転送トランジスタ 112、リセットトランジスタ 113 および増幅トランジスタ 114 の 3 つの画素トランジスタを有する画素回路となっている。ここでは、これら画素トランジスタ 112 ~ 114 として、例えば N チャネルの MOS トランジスタを用いている。

【0035】

転送トランジスタ 112 は、フォトダイオード 111 のカソードと FD (フローティングディフュージョン) 部 116 との間に接続され、フォトダイオード 111 で光電変換され、ここに蓄積された信号電荷 (ここでは、電子) を、ゲートに転送パルス TRG が与えられることによって FD 部 116 に転送する。

【0036】

リセットトランジスタ 113 は、選択電源 SELVDD にドレインが、FD 部 116 にソースがそれぞれ接続され、フォトダイオード 111 から FD 部 116 への信号電荷の転送に先立って、ゲートにリセットパルス RST が与えられることによって FD 部 116 の電位をリセットする。選択電源 SELVDD は、電源電圧として VDD レベルと GND レベルとを選択的にとる電源である。

【0037】

増幅トランジスタ 114 は、FD 部 116 にゲートが、選択電源 SELVDD にドレインが、垂直信号線 121 にソースがそれぞれ接続されたソースフォロア構成となっており、選択電源 SELVDD が VDD レベルになることによって動作状態となって画素 11A の選択をなし、リセットトランジスタ 113 によってリセットした後の FD 部 116 の電位をリセットレベルとして垂直信号線 121 に出力し、さらに転送トランジスタ 112 によって信号電荷を転送した後の FD 部 116 の電位を信号レベルとして垂直信号線 121 に出力する。

【0038】

図 3 は、単位画素 11 の回路構成の他の例を示す回路図である。図 3 に示すように、本回路例に係る単位画素 11B は、光電変換素子、例えばフォトダイオード 111 に加えて、例えば転送トランジスタ 112、リセットトランジスタ 113、増幅トランジスタ 114 および選択トランジスタ 115 の 4 つの画素トランジスタを有する画素回路となっている。ここでは、これら画素トランジスタ 112 ~ 115 として、例えば N チャネルの MOS トランジスタを用いている。

【0039】

転送トランジスタ 112 は、フォトダイオード 111 のカソードと FD (フローティングディフュージョン) 部 116 との間に接続され、フォトダイオード 111 で光電変換され、ここに蓄積された信号電荷 (ここでは、電子) を、ゲートに転送パルス TRG が与えられることによって FD 部 116 に転送する。

【0040】

リセットトランジスタ 113 は、電源 VDD にドレインが、FD 部 116 にソースがそれぞれ接続され、フォトダイオード 111 から FD 部 116 への信号電荷の転送に先立って、ゲートにリセットパルス RST が与えられることによって FD 部 116 の電位をリセットする。

【0041】

選択トランジスタ 115 は、例えば、電源 VDD にドレインが、増幅トランジスタ 114 のドレインにソースがそれぞれ接続され、ゲートに選択パルス SEL が与えられることによってオン状態となり、増幅トランジスタ 114 に対して電源 VDD を供給することによって画素 11B の選択をなす。なお、この選択トランジスタ 115 については、増幅

10

20

30

40

50

トランジスタ 114 のソースと垂直信号線 121 との間に接続した構成を探ることも可能である。

【0042】

増幅トランジスタ 114 は、FD 部 116 にゲートが、選択トランジスタ 115 のソースにドレインが、垂直信号線 121 にソースがそれぞれ接続されたソースフォロア構成となっており、リセットトランジスタ 113 によってリセットした後の FD 部 116 の電位をリセットレベルとして垂直信号線 121 に出力し、さらに転送トランジスタ 112 によって信号電荷を転送した後の FD 部 116 の電位を信号レベルとして垂直信号線 121 に出力する。

【0043】

次に、上述の単位画素 11(11A、11B)における転送トランジスタに適用される、本発明に係る転送トランジスタの実施の形態について説明する。

【0044】

図 4 に、本発明に係る固体撮像装置、この例では MOS イメージセンサの第 1 実施の形態、特にその転送トランジスタの第 1 実施の形態を示す。

先ず、本実施の形態に適用する基本構成及び基本特性について、図 6 ~ 図 7 を用いて説明する。本実施の形態に適用する基本構成は、図 7B に示すように、転送トランジスタ 21 のゲート電極 28 を p 型不純物をドープしたポリシリコンにより形成する(以下、p+ ゲート電極という)。すなわち、半導体基板 22 に電荷蓄積領域となる n 型半導体領域 24 とその表面の p 型アキュミュレーション層 25 とからなるフォトダイオード(PD:いわゆる HAD センサ) 23 と、LDD 構造の n 型半導体領域によるフローティングディフェージョン部(FD) 26 とが形成される。このフォトダイオード 23 とフローティングディフェージョン部 26 の間にゲート絶縁膜 27 を介して p+ ゲート電極 28 が形成され、転送トランジスタ 21 が構成される。p+ ゲート電極 28 の側壁には絶縁膜によるサイドウォール 29 が形成される。

【0045】

図 7A は、従来の転送トランジスタの構成を示す。この転送トランジスタ 31 は、そのゲート電極 32 を n 型不純物をドープした n+ ポリシリコンにより形成して(以下、n+ ゲート電極という)構成されている。その他の構成は図 7B と同様であるので対応する部分には同一符号を付して示す。

【0046】

図 6 に、ゲート電極を n+ ゲート電極 32 とした図 7A の転送トランジスタ 32 を有する MOS イメージセンサと、ゲート電極を p+ ゲート電極 28 とした図 7B の転送トランジスタ 21 を有する MOS イメージセンサとを比較した、電荷蓄積時間と暗電流出力との関係を示す。いずれのゲート電極 32、28 にも電荷蓄積期間に 0V を印加した。

【0047】

図 6 によれば、n+ ゲート電極 32 による場合の暗電流出力特性 I に対して、p+ ゲート電極 28 による場合は、暗電流特性 II で示すように、電荷蓄積時間が長くても暗電流出力の増加が少ない。n+ ゲート電極 32 と p+ ゲート電極 28 とは、仕事関数差を有することにより、p+ ゲート電極 28 直下は、ホールピニングされた状態になり、白点が低減できる。

【0048】

前述の図 26 の構成では、n+ ゲート電極 5 に負電圧を印加するので、負バイアス電源を作る回路、すなわちチャージポンプ回路が必要になるが、p+ ゲート電極とすることにより、負バイアス電源を作る回路が不要になる。

【0049】

しかし、ゲート電極を単に p+ ゲート電極とした図 7B の構成では、信号電荷の読み出し時に、n+ ゲート電極とした従来の CMOS 固体撮像装置での読み出し電圧、例えば 2.7V では読み出すことができない。p+ ゲート電極としたときには、仕事関数差により読み出し電圧 V_{tg} が高くなるため、p+ ゲート電極下のポテンシャルが変調され難くな

10

20

30

40

50

り、読み出しができない。読み出すためには、仕事関数差の電位分だけ高いゲート電圧が必要になる。

【0050】

図4の第1実施の形態に係る転送トランジスタは、電荷蓄積期間において、ゲート電極への負電圧の印加を無くして、白点発生を抑制し、併せて読み出し特性の改善が得られる構成とした。

【0051】

第1実施の形態に係る転送トランジスタ41は、図4に示すように、第1導電型、例えばp型の半導体基板（例えばシリコン半導体基板）42に、電荷蓄積領域となる第2導電型半導体領域、例えばn型半導体領域44とその表面のp型アキュミュレーション層45とからなるフォトダイオード（いわゆるHADセンサ）43と、LDD構造のn型半導体領域によるフローティングディフージョン部46とが形成される。このフォトダイオード43とフローティングディフージョン部46の間の基板上にゲート絶縁膜47を介してゲート電極48を形成して構成される。10

【0052】

そして、本実施の形態においては、特に、転送トランジスタ41のゲート電極48が、ゲート電極を2分してフォトダイオード43側を第1導電型であるp型の不純物をドープしたp+ゲート電極部48Pとし、フローティングディフージョン部46側を第2導電型であるn型の不純物をドープしたn+ゲート電極部48Nとして構成される。p+ゲート電極部48Pとn+ゲート電極部48Nとは、表面に形成したシリサイド層50により互いに電気的に接続される。このゲート電極48の側壁には、絶縁膜によるサイドウォール49が形成される。フォトダイオード43のn型半導体領域44はp+ゲート電極部48Pに一部重なるように形成され、p型アキュミュレーション層45はp+ゲート電極部48Pから所要の間隔だけ離れて、かつサイドウォール49と一部重なるように形成される。20

【0053】

本実施の形態の転送トランジスタ41では、電荷蓄積期間に、図5Aに示すように、ゲート電極48に0Vの電圧が印加される。このとき、フォトダイオード43側のp+ゲート電極部48P直下にはホールhが誘起され、またフリンジ容量によりサイドウォール49直下にもホールが誘起され、p+ゲート電極部48P及びサイドウォール49直下がいわゆるホールピニング状態となる。これにより、ゲート絶縁膜47及びサイドウォール49とシリコン基板との界面、特に影響が大きいサイドウォール49とn型半導体領域43との界面から湧き出した電子は、誘起されたホールhと再結合されて消滅し、白点の発生が抑制される。30

【0054】

一方、信号電荷の読み出し時には、図5Bに示すように、ゲート電極48に正電圧(+V)が印加される。このとき、p+ゲート電極部48P側の読み出し電圧V_{tg}が高く、n+ゲート電極部48N側の読み出し電圧V_{tg}が低くなるので、階段状のポテンシャル15が形成され、信号電荷e-の読み出しがし易くなる。p+ゲート電極部48Pのゲート長寸法を適正にすると、いわゆるショートチャネル効果でポテンシャル51の階段が潰れ、さらに読み出し易くなる。40

【0055】

第1実施の形態に係る転送トランジスタ41を備えたMOSイメージセンサによれば、転送トランジスタ41のゲート電極48を、フォトダイオード43側がp+ゲート電極部48Pとし、フローティングディフージョン46部側がn+ゲート電極部48Nとなるように形成するので、電荷蓄積時において、ゲート電圧を0Vとしてサイドウォール界面からの電子の侵入を阻止し、白点の改善を図ることが出来ると共に、信号電荷の読み出し特性を改善することができる。

【0056】

電源回路としては、従来のゲート電極に印加するための負電圧を作る回路が不要になり50

、MOSイメージセンサで用いられるトランジスタ数を大幅に低減することができる。

本実施の形態では、いわゆる低ノイズ、かつ低電圧駆動のMOSイメージセンサを提供することができる。

【0057】

図4では、p+ゲート電極部48P及びn+ゲート電極部48Nをシリサイド層50で電気的に接続してゲート電極48にゲート電圧を印加した構成とした。ゲート電圧の印加の態様例としては、その他、p+ゲート電極部48Pのみにゲート電圧を印加する態様、n+ゲート電極部48Nのみにゲート電圧を印加する態様、さらにp+ゲート電極部48Pとn+ゲート電極部48Nのそれぞれ独立のゲート電圧、例えば異なる電位のゲート電圧を印加する態様とすることも可能である。

10

【0058】

次に、本発明に係る固体撮像装置、この例ではMOSイメージセンサの第2乃至第3実施の形態、特にその転送トランジスタの第2乃至第3実施の形態を示す。

【0059】

第1実施の形態の転送トランジスタ41では、ゲート電極48を2分してフォトダイオード43側にp+ゲート電極部48Pを、フローティングディフージョン部46側にn+ゲート電極部48Nを形成した。この構成の場合、n型不純物及びp型不純物をイオン注入した後に、活性化のためのアニール処理が施されるが、ゲート電極48の電極寸法が小さくなると、n型不純物とp型不純物の相互拡散を気を付けねばならない。特に、画素が微細化され、それに伴ってゲート電極の寸法が細くなり、ゲート長が微小になる程、この相互拡散の影響が無視できなくなる。

20

【0060】

第2乃至第3実施の形態に係るMOSイメージセンサは、上記点を含めてさらに改善したMOSイメージセンサである。本実施の形態では、後で詳述するが、ゲート電極の側壁側の絶縁膜を介して所要導電型の半導体材料部が形成される。この半導体材料部は、例えば不純物をドープしたポリシリコン膜のサイドウォールで形成することができる。このゲート電極に形成する半導体材料部は、第4実施の形態以降の実施の形態においても、適用される。

30

【0061】

図8に、本発明に係るMOSイメージセンサの第2実施の形態、特に転送トランジスタの第2実施の形態を示す。本実施の形態に係る転送トランジスタ52は、例えばp型の半導体基板42に、電荷蓄積領域となる例えばn型半導体領域44とその表面のp型アキュミュレーション層45とからなるフォトダイオード43と、LLD構造のn型半導体領域によるフローティングディフージョン部46とが形成される。このフォトダイオード43とフローティングディフージョン部46との間の基板上に、ゲート絶縁膜47を介してゲート電極54及びサイドウォール55〔55A, 55B〕が形成される。

30

【0062】

そして、本実施の形態では、特に、ゲート電極54が第2導電型であるn型不純物をドープしたポリシリコン膜によるn+ゲート電極で形成されると共に、絶縁膜56を介してn+ゲート電極54の側壁に形成したサイドウォール55のうち、少なくともフォトダイオード43側のサイドウォール55Aがp型不純物をドープしたポリシリコン膜により形成される（以下、このサイドウォールをp+サイドウォールという）。このp+サイドウォール55Aは上述の半導体材料部に相当する。フローティングディフージョン部46側のサイドウォール55Bは、ノンドープのポリシリコン膜、あるいはn型不純物がドープされたポリシリコン膜で形成される。あるいは通常の絶縁膜でサイドウォール55Bを形成した構成とすることもできる。

40

【0063】

フォトダイオード43はゲート電極54に一部重なるように形成され、p型アキュミュレーション層45はゲート電極54から離れて、かつサイドウォール55Aと一部重なるように形成される。

50

【0064】

本実施の形態に係るMOSイメージセンサでは、電荷蓄積期間にゲート電極54に負電圧が印加される。また、p+サイドウォール55Aは電気的にフリー状態にある。n+ゲート電極54直下にはホールhが誘起され、また、フリンジ容量によりp+サイドウォール55A直下にもホールが誘起され、n+ゲート電極54及びp+サイドウォール55A直下がいわゆるホールピニング状態となる。

【0065】

前述の図26では、電荷蓄積期間に、ゲート電極5に負電圧を印加してホールピニングしているが、前述したように一番電子が湧き出し易いところはサイドウォール6直下である。ゲート電極6に負電圧をかけても、絶縁膜によるサイドウォール6直下はゲート電極5直下よりも弱いピニング状態になる。

10

【0066】

これに対して本実施の形態のように、フォトダイオード43側のサイドウォールをp+サイドウォール55Aとすることにより、p+サイドウォール55A自身でその直下をホールピニング状態とすることができます。この場合、p+サイドウォール55A直下ではよりピニングし易い状態になる。すなわち、仕事関数差の効果でp+サイドウォール55Aの端までピニング状態とすることができます。

【0067】

サイドウォールのフリンジ容量により、p+サイドウォール55A直下にもゲート電圧が印加された状態になる。このとき、サイドウォールとゲート電極間の絶縁膜56として、シリコン酸化膜よりも、誘電率が高いシリコン窒化膜を用いれば、さらにフリンジ容量が大きくなり、より効率よくp+サイドウォール55A直下をピニング状態とすることができます。

20

【0068】

このように、p+サイドウォール55A直下を強いホールピニング状態とすることで、界面から湧き出す電子は誘起されたホールと再結合されて消滅し、白点の発生を抑制することができる。また、p+サイドウォール55Aとn+ゲート電極54とは絶縁膜56により分離されているので、不純物注入後のアニール処理でも、p+サイドウォール55Aのp型不純物とn+ゲート電極54のn型不純物が相互拡散されることがない。

30

【0069】

なお、電荷蓄積期間にn+ゲート電極54に0Vを印加しても良い。p+サイドウォール55Aでは前述したn型との仕事関数差により、p+サイドウォール55A下をホールピニング状態とすることができます。

【0070】

第2実施の形態に係るMOSイメージセンサによれば、フォトダイオード43側にp+サイドウォール55Aを形成することにより、サイドウォールの端に至るまでホールピニング状態とすることができます。白点の発生を抑制することができる。p+サイドウォール55Aを有するので、電荷読み出し時のp+サイドウォール55A直下のポテンシャル変調がし易くなり、信号電荷の読み出し特性も改善される。

40

【0071】

図9に、本発明に係るMOSイメージセンサの第3実施の形態、特にその転送トランジスタの第3実施の形態を示す。本例は、図8の第2実施の形態の変形例である。本実施の形態に係る転送トランジスタ58は、p+サイドウォール55A直下のn型半導体領域44の表面にp型不純物を薄くドープしてp-層59を形成して構成される。p+サイドウォール55Aにより、サイドウォールにかかる電圧のコントロールが容易に得られ、したがって、白点抑制にためのp-層59の濃度コントロールも容易にできる。その他の構成は、図8の第2実施の形態と同様であるので、対応する部分には同一符号を付して重複説明を省略する。

【0072】

50

第3実施の形態に係るMOSイメージセンサによれば、転送トランジスタ58のp+サイドウォール55A直下にn型半導体領域44の表面にp-層59を形成することにより、p+サイドウォール直下のホールピニング状態をアシストすることができ、白点発生の抑制をし易くすることができる。したがって、第2実施の形態と同じように、白点の発生を抑制し、信号電荷の読み出し特性の改善を図ることができる。

【0073】

図10に、本発明に係るMOSイメージセンサの第4実施の形態、特にその転送トランジスタの第4実施の形態を示す。本実施の形態に係る転送トランジスタ61は、例えばp型の半導体基板42に、電荷蓄積領域となる例えばn型半導体領域44とその表面のp型アキュミュレーション層45とからなるフォトダイオード43と、LLD構造のn型半導体領域によるフローティングディフージョン部46とが形成される。このフォトダイオード43とフローティングディフージョン部46との間の基板上に、ゲート絶縁膜47を介してゲート電極63〔63P, 63N〕及びサイドウォール64〔64P, 63N〕が形成される。

10

【0074】

そして、本実施の形態においては、特に、転送トランジスタ61のゲート電極63が、ゲート電極を2分してフォトダイオード43側を第1導電型であるp型の不純物をドープしたp+ゲート電極部63Pとし、フローティングディフージョン部46側を第2導電型であるn型の不純物をドープしたn+ゲート電極部63Nとして構成される。p+ゲート電極部63Pとn+ゲート電極部63Nとは、表面に形成したシリサイド層50により互いに電気的に接続される。一方、ゲート電極63のフォトダイオード43側の側壁に絶縁膜56を介してp型不純物をドープしたポリシリコン膜によるp+サイドウォール64Pが形成され、ゲート電極63のフローティングディフージョン46側の側壁に絶縁膜56を介してn型不純物をドープしたポリシリコン膜によるn+サイドウォール64Pが形成される。

20

【0075】

フォトダイオード43のn型半導体領域44はp+ゲート電極部63Pに一部重なるように形成され、p型アキュミュレーション層45はp+ゲート電極部63Pから離れて、かつp+サイドウォール64Pと一部重なるように形成される。

30

【0076】

本実施の形態では、電荷蓄積期間にゲート電極63〔63P, 63N〕に0Vが印加される。p+サイドウォール64P及びn+サイドウォール64Nは電気的にフリー状態である。フォトダイオード43側のサイドウォールを、p+サイドウォール64Pとすることにより、前述の図8で説明したように、サイドウォール端直下まで強いピニング状態とすることが可能、白点発生を抑制できる。すなわち、ゲート電極63に負電圧を印加しなくとも、p+サイドウォール64Pのアクセプタにより負電圧を印加したと同等のホールピニング状態が発生し、負電圧印加と同等の白点改善効果が得られる。

【0077】

また、信号電荷の読み出しにおいて、ゲート電極63に読み出し電圧を印加したとき、フローティングディフージョン部46側のサイドウォールをn+サイドウォール64Nとすることにより、容量結合でフローティングディフージョン部46のポテンシャルを変調させることができ、より読み出し易くなる。すなわち、p+サイドウォール64P、フォトダイオード43側のp+ゲート電極部63P、フローティングディフージョン部46側のn+ゲート電極部63N、及びフローティングディフージョン部46側のn+サイドウォール64Nの下のポテンシャルの変調が階段状になり読み出し特性を良好にする。

40

【0078】

第4実施の形態に係るMOSイメージセンサによれば、白点発生を抑制し、かつ読み出し特性をより改善することができる。また、p+不純物とn+不純物の相互拡散もない。画素の微細化に伴っても、サイドウォールの幅寸法は100nm程度があるので、ゲート電極が細くなても、n型不純物、p型不純物の打ち分けができる、p+サイドウォール及び

50

$n+$ サイドウォールを精度よく形成することができる。さらに、低電圧読出し可能なMOSイメージセンサを提供することができ、負電圧電源を作る回路を省略することができる。

【0079】

次に、図11及び図12を参照して、第4実施の形態に係るMOSイメージセンサの製造方法、特に、その転送トランジスタの製造方法の一例を説明する。

【0080】

先ず、図11Aに示すように、半導体基板42に隣接する画素間を分離するための素子分離領域66を形成する。この半導体基板42上にゲート絶縁膜47を介してポリシリコン膜を成膜し、 p 型不純物及び n 型不純物を打ち分けてイオン注入し、パターニングした後アニール処理して、ゲート長方向の一半分を $p+$ ゲート電極部63P、他半分を $n+$ ゲート電極部63Nとしたゲート電極63を形成する。
10

【0081】

次に、図11Bに示すように、ゲート電極63をマスクにフォトダイオードの電荷蓄積領域となる n 型半導体領域44をイオン注入により形成する。また、LDD構造のフローティングディフージョン部の n 型の低不純物濃度領域46aをイオン注入により形成する。
。

【0082】

次に、図11Cに示すように、まずゲート電極63をマスクにゲート電極63直下以外のゲート絶縁膜47を軽いウェットエッティングで選択的に除去し、あるいは少し残るようにウェットエッティングする。その後、熱酸化して所要の厚さ、例えばゲート絶縁膜として作用する程度の膜厚の酸化シリコン膜67を形成する。このとき、熱酸化により下地のシリコンが酸化することで、ゲート電極63の端部下には、厚い酸化シリコン膜67Aが形成される。
20

【0083】

次に、図12Dに示すように、ポリシリコン膜64aを所要の厚さに成膜し、ゲート電極63の中央を境に2分するようにポリシリコン膜64a中に p 型不純物及び n 型不純物を打ち分けてイオン注入する。その後、アニール処理して p 型不純物及び n 型不純物を拡散させる。このアニールにより、サイドウォールを形成すべき部分に十分に p 型及び n 型の不純物がドープされる。
30

【0084】

次に、図12Eに示すように、 p 型、 n 型不純物が打ち分けられたポリシリコン膜64aを、エッチバックしてそれぞれ $p+$ サイドウォール64P、 $n+$ サイドウォール64Nを形成する。次いで、 $p+$ サイドウォール64Pをマスクに p 型アキュミュレーション層45をイオン注入で形成する。また、 $n+$ サイドウォール64NをマスクにLDD構造のフローティングディフージョンとなる n 型高不純物濃度領域46bをイオン注入で形成する。 n 型半導体領域44と p 型アキュミュレーション層45でフォトダイオード43が形成される。 n 型低不純物濃度領域46aと n 型高不純物濃度領域46bでフローティングディフージョン部46が形成される。このようにして転送トランジスタ61を得る。
40

【0085】

上述の製造方法において、画素の微細化が進んだ場合には、サイドウォール形成用のポリシリコン膜は厚く、広くして成膜し、その後、 p 型不純物及び n 型不純物のイオン注入を打ち分ける。次いで、アニール処理してからエッチバックして $p+$ サイドウォール64N及び $n+$ サイドウォール64Nを形成するようにしてもよい。この場合、表面側にイオン注入し、アニールによって全体を拡散させ、拡散後にエッチバックする。サイドウォールの場合、表面にイオン注入してエッチバックしたとき、ノンドープになる可能性があるので、アニールした後に、エッチバックする方がよい。拡散はサイドウォール直下の酸化膜67でロックされる。ゲート電極63の形成に際しても、表面側にイオン注入して、パターニングしてからアニールして不純物を拡散させている。

【0086】

上記のように、サイドウォール64P、64Nの形成では、不純物をイオン注入し、ア
50

ニールした後、エッチバックする上記の方法がある。もしくは、斜めイオン注入して、サイドウォールとなる領域に確実にイオン注入する方法もある。斜めイオン注入は、最終的にサイドウォール領域となる部分に注入できる加速エネルギーでイオン注入する。なるべく濃いイオン注入をする。例えば、ドーズ量 $1 \times 10^{16} \text{ cm}^{-2}$ 程度（不純物濃度としては、 $10^{22} \sim 10^{23} \text{ cm}^{-3}$ 程度）にイオン注入することが好ましい。なお、これよりも多めにイオン注入して、アニールして不純物がシリコンの固溶限界まで含有させる方法もある。斜めイオン注入の場合は、アニール処理を、エッチバック前、あるいはエッチバック後に行うことができる。

【0087】

このサイドウォールのアニールは、pアキュミュレーション層45のイオン注入のダメージ回復のアニールと兼ねても良い。10

【0088】

上述の図11Cの工程で説明したように、ウェットエッチングによりゲート電極63直下以外のゲート絶縁膜47を除去し、その後に熱酸化するので、ゲート電極63の端部ゲート絶縁膜47は膜厚となる。これにより、ゲートードレン間の電界が緩和され、トンネルリーキが低減する。すなわち、GIDL（ゲート・インジュースド・ドレイン・リーキ）が軽減する。

【0089】

上述の製造方法では、図12Eの工程で、不純物導入したポリシリコン層64aをエッチバックしてゲート電極63にサイドウォール64P, 64Nを形成したが、エッチバックせずに、全体のポリシリコン層64aを残した構成とすることもできる。20

【0090】

上述の第4実施の形態のMOSイメージセンサ、特にその転送トランジスタ61においては、p+ゲート電極部63のp型不純物濃度と、p+サイドウォール64Pのp型不純物濃度を異ならしてもよい。p+サイドウォール64P側のp型不純物濃度が高い場合、読み出し難くなる場合もあり、このため、p+サイドウォール64P側のp型不純物濃度をp+ゲート電極部63P側に比べて低濃度とすることができます。このように、p+サイドウォール64Pの濃度をコントロールし、p+サイドウォール64P直下のポテンシャルをコントロールして読み出し易い構成とすることができます。

【0091】

従来、p型アキュミュレーション層45からサイドウォール側へp型不純物を拡散してサイドウォール直下をホールピニング状態にとすると、フォトダイオードの最大取扱電荷量（飽和電荷容量：Q_s）が低下する。つまり、ホールピニングしようとする不純物の変化量に対して、Q_sが低下する方向に変化する。Q_sの変化を抑制するために、フォトダイオードのn型領域の不純物濃度を高めると、電界が強くなり、白点が発生する。30

【0092】

これに対し、第4実施の形態では、サイドウォールをp+サイドウォール64Pにすることで、p+サイドウォール64P自身でホールピニング状態を作ることができるので、フォトダイオード43のn型半導体領域44に影響を与えることがない。つまり、n型半導体領域44に影響することなく、サイドウォール64Pのp型不純物の濃度コントロールができ、ホールピニングの程度を制御することができる。ホールピニングの程度は、p+サイドウォール64P直下の絶縁膜厚とp+サイドウォール64Pのp型不純物濃度で制御される。これにより、製造プロセスの自由度が上がる。40

【0093】

上述のようにサイドウォールのp型不純物濃度は、読み出し特性、白点の特性を考慮して任意に設定することができる。

【0094】

サイドウォール64[64P, 64N]直下の酸化膜67は、熱酸化膜以外に、CVD酸化膜でもよい。GIDLを抑制するためには、酸化膜67は厚い方がよいが、熱酸化の場合は、ゲート絶縁膜界面のシリコンよりも、深く酸化されたため、p型アキュミュレー50シ

ヨン層 4 5 を浅くイオン注入できなくなる虞れがある。ただし、熱酸化膜は膜質がよい。したがって、酸化膜の膜質、膜厚に応じて、熱酸化膜あるいは C V D 酸化膜を選択することができる。

【 0 0 9 5 】

図 1 5 及び図 1 6 に、第 4 実施の形態に係る転送トランジスタのゲート電圧を印加する態様例を示す。

【 0 0 9 6 】

図 1 5 A の転送トランジスタは、 p + ゲート電極部 6 3 P と n + ゲート電極部 6 3 N を、例えばシリサイド層などにより電気的に接続し、このゲート電極 6 3 にゲート電圧を印加するように構成される。
10

図 1 5 B の転送トランジスタは、 p + ゲート電極部 6 3 P と n + ゲート電極部 6 3 N とのそれぞれ独立にゲート電圧を印加するように構成される。

【 0 0 9 7 】

図 1 5 C の転送トランジスタは、 p + ゲート電極部 6 3 P とフォトダイオード側の p + サイドウォール 6 4 P を、例えばシリサイド層 5 0 などにより電気的に接続し、この p + ゲート電極部 6 3 P 及び p + サイドウォール 6 4 P に同時にゲート電圧を印加するよう構成される。

図 1 5 D の転送トランジスタは、 p + ゲート電極部 6 3 P と n + ゲート電極部 6 3 N を、例えばシリサイド層 5 0 などにより電気的に接続し、このゲート電極 6 3 とフォトダイオード側の p + サイドウォール 6 4 P にそれぞれ独立にゲート電圧を印加するように構成される。
20

【 0 0 9 8 】

図 1 5 E の転送トランジスタは、 p + ゲート電極部 6 3 P と p + サイドウォール 6 4 P にそれぞれ独立にゲート電圧を印加するように構成される。例えば、それぞれ異なる電位のゲート電圧を印加することができる。

図 1 5 F の転送トランジスタは、 p + ゲート電極部 6 3 P のみにゲート電圧を印加するように構成される。

図 1 5 G の転送トランジスタは、 p + サイドウォール 6 4 P のみにゲート電圧を印加するように構成される。

【 0 0 9 9 】

図 1 6 H の転送トランジスタは、 n + ゲート電極部 6 3 N とフォトダイオード側の n + サイドウォール 6 4 N を、例えばシリサイド層 5 0 などにより電気的に接続し、この n + ゲート電極部 6 3 N 及び n + サイドウォール 6 4 N に同時にゲート電圧を印加するよう構成される。
30

図 1 6 I の転送トランジスタは、 p + ゲート電極部 6 3 P と n + ゲート電極部 6 3 N を、例えばシリサイド層 5 0 などにより電気的に接続し、このゲート電極 6 3 とフローティングディフージョン部側の n + サイドウォール 6 4 N にそれぞれ独立にゲート電圧を印加するように構成される。

図 1 6 J の転送トランジスタは、 n + ゲート電極部 6 3 N とフローティングディフージョン部側の n + サイドウォール 6 4 N にそれぞれ独立にゲート電圧を印加するように構成される。
40

【 0 1 0 0 】

図 1 6 K の転送トランジスタは、フローティングディフージョン部側の n + サイドウォール 6 4 N のみにゲート電圧を印加するように構成される。

図 1 6 L の転送トランジスタは、 n + ゲート電極部 6 3 N のみにゲート電圧を印加するように構成される。

図 1 6 M の転送トランジスタは、 p + ゲート電極部 6 3 P 、 n + ゲート電極部 6 3 N 、 p + サイドウォール 6 4 P 及び n + サイドウォール 6 4 N を、例えばシリサイド層 5 0 などにより電気的に接続して、共通にゲート電圧を印加するように構成される。

【 0 1 0 1 】

上記において、それぞれ独立にゲート電圧を印加する構成としたときには、それぞれ異なる電位を印加することが可能になり、 $p+$ サイドウォール 6 4 P 直下のピニング制御、あるいは電荷読み出し時のポテンシャル制御がし易くなり、白点の制御、読み出し特性が良好になる。あるいは、 $n+$ サイドウォール 6 4 N 直下のポテンシャル制御がし易くなり、読み出し特性が良好になる。

【0102】

図 13 に、本発明に係る MOS イメージセンサの第 5 実施の形態、特にその転送トランジスタの第 5 実施の形態を示す。本実施の形態に係る転送トランジスタ 71 は、 n 型不純物をドープしたポリシリコンからなる $n+$ ゲート電極 73 を形成し、この $n+$ ゲート電極 73 の両側壁に n 型不純物をドープしたポリシリコンからなる $n+$ サイドウォール 74 N 1 及び 74 N 2 を形成して成る。 $n+$ ゲート電極 73 とフォトダイオード 43 側の $n+$ サイドウォール 74 N 1 は電気的に接続、例えばシリサイド層 75 で電気的に接続される。その他の構成は、前述の図 8 と同様であるので、対応する部分には同一符号を付して重複説明を省略する。

【0103】

本実施の形態では、電荷蓄積期間において、 $n+$ ゲート電極 73 に負電圧が印加される。このとき、フローティングディフェジョン 43 側の $n+$ サイドウォール 74 N 1 にも負のゲート電極が印加されるので、 $n+$ サイドウォール 74 N 1 直下がホールピニング状態とすることができます。つまり、サイドウォール 74 N 1 のゲート電極から離れたサイドウォール端までピニング状態となる。ピニングできる領域が広がり白点発生を抑制することができる。

【0104】

電荷読み出し時において、 $n+$ ゲート電極 73 に正電圧を印加したとき、フォトダイオード 43 側の $n+$ サイドウォール 74 N 1 直下までポテンシャルが変調し、低電圧読み出しが可能になる。すなわち、絶縁膜によるサイドウォールを有した従来の転送トランジスタの場合には、図 14 A に示すように、サイドウォール 6 直下にポテンシャルバリア 81 が形成されたポテンシャル分布となる。これに対して、第 5 実施の形態の $n+$ サイドウォール 74 N 1 を有した転送トランジスタの場合には、図 14 B に示すように、 $n+$ サイドウォール 74 N 1 直下のポテンシャルバリアが潰れてなだらかなポテンシャル分布 83 となり、低電圧での信号電荷の読み出しができる。

【0105】

従来の電荷蓄積期間に負電圧を印加する MOS イメージセンサでは、読み出し電圧として、上記ポテンシャルバリアを抑制するために、高バイアス電圧が必要であり、負バイアスを必要とするため、合計の読み出し電圧が高くなっていた。これに対して、第 5 実施の形態では、ポテンシャルバリアが生じないので、その分、読み出し電圧を負電圧を必要とする場合よりも低電圧とすることが可能になる。

【0106】

第 5 実施の形態に係る MOS イメージセンサによれば、フォトダイオード 43 側に $n+$ サイドウォール 74 N 1 を有することにより、電荷蓄積期間ではサイドウォール 74 N 1 直下を確実にホールピニング状態として白点の発生を抑制し、また、低電圧読み出しを可能にする。

【0107】

上記の低電圧読み出しの理由は、サイドウォールを $p+$ サイドウォールとした図 8、図 9 の実施の形態においても同様である。

【0108】

したがって、上述した本発明に係る実施の形態の MOS イメージセンサにおいては、低ノイズで低電圧駆動の MOS イメージセンサを提供することができる。

【0109】

次に、図 17 ~ 図 18 に、上述の実施の形態を含めて、本発明の実施の形態に適用される転送トランジスタのゲート電極及びサイドウォールの部分の各例を模式的に示す。

10

20

30

40

50

【0110】

図17Aは、転送トランジスタにおいて、ゲート電極及びサイドウォール共にポリシリコン膜で形成し、n+ゲート電極91N、両側壁をn+サイドウォール92Nとして構成される。

図17Bは、転送トランジスタにおいて、ゲート電極及びサイドウォール共にポリシリコン膜で形成し、n+ゲート電極91N、フォトダイオード側をp+サイドウォール92P、フローティングディフージョン部側をn+サイドウォール92Nとして構成される。

【0111】

図17Cは、転送トランジスタとして、ゲート電極及びサイドウォール共にポリシリコン膜で形成し、p+ゲート電極91P、フォトダイオード側をp+サイドウォール92P、フローティングディフージョン部側をn+サイドウォール92Nとして構成される。
10

図17Dは、転送トランジスタとして、ゲート電極及びサイドウォール共にポリシリコン膜で形成し、ゲート電極を2分してフォトダイオード側がp+ゲート電極部93P、フローティングディフージョン部側がn+ゲート電極部93Nとなるようにし、フォトダイオード側をp+サイドウォール92P、フローティングディフージョン部側をn+サイドウォール92Nとして構成される。

【0112】

図18Eは、転送トランジスタとして、ゲート電極95をポリシリコン膜で形成し、フォトダイオード側のサイドウォール96をポリシリコン膜で形成し、フローティングディフージョン部側にサイドウォールを形成しないように構成される。
20

図18Fは、転送トランジスタとして、ゲート電極95をポリシリコン膜で形成し、フォトダイオード側のサイドウォール96をポリシリコン膜で形成し、フローティングディフージョン部側のサイドウォール97を絶縁膜で形成して構成される。

図18E, Fにおけるゲート電極95及びサイドウォール97の構成は、図15A～Dに示す導電型の組み合わせを適用できる。

【0113】

さらに、図18Gは、ゲート電極95及び両サイドウォール98を共にポリシリコン膜で形成するも、両サイドウォール95をノンドープ・ポリシリコン膜で形成して構成される。ゲート電極95の構成は、図17A～Dで示す導電型構成を適用できる。
20

【0114】

図18Eに示す、フローティングディフージョン部側のサイドウォールを形成しない構成とした場合は、周辺のロジック回路におけるMOSトランジスタと同じ製造工程でサイドウォールを除去することができる。通常、画素トランジスタとロジック回路のトランジスタは同じ工程で同時に形成される。このとき、ロジック回路のMOSトランジスタでは、サイドウォールを有すると容量が付過ぎるため、ポリシリコンサイドウォールを除去する必要がある。ロジック回路側のトランジスタ群では、サイドウォールを除去することにより、画素の微細化に伴ってトランジスタ群が微細、高集積化されても、隣合うゲート電極間を広くとれるので、その間に絶縁膜を埋め込むことができる。
30

【0115】

図18Hは、ゲート電極95が不純物をドープしたポリシリコン膜で形成され、サイドウォール100が、内側をポリシリコン膜96とし、外側を絶縁膜99として形成される。ゲート電極95及び内側のポリシリコン膜によるサイドウォール96の構成は、図15A～Dに示す導電型の組み合わせを適用できる。
40

【0116】

図18Hに示す、サイドウォール100における絶縁膜99は、周辺のロジック回路におけるMOSトランジスタの絶縁膜のサイドウォールの形成時に形成することができる。周辺のロジック回路では、ポリシリコン膜のサイドウォールは除去され、除去した後、絶縁膜によるサイドウォールを形成する。このとき同時に上記絶縁膜99が形成される。

【0117】

図17、図18の各転送トランジスタへのゲート電圧の印加態様としては、前述の図1

50

5、図16で示すように種々の対応をとることが可能であり、必要に応じて、ゲート電極、ゲート電極部と、フォトダイオード側サイドウォールと、フローティングディフージョン部側サイドウォールのうちの所要の組み合わせに対して、同じゲート電圧を印加させ、あるいは異なるゲート電圧を印加させることが可能である。

【0118】

図17及び図18の各実施の形態においても、白点の発生を抑制し、併せて低電圧読み出しを可能にする。

【0119】

なお、上述の転送トランジスタの実施の形態においては、フローティングディフージョン部のn型半導体領域をLDD構造としたが、その他、LDD構造でないn+半導体領域で形成した構成とすることもできる。10

【0120】

図19に、本発明に係る固体撮像装置、特にその転送トランジスタの第6実施の形態を示す。本実施の形態に係る転送トランジスタ411は、例えばp型の半導体基板42に、電荷蓄積領域となる例えばn型半導体領域44とその表面のp型アキュミュレーション層45とからなるフォトダイオード43と、後述のn型半導体領域（いわゆる不純物拡散領域）によるフローティングディフージョン部412とが形成される。このフォトダイオード43とフローティングディフージョン部412との間の基板上に、ゲート絶縁膜413を介してゲート電極414及びサイドウォール415が形成される。

【0121】

そして、本実施の形態では、特に、フローティングディフージョン部412の形成に際して、n型不純物の斜めイオン注入416により、フローティングディフージョン部412をゲート電極414の内側に積極的に入り込むように形成される。すなわち、フローティングディフージョン部412は、ゲート電極端から所定の距離X1だけゲート電極414の内側へ延長して形成される。このフローティングディフージョン部412の不純物濃度は、ゲート電極414内への延長部を含めて全域にわたり同じ濃度、もしくは延長部がその他の領域の濃度に近い濃度となるように設定される。20

【0122】

ゲート電極414内への延長部の長さX1は、例えばゲート長方向のゲート電極長さL1の約10%以上の長さとすることができます。例えば、L1を500nmとしたとき、X1は50nm以上とすることができます。このときの、フローティングディフージョン部412の不純物濃度は、ドーズ量で $1 \times 10^{14} \text{ cm}^{-2}$ 以上とすることができます。30

【0123】

フローティングディフージョン部412を形成する時の、不純物の斜めイオン注入416は、サイドウォール415の形成前、あるいは形成後に行うことができる。サイドウォール415の形成前に斜めイオン注入するときは、ゲート電極内側への入り込み量の制御がし易い。サイドウォール415の形成後に斜めイオン注入するときは、ゲート絶縁膜413へのイオン注入が避けられ、イオン注入時のゲート絶縁膜413のダメージを回避することができる。

【0124】

ゲート電極414及びサイドウォール415は、前述したと同様に不純物ドープしたポリシリコン膜で形成される。ゲート電極414及びサイドウォール415の導電型は、p型、n型のいずれでもよい。好ましくは、ゲート電極414のフローティングディフージョン部412側の電極部、または/及びフローティングディフージョン部412側のサイドウォール515と共にn型とすることが望ましい。フローティングディフージョン部412は、LDD構造とする必要はない。40

【0125】

本発明に係る第6実施の形態に係る転送トランジスタによれば、フローティングディフージョン部412が積極的にゲート電極414の内側へ延長して形成されるので、ゲート電圧によるフローティングディフージョン部414側のポテンシャル変調が良好に行われ50

、信号電荷の読み出し時の読み出し特性を良好にする。

【0126】

上述の実施の形態では、転送トランジスタとしてnチャネルのMOSトランジスタに適用した場合を例に挙げたが、本発明はこれに限られるものでなく、転送トランジスタとしてpチャネルMOSトランジスタを適用することも可能である。nチャネルMOSトランジスタの場合は、上述したようにp型を第1導電型とし、n型を第2導電型としたが、pチャネルMOSトランジスタのときは、p型が第2導電型、n型が第1導電型となる。すなわち、nチャネルとpチャネルでは導電型が逆の導電型となる。

【0127】

次に、前述した単位画素11(11A, 11B)における増幅トランジスタに適用される、本発明に係る増幅トランジスタの実施の形態について説明する。

10

【0128】

図20に、本発明に係るMOSイメージセンサの第7実施の形態、特にその増幅トランジスタに係る第7実施の形態を示す。本実施の形態では、増幅トランジスタを埋め込みチャネルを有する構成とともに、ゲート電極のサイドウォールをポリシリコンで形成して、特に1/fノイズを抑制するように構成する。本例では、増幅トランジスタとしてnチャネルMOSトランジスタを用いている。

【0129】

本実施の形態に係る増幅トランジスタ281は、図20に示すように、LDD構造のトランジスタであって、そのゲート電極とサイドウォールと共に、p型不純物をドープしたポリシリコン膜で形成されることを特徴とする。すなわち、本実施の形態の増幅トランジスタ281は、第1導電型、本例ではp型の半導体基板282の一主面上に第2導電型、本例ではn型の半導体領域からなるソース領域283及びドレイン領域284が形成され、このソース領域283及びドレイン領域284間に第2導電型、本例ではn型の埋込みチャネル領域285が形成される。半導体基板282の表面にはゲート絶縁膜286を介して本例ではp型不純物をドープしたポリシリコン膜からなるp+型ゲート電極287が形成され、p+型ゲート電極287の両側壁に絶縁膜288を介してp型不純物をドープしたp+型サイドウォール289が形成される。

20

【0130】

ソース領域283及びドレイン領域284は、不純物濃度が高いn+領域291aとp+型サイドウォール289下に対応した不純物濃度に低いn-領域291bとを有するLDD構造に形成される。ゲート電極287及びサイドウォール289表面を含む基板表面は、絶縁膜、例えばシリコン酸化膜292とシリコン窒化膜293による絶縁膜294で被覆される。また、ソース領域283及びドレイン領域284のn+領域291aにソース電極295及びドレイン電極296が形成される。このとき、ソース領域283及びドレイン領域284とソース電極295及びドレイン電極296とが接続される界面には絶縁膜294下に延長して、例えばチタンシリサイドなどのシリサイド層297が形成される。

30

【0131】

この増幅トランジスタ281では、図21に示すように、チャネル領域が埋込みチャネル領域285で構成されるので、ゲート絶縁膜/基板界面よりも基板内部側を電流iが流れる。すなわち、ゲート絶縁膜/基板界面では電子/正孔のトラップ準位が形成されるが、電流が流れる領域つまりチャネルがゲート絶縁膜/基板界面から離れた基板282内部の箇所に形成されるので、上記トラップ準位に影響されずに電流iが流れる。

40

【0132】

一方、ゲート電極287に印加される電圧により、p+型サイドウォール289には容量結合による電圧が与えられ、これにより、サイドウォール289直下にもチャネルが形成される。このとき、上記容量結合によりサイドウォール289直下のn-領域291bがさらにn型化して埋込みチャネルに似た状態になることにより、絶縁膜/n-領域界面より基板内部側を電流が流れる。このとき、サイドウォール289がp+型であり、アク

50

セプタを有するので、電子eが誘起され、サイドウォール289を例えればn+型にした場合に比べて、よりサイドウォール289直下をn型化することができる。

【0133】

通常、サイドウォール直下の絶縁膜／基板界面には、ゲート電極のパターニング時に絶縁膜が薄いので、ダメージが入り易くトラップ準位の影響が大きいが、本実施の形態では埋込みチャネルに似た状態になるので、トラップ準位の影響が回避される。また、ソース電極295及びドレイン電極296の基板へのコンタクト部分には、シリサイド層297が形成されて、このシリサイド層297によりコンタクトダメージが取り込まれる。

【0134】

第7実施の形態に係るMOSイメージセンサによれば、その増幅トランジスタ281において、電流パスを界面に出さず、全領域を埋込み化させることができるので、さらに1/fノイズを低減させることができる。従ってトランジスタのゲート寸法L及び活性領域の寸法Wを増大させたり、ゲート絶縁膜容量C_{ox}を増加させたりしなくとも、1/fノイズを原理的に低減させることが可能になる。

【0135】

因みに、図23に示すように、一般的なトランジスタ、例えばnチャネルMOSトランジスタ300は、p型の半導体基板302の一主面上にn型の半導体領域からなるLDN構造のソース領域303及びドレイン領域304が形成される。このソース領域303及びドレイン領域304間の基板表面にはゲート絶縁膜305を介してn型ポリシリコンからなるn+型ゲート電極306が形成され、表面チャネル型に構成される。n+型ゲート電極306の両側壁には例えばシリコン窒化膜等の絶縁膜によるサイドウォール307が形成される。ゲート電極306及びサイドウォール307表面を含む基板表面は、絶縁膜、例えばシリコン酸化膜310とシリコン窒化膜309による絶縁膜311で被覆される。ソース領域303及びドレイン領域304にはソース電極312及びドレイン電極313が形成される。

【0136】

このトランジスタ300では、基板／ゲート絶縁膜界面、サイドウォール直下／基板界面、サイドウォール外側直下／基板界面に、それぞれダメージによるトラップ準位321、322、323が形成され、さらにソース電極312及びドレイン電極313の基板コンタクト界面にもコンタクトダメージによるトラップ準位324が形成される。このため、1/fノイズが増大する。これに対して、上記本実施の形態の増幅トランジスタ281は、電流パスの全領域が埋込み化されるので、1/fノイズの低減化が図れる。

【0137】

図22に、本実施の形態の増幅トランジスタの各例を概略的に示す。図22Aの増幅トランジスタ281は、前述の図21と同様のゲート電極287及びサイドウォール289をp型不純物をドープしたポリシリコン膜で形成し、p+型ゲート電極287下にn型の埋込みチャネル領域285を形成した構成である。

図22Bの増幅トランジスタ331は、ゲート電極332をn型不純物をドープしたポリシリコン膜で形成し、サイドウォール289をp型不純物をドープしたポリシリコン膜で形成し、n+型ゲート電極332下にn型の埋込みチャネル領域285を形成した構成である。

図22Cの増幅トランジスタ333は、ゲート電極332をn型不純物をドープしたポリシリコン膜で形成し、サイドウォール289をp型不純物をドープしたポリシリコン膜で形成し、n+型ゲート電極332下に表面チャネルを形成した構成である。

【0138】

これら各例の増幅トランジスタ281、331、333は、1/fノイズが低減される。

【0139】

増幅トランジスタ281、331、333としては、埋め込みチャネル領域を素子分離領域のエッジ部から離す構成とすることができる。このような構成とするときは、さらに

10

20

30

40

50

$1/f$ ノイズを改善することができる。

【0140】

図24に、本発明に係るMOSイメージセンサの第8実施の形態、特にその増幅トランジスタに係る第8実施の形態を示す。本実施の形態に係る増幅トランジスタ341は、図24Aに示すように、例えばp型半導体基板342の一主面上に、不純物拡散領域、例えばn型のソース領域343及びドレイン領域344が形成される。半導体基板342の表面にはゲート絶縁膜345を介して、p型不純物またはn型不純物をドープしたポリシリコン膜からなるゲート電極、本例ではp型不純物をドープしたポリシリコン膜からなるp+ゲート電極346が形成され、p+ゲート電極346の側壁に絶縁膜からなるサイドウォール347が形成される。

10

【0141】

そして、本実施の形態では、ソース領域343及びドレイン領域344の形成に際して、n型不純物の斜めイオン注入348により、ゲート電極346の内側に積極的に入り込むように形成される。すなわち、ソース領域343及びドレイン領域344は、ゲート電極端から所定の距離X1だけゲート電極346の内側へ延長して形成される。このソース領域343及びドレイン領域344の不純物濃度は、それぞれ延長部34a, 344aを含めて全領域わたり同じ濃度、もしくは延長部343a, 344aがその他の領域の濃度に近い濃度となるように設定される。

【0142】

延長部343a、344aの長さX1は、例えば前述の図19と同じように、ゲート長方向のゲート電極346の長さL1の約10%以上とすることができます。また、ソース領域343及びドレイン領域344の不純物濃度は、ドーズ量で $1 \times 10^{14} \text{ cm}^{-2}$ 以上とすることができます。

20

【0143】

ソース領域343及びドレイン領域344を形成する際の、不純物の斜めイオン注入は、サイドウォール347を形成する前、あるいは形成後に行うことができる。サイドウォール347の形成前に斜めイオン注入するときは、ゲート電極346の内側への入り込み量の制御がし易い。サイドウォール347の形成後に斜めイオン注入するときは、ゲート絶縁膜345へのイオン注入が避けられ、イオン注入時のゲート絶縁膜345のダメージを回避することができる。

30

【0144】

図24Bは、第8実施の形態の他の例である。本実施の形態に係る増幅トランジスタ351は、ゲート電極346の側壁に絶縁膜353を介して、p型不純物またはn型不純物をドープしたポリシリコン膜からなるゲート電極、本例ではp型不純物をドープしたポリシリコン膜からなるサイドウォール354が形成される。

その他の構成は、図24Aと同様であるので、対応する部分に同一符号を付して重複説明を省略する。

【0145】

第8実施の形態に係る増幅トランジスタ341, 351によれば、ソース領域343及びドレイン領域344の一部がゲート電極346の内側へ延長した延長部343a, 344aを有することにより、 $1/f$ ノイズを低減することができる。

40

【0146】

上述した増幅トランジスタは、MOSイメージセンサの画素を構成する増幅トランジスタに適用する以外にも、他の、特にソースフォロワ回路を構成する増幅トランジスタに適用しても好適である。すなわち、本発明は、このような増幅トランジスタを有する半導体装置を構成することができる。また、この増幅トランジスタを有する半導体装置において、その増幅トランジスタの製造方法は、前述した製造方法によって製造することができる。

【0147】

なお、上述の実施の形態では、増幅トランジスタとしてnチャネルのMOSトランジス

50

タに適用した場合を例に挙げたが、本発明はこれに限られるものではなく、増幅トランジスタとして p チャネルの M O S トランジスタに適用することも可能である。 n チャネル M O S トランジスタの場合は、上述したように p 型を第 1 導電型とし、 n 型を第 2 導電型としたが、 p チャネル M O S トランジスタのときは p 型が第 2 導電型、 n 型が第 1 導電型となる。すなわち、 n チャネルと p チャネルでは導電型が逆の導電型となる。

【 0 1 4 8 】

次に、前述した単位画素 1 1 [1 1 A , 1 1 B] におけるリセットトランジスタに適用される、本発明に係るリセットトランジスタの実施の形態について説明する。

【 0 1 4 9 】

図 2 5 に、本発明に係る M O S イメージセンサの第 9 実施の形態、特にそのリセットトランジスタに係る第 9 実施の形態を示す。本実施の形態に係るリセットトランジスタ 4 0 1 は、 L D D 構造の n チャネル M O S トランジスタであって、ゲート電極とサイドウォール共に、所要の導電型不純物をドープしたポリシリコン膜で形成される。すなわち、本実施の形態のリセットトランジスタ 4 0 1 は、第 1 導電型、本例では p 型の半導体基板 4 0 2 の一主面上に第 2 導電型、本例では n 型の半導体領域からなるソース領域 4 0 3 及びドレイン領域 4 0 4 が形成される。ソース領域 4 0 3 は、フローティングディフージョン部 (F D) となり、ドレイン領域 4 0 4 は電源に接続される。このソース領域 4 0 3 及びドレイン領域 4 0 4 間の基板表面にゲート絶縁膜 4 0 5 を介して p 型または n 型の不純物をドープしたポリシリコン膜からなる p + 型または n + 型のゲート電極 4 0 6 が形成され、このゲート電極 4 0 6 の少なくともフローティングディフージョン部 F D (ソース領域 4 0 3) 側に絶縁膜 4 0 7 を介して p 型または n 型の不純物をドープしたポリシリコン膜からなるサイドウォール 4 0 8 が形成される。本例ではゲート電極 4 0 6 の両側壁に不純物ドープしたポリシリコン膜のサイドウォール 4 0 8 が形成される。

【 0 1 5 0 】

通常、リセットトランジスタでは、リセットゲート電極に電圧を印加したとき、リセットゲート電極とフローティングディフージョン部 F D 間のカップリング容量によってフローティングディフージョン部 F D のポテンシャルが変化する。このため、特に、リセットトランジスタをオン状態からオフ状態にしたとき、フローティングディフージョン部 F D の電位が 0 . 2 V 程度低下する。

【 0 1 5 1 】

上述の第 9 実施の形態に係るリセットトランジスタ 4 0 1 によれば、サイドウォールとして、不純物ドープされたポリシリコン膜によるサイドウォール 4 0 8 を形成することにより、フローティングディフージョン部 F D のポテンシャルの制御が可能になり、フローティングディフージョン部 F D の電位をリセットした後にオフ状態にしたときの、上記フローティングディフージョン部の電位の変動、すなわち電位低下を防ぐことができる。この電位変動を防ぐためには、フローティングディフージョン部 F D 側のサイドウォール 4 0 8 としては、 p + サイドウォールとすることが望ましい。フローティングディフージョン部 F D の電位変動を防ぐことができるので、転送トランジスタの読出し時の読出し特性を改善することができる。すなわち、電荷読出しが行い易くなる。

【 0 1 5 2 】

図 2 5 では、リセットトランジスタにおいて、ソース領域 4 0 3 をフローティングディフージョン部 F D とした。その他、例えば、複数画素で転送トランジスタ以外の画素トランジスタを共有する、いわゆる画素共有型の M O S イメージセンサのレイアウトでは、リセットトランジスタとフローティングディフージョン部が離れており、フローティングディフージョン部とリセットトランジスタのソース領域と電気的に接続される。このときには、リセットトランジスタのゲート電極のソース領域側の側壁に不純物ドープしたポリシリコン膜によるサイドウォールを形成するようになる。すなわち、本発明におけるリセットトランジスタでは、上記両例を包含して、ゲート電極のフローティングディフージョン部と電気的に接続される領域側に、不純物ドープしたポリシリコン膜によるサイドウォールを形成するように構成される。

10

20

30

40

50

【0153】

なお、上述の実施の形態では、リセットトランジスタとしてnチャネルのMOSトランジスタに適用した場合を例に挙げたが、本発明はこれに限られるものではなく、リセットトランジスタとしてpチャネルのMOSトランジスタに適用することも可能である。nチャネルMOSトランジスタの場合は、上述したようにp型を第1導電型とし、n型を第2導電型としたが、pチャネルMOSトランジスタのときはp型が第2導電型、n型が第1導電型となる。すなわち、nチャネルとpチャネルでは導電型が逆の導電型となる。

【0154】

上述した実施の形態に係る、転送トランジスタ、リセットトランジスタ及び増幅トランジスタ、さらには増幅トランジスタを有する半導体装置における該増幅トランジスタは、基本的に次のようにして製造することができる。半導体基板上に所要導電型のゲート絶縁膜を介してゲート電極を形成した後、ゲート電極をマスクに不純物を導入してフローティングディフージョン部、フォトダイオードの電荷蓄積領域を形成する（転送トランジスタの場合）。あるいはゲート電極をマスクにソース領域及びドレイン領域を形成する（増幅トランジスタ、リセットトランジスタの場合）。次いで、ゲート電極を含む半導体基板上に絶縁膜を形成し、絶縁膜上にポリシリコン層を形成する。次いで、このポリシリコン層に所要の導電型不純物を導入する。不純物の導入に際しては、ゲート電極の側壁に向って斜め方向にイオン注入することが好ましい。ポリシリコン層が残った状態のままで、製造工程を終了することもできる。あるいは、不純物を導入したポリシリコン層をエッチバックしてゲート電極の側壁に不純物導入のサイドウォールを形成することもできる。

10

20

【0155】

エッチバック処理は、斜めイオン注入後に行つたが、斜めイオン注入前に行って、その後、斜めイオン注入することもできる。また、不純物を基板に垂直にイオン注入しアニールして不純物を十分拡散したのち、エチバック処理することもできる。

【0156】

また、上述の実施の形態では、光電変換素子と、この光電変換素子で光電変換して得られる電荷をフローティングディフージョン部に転送する転送トランジスタ、また光電変換素子で得られた電荷に応じた電位を増幅して出力する増幅トランジスタなどの画素トランジスタを含む単位画素が行列状に2次元配列されてなるエリアセンサに適用した場合を例に挙げて説明したが、本発明はエリアセンサへの適用に限られるものではなく、上記画素が直線状に1次元配列されてなるリニアセンサ（ラインセンサ）にも同様に適用可能である。

30

【産業上の利用可能性】

【0157】

以上、説明した本発明に係る増幅型固体撮像装置、具体的には単位画素の増幅トランジスタとして各実施の形態のMOSトランジスタを用いてなるMOS型イメージセンサは、カメラ付携帯電話やPDAなどのモバイル機器に搭載されている固体撮像装置として用いて好適なものである。

【0158】

特に、多画素化が進むにつれて画素サイズが小さくなったときに、画素のトランジスタサイズが微細化しても、白点の発生を抑制し、読み出し特性を改善できる本発明は極めて有用なものとなる。

40

また、画素サイズが小さくなると、画素のトランジスタサイズが微細化し、チャネル幅Wおよびチャネル長Lが小さくなる傾向にある。チャネル幅Wおよびチャネル長Lは小さくなることで、 $1/f$ ノイズを増大させるパラメータであることから、チャネル幅Wおよびチャネル長Lに依存せずに、 $1/f$ ノイズを原理的に低減できる本発明は極めて有用なものとなる。

ただし、本発明に係るMOS型イメージセンサは、カメラ付携帯電話やPDAなどのモバイル機器に搭載されている固体撮像装置への適用に限られるものではなく、単位画素に転送トランジスタを含む増幅型固体撮像装置全般、また増幅トランジスタを含む増幅型固

50

体撮像装置全般に適用可能である。

【図面の簡単な説明】

【0159】

【図1】本発明が適用されるMOS型イメージセンサの構成の一例を示すブロック図である。

【図2】単位画素の回路構成の一例を示す回路図である。

【図3】単位画素の回路構成の他の例を示す回路図である。

【図4】本発明に係る固体撮像装置の第1実施の形態、特にその読み出しトランジスタの実施の形態を示す構成図である。

【図5】A, B 第1実施の形態の読み出しトランジスタの動作説明図である。 10

【図6】p+ゲート電極とn+ゲート電極との比較に係る電荷蓄積期間と暗電流出力の関係を示すグラフである。

【図7】A, B 図6のグラフの測定に係る試料の構成図である。

【図8】本発明に係る固体撮像装置の第2実施の形態、特にその読み出しトランジスタの実施の形態を示す構成図である。

【図9】本発明に係る固体撮像装置の第3実施の形態、特にその読み出しトランジスタの実施の形態を示す構成図である。

【図10】本発明に係る固体撮像装置の第4実施の形態、特にその読み出しトランジスタの実施の形態を示す構成図である。

【図11】A～C 第4実施の形態に係る固体撮像装置の製造方法、特にその読み出しトランジスタの製造方法の一実施の形態を示す製造工程図（その1）である。 20

【図12】D～E 第4実施の形態に係る固体撮像装置の製造方法、特にその読み出しトランジスタの製造方法の一実施の形態を示す製造工程図（その2）である。

【図13】本発明に係る固体撮像装置の第5実施の形態、特にその読み出しトランジスタの実施の形態を示す構成図である。

【図14】A及びB 従来のMOSイメージセンサの読み出しトランジスタの電荷読み出し時のポテンシャル分布図、及び第5実施の形態のMOSイメージセンサの読み出しトランジスタの電荷読み出し時のポテンシャル分布図である。

【図15】A～G 第4実施の形態に係る固体撮像装置の読み出しトランジスタのゲート電極へのゲート電圧の印加の態様例を示す模式的構成図である。 30

【図16】H～M 第4実施の形態に係る固体撮像装置の読み出しトランジスタのゲート電極へのゲート電圧の印加の態様例を示す模式的構成図である。

【図17】A～D 本発明に係る固体撮像装置の読み出しトランジスタのゲート電極の構成例を示す模式的構成図である。

【図18】E～G 本発明に係る固体撮像装置の読み出しトランジスタのゲート電極の構成例を示す模式的構成図である。

【図19】本発明に係る固体撮像装置の第6実施の形態、特にその読み出しトランジスタの実施の形態を示す構成図である。

【図20】本発明に係る固体撮像装置の第7実施の形態、特にその増幅トランジスタの実施の形態を示す構成図である。 40

【図21】図20の増幅トランジスタの説明に供する要部の拡大図である。

【図22】A～C 本発明に係る固体撮像装置、特にその増幅トランジスタの各実施の形態を示す構成図である。

【図23】従来の固体撮像装置の増幅トランジスタの構成図である。

【図24】本発明に係る固体撮像装置の第8実施の形態、特にその増幅トランジスタの実施の形態を示す構成図である。

【図25】本発明に係る固体撮像装置の第9実施の形態、特にそのリセットトランジスタの実施の形態を示す構成図である。

【図26】従来の固体撮像装置、特にその電荷蓄積期間にゲート電極に負電圧を印加する読み出しトランジスタの構成図である。 50

【図27】従来の固体撮像装置、特にその電荷蓄積期間にゲート電極に0Vを印加する読み出しトランジスタの構成図である。

【符号の説明】

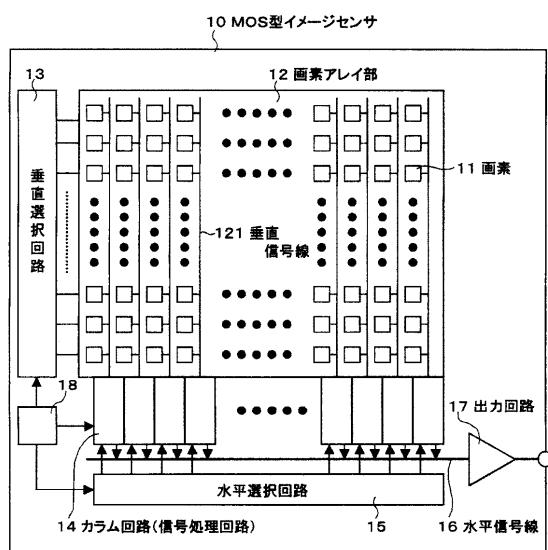
【0160】

41…転送トランジスタ、42…半導体基板、43…フォトダイオード、44…n型電荷蓄積領域、45…p型アキュミュレーション層、46…フローティングディエッジ部となるn型半導体領域、47…ゲート絶縁膜、48…ゲート電極、48P…p+ゲート電極部、48N…n+ゲート電極部、49…絶縁膜によるサイドウォール、50…シリサイド層、h…ホール、52、58…転送トランジスタ、54…n+ゲート電極、55A…p+サイドウォール、55B…サイドウォール、61…転送トランジスタ、63…ゲート電極、63P…p+ゲート電極部、63N…n+ゲート電極部、64P…p+サイドウォール、64N…n+サイドウォール、66…素子分離素子、71…転送トランジスタ、73…n+ゲート電極、74N1…,74N2…n+サイドウォール、81、83…ポテンシャル分布、95…ゲート電極、96…ポリシリコンのサイドウォール、98…ノンドープ・ポリシリコンのサイドウォール、281,341,351…増幅トランジスタ、283,343…ソース領域、284,344…ドレイン領域、285…埋め込みチャネル、278…p+ゲート電極、289…p+サイドウォール、297…シリサイド層、345…ゲート絶縁膜、346…ゲート電極、401…リセットトランジスタ、411…転送トランジスタ

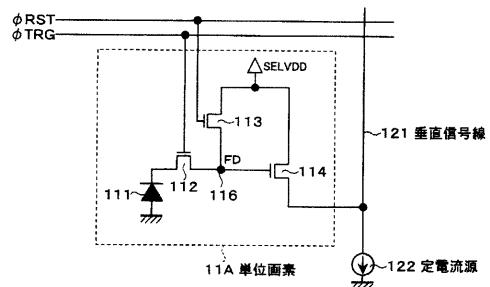
10

20

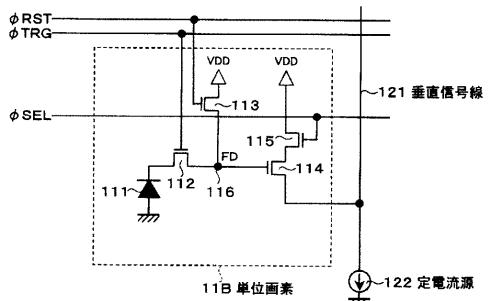
【図1】



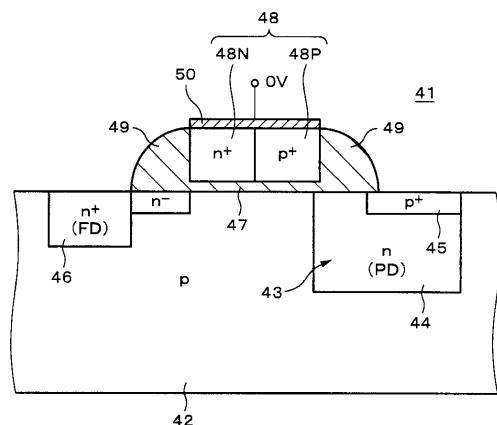
【図2】



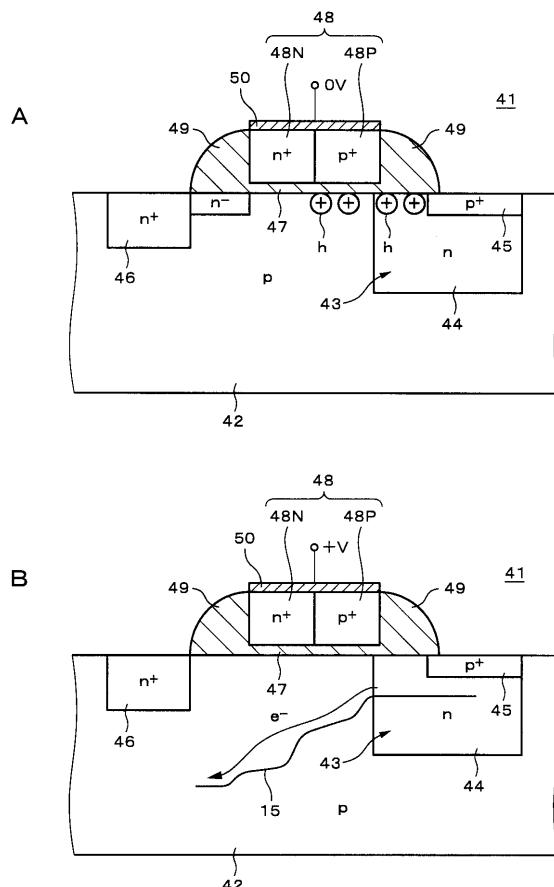
【図3】



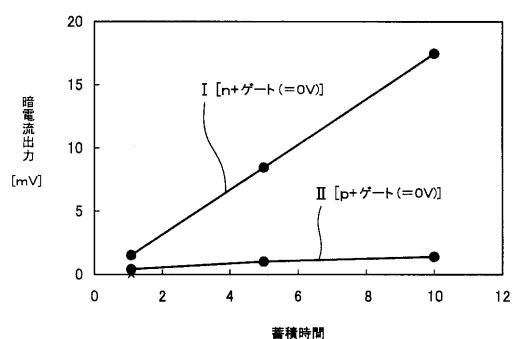
【図4】



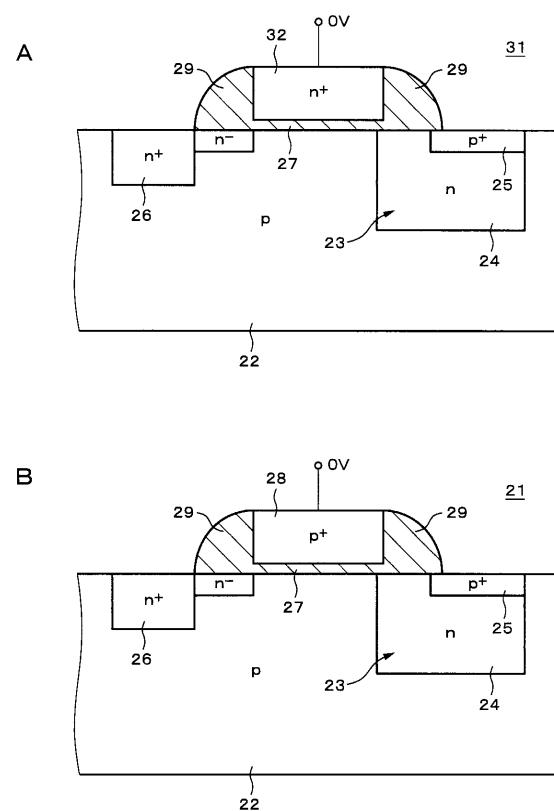
【図5】



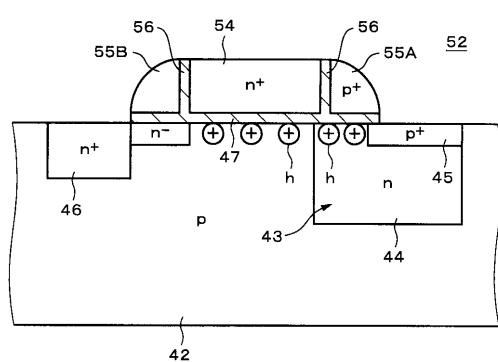
【図6】



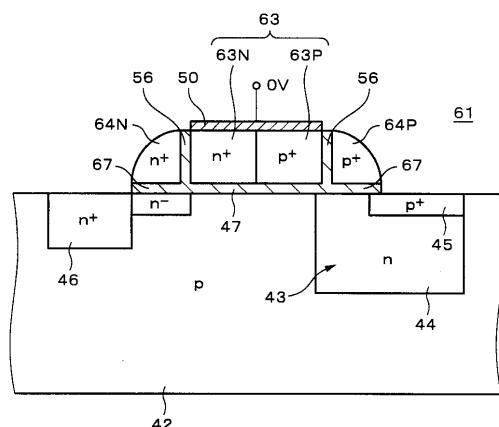
【図7】



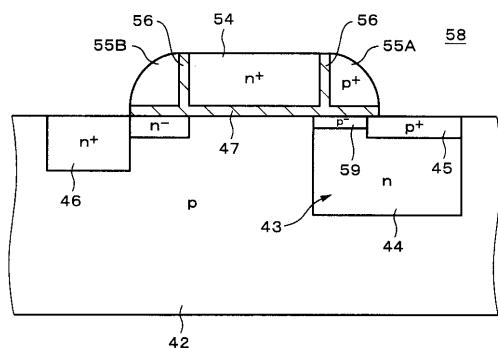
【図 8】



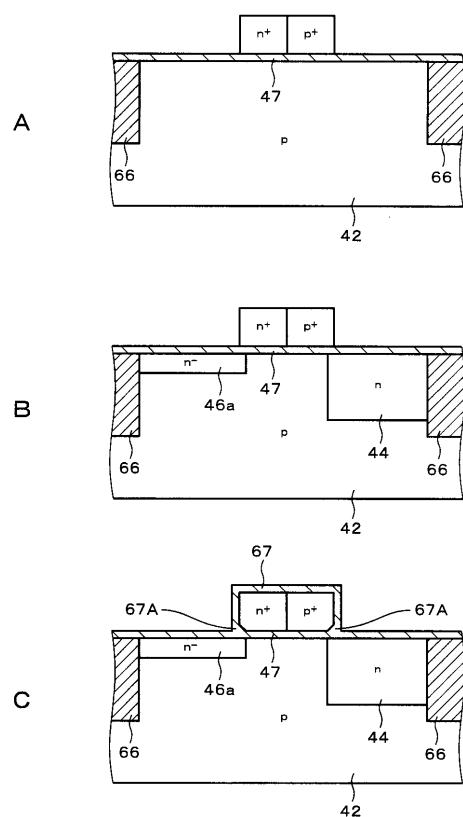
【図 10】



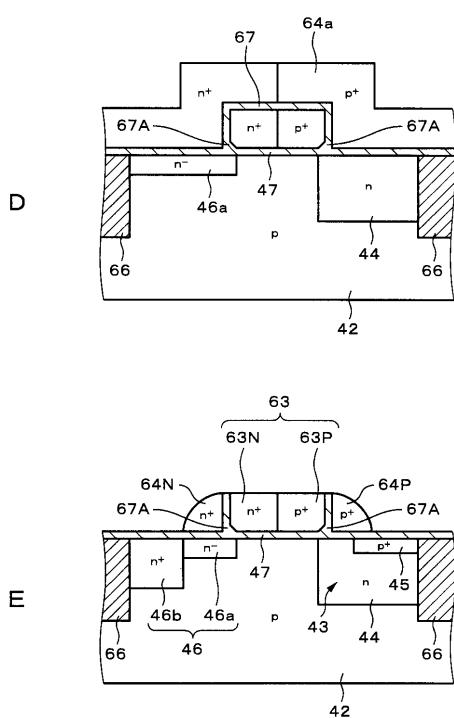
【図 9】



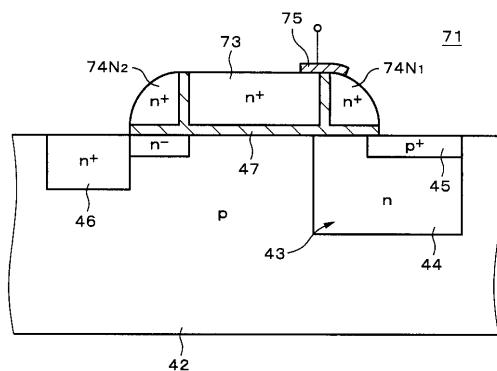
【図 11】



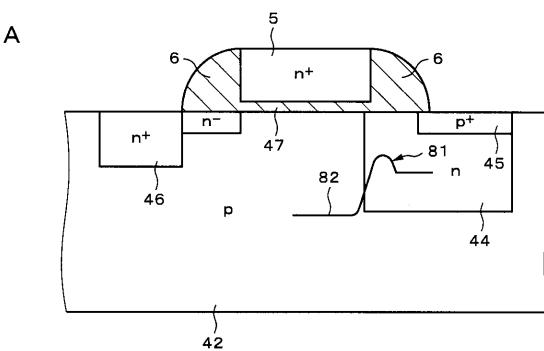
【図 12】



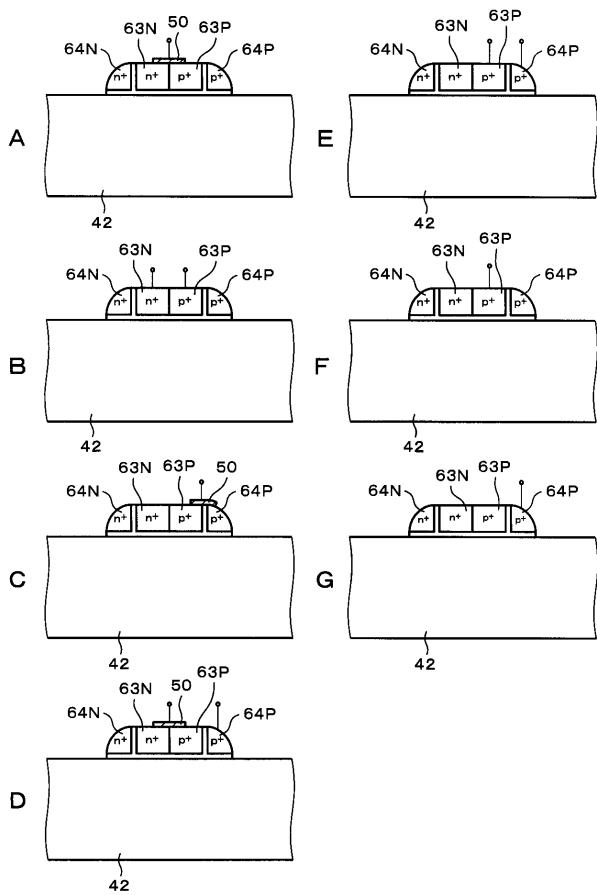
【図13】



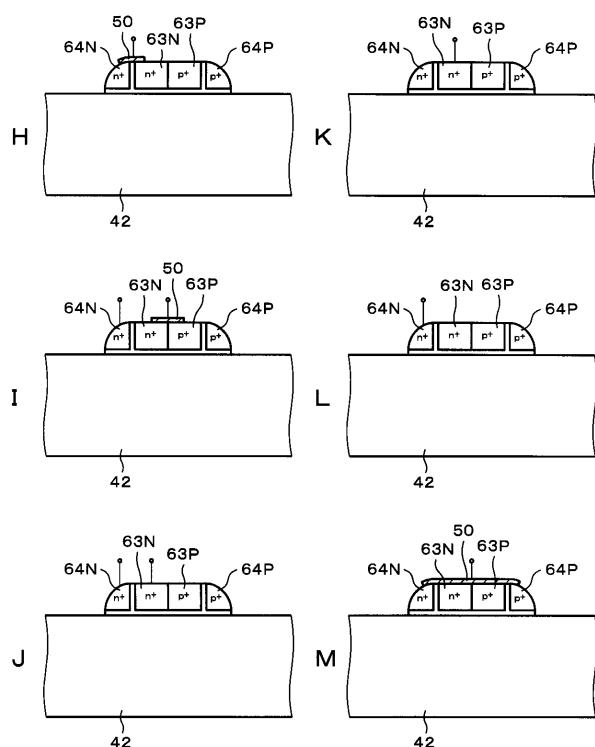
【 図 1 4 】



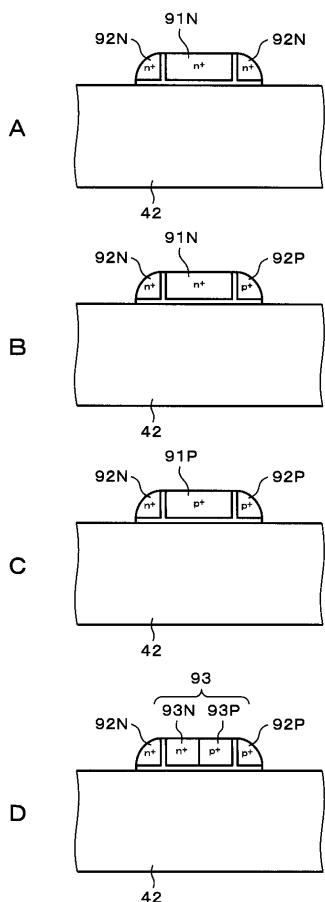
【図 1 5】



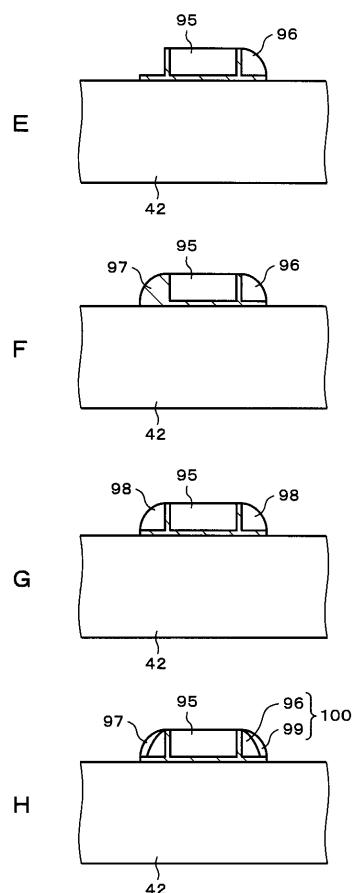
【 図 1 6 】



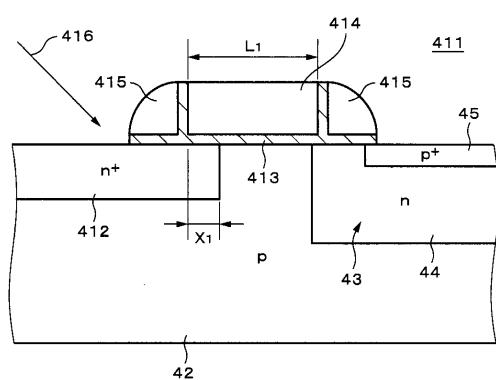
【図17】



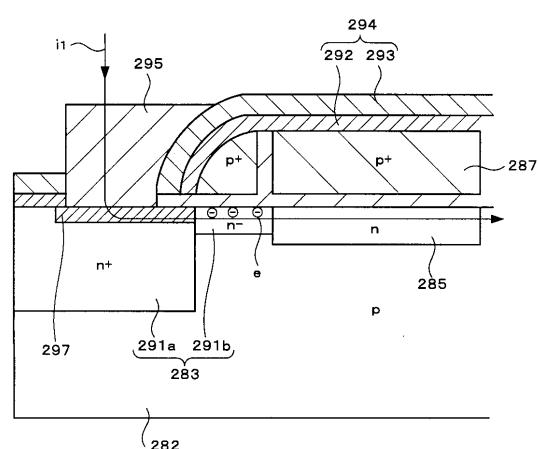
【 図 1 8 】



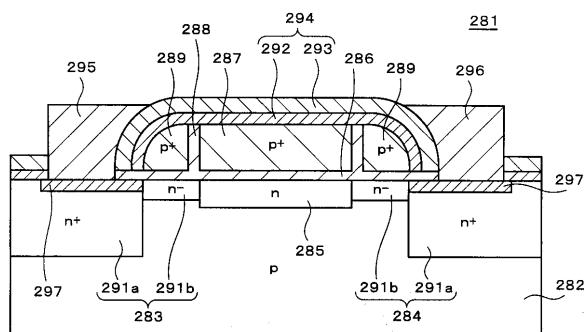
【図 19】



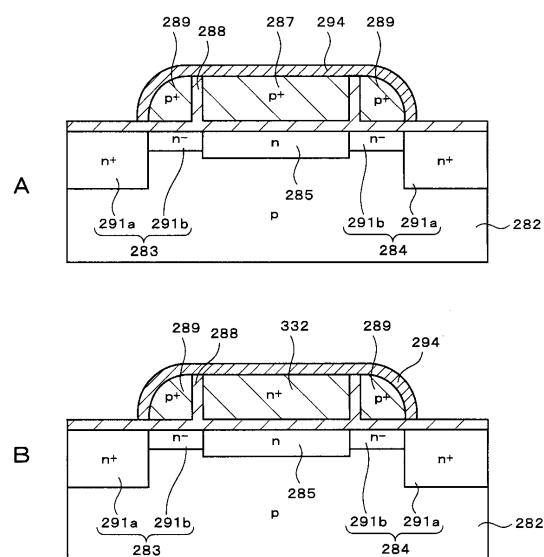
【 図 2 1 】



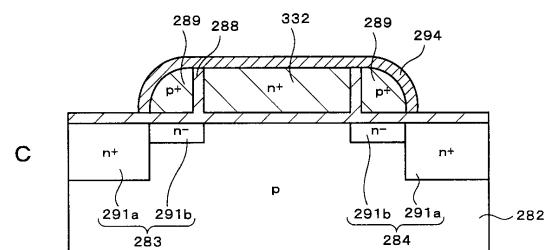
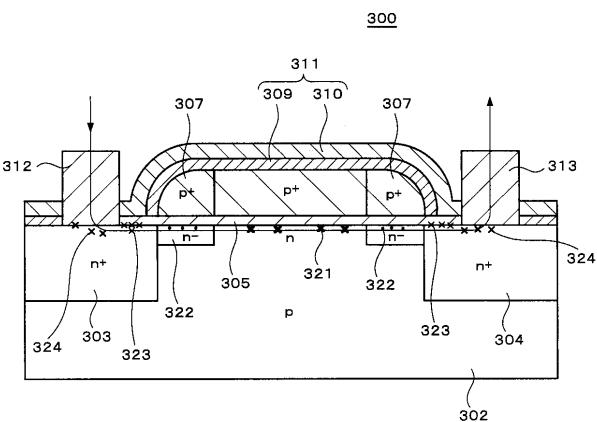
(四 20)



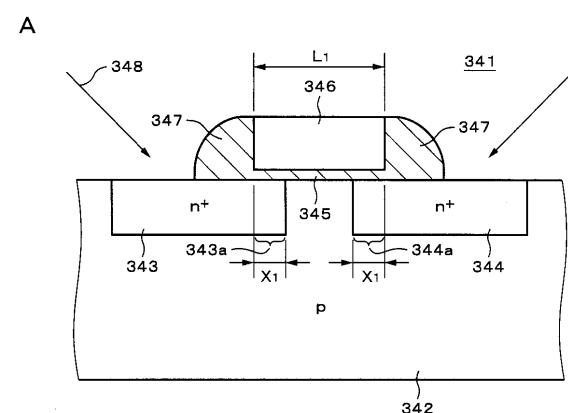
【図22】



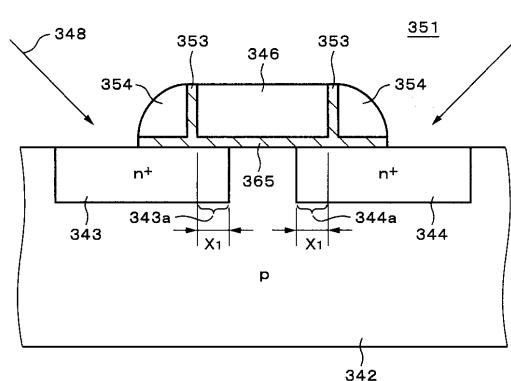
【図23】



【図24】



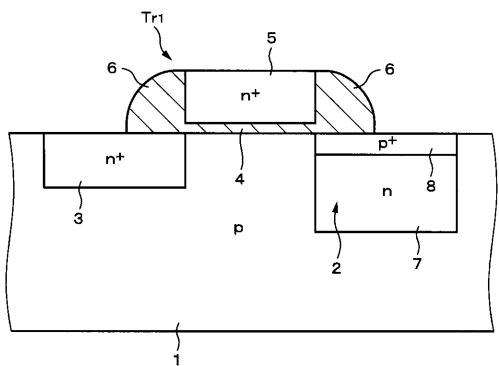
B



【図25】

【図26】

【図27】



フロントページの続き

F ターム(参考) 5F140 AA00 AA03 AA24 AB03 AB06 AC02 AC31 AC38 BA01 BB13
BD05 BD18 BE07 BE10 BF04 BF11 BF18 BF37 BF58 BG08
BG09 BG12 BG15 BG32 BG43 BG44 BG48 BG53 BG54 BH15
BH30 BJ08 BK02 BK13 BK14