



(12)发明专利

(10)授权公告号 CN 104040724 B

(45)授权公告日 2016. 11. 09

(21)申请号 201280066838.X

(22)申请日 2012.12.28

(65)同一申请的已公布的文献号
申请公布号 CN 104040724 A

(43)申请公布日 2014.09.10

(30)优先权数据
2012-002779 2012.01.11 JP

(85)PCT国际申请进入国家阶段日
2014.07.11

(86)PCT国际申请的申请数据
PCT/JP2012/084178 2012.12.28

(87)PCT国际申请的公布数据
W02013/105473 JA 2013.07.18

(73)专利权人 夏普株式会社

地址 日本,大阪府

(72)发明人 织田明博

(74)专利代理机构 北京尚诚知识产权代理有限公司 11322

代理人 龙淳

(51)Int. Cl.

H01L 29/786(2006.01)

H01L 21/28(2006.01)

H01L 21/336(2006.01)

H01L 21/768(2006.01)

H01L 29/417(2006.01)

审查员 谢正旺

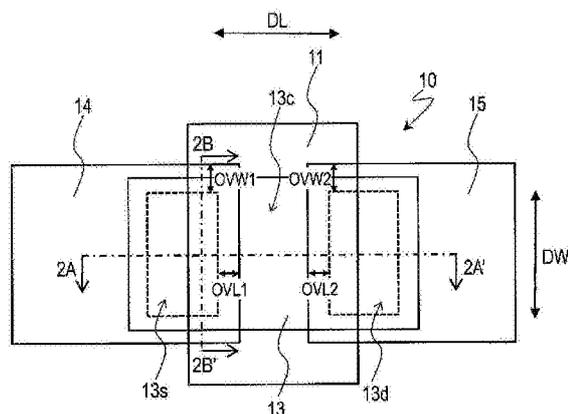
权利要求书2页 说明书10页 附图12页

(54)发明名称

半导体装置、显示装置和半导体装置的制造方法

(57)摘要

本发明的半导体装置(100)包括:基板(1)、栅极电极(11)、栅极绝缘膜(12)、氧化物半导体层(13)、源极电极(14)、漏极电极(15)和保护膜(16)。氧化物半导体层的上表面和侧面被源极电极、漏极电极和保护膜覆盖,从基板面法线方向看时,从第一接触区域(13s)的外缘至源极电极的外缘的最短距离和从第二接触区域(13d)的外缘至漏极电极的外缘的最短距离分别为1.5 μm 以上4.5 μm 以下。



1. 一种半导体装置,其特征在于,包括:
基板;
设置在所述基板上的栅极电极;
形成在所述栅极电极上的栅极绝缘膜;
岛状的氧化物半导体层,其形成在所述栅极绝缘膜上,具有沟道区域以及分别位于所述沟道区域的两侧的第一接触区域和第二接触区域;
与所述第一接触区域电连接的源极电极;
与所述第二接触区域电连接的漏极电极;和
保护膜,其与所述氧化物半导体层相接触地设置在该氧化物半导体层上,形成在所述氧化物半导体层与所述源极电极和所述漏极电极之间,
所述氧化物半导体层的上表面和侧面被所述源极电极、所述漏极电极和所述保护膜覆盖,
从基板面法线方向看时,沿沟道长度方向规定的、从所述第一接触区域的外缘至所述源极电极的外缘的最短距离和从所述第二接触区域的外缘至所述漏极电极的外缘的最短距离的值均在 $1.5\mu\text{m}$ 以上 $4.5\mu\text{m}$ 以下的范围内,
从基板面法线方向看时,沿沟道宽度方向规定的、从所述第一接触区域的外缘至所述源极电极的外缘的最短距离和从所述第二接触区域的外缘至所述漏极电极的外缘的最短距离的值均在 $1.5\mu\text{m}$ 以上 $4.5\mu\text{m}$ 以下的范围内。
2. 如权利要求1所述的半导体装置,其特征在于:
从基板面法线方向看时,从所述第一接触区域的外缘至所述源极电极的外缘的最短距离和从所述第二接触区域的外缘至所述漏极电极的外缘的最短距离的值均在 $2.0\mu\text{m}$ 以上 $3.5\mu\text{m}$ 以下的范围内。
3. 如权利要求1所述的半导体装置,其特征在于:
所述保护膜包括氧化物层。
4. 如权利要求3所述的半导体装置,其特征在于:
所述保护膜包括硅氧化物层。
5. 如权利要求3所述的半导体装置,其特征在于:
所述保护膜不包括氧化铝层和硅氮化物层。
6. 如权利要求1所述的半导体装置,其特征在于:
所述栅极绝缘膜为单层或者在大致整体的范围内为多层。
7. 如权利要求1所述的半导体装置,其特征在于:
还包括以覆盖所述源极电极和所述漏极电极的方式形成的钝化膜,
所述钝化膜包括硅氧化物层和在所述硅氧化物层上形成的硅氮化物层。
8. 如权利要求1所述的半导体装置,其特征在于:
所述氧化物半导体层包括In-Ga-Zn-O类半导体。
9. 如权利要求1~8中任一项所述的半导体装置,其特征在于:
所述半导体装置为有源矩阵基板。
10. 一种显示装置,其特征在于:
所述显示装置包括权利要求9所述的半导体装置。

11. 一种半导体装置的制造方法,其特征在于,包括:

(A)在基板上形成栅极电极的工序;

(B)以覆盖所述栅极电极的方式形成栅极绝缘膜的工序;

(C)在所述栅极绝缘膜上形成岛状的氧化物半导体层的工序;

(D)在所述氧化物半导体层上形成具有第一开口部和第二开口部的保护膜;和

(E)形成源极电极和漏极电极的工序,所述源极电极经由所述第一开口部与所述氧化物半导体层电连接,所述漏极电极经由所述第二开口部与所述氧化物半导体层电连接,

执行所述工序(D)和所述工序(E),使得所述氧化物半导体层的上表面和侧面被所述源极电极、所述漏极电极和所述保护膜覆盖,

并且,执行所述工序(E),使得当从基板面法线方向看时,沿沟道长度方向规定的、从所述第一开口部的外缘至所述源极电极的外缘的最短距离和从所述第二开口部的外缘至所述漏极电极的外缘的最短距离的值均在 $1.5\mu\text{m}$ 以上 $4.5\mu\text{m}$ 以下的范围内,沿沟道宽度方向规定的、从所述第一开口部的外缘至所述源极电极的外缘的最短距离和从所述第二开口部的外缘至所述漏极电极的外缘的最短距离的值均在 $1.5\mu\text{m}$ 以上 $4.5\mu\text{m}$ 以下的范围内。

12. 如权利要求11所述的半导体装置的制造方法,其特征在于:

所述氧化物半导体层包括In-Ga-Zn-O类半导体。

半导体装置、显示装置和半导体装置的制造方法

技术领域

[0001] 本发明涉及半导体装置,特别涉及具备氧化物半导体TFT的半导体装置。此外,本发明还涉及具备这样的半导体装置的显示装置和这样的半导体装置的制造方法。

背景技术

[0002] 用于液晶显示装置等的有源矩阵基板按每像素具备薄膜晶体管(Thin Film Transistor,以下,称为“TFT”)等开关元件。作为这样的开关元件,历来广泛地使用以非晶硅膜为活性层的TFT(以下,称为“非晶硅TFT”)和以多晶硅膜为活性层的TFT(以下,称为“多晶硅TFT”)。

[0003] 多晶硅膜中的电子和空穴的移动度比非晶硅膜的移动度高,因此关于多晶硅TFT,与非晶硅TFT相比导通电流高,能够实现高速动作。因此,如果使用多晶硅TFT形成有源矩阵基板,则不仅能够用作开关元件而且还能够在驱动器等周边电路中使用多晶硅TFT。因此获得能够将驱动器等周边电路的一部分或全部与显示部一体形成于同一基板上的优势。进一步,还能够获得以更短的开关时间对液晶显示装置等的像素电容进行充电的优势。

[0004] 但是,如果要制作多晶硅TFT,则除了进行用于使非晶硅膜结晶化的利用激光或热进行的结晶化工序以外,还需要进行热退火工序等复杂的工序,存在基板的每单位面积的制造成本变高的问题。因此,多晶硅TFT主要用于中型和小型的液晶显示装置。

[0005] 另一方面,非晶硅膜与多晶硅膜相比更容易形成,因此具有倾向大面积化的趋势。因此,非晶硅TFT优选适用于需要大面积的装置的非晶硅基板。尽管与多晶硅TFT相比具有更低的导通电流,在大多液晶电视的有源矩阵基板中仍然使用非晶硅TFT。

[0006] 但是,如果使用非晶硅TFT,则因为非晶硅膜的移动度低(具体而言为 $0.5\text{cm}^2/\text{Vs}$ 以下),所以其高性能化存在界限。在液晶电视等液晶显示装置中,不仅要求大型化,而且强烈要求高画质化和低消耗电力化,利用非晶硅TFT,难以充分地响应这样的要求。此外,特别是近年来对于液晶显示装置被强烈要求为了实现窄边框化和成本降低的驱动器单片基板化、以及触摸面板功能的内置等高性能化,通过非晶硅TFT,难以充分地响应这样的要求。

[0007] 因此,为了抑制制造工序数和制造成本并且实现更高性能的TFT,作为TFT的活性层的材料尝试使用非晶硅和多晶硅以外的材料。

[0008] 例如在专利文献1和2中提案有使用氧化锌等氧化物半导体膜形成TFT的活性层的技术。这样的TFT被称为“氧化物半导体TFT”。氧化物半导体与非晶硅相比具有更高的移动度(例如 $10\text{cm}^2/\text{Vs}$ 左右)。因此,氧化物半导体TFT与非晶硅TFT相比能够以更高速度进行动作(工作)。此外,氧化物半导体膜与多晶硅膜相比通过更简便的工艺形成,因此还能够应用于需要大面积的装置。

[0009] 但是,根据氧化物半导体TFT的结构,存在在制造工艺中氧化物半导体膜容易受到损害、晶体管特性劣化的问题。例如,在具有底栅·顶接触结构的氧化物半导体TFT中,在通过进行图案化而形成源极·漏极电极时,一般进行使用氟气或氯气等卤素气体的干蚀刻。但是此时氧化物半导体膜被暴露于卤素的等离子体,因此从氧化物半导体膜产生氧的脱离

等,因此产生特性的劣化(例如由于沟道的低电阻化而导致的关断特性的恶化)。

[0010] 针对这样的问题,在专利文献1和2提案有在由氧化物半导体形成的活性层的沟道区域上形成发挥蚀刻阻挡功能的绝缘膜(沟道保护膜)。

[0011] 在图13表示具有沟道保护膜的现有的氧化物半导体TFT10A的截面结构。氧化物半导体TFT10A包括:基板1、在基板1上设置的栅极电极11、覆盖栅极电极11的栅极绝缘膜12、在栅极绝缘膜12上形成的氧化物半导体层13、在氧化物半导体层13的沟道区域上形成的沟道保护膜16、在氧化物半导体层13上设置的源极电极14和漏极电极15。源极电极14和漏极电极15分别与氧化物半导体层13电连接。

[0012] 在制造图13所示的氧化物半导体TFT10A的工艺中,在通过进行图案化将金属膜形成源极电极14和漏极电极15时,氧化物半导体层13的沟道区域被沟道保护膜16保护。因此,能够防止氧化物半导体层13的沟道区域受到损害。

[0013] 但是,根据以下说明的理由,仅设置专利文献1和2中公开的那样的沟道保护膜,不能充分地提高氧化物半导体TFT的可靠性。

[0014] 氧化物半导体膜具有由于水分的吸附而膜中的载流子浓度变大的特性。因此,如果将氧化物半导体TFT放置于高温高湿的环境,则由于水分扩散至沟道区域而晶体管特性大幅地劣化。

[0015] 在专利文献3中提案有抑制水分向氧化物半导体TFT的氧化物半导体层的吸附的技术。图14(a)和(b)表示专利文献3中公开的氧化物半导体TFT10B。图14(a)是示意地表示氧化物半导体TFT10B的平面图,图14(b)是沿图14(a)中的14B-14B'线的截面图。

[0016] 在氧化物半导体TFT10B中,栅极绝缘膜12具有包括硅氮化物层12c和在硅氮化物层12c上形成的硅氧化物层12d的叠层结构。但是,硅氧化物层12d仅在与氧化物半导体层13对应的区域有选择地形成。即,栅极绝缘膜12是仅在与氧化物半导体层13对应的区域中为多层,在其它区域中为单层。

[0017] 在栅极绝缘膜12的硅氮化物层12c上,氧化物半导体层13的上表面和侧面以及栅极绝缘膜12的硅氧化物层12d的侧面被源极电极14、漏极电极15和沟道保护膜16覆盖。

[0018] 沟道保护膜16具有依次叠层的第一层16c、第二层16d和第三层16e而构成的3层结构。第一层16c、第二层16d和第三层16e分别为氧化铝层、硅氮化物层和硅氧氮化物层,第二层16d和第三层16e中的至少1层为氧化铝层或硅氮化物层。

[0019] 在氧化物半导体TFT10B中,在硅氮化物层12c上,氧化物半导体层13的上表面和侧面以及硅氧化物层12d的侧面被源极电极14、漏极电极15和沟道保护膜16覆盖,由此抑制水分向氧化物半导体层13的吸附。此外,在氧化物半导体TFT10B中,在与氧化物半导体层13对应的区域形成有硅有机物层12d,由此在硅氧化物层12d与氧化物半导体层13之间形成良好的器件界面,能够抑制在氧化物半导体层13的栅格缺陷的形成。

[0020] 现有技术文献

[0021] 专利文献

[0022] 专利文献1:日本特开2008-166716号公报

[0023] 专利文献2:日本特开2007-258675号公报

[0024] 专利文献3:日本特开2010-182818号公报

发明内容

[0025] 发明所要解决的问题

[0026] 但是,根据本申请的发明人的研究可知,如在专利文献3中公开的技术那样,仅单纯地利用源极电极14、漏极电极15和沟道保护膜16覆盖氧化物半导体层13的上表面和侧面,不能充分地抑制水分向氧化物半导体层13的吸附。

[0027] 此外,在专利文献3的技术中,沟道保护膜16必须包括氧化铝层或硅氮化物层。氧化铝不易进行加工,并且硅氮化物层自身容易成为固定电荷(是使晶体管特性劣化的主要原因之一)的原因。

[0028] 进一步,在专利文献3的技术中,使栅极绝缘膜12仅在与氧化物半导体层13对应的区域为多层(在其它区域为单层),因此需要对硅氧化物层12d进行蚀刻的多余的工序,制造成本增大。

[0029] 本发明是鉴于上述问题而完成的,其目的在于以比较简易的结构提高具备氧化物半导体TFT的半导体装置的可靠性。

[0030] 用于解决问题的方式

[0031] 本发明的优选实施方式中的半导体装置包括:

[0032] 基板;设置在上述基板上的栅极电极;形成在上述栅极电极上的栅极绝缘膜;岛状的氧化物半导体层,其形成在上述栅极绝缘膜上,具有沟道区域、和分别位于上述沟道区域的两侧的第一接触区域和第二接触区域;与上述第一接触区域电连接的源极电极;与上述第二接触区域电连接的漏极电极;和保护膜,其与上述氧化物半导体层相接触地设置在该氧化物半导体层上,形成在上述氧化物半导体层与上述源极电极和上述漏极电极之间,上述氧化物半导体层的上表面和侧面被上述源极电极、上述漏极电极和上述保护膜覆盖,从基板面法线方向看时,从上述第一接触区域的外缘至上述源极电极的外缘的最短距离和从上述第二接触区域的外缘至上述漏极电极的外缘的最短距离分别为 $1.5\mu\text{m}$ 以上 $4.5\mu\text{m}$ 以下。

[0033] 在一个优选实施方式中,从基板面法线方向看时,沿沟道长度方向规定的、从上述第一接触区域的外缘至上述源极电极的外缘的距离和从上述第二接触区域的外缘至上述漏极电极的外缘的距离,分别为 $1.5\mu\text{m}$ 以上 $4.5\mu\text{m}$ 以下。

[0034] 在一个优选实施方式中,从基板面法线方向看时,沿沟道宽度方向规定的、从上述第一接触区域的外缘至上述源极电极的外缘的距离和从上述第二接触区域的外缘至上述漏极电极的外缘的距离,分别为 $1.5\mu\text{m}$ 以上 $4.5\mu\text{m}$ 以下。

[0035] 在一个优选实施方式中,从基板面法线方向看时,从上述第一接触区域的外缘至上述源极电极的外缘的最短距离和从上述第二接触区域的外缘至上述漏极电极的外缘的最短距离分别为 $2.0\mu\text{m}$ 以上 $3.5\mu\text{m}$ 以下。

[0036] 在一个优选实施方式中,上述保护膜包括氧化物层。

[0037] 在一个优选实施方式中,上述保护膜包括硅氧化物层。

[0038] 在一个优选实施方式中,上述保护膜不包括氧化铝层和硅氮化物层。

[0039] 在一个优选实施方式中,上述栅极绝缘膜为单层或在大致整体的范围内为多层。

[0040] 在一个优选实施方式中,还包括以覆盖上述源极电极和上述漏极电极的方式形成的钝化膜,上述钝化膜包括硅氧化物层和在上述硅氧化物层上形成的硅氮化物层。

[0041] 在一个优选实施方式中,上述的半导体装置为有源矩阵基板。

[0042] 本发明的优选实施方式中的显示装置包括上述的半导体装置。

[0043] 本发明的优选实施方式的半导体装置的制造方法包括:

[0044] (A)在基板上形成栅极电极的工序;(B)以覆盖上述栅极电极的方式形成栅极绝缘膜的工序;(C)在上述栅极绝缘膜上形成岛状的氧化物半导体层的工序;(D)在上述氧化物半导体层上形成具有第一开口部和第二开口部的保护膜;和(E)形成源极电极和漏极电极的工序,上述源极电极经由上述第一开口部与上述氧化物半导体层电连接,上述漏极电极经由上述第二开口部与上述氧化物半导体层电连接,执行上述工序(D)和上述工序(E),使得上述氧化物半导体层的上表面和侧面被上述源极电极、上述漏极电极和上述保护膜覆盖,并且,执行上述工序(E),使得当从基板面法线方向看时,从上述第一开口部的外缘至上述源极电极的外缘的最短距离和从上述第二开口部的外缘至上述漏极电极的外缘的最短距离分别为 $1.5\mu\text{m}$ 以上 $4.5\mu\text{m}$ 以下。

[0045] 发明的效果

[0046] 根据本发明的实施方式,能够以比较简易的结构提高具备氧化物半导体TFT的半导体装置的可靠性。

附图说明

[0047] 图1是示意地表示具备本发明的优选实施方式中的半导体装置(TFT基板)的薄膜晶体管10的平面图。

[0048] 图2(a)和(b)是示意地表示薄膜晶体管10的图,分别为沿图1中的2A-2A'线和2B-2B'线的截面图。

[0049] 图3(a)~(c)是用于说明薄膜晶体管10的制造方法的工序截面图。

[0050] 图4(a)~(c)是用于说明薄膜晶体管10的制造方法的工序截面图。

[0051] 图5(a)~(c)是与图3和图4所示的工序中的一部分工序对应的平面图。

[0052] 图6是示意地表示比较例的薄膜晶体管10C的平面图。

[0053] 图7(a)和(b)是示意地表示薄膜晶体管10C的图,分别为沿图6中的7A-7A'线和7B-7B'线的截面图。

[0054] 图8是表示对比较例的薄膜晶体管10C的耐湿性评价试验的结果(在试验前后的 V_g - I_d 特性)的图表。

[0055] 图9是表示对实施例的薄膜晶体管10的耐湿性评价试验的结果(在试验前后的 V_g - I_d 特性)的图表。

[0056] 图10是表示关于源极电极14和漏极电极15的重叠长度与试验前后的阈值的变化量 ΔV_{th} 的关系的图表。

[0057] 图11(a)和(b)是示意地表示薄膜晶体管10的另一结构的图,分别为沿图1中的2A-2A'线和2B-2B'线的截面图。

[0058] 图12(a)和(b)是示意地表示薄膜晶体管10的又一结构的图,分别为沿图1中的2A-2A'线和2B-2B'线的截面图。

[0059] 图13示意地表示具有沟道保护膜的现有的氧化物半导体TFT10A的截面图。

[0060] 图14(a)是示意地表示专利文献3中公开的氧化物半导体TFT10B的平面图,(b)是

沿(a)中的14B-14B'线的截面图。

具体实施方式

[0061] 以下,参照附图对本发明的实施方式进行说明。本发明的半导体装置包括具有由氧化物半导体形成的活性层的薄膜晶体管(氧化物半导体TFT)。本发明的半导体装置既可以包括至少一个氧化物半导体TFT,也可以为具备这样的TFT的各种基板、各种显示装置、各种电子设备。在以下的说明中,以显示装置(例如液晶显示装置)用的有源矩阵基板(TFT基板)为例进行说明。

[0062] 参照图1和图2,说明本发明的优选实施方式中的半导体装置(TFT基板)具备的薄膜晶体管10的结构。图1是示意地表示薄膜晶体管10的平面图。图2(a)和(b)分别是沿图1中的2A-2A'线和2B-2B'线的截面图。另外,在图1中,省略一部分构成要素。

[0063] 薄膜晶体管10设置在半导体装置的基板(典型的是透明基板)1上。基板1具有绝缘性,例如是玻璃基板。

[0064] 薄膜晶体管10具有:在基板1上设置的栅极电极11、在栅极电极11上形成的栅极绝缘膜12、在栅极绝缘膜12上形成的岛状的氧化物半导体层13、与氧化物半导体层13电连接的源极电极14和漏极电极15。此外,薄膜晶体管10具有保护膜(沟道保护膜)16,该保护膜16在氧化物半导体层13上相接触地设置,在氧化物半导体层13与源极电极14和漏极电极15之间形成。以覆盖薄膜晶体管10的方式形成有钝化膜17。

[0065] 栅极绝缘膜12在图2(a)和(b)所例示的结构中具有叠层结构,该叠层结构包括由相互不同的绝缘材料形成的第一绝缘层12a和第二绝缘层12b而构成。

[0066] 源极电极14和漏极电极15分别与氧化物半导体层13的上表面相接触。氧化物半导体层13中与源极电极14相接触的区域13s称为“第一接触区域”或“源极区域”,与漏极电极15相接触的区域13d称为“第二接触区域”或“漏极区域”。此外,氧化物半导体层13中与栅极电极11重叠且位于源极区域13s与漏极区域13d之间的区域13c称为“沟道区域”。即,氧化物半导体层13具有沟道区域13c和分别位于沟道区域13c的两侧的第一接触区域13s和第二接触区域13d,源极电极14和漏极电极15分别与氧化物半导体层13的源极区域13s和漏极区域13d电连接。在本申请说明书中,将在与基板1平行的面内、与电流在沟道区域13c流动的方向平行的方向DL称为“沟道长度方向”,将与沟道长度方向正交的方向DW称为“沟道宽度方向”。

[0067] 在本实施方式中的薄膜晶体管10,如图1、图2(a)和(b)所示,氧化物半导体层13的上表面和侧面被源极电极14、漏极电极15和保护膜16覆盖。另外,虽然在图1中省略保护膜16,但是氧化物半导体层13的上表面和侧面中未被源极电极14和漏极电极15覆盖的部分被保护膜16覆盖。

[0068] 此外,在本实施方式的薄膜晶体管10中,从基板面法线方向看时,从第一接触区域13s的外缘至源极电极14的外缘的最短距离和从第二接触区域13d的外缘至漏极电极15的外缘的最短距离被设定在规定的范围内。具体而言,这些最短距离分别为 $1.5\mu\text{m}$ 以上 $4.5\mu\text{m}$ 以下。

[0069] 因此,沿沟道长度方向DL规定的、从第一接触区域13s的外缘至源极电极14的外缘的距离(在以下的说明中称为关于源极电极14的“在沟道长度方向DL的重叠长度”)OVL1为

1.5 μm 以上4.5 μm 以下。此外,沿沟道长度方向DL规定的、从第二接触区域13d的外缘至漏极电极15的外缘的距离(在以下的说明中称为关于漏极电极15的“在沟道长度方向DL的重叠长度”)OVL2也为1.5 μm 以上4.5 μm 以下。

[0070] 同样,沿沟道宽度方向DW规定的、从第一接触区域13s的外缘至源极电极14的外缘的距离(在以下的说明中称为关于源极电极14的“在沟道宽度方向DW的重叠长度”)OVW1为1.5 μm 以上4.5 μm 以下。此外,沿沟道宽度方向DW规定的、从第二接触区域13d的外缘至漏极电极15的外缘的距离(在以下的说明中称为关于漏极电极15的“在沟道宽度方向DW的重叠长度”)OVW2为1.5 μm 以上4.5 μm 以下。

[0071] 如上所述,在本实施方式的薄膜晶体管10中,不仅氧化物半导体层13的上表面和侧面被源极电极14、漏极电极15和保护膜16覆盖,而且源极电极14和漏极电极15以重叠长度OVL1、OVL2、OVW1、OVW2成为1.5 μm 以上4.5 μm 以下的方式布局。由此,如之后验证结果所示那样,能够充分提高薄膜晶体管10的耐湿性,提高半导体装置的可靠性。从进一步提高半导体装置的可靠性的观点出发,优选重叠长度OVL1、OVL2、OVW1、OVW2为2.0 μm 以上3.5 μm 以下。即,优选从基板面法线方向看时,从第一接触区域13s的外缘至源极电极14的外缘的最短距离和从第二接触区域13d的外缘至漏极电极15的外缘的最短距离分别为2.0 μm 以上3.5 μm 以下。

[0072] 此处,参照图3~图5,对薄膜晶体管10的制造方法的例子进行说明。图3(a)~(c)和图4(a)~(c)是用于说明薄膜晶体管10的制造方法的工序截面图。图5(a)~(c)是与图3和图4所示的工序中一部分工序对应的平面图。

[0073] 首先,如图3(a)所示那样在透明的基板1上形成栅极电极11。栅极电极11能够通过利用溅射法在基板1上沉积金属膜(导电膜)之后、利用光刻对该金属膜进行图案化而形成。作为成为栅极电极11的导电膜,此处形成厚度10nm~100nm的Ti层、厚度50nm~500nm的Al层和厚度50nm~300nm的Ti层依次叠层而形成的叠层膜。

[0074] 接着,如图3(b)所示那样以覆盖栅极电极11的方式形成栅极绝缘膜12。栅极绝缘膜12例如能够使用CVD法形成。此处,作为栅极绝缘膜12的第一绝缘层12a形成厚度100nm~500nm的SiNx层,在其上作为第二绝缘层12b形成厚度10nm~100nm的SiOx层。

[0075] 接着,如图3(c)和图5(a)所示那样在栅极绝缘膜12上形成岛状的氧化物半导体层13。作为氧化物半导体层13的材料,例如能够使用In-Ga-Zn-O类半导体(以下简称为“IGZO类半导体”)。此外,还能够使用Zn-O类半导体(ZnO)、In-Zn-O类半导体(IZO)和Zn-Ti-O类半导体(ZTO)。此处,在使用溅射法、以20nm~200nm的厚度形成包括IGZO类半导体的氧化物半导体膜之后,通过进行图案化形成氧化物半导体层13。此处,IGZO类半导体为In(铟)、Ga(镓)、Zn(锌)的三元氧化物,In、Ga和Zn的比例(组成比)并无特别限定,例如包括In:Ga:Zn=2:2:1、In:Ga:Zn=1:1:1、In:Ga:Zn=1:1:2等。IGZO类半导体既可以为非晶质也可以为结晶质。作为结晶质IGZO类半导体,优选c轴与层面大致垂直地取向的结晶质IGZO类半导体。这样的IGZO类半导体的结晶结构例如在日本特开2012-134475号公报中被公开。为了参考,在本说明书中引用日本特开2012-134475号公报的全部公开内容。

[0076] 接着,如图4(a)所示那样,在氧化物半导体层13上形成发挥蚀刻阻挡功能的保护膜16。此处,首先,使用CVD法形成厚度30nm~200nm的氧化物层(具体而言为SiOx层)。接着,利用光刻形成覆盖SiOx层的规定区域的抗蚀剂掩模。然后,利用蚀刻将SiOx层中未被抗蚀

剂掩模覆盖的部分除去,之后,将抗蚀剂掩模剥离,由此得到保护膜16。

[0077] 如图4(a)所示,所得到的保护膜16具有使得位于氧化物半导体层13中成为沟道区域13c的区域的两侧的区域露出的第一开口部16a和第二开口部16b。另外,在图5(b)也表示第一开口部16a和第二开口部16b的位置(在图5(b)中未表示保护膜16自身)。第一开口部16a与第二开口部16b的距离(成为沟道长度)L被设定为所期望的值(典型的是 $6.0\mu\text{m}\sim 22.0\mu\text{m}$)。

[0078] 接着,如图4(b)和图5(c)所示那样,形成经第一开口部16a与氧化物半导体层13电连接的源极电极14和经第二开口部16b与氧化物半导体层13电连接的漏极电极15。氧化物半导体层13中在第一开口部16a内与源极电极14相接触的区域成为第一接触区域13s,在第二开口部16b内与漏极电极15相接触的区域成为第二接触区域13d。源极电极14和漏极电极15例如能够通过利用溅射法沉积金属膜(导电膜)、并对该金属膜进行图案化而形成。此处,作为成为源极电极14和漏极电极15的导电膜,形成厚度 $10\text{nm}\sim 100\text{nm}$ 的Ti层、厚度 $50\text{nm}\sim 400\text{nm}$ 的Al层和厚度 $50\text{nm}\sim 300\text{nm}$ 的Ti层依次叠层而得到的叠层膜。

[0079] 形成上述保护膜16的工序与形成源极电极14和漏极电极15的工序以使得氧化物半导体层13的上表面和侧面被源极电极14、漏极电极15和保护膜16覆盖的方式被执行。

[0080] 此外,形成源极电极14和漏极电极15的工序以使得从基板面法线方向看时、从第一开口部16a的外缘至源极电极14的外缘的最短距离和从第二开口部16b的外缘至漏极电极15的外缘的最短距离分别为 $1.5\mu\text{m}$ 以上 $4.5\mu\text{m}$ 以下的方式被执行。即,该工序以使得上述已说明的重叠长度 $0\text{VL}1$ 、 $0\text{VL}2$ 、 $0\text{VW}1$ 、 $0\text{VW}2$ 成为 $1.5\mu\text{m}$ 以上 $4.5\mu\text{m}$ 以下的方式被执行。

[0081] 接着,如图4(c)所示那样形成钝化膜17,之后,进行退火。此处,作为钝化膜17,例如利用CVD法形成厚度 $100\text{nm}\sim 500\text{nm}$ 的 SiO_x 层,之后在大气气氛中在 350°C 进行 $0.5\sim 2$ 小时的退火。这样,得到薄膜晶体管10。

[0082] 此处,实际制作了本实施方式中的薄膜晶体管10(实施例),说明对此进行耐湿性评价试验的结果。在说明时,一并表示对比较例的薄膜晶体管(当然为氧化物半导体TFT)进行耐湿性评价试验的结果。

[0083] 作为比较例制作了图6和图7所示的薄膜晶体管10C。图6是示意地表示比较例的薄膜晶体管10C的平面图,图7(a)和(b)分别是沿图6中的7A-A'线和7B-B'线的截面图。

[0084] 比较例的薄膜晶体管10C的源极电极14和漏极电极15的布置与实施例的薄膜晶体管10不同。在实施例的薄膜晶体管10中,如图1等所示,源极电极14和漏极电极15的沿沟道宽度方向DW的宽度比氧化物半导体层13的沿沟道宽度方向DW的宽度大,在沟道宽度方向DW,源极电极14和漏极电极15以比形成有氧化物半导体层13的区域突出的方式被设置。与此相对,在比较例的薄膜晶体管10C中,源极电极14和漏极电极15的沿沟道宽度方向DW的宽度比氧化物半导体层13的沿沟道宽度方向DW的宽度小,在沟道宽度方向DW,源极电极14和漏极电极15以不从形成有氧化物半导体层13的区域突出的方式被设置。

[0085] 此外,在比较例的薄膜晶体管10C中,从基板面法线方向看时,从第一接触区域13s的外缘至源极电极14的外缘的最短距离和从第二接触区域13d的外缘至漏极电极15的外缘的最短距离为 $0.3\mu\text{m}$ 。即,重叠长度 $0\text{VL}1$ 、 $0\text{VL}2$ 、 $0\text{VW}1$ 、 $0\text{VW}2$ 为 $0.3\mu\text{m}$ 。

[0086] 另外,关于实施例的薄膜晶体管10和比较例的薄膜晶体管10C,源极电极14和漏极电极15的尺寸·布局以外的结构(各层的材料、厚度、尺寸等)相同。

[0087] 耐湿性评价试验通过以下方式进行:将实施例的薄膜晶体管10和比较例的薄膜晶体管10C分别在134℃以3atm、RH100%放置18小时之后,在60℃以-30V进行1小时的应力施加,之后对栅极电压-漏极电流(V_g-1d)特性进行测定(当然对初始状态的 V_g-1d 特性也进行了测定)。在图8表示对比较例的薄膜晶体管10C的评价结果。此外,在图9表示对实施例的薄膜晶体管10的评价结果。

[0088] 如图8所示,在比较例的薄膜晶体管10C中,试验后的 V_g-1d 特性与初始的 V_g-1d 特性相比向负方向大幅移动。这被认为是因为由于薄膜晶体管10C被放置在高温高湿环境、结果在氧化物半导体层13吸附了水分。与此相对,如图9所示,在实施例的薄膜晶体管10中,在试验的前后 V_g-1d 特性几乎不移动。

[0089] 此外,在图10表示关于源极电极14和漏极电极15的重叠长度(图1等所示的距离OVL1、OVL2、OVW1、OVW2)与试验前后的阈值的变化量 ΔV_{th} 的关系。

[0090] 从图10可知,在重叠长度与阈值变化量 ΔV_{th} 之间存在相关关系,并且通过使重叠长度为1.5 μm 以上4.5 μm 以下,能够使阈值变化量 ΔV_{th} 的绝对值充分地变小为3.0以下(即,能够充分地提高可靠性)。此外,通过使重叠长度为2.0 μm 以上3.5 μm 以下,能够使阈值变化量 ΔV_{th} 的绝对值进一步变小(几乎为零(0.3以下))。另外,图9所示的评价结果是重叠长度为3.0 μm 的情况下的结果。

[0091] 这样,关于重叠长度,存在能够实现充分高的可靠性的优选范围。其理由如下。

[0092] 图8所示那样的可靠性的降低被认为是因为扩散至氧化物半导体层13而吸附在氧化物半导体层13的水分成为杂质(不纯度)、固定电荷的原因。如果使源极电极14和漏极电极15变大,即如果使重叠长度变大,则氧化物半导体层13的被源极电极14和漏极电极15覆盖的部分增加,由此水分向氧化物半导体层13的扩散被妨碍,水分的吸附量减少。此外,固定电荷的生成量由于被施加至变大了的源极电极14和漏极电极15的电位而减少。这些效果通过使重叠长度为1.5 μm 以上而能够充分地得到,通过为2.0 μm 以上而更显著地得到。

[0093] 但是,如果使重叠长度过大,则水分吸附量减少,尽管如此,但是源极电极14和漏极电极15与栅极电极11重叠的面积变得过大,水分以外的因素导致的固定电荷增加,因此可靠性降低。为了抑制这样的可靠性的降低,优选重叠长度为4.5 μm 以下,更优选为3.5 μm 以下。

[0094] 另外,当重叠长度变大时,TFT的寄生电容变大。因此,在一般的氧化物半导体TFT中,在确保源极电极和漏极电极与保护膜的模式重叠边缘(margin)的基础上将重叠长度尽量设定得小。具体而言,重叠长度在0.5 μm 以上的范围尽量设定得小(即小于1.5 μm)。这样,在本发明中,在与现有的技术常识不同的想法下设定重叠长度,由此能够获得可靠性提高的效果。

[0095] 如上所述,不仅氧化物半导体层13的上表面和侧面被源极电极14、漏极电极15和保护膜16覆盖,而且源极电极14和漏极电极15以重叠长度OVL1、OVL2、OVW1、OVW2成为1.5 μm 以上4.5 μm 以下的方式布局,由此能够充分地提高薄膜晶体管10的耐湿性,提高半导体装置的可靠性。

[0096] 此外,在本实施方式的薄膜晶体管10中,不使用特别材料、特别的工艺,仅通过改变源极电极14和漏极电极15的布置能够获得耐湿性的提高效果,因此,根据本发明,能够以高成品率得到具有稳定的晶体管特性的可靠性高的氧化物半导体TFT。此外,能够不准备

和追加对应特别的材料和特别的工艺的新装置地进行制造,因此在制造成本方面也有利。

[0097] 另外,优选保护膜16包括硅氧化物(SiO_x)层等氧化物层。通过使保护膜16包括氧化物层,在氧化物半导体层13发生氧缺损的情况下,能够通过氧化物层中所含的氧使氧缺损恢复,因此能够减少氧化物半导体层13的氧缺损。

[0098] 此外,优选保护膜16不包括氧化铝层和硅氮化物层。这是因为氧化铝不易加工,并且硅氮化物层自身容易成为固定电荷的原因。

[0099] 优选保护膜16的厚度为50nm以上200nm以下。通过为50nm以上,在源极电极14和漏极电极15的图案化工序等中,能够更可靠地保护氧化物半导体层13的表面。另一方面,如果超过200nm,则产生比源极电极14和漏极电极15大的台阶差,因此存在引起断线等问题。

[0100] 另外,在图2等中例示的结构中,栅极绝缘膜12具有叠层结构,如图11(a)和(b)所示,栅极绝缘膜12也可以为单层。在栅极绝缘膜12为单层的情况下,优选栅极绝缘膜12为 SiO_x 层那样的氧化物层。通过将氧化物层用作栅极绝缘膜12,能够得到能够减少氧化物半导体层13的氧缺损的优点。此外,在栅极绝缘膜12具有图2等所示那样的叠层结构的情况下,使与氧化物半导体层13相接触的绝缘层(在图2等中例示的结构中为第二绝缘层12b)为氧化物层,能够得到相同的优点。

[0101] 此外,优选栅极绝缘膜12或者如图11所示那样为单层,或者如图2所示那样在大致整体的范围内为多层。在图14所示的氧化物半导体10C中,栅极绝缘膜12仅在与氧化物半导体层13对应的区域为多层,在其它区域为单层。该结构通过对上层的硅氧化物层12d进行蚀刻而形成。因此需要对硅氧化物层12d进行蚀刻的多余的工序,导致制造成本的增大。此外,在对硅氧化物层12d进行蚀刻时,硅氮化物层12c也被蚀刻导致台阶差变大。因此,成为源极电极和漏极电极的金属膜的覆盖性下降,容易产生断线。通过使栅极绝缘膜12为单层或在大致整体的范围内为多层,能够抑制这样的问题的发生。

[0102] 另外,在图2等中作为覆盖源极电极14和漏极电极15等的钝化膜17例示了单层的结构,也可以如图12(a)和(b)所示那样设置多层的钝化膜17。图12(a)和(b)所示的钝化膜17包括硅氧化物层17a和在硅氧化物层17a上形成的硅氮化物层17b。通过设置包括具有阻挡水分的效果的硅氮化物层17b的多层的钝化膜17,能够实现耐湿性的进一步提高。

[0103] 产业上的可利用性

[0104] 本发明的实施方式能够在有源矩阵基板等的电路基板、液晶显示装置、有机电致发光(EL)显示装置和无机电致发光显示装置等显示装置、图像传感装置等摄像装置、图像输入装置和指纹读取装置等电子装置等的具备薄膜晶体管的装置中广泛地应用。特别能够在大型液晶显示装置等中恰当地应用。

[0105] 附图标记的说明

- [0106] 1 基板
- [0107] 10 薄膜晶体管(氧化物半导体TFT)
- [0108] 11 栅极电极
- [0109] 12 栅极绝缘膜
- [0110] 13 氧化物半导体层
- [0111] 13s 第一接触区域
- [0112] 13d 第二接触区域

-
- | | | |
|--------|-----|------------|
| [0113] | 13c | 沟道区域 |
| [0114] | 14 | 源极电极 |
| [0115] | 15 | 漏极电极 |
| [0116] | 16 | 保护膜(沟道保护膜) |
| [0117] | 16a | 第一开口部 |
| [0118] | 16b | 第二开口部 |
| [0119] | 17 | 钝化膜 |

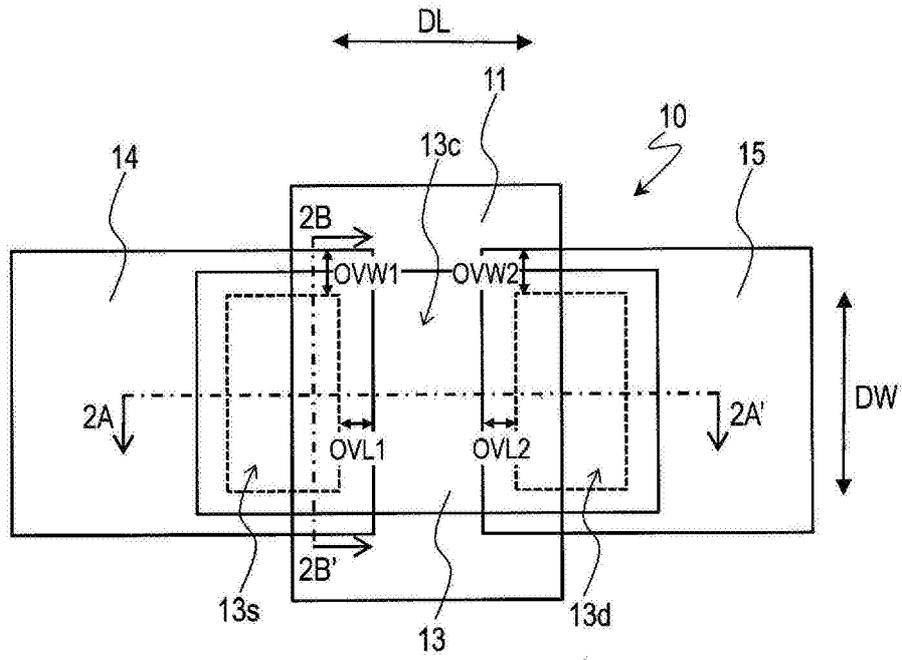


图1

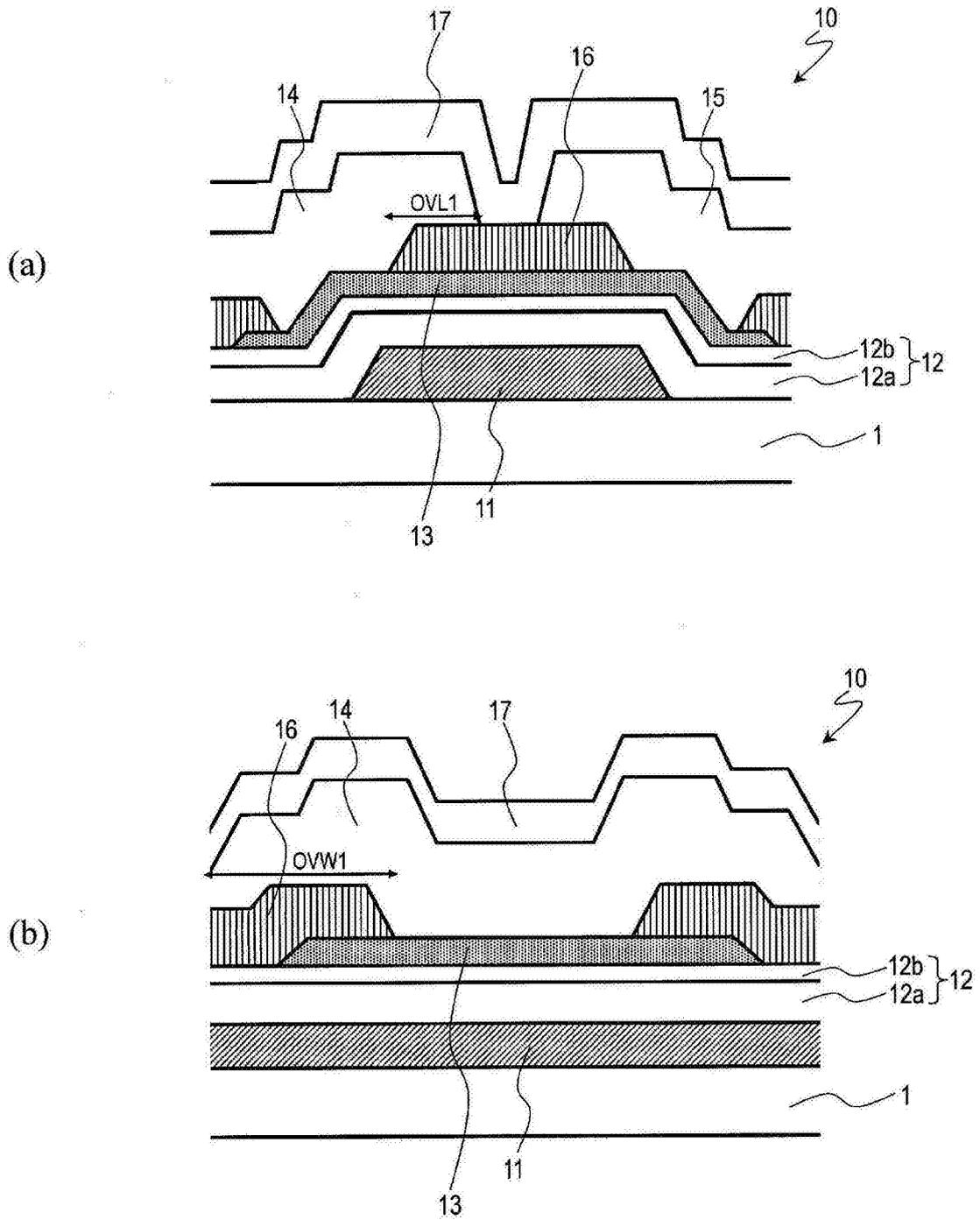


图2

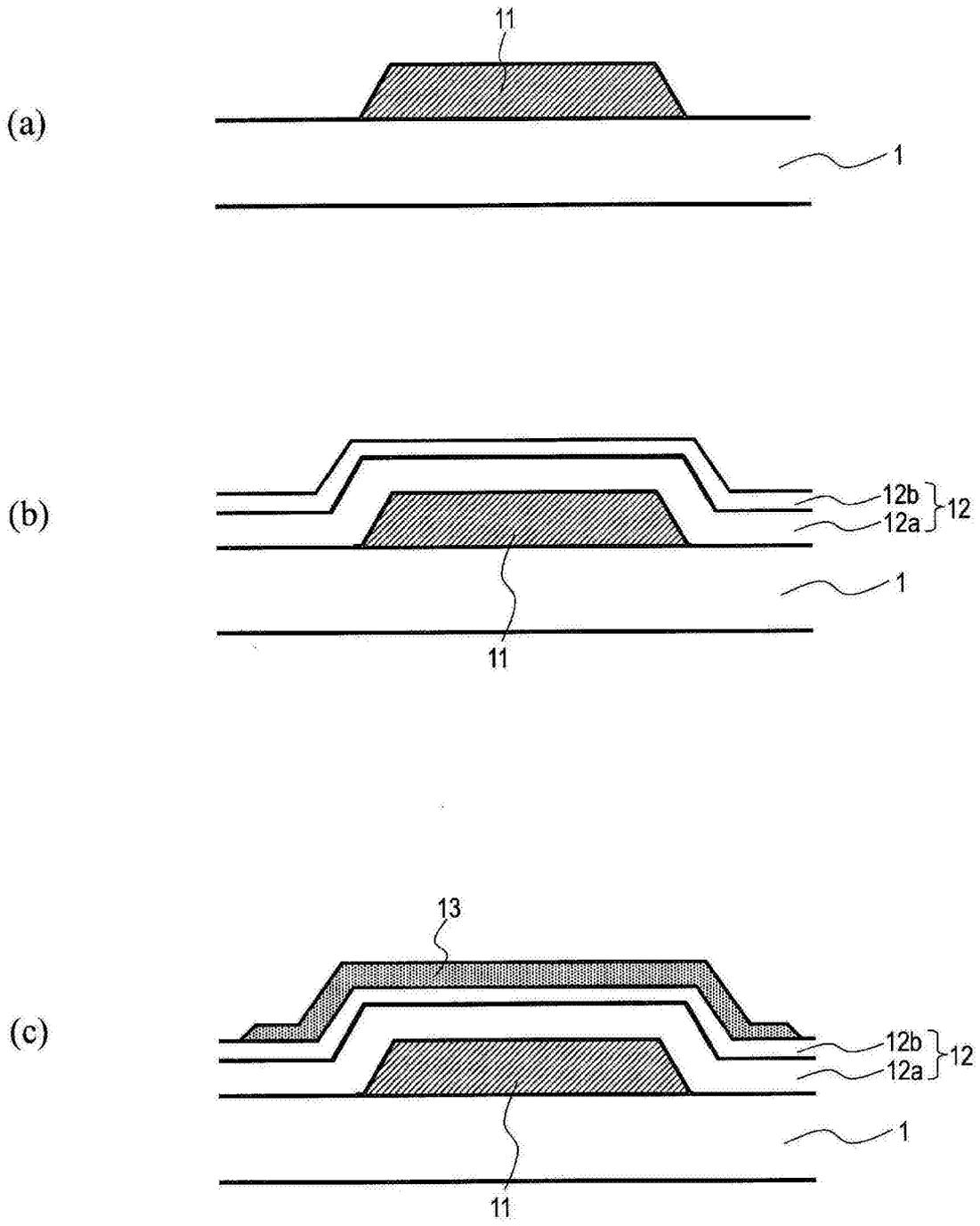


图3

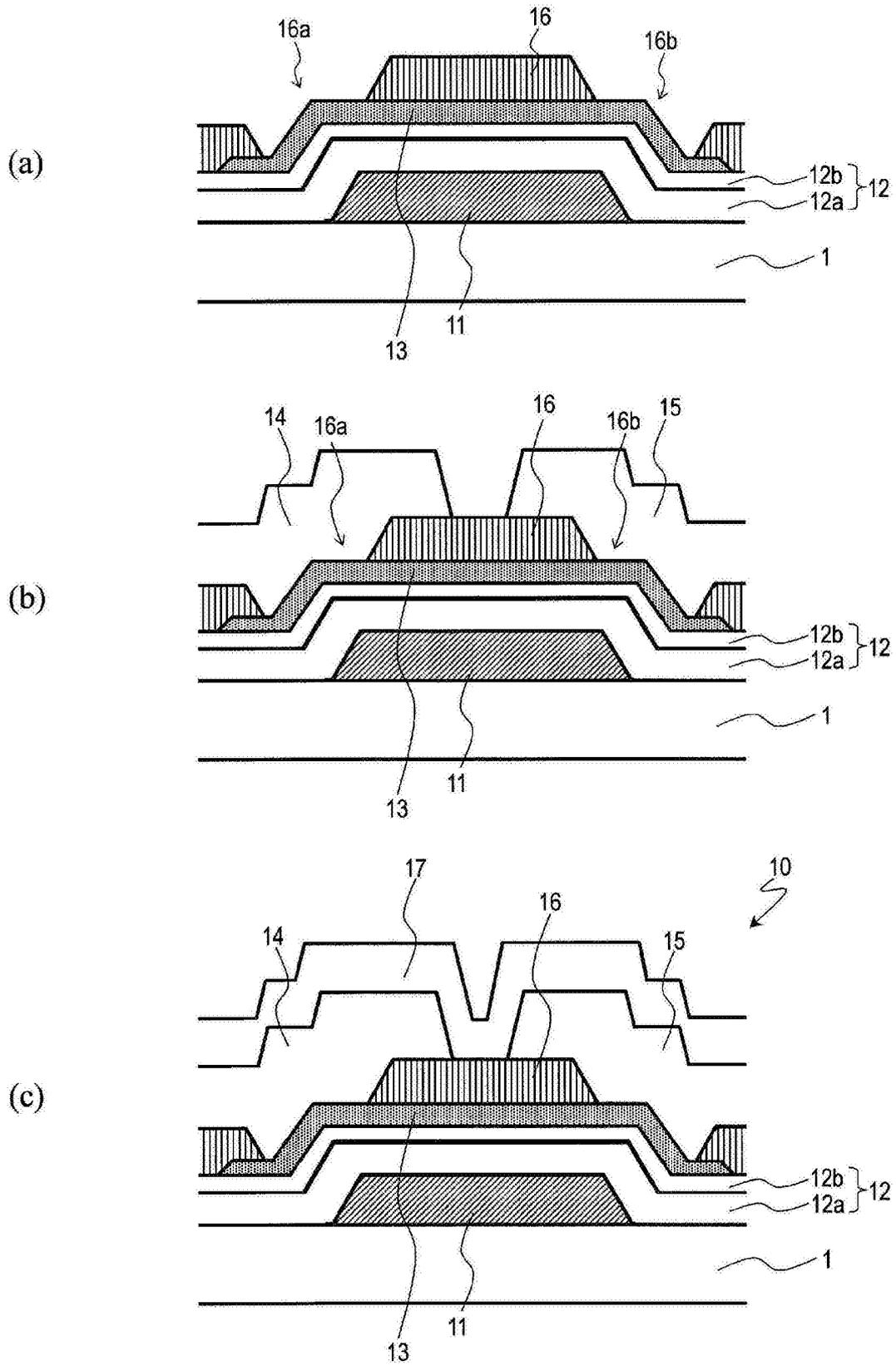


图4

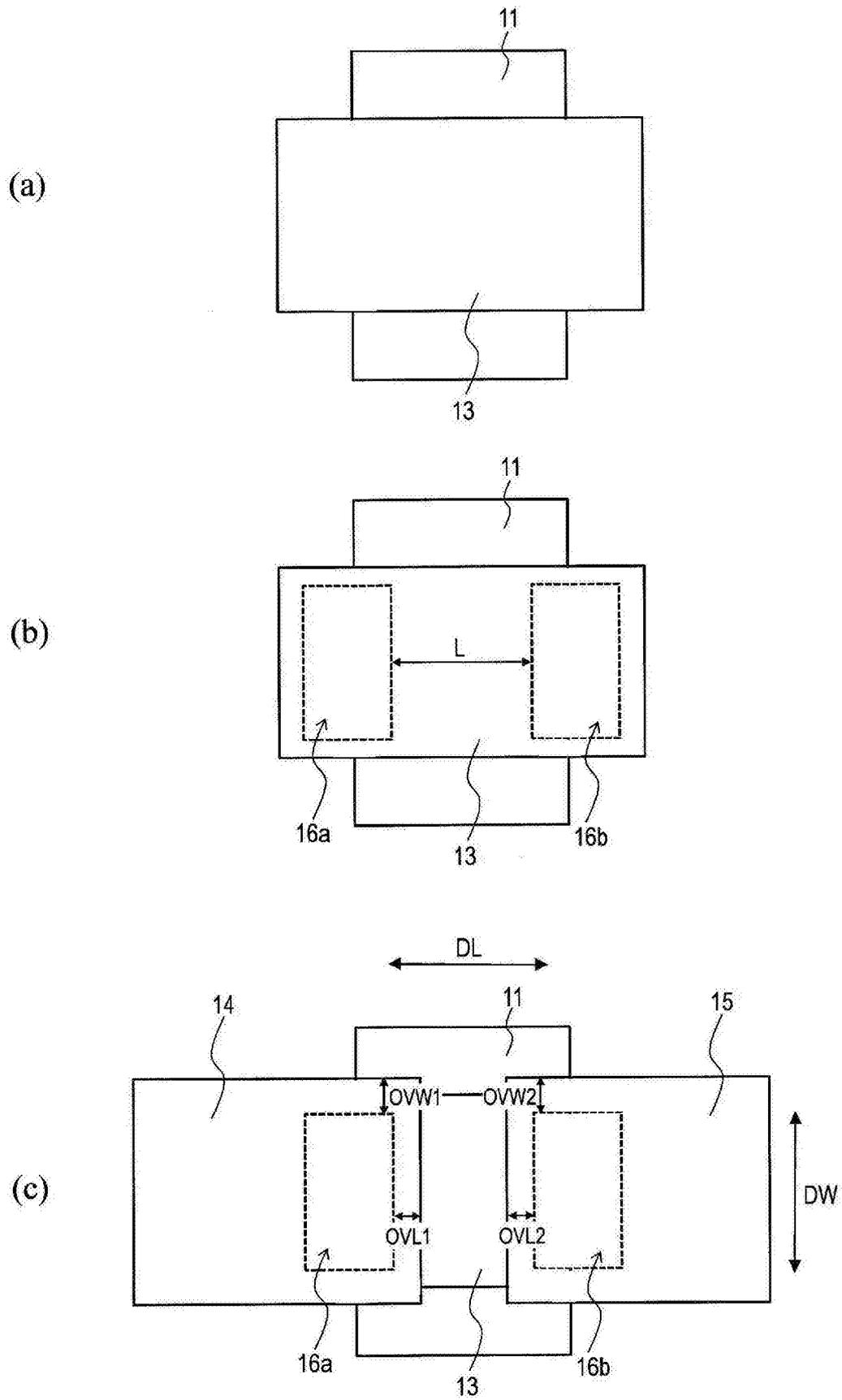


图5

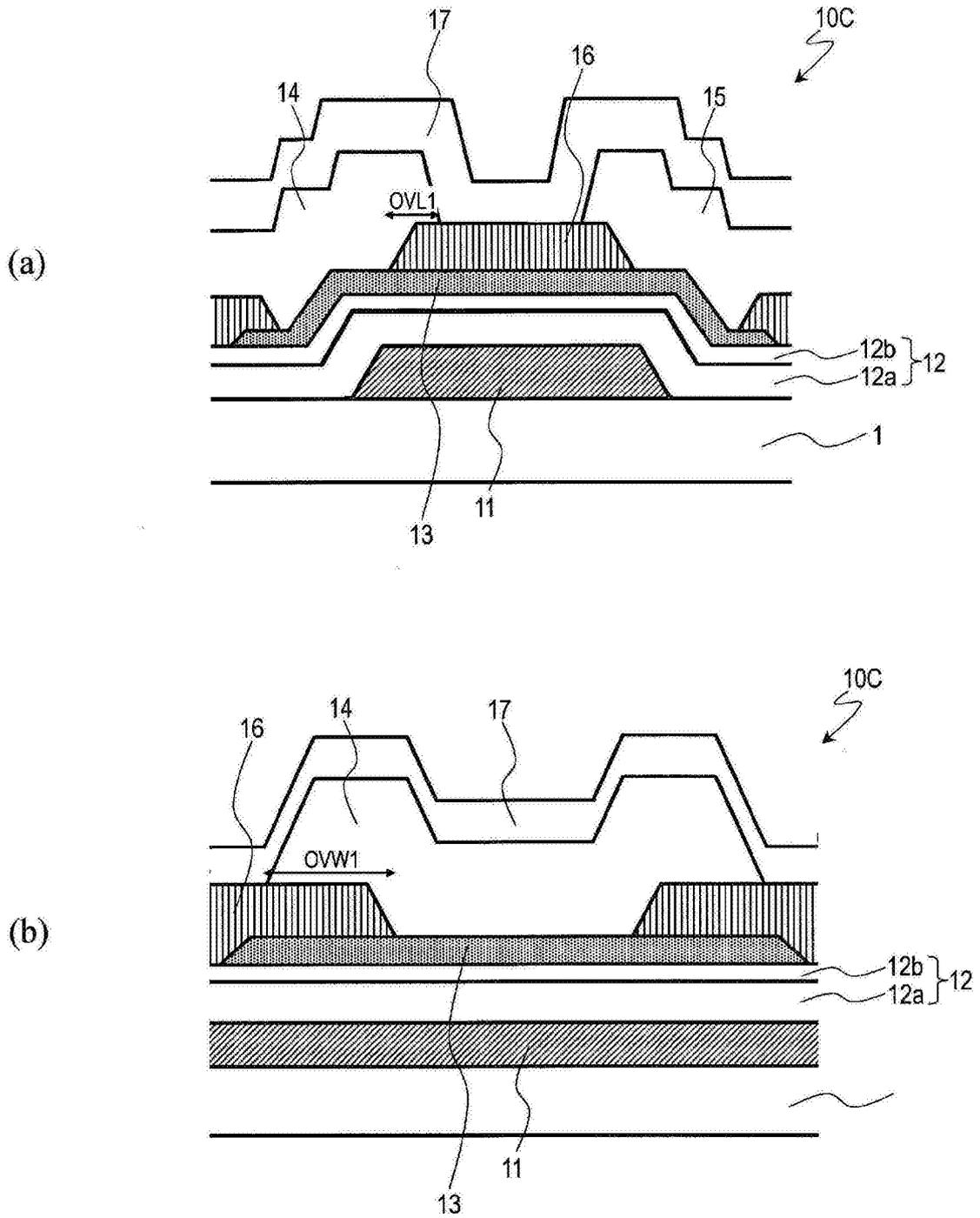


图7

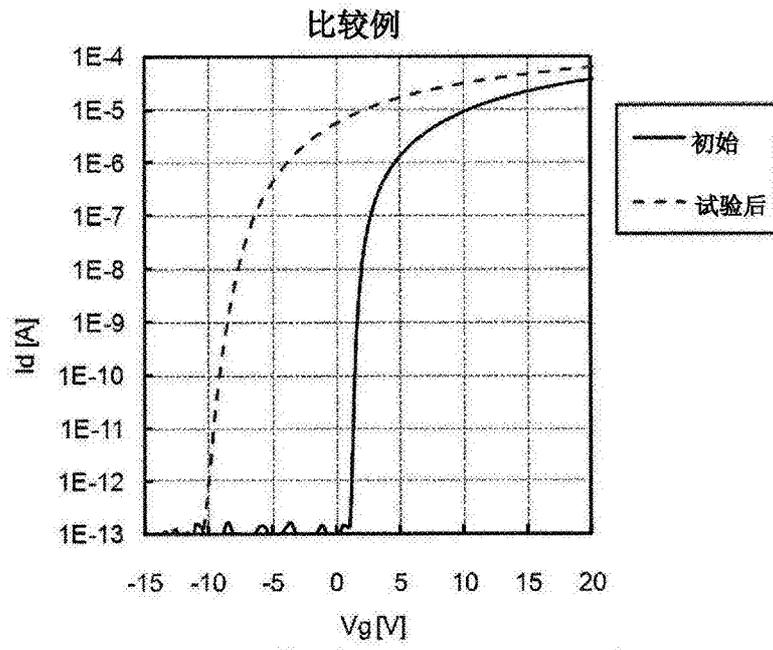


图8

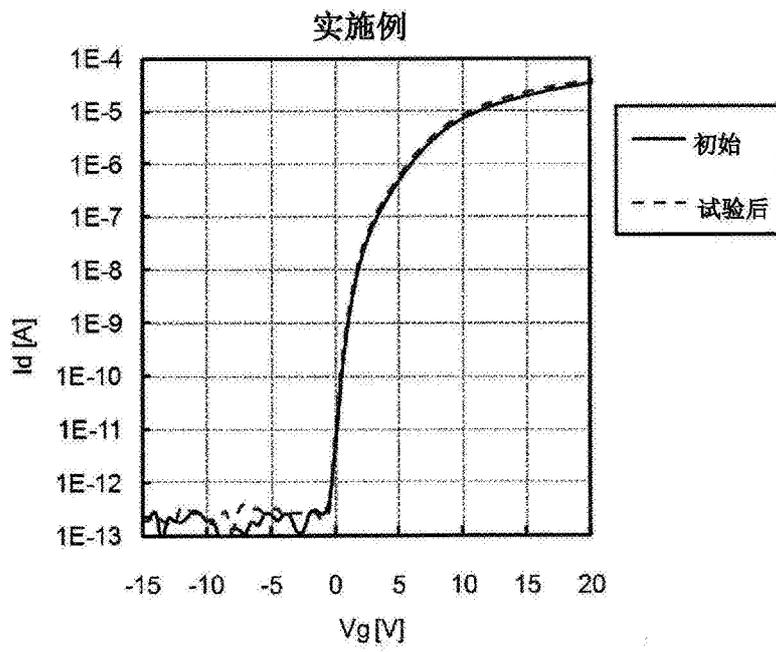


图9

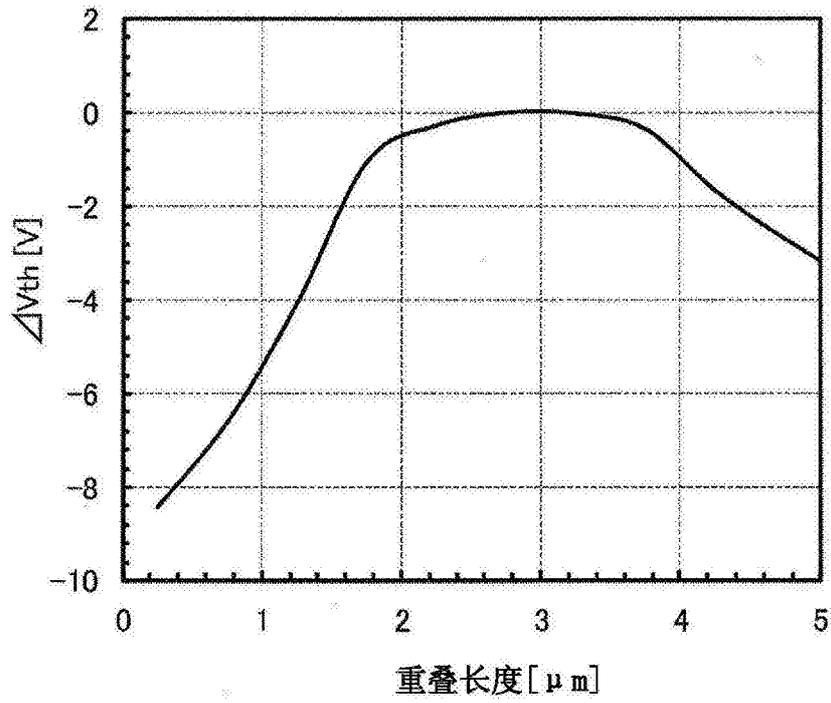


图10

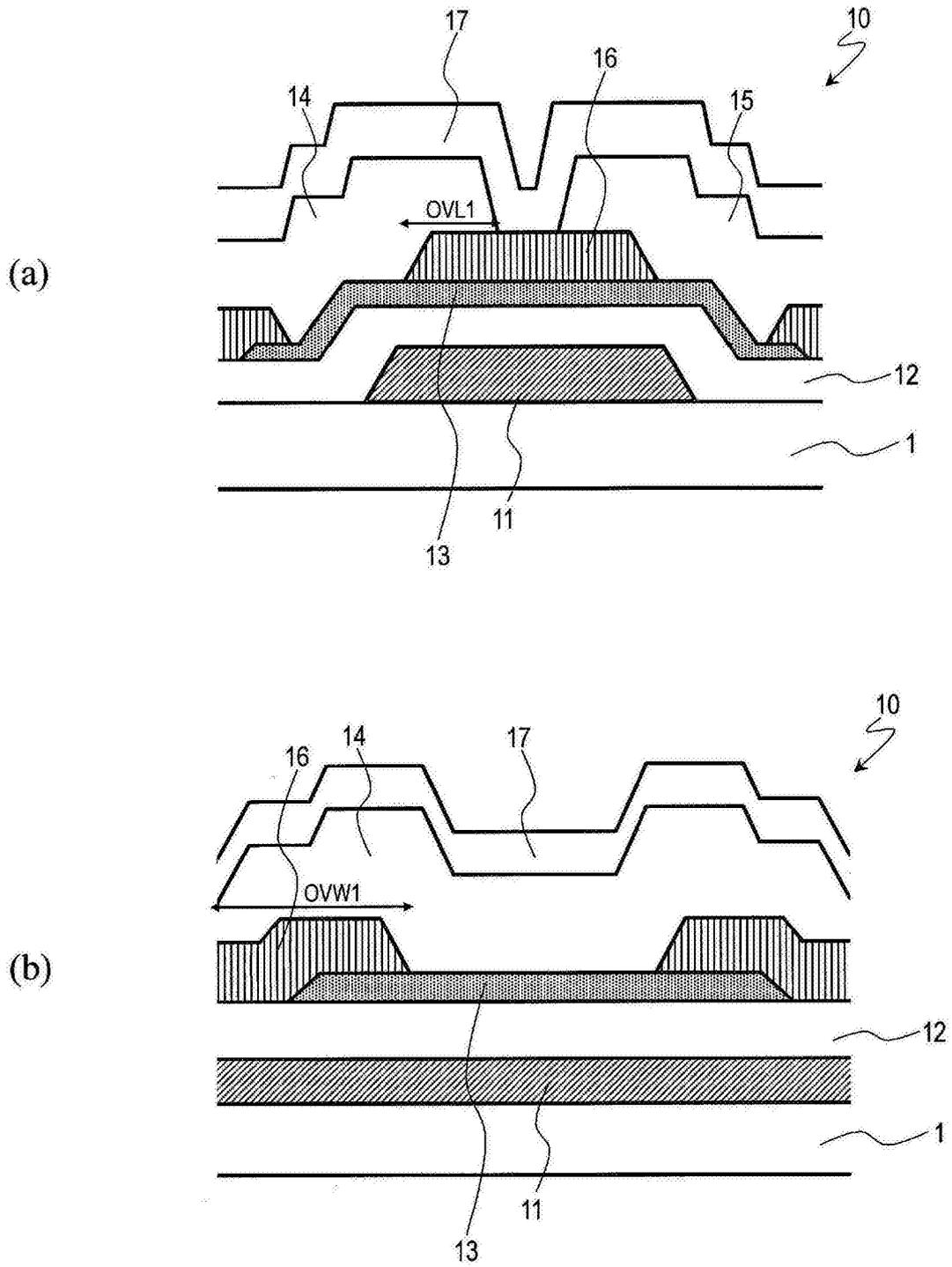


图11

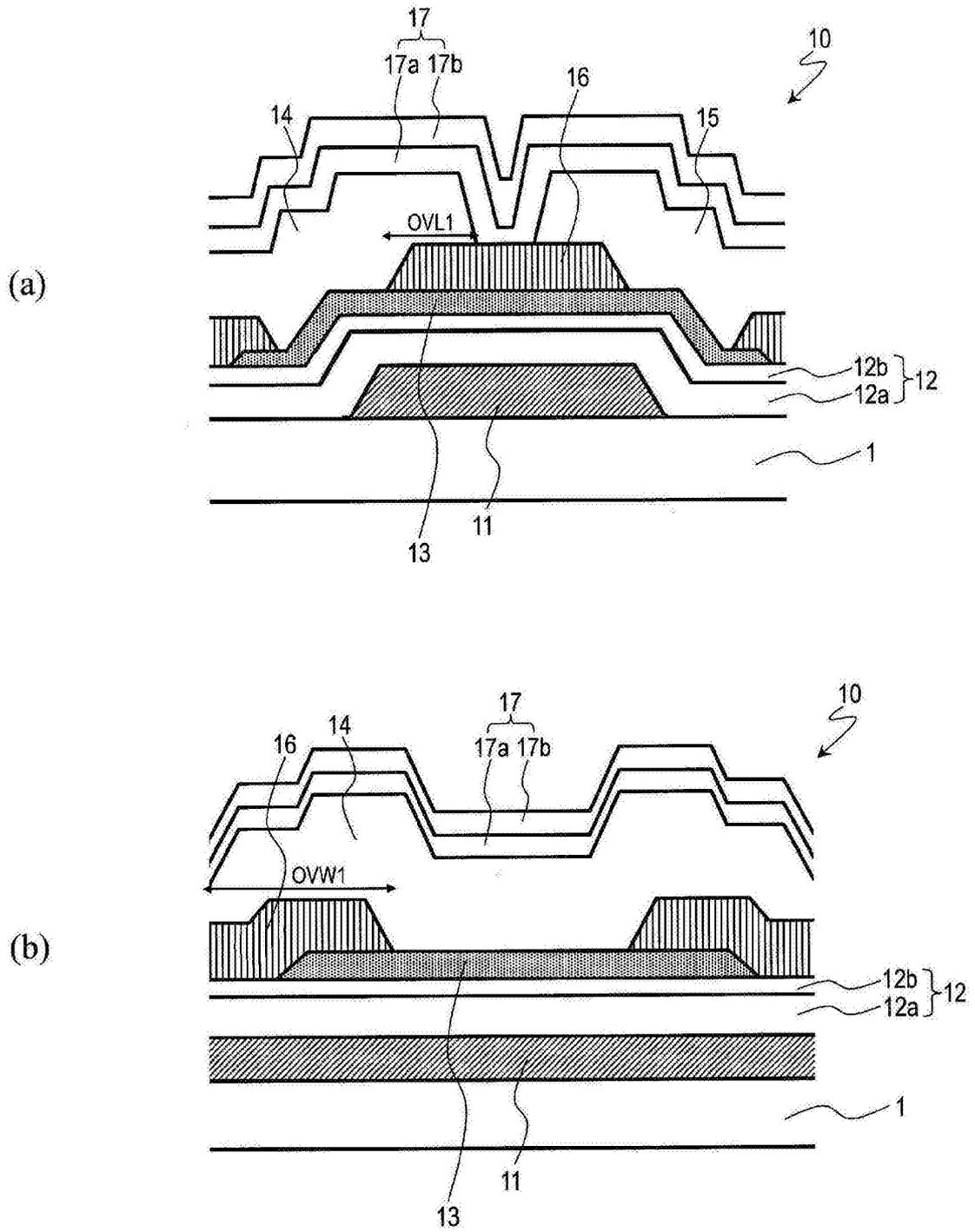


图12

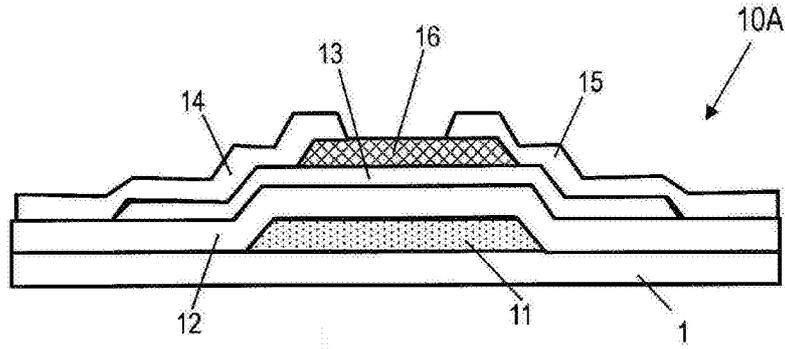


图13

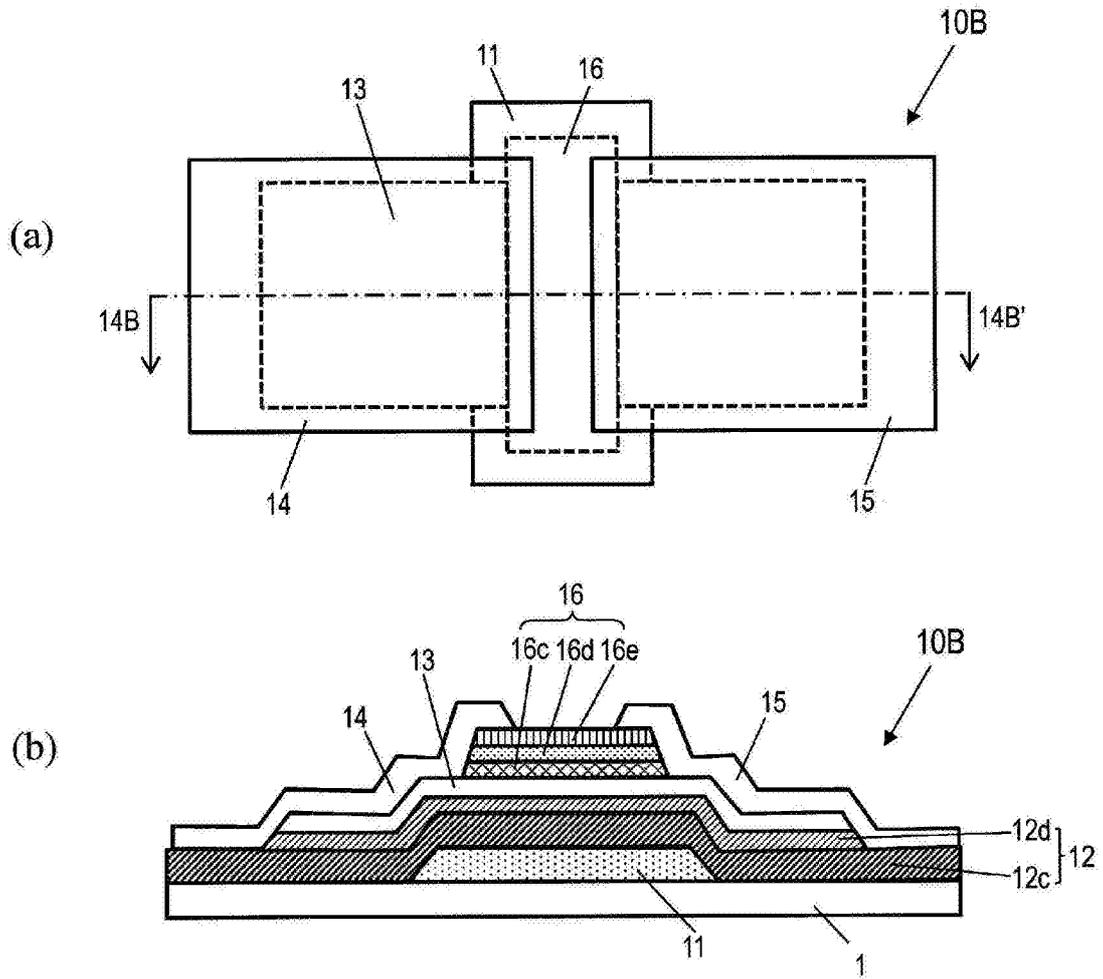


图14