



DEUTSCHE DEMOKRATISCHE REPUBLIK
AMT FÜR ERFINDUNGS- UND PATENTWESEN

PATENTSCHRIFT 145 809

Wirtschaftspatent

Erteilt gemäß § 5 Absatz 1 des Änderungsgesetzes zum Patentgesetz

In der vom Anmelder eingereichten Fassung veröffentlicht

(11) 145 809 (44) 07.01.81 Int. Cl.³ 3(51) G 06 F 11/00
(21) WP G 06 F / 215 376 (22) 06.09.79

(71) siehe (72)

(72) Lindner, Stefan, Dr.-Ing.; Baldermann, Rolf-Dieter, Dr.-Ing., DD

(73) siehe (72)

(74) VEB Robotron, Zentrum für Forschung und Technik, Patent-
abteilung, 8012 Dresden, Leningrader Straße 15, PSF 330

(54) Anordnung zur Kopplung von Recheneinheiten mit
Fehleranzeigesystem

(57) Die Erfindung betrifft eine Anordnung zur Kopplung von Recheneinheiten mit Fehleranzeigesystem, um Fehler auf dem Bus einer ersten Recheneinheit oder im daran angeschlossenen Kopplungsteil von diesem zu erkennen und dem zweiten Kopplungsteil anzuzeigen und über Unterbrechungsanforderungen in Abhängigkeit vom Betriebszustand des anderen Kopplungsteils der angeschlossenen anderen Recheneinheit mitzuteilen. Die Aufgabe wird dadurch gelöst, daß in den Kopplungsteilen jeweils Fehlermeldeleitungen einerseits mit entsprechenden Fehleranzeigeleitungen des jeweiligen Busses einer Recheneinheit oder mit einer internen Fehlererkennungseinrichtung im zugeordneten Kopplungsteil und andererseits mit zusätzlichen Statusanzeigen in einem Kommando- und Statusregister sowie der Unterbrechungsanforderungslogik im jeweiligen anderen Kopplungsteil verbunden sind, daß jede Unterbrechungsanforderungslogik neben den Eingängen für verschiedene Unterbrechungsleitungen mindestens einen Eingang zur zeitweiligen Blockierung von Eingängen der Fehlermeldeleitungen während einer laufenden Übertragung besitzt, der über eine Freigabeleitung mit der Steuerlogik des jeweiligen Kopplungsteiles verbunden

0000 0000

215376 -1-

Anordnung zur Kopplung von Recheneinheiten mit Fehleranzeigesystem

Anwendungsgebiet der Erfindung

Die Erfindung betrifft eine Anordnung zur Kopplung von Recheneinheiten mit Fehleranzeigesystem für Mehrrechnersysteme über direkten Speicherverkehr, die sowohl den Anforderungen leistungsgesteigerter Systeme mit hohen Datenaustauschraten als auch den Anforderungen zuverlässiger Systeme (Fail-soft-Systeme) mit Fehlererkennung- und Fehlermelungsmaßnahmen genügen. Eine Recheneinheit besteht dabei mindestens aus einem Prozessor und einer Speichereinheit.

Charakteristik der bekannten technischen Lösungen

Eine bekannte Anordnung zur Kopplung von Recheneinheiten (Firmenschrift der Digital Equipment Corporation: "PDP 11 Multiple-Processors System Options") besteht aus zwei symmetrisch aufgebauten Kopplungsteilen. Sie erlaubt sowohl die Übertragung einzelner Datenwörter als auch die Datenblockübertragung im DMA-Betrieb. Zur Vorprogrammierung und Steuerung der Übertragung besitzt jeder Kopplungsteil vier adressierbare Register, eine DMA-Schaltung und eine Steuerlogik. Ein erstes Register jedes Kopplungsteils enthält die Kommando- und Statusinformationen, die über entsprechende Leitungen dem anderen Kopplungsteil mitgeteilt werden. Ein zweites Register jedes Kopplungsteils dient als Datenregister im Einzelwortverkehr oder als Zwischenspeicher beim asynchronen Datenblockaustausch, wobei das jeweils dritte Register als Busadressezähler

zur Speicheradressierung und das jeweils vierte Register als Wortzähler dient. Die DMA-Schaltung realisiert den DMA-Betrieb auf dem jeweiligen Rechnerbus, und die Steuerlogik steuert den internen Ablauf im jeweiligen Kopplungsteil sowie die Zusammenarbeit beider Kopplungsteile über Anforderungs- und Quittierungsleitungen.

Eine andere bekannte Anordnung (DD-WP GO6f/211 602) für den Datenaustausch im direkten Speicherverkehr spart die Zwischenspeicher in beiden Kopplungsteilen ein, indem durch Taktsynchronisation beider Recheneinheiten das Speicherlesen und das Speicherschreiben beim DMA-Blocktransfer gleichzeitig ablaufen.

Nachteilig ist, daß beide bekannte Anordnungen nicht den Aufbau von Fail-soft-Systemen mit zusätzlichen Fehlererkennung- und Fehlermeldungseinrichtungen unterstützen.

Eine weitere bekannte Anordnung (Firmenschrift der DEC: PDP 11...) stellt einen Busumschalter zur Realisierung von Fail-soft-Systemen dar. Speichereinheiten und periphere Geräte sind an den gemeinsamen Bus eines oder mehrerer Busumschalter angeschlossen. Je nach Schalterstellung ist der jeweilige gemeinsame Bus entweder mit dem Bus einer ersten Recheneinheit bzw. eines ersten Prozessors oder mit dem Bus einer zweiten Recheneinheit bzw. eines zweiten Prozessors oder gar nicht verbunden. Zur Steuerung eines Busumschalters enthält dieser je ein Kommando- und Statusregister und je eine Zeitüberwachungsschaltung, die jeweils einer Recheneinheit bzw. einem Prozessor zugeordnet sind. In einem Kommando- und Statusregister wird der Zustand des Busumschalters angezeigt sowie ein Kommando zum Umschalten von dem ihm zugeordneten Prozessor einer Recheneinheit eingestellt. Daraufhin wird im anderen Prozessor eine Unterbrechungsanforderung gestellt und die zugeordnete Zeitüberwachungsschaltung gestartet. Antwortet der angeforderte Prozessor nicht innerhalb eines definierten Zeitintervalls durch

Rücksetzen der Zeitüberwachungsschaltung, so wird er als fehlerhaft bzw. im Haltzustand befindlich angenommen und der gemeinsame Bus zum anfordernden Prozessor umgeschaltet.

Werden beide Systeme, sowohl das leistungssteigernde System (DD-WP G06F/211 602) als auch das die Zuverlässigkeit erhöhende Fail-soft-System (Firmenschrift DEC: PDP 11...) verwendet, wird nachteiligerweise der Aufwand sehr hoch. Außerdem muß in einem Fail-soft-System ein Reserveprozessor periodisch den Hauptprozessor über den Busschalter abfragen, ob dieser noch arbeitsfähig ist.

Ziel der Erfindung

Der nützliche Effekt der Erfindung ist es, für Mehrrechnersysteme sowohl die Leistung zu steigern als auch die Zuverlässigkeit zu erhöhen.

Darlegung des Wesens der Erfindung

Die Aufgabe der Erfindung besteht darin, eine Anordnung zur Kopplung von Recheneinheiten für Mehrrechnersysteme über direkten Speicherverkehr mit einem Fehleranzeigesystem zu versehen, um Fehler auf dem Bus einer ersten Recheneinheit oder im daran angeschlossenen Kopplungsteil von diesem zu erkennen und dem zweiten Kopplungsteil anzuzeigen und über Unterbrechungsanforderungen in Abhängigkeit vom Betriebszustand des zweiten Kopplungsteils der angeschlossenen zweiten Recheneinheit mitzuteilen.

Die Aufgabe der Erfindung wird dadurch gelöst, daß in beiden Kopplungsteilen jeweils Fehlermeldeleitungen einerseits mit entsprechenden Fehleranzeigeleitungen des jeweiligen Busses einer Recheneinheit oder mit einer internen Fehlererkennungseinrichtung im zugeordneten Kopplungsteil und andererseits mit zusätzlichen Statusanzeigen in einem Kommando- und Statusregister sowie einer Unterbrechungsanforderungslogik im jeweiligen anderen Kopplungsteil verbunden sind. Jede Unterbrechungsanforderungslogik besitzt neben den Eingängen

für verschiedene Unterbrechungsleitungen mindestens einen Eingang zur zeitweiligen Blockierung von Eingängen der Fehlermeldeleitungen während einer laufenden Übertragung, der über eine Freigabeleitung mit der Steuerlogik des jeweiligen Kopplungsteiles verbunden ist.

In einer speziellen Ausführungsform sind die Eingänge der Fehlermeldeleitungen mit einer Haltzustandsanzeigeleitung und einer Netzspannungsausfallanzeigeleitung des jeweiligen Busses einer Recheneinheit sowie mit einer DMA-Busfehlerleitung der internen Fehlererkennungseinrichtung im jeweiligen Kopplungsteil verbunden.

Wird auf einer Busleitung einer Recheneinheit ein Fehler angezeigt, so wird er von der zugeordneten Fehlermeldeleitung des mit diesem Bus verbundenen Kopplungsteils aufgenommen und zum zweiten Kopplungsteil geleitet. Dort geht dieser Fehler über eine ODER-Verknüpfung mit den Fehlern der anderen Fehlermeldeleitungen als eine Unterbrechungsursache in die Unterbrechungsanforderungslogik ein. Die gemeldeten Fehler, die von den Busleitungen des anderen Kopplungsteils kommen, führen aber nur dann zu einer Unterbrechungsanforderung, wenn das die Freigabeleitung der Steuerlogik eines Kopplungsteils gestattet. Das Freigabesignal wird erzeugt, wenn sich der jeweilige Kopplungsteil im Ruhezustand befindet. Solange eine Übertragung über ein Kopplungsteil läuft, wird das Freigabesignal nicht erzeugt und somit keine Unterbrechungsanforderung in diesem Kopplungsteil durch Fehler auf den Busleitungen des anderen Kopplungsteils gestellt. Diese Fehler gehen dann erst am Ende der Übertragung als zusätzliche Unterbrechungsursachen mit in die Ende-Unterbrechungsanforderung ein.

Tritt während einer Übertragung ein Fehler in einem Kopplungsteil auf, der von der internen Fehlererkennungseinrichtung dieses Kopplungsteils festgestellt wird, so wird er neben der Anzeige im eigenen Kopplungsteil über eine weitere Fehlermel-

deleitung auch zum anderen Kopplungsteil übertragen. Dort geht dieser Fehler ebenfalls als eine Unterbrechungsursache in die Unterbrechungsanforderungslogik ein. Da es sich aber um einen Übertragungsfehler handelt, wird er nicht durch die Freigabeleitung der Steuerlogik beeinflusst, sondern er erzeugt sofort eine Unterbrechungsanforderung sowie das Ende der Übertragung.

Das erfindungsgemäße Fehleranzeigesystem besteht somit aus den Fehlermeldeleitungen, der Freigabeleitung, einer der Unterbrechungsleitungen und den zusätzlichen Statusanzeigen und gestattet es, den jeweiligen anderen Kopplungsteil vom Auftreten solcher Fehler zu benachrichtigen und in Zusammenarbeit mit der Steuerlogik und dem Kommando- und Statusregister eine vom vorliegenden Betriebszustand abhängende Unterbrechung über die Unterbrechungsanforderungslogik und Unterbrechungsanforderungsleitung zu veranlassen.

In allen Fällen werden die in einem Kopplungsteil und die auf dem mit diesem Kopplungsteil verbundenen Bus aufgetretenen Fehler in einem Kommando- und Statusregister des anderen Kopplungsteils angezeigt, und sie können nach einer Unterbrechung von der jeweiligen Recheneinheit gelesen werden.

Ausführungsbeispiel

Die erfindungsgemäße Anordnung zur Kopplung von Recheneinheiten mit einem Fehleranzeigesystem wird in der zugehörigen Zeichnung dargestellt. Die zu koppelnden Recheneinheiten 1 werden über die zwei symmetrisch zueinander angeordneten Kopplungsteile 2, die jeweils an einer Seite an die entsprechenden Busse 3 angeschlossen sind, verbunden. Jedes Kopplungsteil 2 besteht aus einem Datenpuffer 4, der einerseits mit dem Datenbus 5 des Busses 3 und andererseits über den bidirektionalen Verbindungsbus 6 mit dem Datenpuffer 4 des anderen Kopplungsteils verbunden ist, weiterhin aus einer DMA-Schaltung 7, die mit dem Datenbus 5, dem Adreßbus 8 und dem Steuerbus 9 des Busses 3 sowie über Leitung 10 mit dem

Datenpuffer 4 verbunden ist, weiterhin einem Kommando- und Statusregister 11, das mit dem Datenbus 5 des Busses 3 verbunden ist.

Weiterhin befindet sich in jedem Kopplungsteil 2 eine Steuerlogik 12, eine interne Fehlererkennungseinrichtung 13, eine Unterbrechungsanforderungslogik 14 und zusätzliche Statusanzeigen 15 im Kommando- und Statusregister 11 mit folgenden Verbindungen. Die Steuerlogik 12 ist über Steuerleitungen 16 mit der DMA-Schaltung 7 verbunden. Von der Steuerlogik 12 führen verschiedene Unterbrechungsleitungen 17 und eine Freigabeleitung 18 zur Unterbrechungsanforderungslogik 14, die über eine Unterbrechungsanforderungsleitung 19 des Busses 3 mit der Recheneinheit 1 verbunden ist. Die Fehlermeldeleitungen 20 des Busses 3 und der internen Fehlererkennungseinrichtung 13 sind mit der Unterbrechungsanforderungslogik 14 und den zusätzlichen Statusanzeigen 15 des jeweiligen anderen Kopplungsteiles 2 verbunden. Des Weiteren sind die Steuerlogik 12 und das Kommando- und Statusregister 11 jedes Kopplungsteiles 2 über Zustandsleitungen 21 miteinander verbunden. Die Steuerlogik 12 des einen Kopplungsteils ist mit der Steuerlogik 12 des anderen Kopplungsteils über Anforderungs- und Quittierungsleitungen 22 verbunden, desgleichen können die beiden Kommando- und Statusregister 11 über die Kommando- und Statusleitungen 23 Signale austauschen.

Der Datenaustausch zwischen den Recheneinheiten 1 kann in programmierter Einzelwortübertragung oder nach Vorprogrammierung der Kopplungsteile 2 durch diese selbständig als DMA-Datenblocktransfer durchgeführt werden. In der Einleitungsphase einer Übertragung wird der Übertragungswunsch der einen Recheneinheit 1 über das Kommando- und Statusregister 11 des zugehörigen Kopplungsteils 2 und die Kommando- und Statusleitungen 23 zum Kommando- und Statusregister 11 des anderen Kopplungsteils 2 übertragen. Dort erfolgt über die Zustandsleitungen 21, die Steuerlogik 12, die Unterbre-

chungsleitungen 17, die Unterbrechungsanforderungslogik 14 und die Unterbrechungsanforderungsleitung 19 eine Unterbrechung der anderen Recheneinheit 1. Nach Auswertung des Übertragungswunsches und Bereitschaft der anderen Recheneinheit wird entweder das zu übertragende Datenwort über Bus 2 und Datenbus 5, Datenpuffer 4, bidirektionalen Verbindungsbus 6 in den anderen Datenpuffer 4 geschrieben und kann von dort von der anderen Recheneinheit 1 gelesen werden, oder die DMA-Schaltungen 7 beider Kopplungsteile 2 werden von den dazugehörigen Recheneinheiten über Datenbus 5, Adreßbus 8 und Steuerbus 9 für eine DMA-Datenblockübertragung vorprogrammiert und mit der selbständigen Ausführung des Transfers beauftragt.

Nach Ablauf einer Übertragung zwischen den Kopplungsteilen 2 unterbricht auf beiden Seiten die Steuerlogik 12 über eine der Unterbrechungsleitungen 17, die Unterbrechungsanforderungslogik 14 und die Unterbrechungsanforderungsleitung 19 die Recheneinheit 1, die den Datenaustauschvorgang beendet und den zugeordneten Kopplungsteil 2 in den Ruhezustand versetzt.

Während des Ruhezustandes sowie auch während der Übertragung können eine Reihe von Fehlern auftreten. Das erfindungsgemäße Fehleranzeigesystem, bestehend aus den Fehlermeldeleitungen 20, der Freigabeleitung 18, einer der Unterbrechungsleitungen 17 und den zusätzlichen Statusanzeigen 15, gestattet es, den jeweiligen anderen Kopplungsteil 2 vom Auftreten solcher Fehler zu benachrichtigen und in Zusammenarbeit mit der Steuerlogik 12 und dem Kommando- und Statusregister 11, verbunden über die Zustandsleitungen 21, eine vom vorliegenden Betriebszustand abhängende Unterbrechung über die Unterbrechungsanforderungslogik 14 und Unterbrechungsanforderungsleitung 19 zu veranlassen.

Im vorliegenden Ausführungsbeispiel werden bevorzugt drei der für eine Zusammenarbeit beider Recheneinheiten 1 kritischen Zustände durch die Fehlermeldeleitungen 20 überwacht.

Für eine Fehleranzeige über die Fehlermeldeleitungen 20 wird der Halt-Zustand einer Recheneinheit 1, erkennbar an der Erregung einer Haltzustandsanzeigeleitung ihres Busses 3, und der Ausfall der Netzspannung in der Recheneinheit 1, erkennbar an der Erregung einer Netzspannungsausfallanzeigeleitung ihres Busses 3, sowie der durch die interne Fehlererkennungseinrichtung 13 bei der DMA-Übertragung feststellbare DMA-Busfehler herangezogen. Während das Auftreten der Fehler in jedem Falle zu einer zusätzlichen Statusanzeige 15 führt, wird die Fehlermeldung über die Unterbrechungsanforderungsleitung 19 mit Hilfe der Freigabeleitung 18 in vorteilhafter Weise vom momentanen Betriebszustand der Kopplungsteile 2 abhängig gemacht. Dadurch wird erreicht, daß zum Beispiel ein laufender DMA-Datenblocktransfer nicht durch einen eingetretenen Haltzustand oder Spannungsausfall eines Prozessors einer Recheneinheit 1 sofort unterbrochen wird, sondern dieser Zustand erst nach Übertragungsende der anderen Recheneinheit 1 mitgeteilt wird. Auf diese Weise ist es auch möglich, nach einem aufgetretenen Fehler (z. B. Netzspannungsausfallanzeige) noch innerhalb einer Spannungsausfallroutine vor dem Verschwinden der Gleichspannung wichtige Informationen über die erfindungsgemäße Anordnung zu übertragen.

Ein DMA-Busfehler, der während einer Datenblockübertragung auf einem Bus 3 einer Recheneinheit 1 auftreten kann, führt unabhängig von der Freigabeleitung 18 zu einer Unterbrechungsanforderung und zum Abbruch der Übertragung. Durch die erfindungsgemäße Anordnung erhält nicht nur die Recheneinheit auf der Fehlerseite, sondern auch die korrespondierende Recheneinheit 1 eine Unterbrechungsanforderung und eine Mitteilung über den Busfehler durch eine zusätzliche Statusanzeige 15.

Erfindungsanspruch

1. Anordnung zur Kopplung von Recheneinheiten mit Fehleranzeigesystem, die aus zwei symmetrischen Kopplungsteilen mit jeweils einem Kommando- und Statusregister, einem Datenregister, einer DMA-Schaltung mit weiteren Registern, einer Unterbrechungsanforderungslogik, einer Steuerlogik und einer internen Fehlererkennungseinrichtung besteht und die die Kopplung von Recheneinheiten, wobei jede mindestens einen Prozessor und eine Speichereinheit enthält, über direkten Speicherverkehr gestattet, gekennzeichnet dadurch, daß in beiden Kopplungsteilen (2) jeweils Fehlermeldeleitungen (20) einerseits mit entsprechenden Fehleranzeigeleitungen des jeweiligen Busses (3), einer Recheneinheit (1) oder mit einer internen Fehlererkennungseinrichtung (13) im zugeordneten Kopplungsteil (2) und andererseits mit zusätzlichen Statusanzeigen (15) in einem Kommando- und Statusregister (11) sowie der Unterbrechungsanforderungslogik (14) im jeweiligen anderen Kopplungsteil (2) verbunden sind, daß jede Unterbrechungsanforderungslogik (14) neben den Eingängen für verschiedene Unterbrechungsleitungen (17) mindestens einen Eingang zur zeitweiligen Blockierung von Eingängen der Fehlermeldeleitungen (20) während einer laufenden Übertragung besitzt, der über eine Freigabeleitung (18) mit der Steuerlogik (12) des jeweiligen Kopplungsteiles (2) verbunden ist.
2. Anordnung zur Kopplung von Recheneinheiten nach Punkt 1, gekennzeichnet dadurch, daß die Eingänge der Fehlermeldeleitungen (20) mit einer Haltzustandsanzeigeleitung und einer Netzspannungsausfallanzeigeleitung des jeweiligen Busses (3) einer Recheneinheit (1) sowie mit einer DMA-Busfehlerleitung der internen Fehlererkennungseinrichtung (13) im jeweiligen Kopplungsteil (2) verbunden sind.

