(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0064751
(43) 공개일자 2020년06월08일

(51) 국제특허분류(Int. Cl.)
*G01R 31/36* (2019.01) *H01M 10/04* (2015.01)
*H01M 2/26* (2006.01)
(52) CPC특허분류
*G01R 31/36* (2019.01)
*G01R 31/392* (2019.01)
(21) 출원번호 10-2018-0151257
(22) 출원일자 2018년11월29일
심사청구일자 없음

(71) 출원인
**주식회사 엘지화학**
서울특별시 영등포구 여의대로 128 (여의도동)
(72) 발명자
**이우설**
대전광역시 유성구 문지로 188 LG화학 기술연구원 내
**정도화**
대전광역시 유성구 문지로 188 LG화학 기술연구원 내
**김기웅**
대전광역시 유성구 문지로 188 LG화학 기술연구원 내
(74) 대리인
**특허법인태평양**

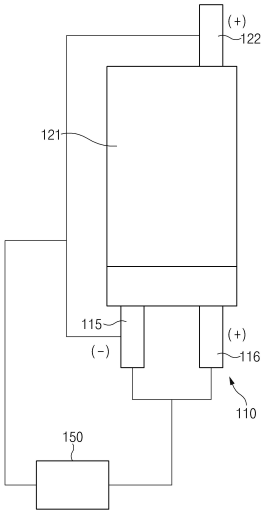
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 **셀 성능 측정방법**

## (57) 요 약

본 발명은 셀 성능 측정방법에 관한 것으로, 본 발명에 따른 셀 성능 측정방법은, 제1 전극탭을 구비하는 제1 전극, 분리막, 및 제2 전극탭을 구비하는 제2 전극이 교대로 적층되어 접합된 단위셀의 성능을 측정하는 방법으로, 상기 단위셀의 최외각에서 상기 제1 전극과 대면되는 측에 상기 제2 전극과 동일 극성을 갖고, 제3 전극탭을 구비하는 대면 전극을 상기 분리막을 사이에두고 더 적층시키는 추가 적층단계, 및 상기 제1 전극에 구비된 제1 전극탭과 상기 대면 전극에 구비된 제3 전극탭 사이를 전기적으로 연결하여 상기 제1 전극 및 상기 대면 전극 사이의 계면간 성능차이를 측정하는 외측 계면 분석단계를 포함한다.

*대 표 도* - 도7



(52) CPC특허분류
*G01R 31/396* (2019.01)
*H01M 10/0413* (2013.01)
*H01M 10/0436* (2013.01)
*H01M 2/26* (2013.01)

# 명 세 서

## 청구범위

### 청구항 1

제1 전극탭을 구비하는 제1 전극, 분리막, 및 제2 전극탭을 구비하는 제2 전극이 교대로 적층되어 접합된 단위셀의 성능을 측정하는 방법으로,

상기 단위셀의 최외각에서 상기 제1 전극과 대면되는 측에 상기 제2 전극과 동일 극성을 갖고, 제3 전극탭을 구비하는 대면 전극을 상기 분리막을 사이에두고 더 적층시키는 추가 적층단계; 및

상기 제1 전극에 구비된 제1 전극탭과 상기 대면 전극에 구비된 제3 전극탭 사이를 전기적으로 연결하여 상기 제1 전극 및 상기 대면 전극 사이의 계면간 성능차이를 측정하는 외측 계면 분석단계;를 포함하는 셀 성능 측정방법.

### 청구항 2

청구항 1에 있어서,

상기 제2 전극에 구비된 제2 전극탭과, 상기 제1 전극에 구비된 제1 전극탭 사이를 전기적으로 연결하여 상기 제1 전극 및 상기 제2 전극 사이의 계면간 성능차이를 측정하는 내측 계면 분석단계를 더 포함하는 셀 성능 측정방법.

### 청구항 3

청구항 2에 있어서,

상기 제1 전극탭 및 상기 제2 전극 탭은 상기 단위셀의 일방향으로 연장되고, 상기 제3 전극탭은 상기 단위셀의 타방향으로 연장되는 셀 성능 측정방법.

### 청구항 4

청구항 2에 있어서,

상기 추가 적층단계를 수행한 후에 상기 단위셀을 전지 케이스에 전해액과 함께 수용시키는 수용단계를 더 포함하는 셀 성능 측정방법.

### 청구항 5

청구항 4에 있어서,

상기 수용단계는 상기 제1 전극 탭에 제1 전극리드를 연결시키고, 상기 제2 전극 탭에 제2 전극리드를 연결시키며, 상기 제3 전극 탭에 제3 전극 리드를 연결시키는 리드연결단계를 더 포함하는 셀 성능 측정방법.

### 청구항 6

청구항 2에 있어서,

상기 단위 셀은 중앙측에 상기 제2 전극이 위치되며, 상기 제2 전극을 중심으로 양측에 상기 제1 전극이 각각 위치되는 바이셀(Bi-cell)로 이루어지는 셀 성능 측정방법.

### 청구항 7

청구항 6에 있어서,

상기 추가 적층단계는 상기 바이셀의 최외각 양측에 상기 대면 전극을 각각 적층시키는 셀 성능 측정방법.

### 청구항 8

청구항 7에 있어서,

상기 추가 적층단계는

상기 대면 전극을 상기 제1 전극의 외측에 비접합 형태로 적층시키는 셀 성능 측정방법.

**청구항 9**

청구항 7에 있어서,

상기 추가 적층단계는

상기 대면 전극을 상기 제1 전극의 외측에 라미네이션(lamination)시켜 접합 형태로 적층시키는 셀 성능 측정방법.

**청구항 10**

청구항 6에 있어서,

상기 바이셀은 다수개로 이루어지고,

다수개의 상기 바이셀 중에서 적어도 어느 하나의 바이셀은 상기 제1 전극이 음극으로 이루어지고 상기 제2 전극이 양극으로 이루어지는 제1 바이셀로 이루어지며,

적어도 다른 하나의 바이셀은 상기 제1 전극이 양극으로 이루어지고 상기 제2 전극은 음극으로 이루어지는 제2 바이셀로 이루어지는 셀 성능 측정방법.

**청구항 11**

청구항 10에 있어서,

상기 외측 계면 분석단계 및 상기 내측 계면 분석단계는,

상기 제1 바이셀의 계면간 성능 차이 및 상기 제2 바이셀의 계면간 성능 차이를 각각 측정하여,

상기 제1 바이셀과 상기 제2 바이셀 간의 셀 성능 차이를 분석하는 셀 성능 측정방법.

## *발명의 설명*

### *기 술 분 야*

[0001] 본 발명은 셀 성능 측정방법에 관한 것이다.

### *배 경 기 술*

[0003] 이차 전지는 일차 전지와는 달리 재충전이 가능하고, 또 소형 및 대용량화 가능성으로 인해 근래에 많이 연구 개발되고 있다. 모바일 기기에 대한 기술 개발과 수요가 증가함에 따라 에너지원으로서의 이차 전지의 수요가 급격하게 증가하고 있다.

[0004] 이차 전지는 전지 케이스의 형상에 따라, 코인형 전지, 원통형 전지, 각형 전지, 및 파우치형 전지로 분류된다. 이차 전지에서 전지 케이스 내부에 장착되는 전극 조립체는 전극 및 분리막의 적층 구조로 이루어진 충방전이 가능한 발전소자이다.

[0005] 전극 조립체는 활물질이 도포된 시트형의 양극과 음극 사이에 분리막을 개재(介在)하여 권취한 젤리 롤(Jelly-roll)형, 다수의 양극과 음극을 분리막이 개재된 상태에서 순차적으로 적층한 스택형, 및 스택형의 단위 셀들을 긴 길이의 분리 필름으로 권취한 스택/폴딩형으로 대략 분류할 수 있다.

[0006] 최근에는, 스택형 또는 스택/폴딩형 전극조립체를 알루미늄 라미네이트 시트의 파우치형 전지케이스에 내장한 구조의 파우치형 전지가, 낮은 제조비, 작은 중량, 용이한 형태 변형 등을 이유로, 많은 관심을 모으고 있고 또한 그것의 사용량이 점차적으로 증가하고 있다.

[0008] 도 1은 종래 기술에 따른 스택 앤 폴딩 셀의 폴딩 전 상태를 나타낸 평면도이고, 도 2은 종래 기술에 따른 스택 앤 폴딩 셀의 폴딩 후 상태를 나타낸 평면도이다.

[0009] 도 1 및 도 2를 참고하면, 스택/폴딩형 전극 조립체(10)는 다수개의 단위셀(12)들을 분리필름(11)에 소정 간격으로 이격시켜 적층시킨 후 일방향으로 차례로 폴딩하여 전극 조립체(10)를 형성시킨 방식이다.

[0010] 하지만, 이러한 스택/폴딩형 전극 조립체(10)의 단위셀(12)들에 대해 셀 성능을 분석하기가 어려운 문제가 있다.

## 선행기술문헌

### 특허문헌

[0012] (특허문헌 0001) 한국 공개특허 제10-2014-0015647호

## 발명의 내용

### 해결하려는 과제

[0013] 본 발명의 하나의 관점은 스택/폴딩형의 단위 셀들의 성능을 분석할 수 있는 셀 성능 측정방법을 제공하기 위한 것이다.

### 과제의 해결 수단

[0015] 본 발명의 실시예에 따른 셀 성능 측정방법은, 제1 전극탭을 구비하는 제1 전극, 분리막, 및 제2 전극탭을 구비하는 제2 전극이 교대로 적층되어 접합된 단위셀의 성능을 측정하는 방법으로, 상기 단위셀의 최외각에서 상기 제1 전극과 대면되는 측에 상기 제2 전극과 동일 극성을 갖고, 제3 전극탭을 구비하는 대면 전극을 상기 분리막을 사이에두고 더 적층시키는 추가 적층단계, 및 상기 제1 전극에 구비된 제1 전극탭과 상기 대면 전극에 구비된 제3 전극탭 사이를 전기적으로 연결하여 상기 제1 전극 및 상기 대면 전극 사이의 계면간 성능차이를 측정하는 외측 계면 분석단계를 포함할 수 있다.

### 발명의 효과

[0017] 본 발명에 따르면, 단위 셀의 외면에 대면 전극을 더 구비시켜 계면간 성능 차이를 측정하여 단위 셀의 성능을 분석할 수 있다.

## 도면의 간단한 설명

[0019] 도 1은 종래 기술에 따른 스택 앤 폴딩 셀의 폴딩 전 상태를 나타낸 평면도이다.

도 2은 종래 기술에 따른 스택 앤 폴딩 셀의 폴딩 후 상태를 나타낸 평면도이다.

도 3은 본 발명의 일 실시예에 따른 셀 성능 측정방법에 적용되는 제1 단위셀을 예시적으로 나타낸 단면도이다.

도 4는 본 발명의 일 실시예에 따른 셀 성능 측정방법에 적용되는 제1 단위셀을 예시적으로 나타낸 평면도이다.

도 5는 본 발명의 일 실시예에 따른 셀 성능 측정방법에 적용되는 제2 단위셀을 예시적으로 나타낸 단면도이다.

도 6은 본 발명의 일 실시예에 따른 셀 성능 측정방법에 적용되는 제2 단위셀을 예시적으로 나타낸 평면도이다.

도 7은 본 발명의 일 실시예에 따른 셀 성능 측정방법에서 외측 계면 분석단계 및 내측 계면 분석단계에서 제1

단위셀의 성능을 측정하는 개념을 나타낸 평면도이다.

도 8은 본 발명의 일 실시예에 따른 셀 성능 측정방법에서 외측 계면 분석단계 및 내측 계면 분석단계에서 제1 단위셀의 측정 영역을 나타낸 평면도이다.

도 9는 본 발명의 일 실시예에 따른 셀 성능 측정방법에서 외측 계면 분석단계 및 내측 계면 분석단계에서 제2 단위셀의 성능을 측정하는 개념을 나타낸 평면도이다.

도 10은 본 발명의 일 실시예에 따른 셀 성능 측정방법에서 외측 계면 분석단계 및 내측 계면 분석단계에서 제2 단위셀의 측정 영역을 나타낸 평면도이다.

도 11은 본 발명의 다른 실시예에 따른 셀 성능 측정방법에서 제1 단위셀을 수용하는 수용단계를 나타낸 분해 사시도이다.

도 12는 본 발명의 다른 실시예에 따른 셀 성능 측정방법에서 제1 단위셀이 수용된 상태를 나타낸 사시도이다.

도 13은 본 발명의 다른 실시예에 따른 셀 성능 측정방법에서 제2 단위셀이 수용된 상태를 나타낸 사시도이다.

도 14는 본 발명의 실시예에 따른 셀 성능 측정방법을 통해 제1 바이셀 및 제2 바이셀의 성능을 측정한 그래프이다.

도 15는 본 발명의 실시예에 따른 셀 성능 측정방법을 통해 제1 바이셀 및 제2 바이셀의 충방전 성능을 측정한 그래프이다.

## *발명을 실시하기 위한 구체적인 내용*

[0020] 본 발명의 목적, 특정한 장점들 및 신규한 특징들은 첨부된 도면들과 연관되어지는 이하의 상세한 설명과 바람직한 실시예들로부터 더욱 명백해질 것이다. 본 명세서에서 각 도면의 구성요소들에 참조번호를 부가함에 있어서, 동일한 구성 요소들에 한해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 번호를 가지도록 하고 있음에 유의하여야 한다. 또한, 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 그리고, 본 발명을 설명함에 있어서, 본 발명의 요지를 불필요하게 흐릴 수 있는 관련된 공지 기술에 대한 상세한 설명은 생략하도록 한다.

[0022] 도 3은 본 발명의 일 실시예에 따른 셀 성능 측정방법에 적용되는 제1 단위셀을 예시적으로 나타낸 단면도이고, 도 4는 본 발명의 일 실시예에 따른 셀 성능 측정방법에 적용되는 제1 단위셀을 예시적으로 나타낸 평면도이다.

[0023] 도 3 및 도 4를 참고하면, 본 발명의 일 실시예에 따른 셀 성능 측정방법은 단위셀(110)의 성능을 측정하는 방법으로, 제1 전극(111), 분리막(114), 및 제2 전극(112)이 교대로 적층되어 접합된 단위셀(110)의 최외각에서 대면 전극(121)을 더 적층시키는 추가 적층단계, 및 제1 전극(111) 및 대면 전극(121) 사이의 계면간 성능차이를 측정하는 외측 계면 분석단계를 포함한다.

[0024] 또한, 본 발명의 일 실시예에 따른 셀 성능 측정방법은 제1 전극(111) 및 제2 전극(112) 사이의 계면간 성능차이를 측정하는 내측 계면 분석단계를 더 포함할 수 있다.

[0026] 도 5는 본 발명의 일 실시예에 따른 셀 성능 측정방법에 적용되는 제2 단위셀을 예시적으로 나타낸 단면도이고, 도 6은 본 발명의 일 실시예에 따른 셀 성능 측정방법에 적용되는 제2 단위셀을 예시적으로 나타낸 평면도이다.

[0027] 이하에서, 도 1 내지 10을 참조하여, 본 발명의 일 실시예인 셀 성능 측정방법에 대해 보다 상세히 설명하기로 한다.

[0028] 도 3 및 도 4를 참고하면, 본 발명의 일 실시예인 셀 성능 측정방법은 제1 전극탭(115)을 구비하는 제1 전극(111), 분리막(114), 및 제2 전극탭(116)을 구비하는 제2 전극(112)이 교대로 적층되어 접합된 단위셀(110)의 성능을 측정하는 방법이다.

[0030] 추가 적층단계는 단위셀(110)의 최외각에서 제1 전극(111)과 대면되는 측에 제2 전극(112)과 동일 극성을 갖고, 제3 전극탭(122)을 구비하는 대면 전극(121)을 분리막(114)을 사이에두고 더 적층시킬 수 있다. 여기서, 예를

들어 제1 전극탭(115) 및 제2 전극탭(116)은 단위셀(110)의 일방향으로 연장되고, 제3 전극탭(122)은 단위셀(110)의 타방향으로 연장될 수 있다.

[0031] 아울러, 추가 적층단계는 일례로 대면 전극(121)을 제1 전극(111)의 외측에 비접합 형태로 적층시킬 수 있다. 그리고, 추가 적층단계는 다른 예로 대면 전극(121)을 제1 전극(111)의 외측에 라미네이션(lamination)시켜 접합 형태로 적층시킬 수 있다.

[0032] 한편, 단위셀(110)은 예를 들어 중앙측에 제2 전극(112)이 위치되며, 제2 전극(112)을 중심으로 양측에 제1 전극(111)이 각각 위치되는 바이셀(Bi-cell)로 이루어질 수 있다.

[0033] 여기서, 바이셀은 다수개로 이루어지고, 도 3 및 도 4를 참고하면, 다수개의 바이셀 중에서 적어도 어느 하나의 바이셀은 제1 전극(111)이 음극으로 이루어지고 제2 전극(112)이 양극으로 이루어지는 제1 바이셀(110)로 이루어지며, 도 5 및 도 6을 참고하면, 적어도 다른 하나의 바이셀은 제1 전극(211)이 양극으로 이루어지고 제2 전극(212)은 음극으로 이루어지는 제2 바이셀(210)로 이루어질 수 있다. 여기서, 도 3 내지 도 6을 참고하면, 제2 바이셀(210)은 제1 바이셀(110)과 같이 제1 전극(211)에 제1 전극 탭(215)이 구비되고, 제2 전극(212)에 제2 전극탭(216)이 구비되며, 대면 전극(221)에 제3 전극탭(222)이 구비되어, 각각 측정부와 전기적으로 연결될 수 있다. 이때, 분리막(214)은 제1 전극(211), 제2 전극(212), 및 대면 전극(221) 사이를 절연시킬 수 있다.

[0035] 도 7은 본 발명의 일 실시예에 따른 셀 성능 측정방법에서 외측 계면 분석단계 및 내측 계면 분석단계에서 제1 단위셀의 성능을 측정하는 개념을 나타낸 평면도이고, 도 8은 본 발명의 일 실시예에 따른 셀 성능 측정방법에서 외측 계면 분석단계 및 내측 계면 분석단계에서 제1 단위셀의 측정 영역을 나타낸 평면도이다.

[0036] 도 9는 본 발명의 일 실시예에 따른 셀 성능 측정방법에서 외측 계면 분석단계 및 내측 계면 분석단계에서 제2 단위셀의 성능을 측정하는 개념을 나타낸 평면도이며, 도 10은 본 발명의 일 실시예에 따른 셀 성능 측정방법에서 외측 계면 분석단계 및 내측 계면 분석단계에서 제2 단위셀의 측정 영역을 나타낸 평면도이다.

[0037] 도 3, 4, 도 7 및 도 8을 참고하면, 외측 계면 분석단계는 단위셀(110)의 외측 영역(CO)의 성능을 분석할 수 있다. 즉, 단위셀(110)에서 최외각에 위치되는 제1 전극(111)과 대면 전극(121) 사이의 계면간 성능차이를 측정할 수 있다. 여기서, 외측 계면 분석단계는 제1 전극(111)에 구비된 제1 전극탭(115)과 대면 전극(121)에 구비된 제3 전극탭(122) 사이를 전기적으로 연결하여 제1 전극(111) 및 대면 전극(121) 사이의 계면간 성능차이를 측정할 수 있다. 이때, 외측 계면 분석단계는 단위셀(110)을 전해액에 함침시킨 후 단위셀(110)에서 최외각에 위치되는 제1 전극(111)과 대면 전극(121) 사이의 계면간 성능차이를 측정할 수 있다.

[0038] 또한, 외측 계면 분석단계는 측정부(150)(측정부 상품명:PNE, 전압값:0-5V/8A, 오차범위 ±0.1%)에서는 저항값 또는 전류값을 측정하여 계면간 성능차이를 측정할 수 있다. 여기서, 외측 계면 분석단계는 저항값이 낮거나, 전류값이 클 수록 계면간 성능이 좋은 것으로 판별할 수 있다. 이때, 측정부(150)는 저항값을 측정하는 저항 측정부(미도시)와, 전류값을 측정하는 전류 측정부(미도시)와, 전압값을 측정하는 전압 측정부(미도시), 및 전지 용량을 측정하는 용량 측정부(미도시)를 포함할 수 있다.

[0039] 한편, 외측 계면 분석단계는 다수개의 단위셀(110)들의 외측 계면을 각각 분석하여 외측 계면간 셀 성능을 비교 분석할 수 있다. 이때, 외측 계면 분석단계는 예를 들어 제1 전극(111)과 대면 전극(121)을 접합시켰을때와 접합시키지 않았을 때의 계면간 셀 성능을 측정하여, 대면 전극(121)의 비접합 시와 접합 시의 계면간 성능차이를 분석할 수 있다. 여기서, 도 3 및 도 5를 참고하면, 외측 계면 분석단계는 예를 들어 제1 바이셀(110) 및 제2 바이셀(210)의 외측 계면을 각각 분석하여 제1 바이셀(110) 및 제2 바이셀(210) 간의 셀 성능을 분석할 수 있다.

[0041] 도 7 및 도 8을 참고하면, 내측 계면 분석단계는 단위셀의 내측 영역(CI)의 성능을 분석할 수 있다. 즉, 단위셀(110)에서 최외각에 위치되는 제2 전극(112)과 중앙부에 위치되는 제1 전극(111) 사이의 계면간 성능차이를 측정할 수 있다. 여기서, 내측 계면 분석단계는 제2 전극(112)에 구비된 제2 전극탭(116)과, 제1 전극(111)에 구비된 제1 전극탭(115) 사이를 전기적으로 연결하여 제1 전극(111) 및 제2 전극(112) 사이의 계면간 성능차이를 측정할 수 있다. 이때, 내측 계면 분석단계는 단위셀(110)을 전해액에 함침시킨 후 단위셀(110)에서 최외각에 위치되는 제2 전극(112)과 중앙부에 위치되는 제1 전극(110) 사이의 계면간 성능차이를 측정할 수 있다.

[0042] 또한, 내측 계면 분석단계는 측정부(150)에서는 저항값 또는 전류값을 측정하여 계면간 성능차이를 측정할 수

있다. 여기서, 내측 계면 분석단계는 저항값이 낮거나, 전류값이 클 수록 계면간 성능이 좋은 것으로 판별할 수 있다.

[0044] 한편, 도 7 내지 도 10을 참고하면, 외측 계면 분석단계 및 내측 계면 분석단계는, 제1 바이셀(110)의 계면간 성능 차이 및 제2 바이셀(210)의 계면간 성능 차이를 각각 측정하여, 제1 바이셀(110)과 제2 바이셀(210) 간의 셀 성능 차이를 분석할 수 있다. 즉, 외측 계면 분석단계 및 내측 계면 분석단계는 제1 바이셀(110)의 외측 영역(CO) 및 내측 영역(CI)의 셀 성능과, 제2 바이셀(210)의 외측 영역(AO) 및 내측 영역(AI)의 셀 성능 서로 비교 분석할 수 있다.

[0045] 외측 계면 분석단계 및 내측 계면 분석단계는 동시에 수행하여 제1 바이셀(110)과 제2 바이셀(210)의 전체 영역(CF,AF)의 성능을 분석할 수 있다. 즉, 외측 계면 분석단계 및 내측 계면 분석단계는 동시에 수행하여 제1 바이셀(110)의 전체 저항값 및 전류값을 측정하고, 제2 바이셀(210)의 전체 저항값 및 전류값을 측정하여, 제1 바이셀(110) 및 제2 바이셀(210)의 저항값과 전류값을 비교하여 셀 성능 차이를 분석할 수 있다. 즉, 제1 바이셀(110) 및 제2 바이셀(210)에서 제1 전극(111,211)에 구비된 제1 전극탭(115)과 대면 전극(121)에 구비된 제3 전극탭(122,222) 사이를 전기적으로 연결하고, 제2 전극(112,212)에 구비된 제2 전극탭(116,216)과 제1 전극(111,211)에 구비된 제1 전극탭(115,215) 사이를 전기적으로 연결하여, 제1 바이셀(110) 및 제2 바이셀(210)의 전체 계면간 성능차이를 각각 측정하여 비교 분석할 수 있다. 여기서, 측정된 제1 바이셀(110) 및 제2 바이셀(210)의 전체 저항값과 전체 전류값을 통해 충전,방전 곡선으로 나타낼 수 있고, 충전,방전 곡선의 특성을 확인하여 셀 성능을 확인할 수 있다. 또한, 이를 통해 전류-전압커브 또는 내부 저항값을 확인 할 수 있다. 이때, 예를 들어 전류-전압커브를 이용하여 DCIR(direct current internal resistance) 및 HPPC(hybrid pulse power characterization)등을 확인 할 수 있다.

[0047] 이하에서는 본 발명의 다른 실시예에 따른 셀 성능 측정방법에 대하여 설명하기로 한다.

[0048] 도 11은 본 발명의 다른 실시예에 따른 셀 성능 측정방법에서 제1 단위셀을 수용하는 수용단계를 나타낸 분해 사시도이고, 도 12는 본 발명의 다른 실시예에 따른 셀 성능 측정방법에서 제1 단위셀이 수용된 상태를 나타낸 사시도이며, 도 13은 본 발명의 다른 실시예에 따른 셀 성능 측정방법에서 제2 단위셀이 수용된 상태를 나타낸 사시도이다.

[0049] 도 3 및 도 11을 참고하면, 제1 전극탭(115)을 구비하는 제1 전극(111), 분리막(114), 및 제2 전극탭(116)을 구비하는 제2 전극(112)이 교대로 적층되어 접합된 단위셀(110)의 성능을 측정하는 방법으로, 단위셀(110)의 최외각에서 제3 전극탭(122)을 구비하는 대면 전극(121)을 더 적층시키는 추가 적층단계와, 제1 전극(111) 및 대면 전극(121) 사이의 계면간 성능차이를 측정하는 외측 계면 분석단계와, 제1 전극(111) 및 제2 전극(112) 사이의 계면간 성능차이를 측정하는 내측 계면 분석단계, 및 단위셀(110)을 전지 케이스(130)의 수용부(131)에 전해액과 함께 수용시켜 실링(Sealing)하는 수용단계를 포함한다.(참조 도 3)

[0050] 본 발명의 다른 실시예에 따른 셀 성능 측정방법은 전술한 본 발명의 일 실시예에 따른 셀 성능 측정방법과 비교할 때, 단위셀(110)을 전해액과 함께 전지 케이스(130)에 수용하는 수용단계를 더 포함하는 점에서 차이가 있다. 따라서, 본 실시예는 전술한 일 실시예와 중복되는 내용은 간략히 기술하고, 차이점을 중심으로 기술하도록 한다.

[0052] 보다 상세히, 본 발명의 다른 실시예에 따른 셀 성능 측정방법에서, 추가 적층단계는 단위셀(110)의 최외각에서 제1 전극(111)과 대면되는 측에 제2 전극(112)과 동일 극성을 갖고, 제3 전극탭(122)을 구비하는 대면 전극(121)을 분리막(114)을 사이에두고 더 적층시킬 수 있다.

[0053] 여기서, 예를 들어 제1 전극탭(115) 및 제2 전극 탭(116)은 단위셀(110)의 일방향으로 연장되고, 제3 전극탭(122)은 단위셀(110)의 타방향으로 연장될 수 있다.

[0054] 단위 셀(110)은 예를 들어 중앙측에 제2 전극(112)이 위치되며, 제2 전극(122)을 중심으로 양측에 제1 전극(111)이 각각 위치되는 바이셀로 이루어질 수 있다.

[0055] 또한, 추가 적층단계는 바이셀의 최외각 양측에 대면 전극(121)을 각각 적층시킬 수 있다.

[0056] 아울러, 추가 적층단계는 일례로 대면 전극(121)을 제1 전극(111)의 외측에 비접합 형태로 적층시킬 수 있다.

[0057] 그리고, 추가 적층단계는 다른 예로 대면 전극(121)을 제1 전극(111)의 외측에 라미네이션시켜 접합 형태로 적층시킬 수 있다.

[0058] 한편, 바이셀은 다수개로 이루어지고, 다수개의 바이셀 중에서 적어도 어느 하나의 바이셀은 제1 전극(111)이 음극으로 이루어지고 제2 전극(112)이 양극으로 이루어지는 제1 바이셀(110)로 이루어지며, 적어도 다른 하나의 바이셀은 제1 전극(111)이 양극으로 이루어지고 제2 전극(112)은 음극으로 이루어지는 제2 바이셀(210)로 이루어질 수 있다.(도 5 참조)

[0060] 도 3, 및 도 11 내지 도 13을 참고하면, 수용단계는 추가 적층단계를 수행한 후에 단위셀(110)을 전지 케이스(130)에 전해액과 함께 수용시킬 수 있다.

[0061] 또한, 본 발명의 다른 실시예에 따른 셀 성능 측정방법에서, 수용단계는 제1 전극 탭(115)에 제1 전극리드(117)를 연결시키고, 제2 전극탭(116)에 제2 전극리드(118)를 연결시키며, 제3 전극탭(122)에 제3 전극리드(123)를 연결시키는 리드연결단계를 더 포함할 수 있다.

[0062] 제1 전극리드(117)와, 제2 전극리드(118), 및 제3 전극리드(123)의 단부는 전지 케이스(130)의 외측으로 돌출될 수 있다. 이때, 제1 전극리드(117)와, 제2 전극리드(118), 및 제3 전극리드(123)는 측정부(150)와 전기적으로 연결될 수 있다. 이에 따라, 측정부(150)는 제1 전극리드(117)를 통해 제1 전극탭(115)과 전기적으로 연결되고, 제2 전극리드(118)를 통해 제2 전극탭(116)과 연결되며, 제3 전극리드(123)를 통해 제3 전극탭(122)과 전기적으로 연결될 수 있다.(참조 도 7)

[0063] 이때, 제1 바이셀(110)을 전해액과 함께 전지 케이스(130)에 수용시켜 제1 이차전지(100)를 형성시키고, 제2 바이셀(210)을 전해액과 함께 전지 케이스(130)에 수용시켜 제2 이차전지(200)를 형성시킬 수 있다.(도 5 참조)

[0065] 도 8을 참고하면, 내측 계면 분석단계는 제2 전극(112)에 구비된 제2 전극탭(116)과, 제1 전극(111)에 구비된 제1 전극탭(115) 사이를 전기적으로 연결하여, 제1 전극(111) 및 제2 전극(112) 사이의 계면간 성능차이를 측정할 수 있다. 이때, 내측 계면 분석단계는 제1 전극리드(117) 및 제 2 전극리드(118)을 통해 제1 전극탭(115) 및 제2 전극탭(122)을 측정부(150)와 전기적으로 연결할 수 있다.(참조 도 7)

[0067] 외측 계면 분석단계는 제1 전극(111)에 구비된 제1 전극탭(115)과 대면 전극(121)에 구비된 제3 전극탭(122) 사이를 전기적으로 연결하여 제1 전극(111) 및 대면 전극(121) 사이의 계면간 성능차이를 측정할 수 있다. 이때, 외측 계면 분석단계는 제1 전극리드(117) 및 제 3 전극리드(123)을 통해 제1 전극탭(115) 및 제3 전극탭(122)을 측정부(150)와 전기적으로 연결할 수 있다.(참조 도 7)

[0069] 도 8 및 도 10을 참고하면, 외측 계면 분석단계 및 내측 계면 분석단계는 제1 바이셀(110)의 계면간 성능 차이 및 제2 바이셀(210)의 계면간 성능 차이를 각각 측정하여, 제1 바이셀(110)과 제2 바이셀(210) 간의 셀 성능 차이를 분석할 수 있다. (도 5 참조)

[0071] < 실험예 1 >

[0072] 도 14는 본 발명의 실시예에 따른 셀 성능 측정방법을 통해 제1 바이셀 및 제2 바이셀의 성능을 측정한 그래프이다.

[0073] 도 14를 참고하면, 제1 바이셀 및 제2 바이셀의 외측 계면과, 내측 계면, 전체 계면의 계면간 성능차이 각각 측정하였다. 도 14의 그래프에서, 세로축은 직류 저항(DCIP; Direct Current Internal Resistance)을 나타내고, 가로축은 충전 상태(SOC; state of charge)를 나타낸다. 여기서, 제1 바이셀 및 제2 바이셀의 최외각에는 대면 전극을 적층하였다. 그리고, 제1 바이셀 및 제2 바이셀의 제1 전극탭과 제2 전극탭 및 제3 전극 탭을 저항 측정기(측정부 상품명:PNE, 전압값:0-5V/8A, 오차범위 ±0.1%)와 전기적으로 연결하여 각각의 직류 저항을 측정한

값을 그래프로 도시하였다.

[0074] 도 14에 도시된 그래프에서 제1 바이셀의 외측 계면 저항값(C-O)이 제2 바이셀의 외측 계면 저항값(A-O) 보다 작고, 제1 바이셀의 내측 계면 저항값(C-I)이 제2 바이셀의 내측 계면 저항값(A-I) 보다 크며, 제1 바이셀의 전체 저항값(C-F)이 제2 바이셀의 전체 저항값(A-F) 보다 작은 것을 알 수 있다.

[0075] 따라서, 제1 바이셀의 외측 계면 저항값(C-O)이 제2 바이셀의 외측 계면 저항값(A-O) 보다 작고, 제1 바이셀의 내측 계면 저항값(C-I)이 제2 바이셀의 내측 계면 저항값(A-I) 보다 크지만, 제1 바이셀의 전체 저항값(C-F)이 제2 바이셀의 전체 저항값(A-F) 보다 작으므로, 도 14에 도시된 제1 바이셀의 셀 성능은 제2 바이셀의 셀 성능보다 좋은 것을 알 수 있다.

[0076] 상기와 같은 셀 성능 측정 방식으로 다양한 형태의 단위셀 성능을 용이하게 판별할 수 있다.

[0078] < 실험예 2 >

[0079] 도 15는 본 발명의 실시예에 따른 셀 성능 측정방법을 통해 제1 바이셀 및 제2 바이셀의 충방전 성능을 측정한 그래프이다.

[0080] 도 15를 참고하면, 제1 바이셀 및 제2 바이셀의 외측 계면 및 내측 계면을 포함하는 전체 계면간 성능차이 각각 측정하였다. 도 15의 그래프에서, 세로축은 전압(Voltage, V)을 나타내고, 가로축은 충방전 용량(Capacity, mAh)을 나타낸다. 여기서, 제1 바이셀 및 제2 바이셀의 최외각에는 대면전극을 적층하였다. 그리고, 제1 바이셀 및 제2 바이셀의 제1 전극탭과 제2 전극탭 및 제3 전극 탭을 저항 및 전류 측정기(측정부 상품명:PNE, 전압값:0-5V/8A, 오차범위 ±0.1%)와 전기적으로 연결하여 각각의 전체 저항값과 전체 전류값을 측정하여 충전,방전 곡선으로 나타내었다. 즉, 저항값과 전류값을 측정하여 전압값 및 용량값을 추출하였다. 여기서, 전압값은 V(전압값)=I(전류값)*R(저항값) 식을 통해서 구하고, 용량값은 전류값(I)에 시간(t)을 곱하여 구하였다. 그리고, SOC 10% 및 25℃ 조건에서 측정하였다.

[0081] 도 15에 도시된 하방향을 향하는 방전 그래프에서 방전이 진행됨에 따라 제1 바이셀의 전체 계면의 전압값(C)이 제2 바이셀의 전체 계면 전압값(A) 보다 큰 것을 알 수 있다. 또한, 제 1 바이셀의 전체 계면의 방전 용량이 제 2 바이셀의 방전 용량 보다 큰 것을 알 수 있다. 이를 통해 제1 바이셀의 전체 계면의 충방전 성능이 제2 바이셀의 전체 계면의 충방전 성능 보다 좋은 것을 알 수 있다.

[0082] 상기와 같은 셀 성능 측정 방식으로 다양한 형태의 단위셀 성능을 용이하게 판별할 수 있다.

[0084] 이상 본 발명을 구체적인 실시예를 통하여 상세히 설명하였으나, 이는 본 발명을 구체적으로 설명하기 위한 것으로, 본 발명에 따른 셀 성능 측정방법은 이에 한정되지 않는다. 본 발명의 기술적 사상 내에서 당해 분야의 통상의 지식을 가진 자에 의해 다양한 실시가 가능하다고 할 것이다.

[0085] 또한, 발명의 구체적인 보호 범위는 첨부된 특허청구범위에 의하여 명확해질 것이다.

## *부호의 설명*

[0087] 10: 전극 조립체

11: 분리필름

12: 단위셀

100,200: 이차전지

110: 단위셀(제1 바이셀)

111,211: 제1 전극

112,212: 제2 전극

114,214: 분리막

115,215: 제1 전극탭

116,216: 제2 전극탭

117,217: 제1 전극리드

118,218: 제2 전극리드

121,221: 대면 전극

122,222: 제3 전극탭

123,223: 제3 전극 리드

130: 전지 케이스

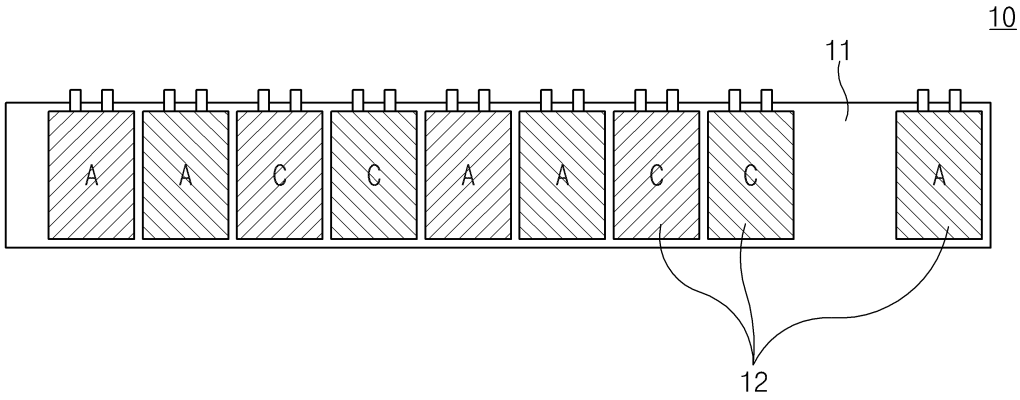
131: 수용부

150 : 측정부

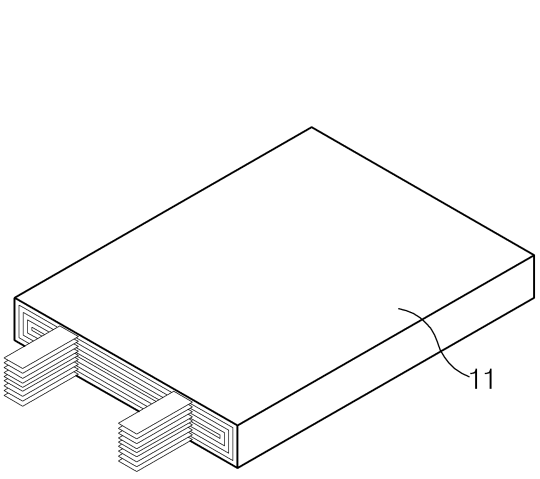
210: 단위셀(제2 바이셀)

## 도면

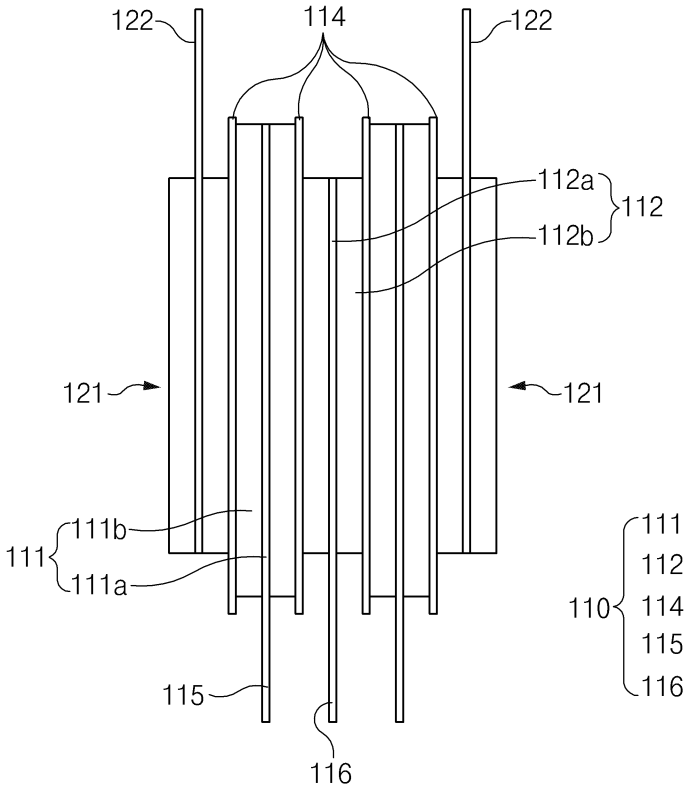
### 도면1



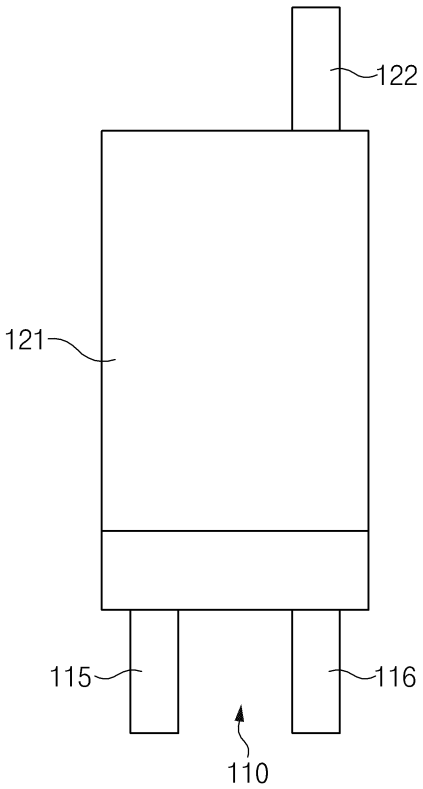

### 도면2



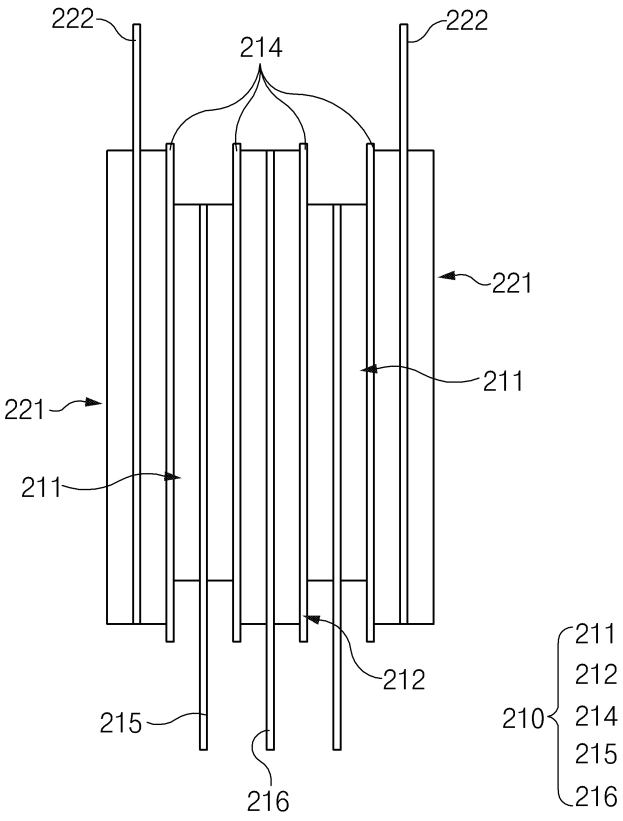
도면3


122
114
122
112a
112
112b
121
121
111b
111
111a
111
112
114
110
115
116
115
116

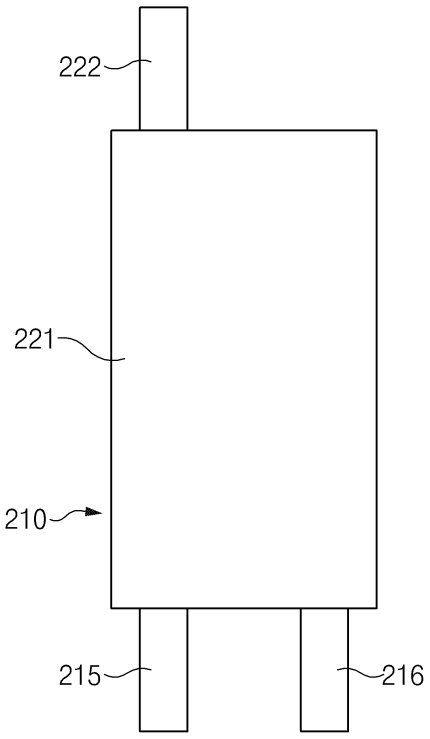
도면4


122
121
115
116
110

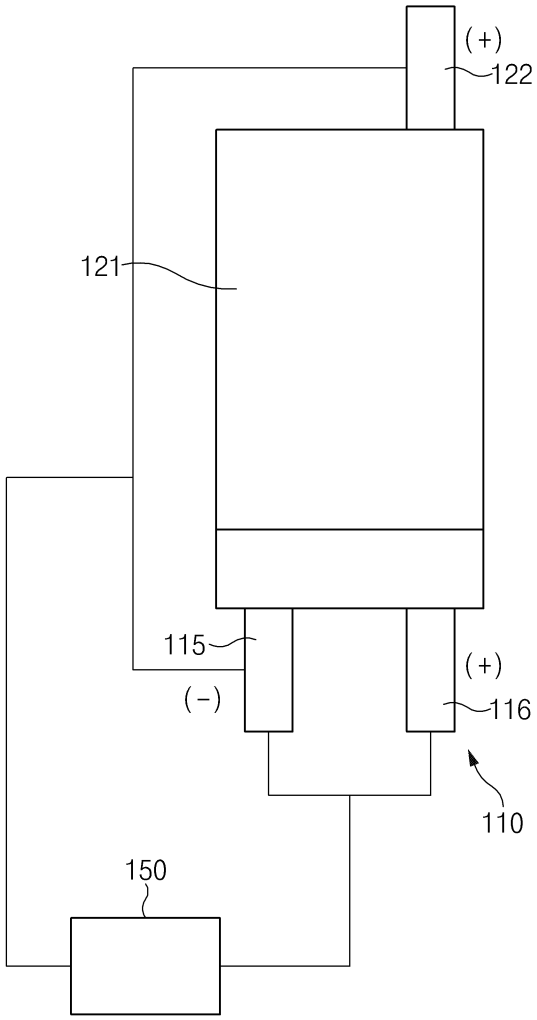
도면5


222
214
222
221
211
221
211
212
215
216
210
211
212
214
215
216

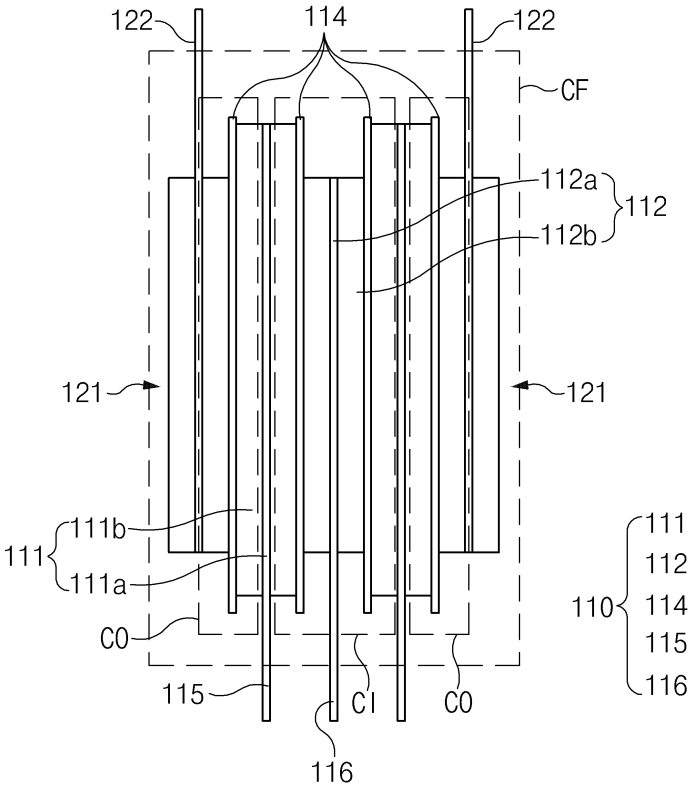
도면6


222
221
210
215
216

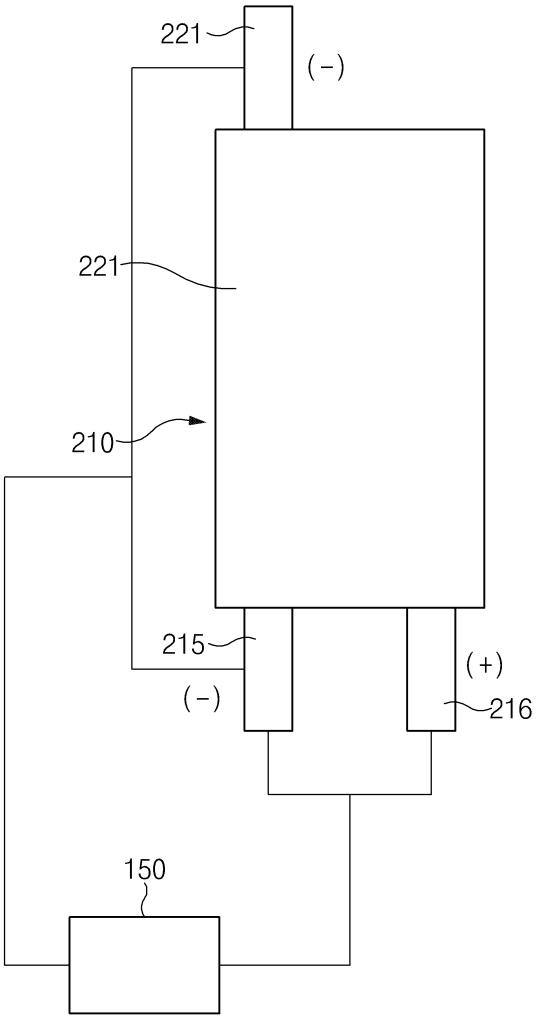
도면7



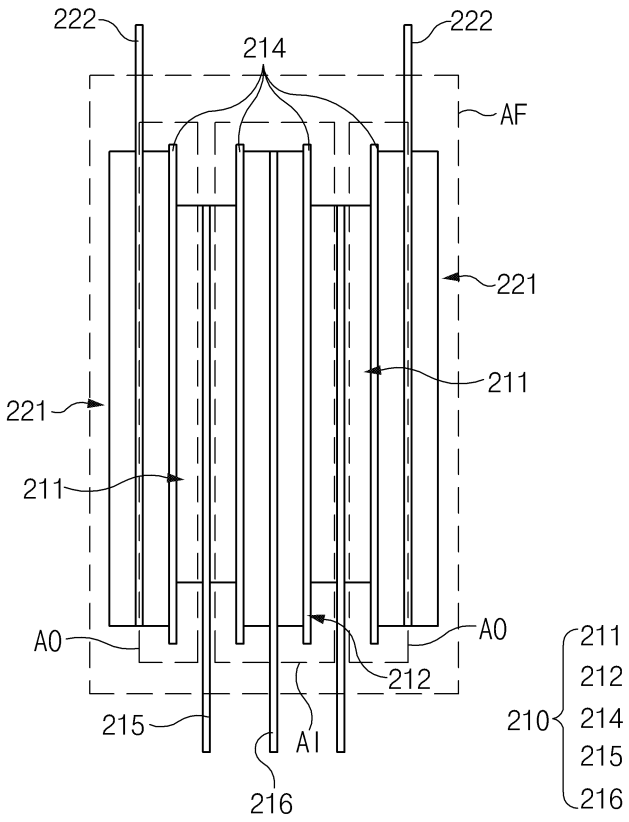
도면8


122
114
122
CF
112a
112
112b
121
121
111b
111
111a
C0
115
CI
C0
116
111
112
110
114
115
116

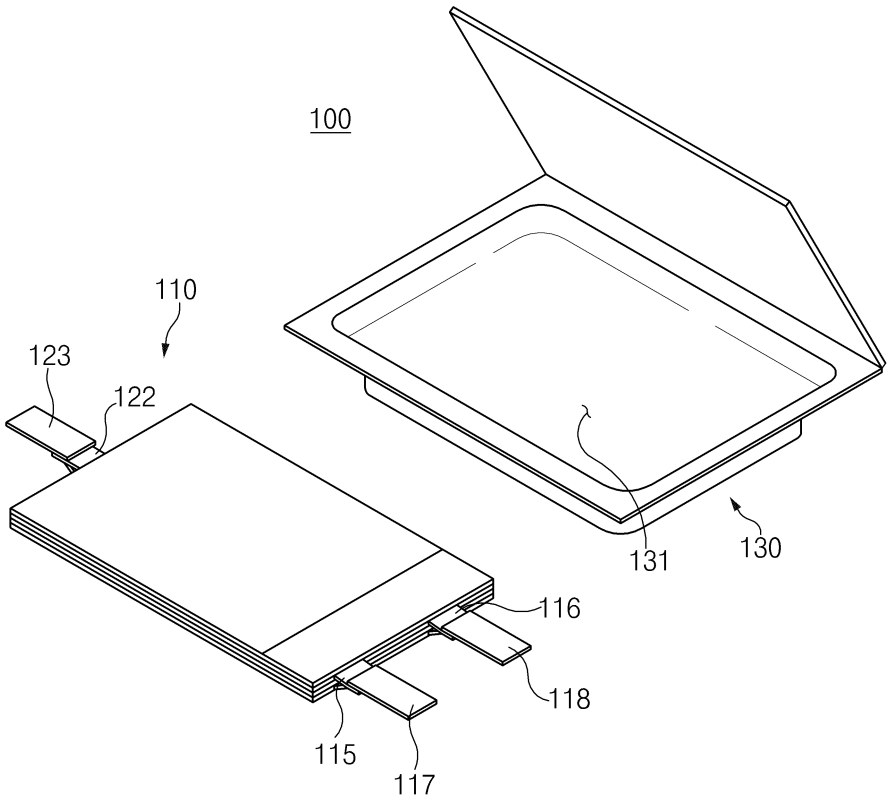
도면9



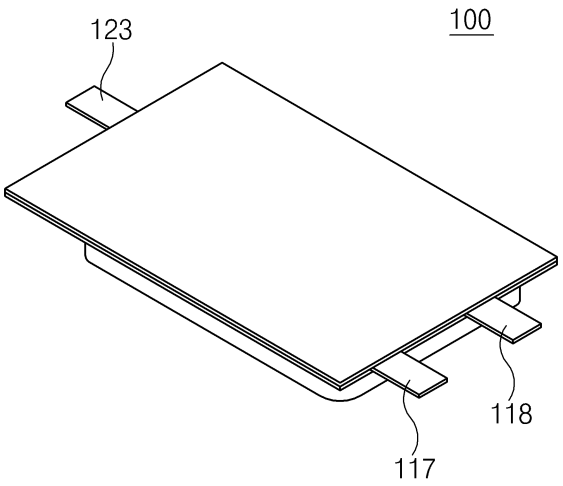
도면10


222
214
222
AF
221
211
221
211
A0
A0
212
215
AI
216
210
211
212
214
215
216

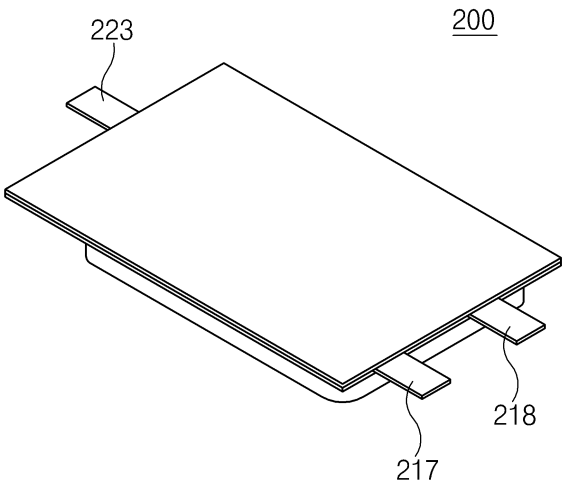
도면11


100
110
123
122
131
130
116
118
115
117

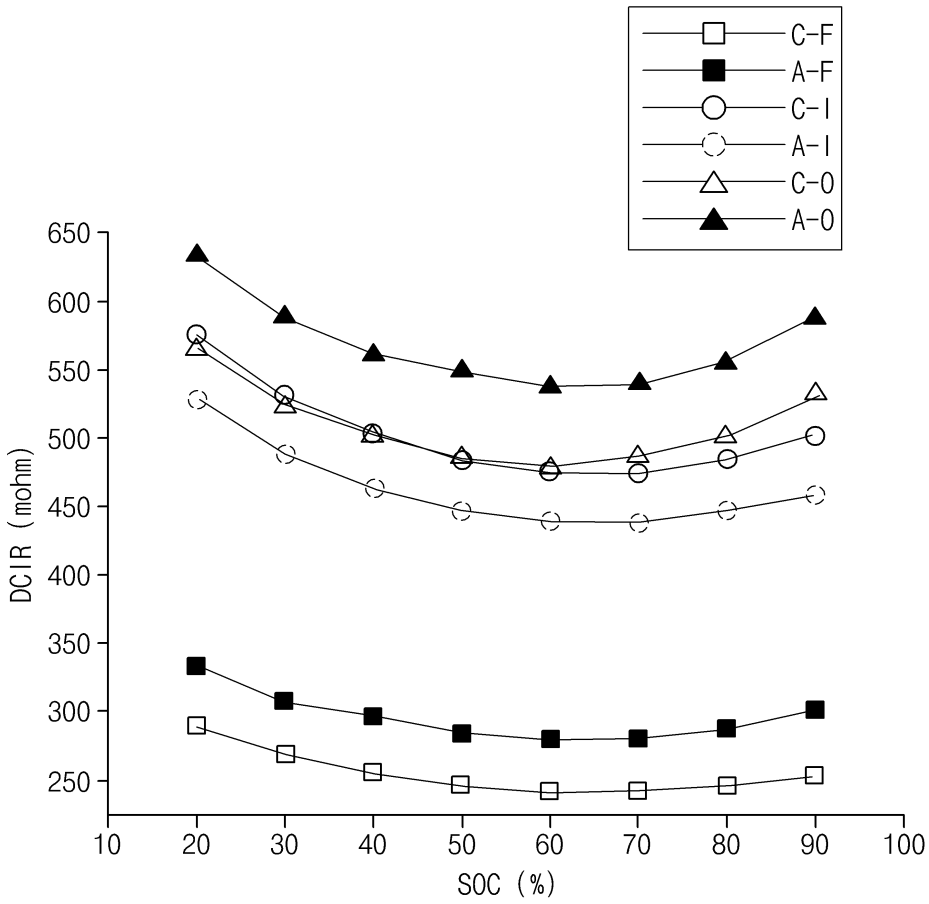
도면12



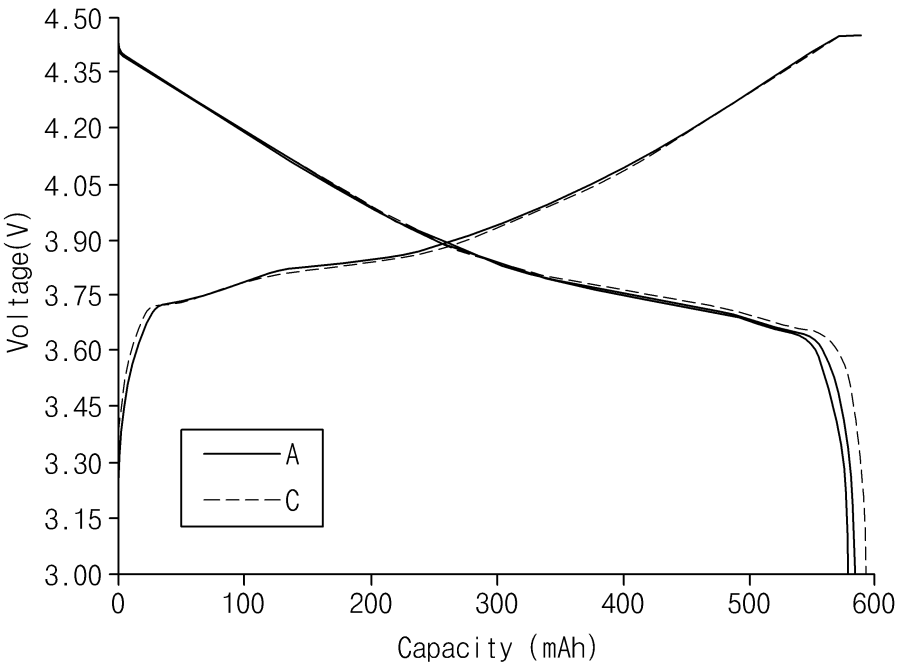

도면13



도면14


C-F
A-F
C-I
A-I
C-O
A-O
650
600
550
500
450
400
350
300
250
DCIR (mohm)
10
20
30
40
50
60
70
80
90
100
SOC (%)

도면15


4.50
4.35
4.20
4.05
3.90
3.75
3.60
3.45
3.30
3.15
3.00
Voltage(V)
A
C
0
100
200
300
400
500
600
Capacity (mAh)