



**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(11) 공개번호 10-2008-0098613  
(43) 공개일자 2008년11월11일

- |  |  |
|--|--|
| <p>(51) Int. Cl.<br/> <i>G06F 11/00</i> (2006.01) <i>G06F 11/08</i> (2006.01)<br/> <i>G06F 11/20</i> (2006.01) <i>G06F 12/00</i> (2006.01)</p> <p>(21) 출원번호 10-2008-7020334<br/>                 (22) 출원일자 2008년08월20일<br/>                 심사청구일자 없음<br/>                 번역문제출일자 2008년08월20일<br/>                 (86) 국제출원번호 PCT/US2007/060659<br/>                 국제출원일자 2007년01월18일<br/>                 (87) 국제공개번호 WO 2007/103590<br/>                 국제공개일자 2007년09월13일<br/>                 (30) 우선권주장<br/>                 11/359,329 2006년02월21일 미국(US)</p> | <p>(71) 출원인<br/>                 프리스케일 세미컨덕터, 인크.<br/>                 미합중국 텍사스 (우편번호 78735) 오스틴 윌리암 캐논 드라이브 웨스트 6501</p> <p>(72) 발명자<br/>                 모이어, 윌리엄 씨.<br/>                 미국, 78620 텍사스, 드리핑 스트링스, 메도우 럿지 드라이브 1111</p> <p>(74) 대리인<br/>                 이범래</p> |
|--|--|

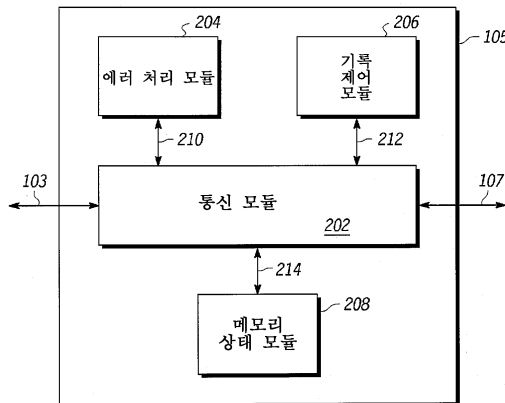
전체 청구항 수 : 총 20 항

**(54) 에러 정정 디바이스 및 그 방법**

**(57) 요약**

에러 정정을 위한 디바이스 및 방법이 개시된다. 디바이스는 상태 표시자(304)의 상태에 의존하여 메모리 위치에 대한 에러 처리를 디스에이블하기 위해 메모리 제어 모듈(105)을 포함한다. 상태 표시자는 리셋 또는 파워-온 이벤트 후와 같이, 메모리 위치에 대한 유효한 에러 정정 및 검출 정보가 이용가능하지 않을 때 에러 처리가 디스에이블되도록 설정될 수 있다. 또한, 메모리 제어 모듈은 유효한 에러 검출 및 정정 데이터가 메모리 위치에 대해 산출됨을 보장하기 위해 에러 처리가 디스에이블될 때 부분 기록 요청들을 전체 기록 요청들로 촉진시킬 수 있다. 유효한 에러 검출 및 정정 정보가 이용가능할 때까지 에러 처리를 디스에이블함으로써, 불필요하거나 또는 유효하지 않은 에러 처리 동작들의 수가 감소되고, 그로 인해 디바이스 자원들이 보존된다.

**대표도** - 도2



## 특허청구의 범위

### 청구항 1

방법에 있어서,

제 1 메모리 위치와 연관된 제 1 에러 정정 상태 표시자의 상태를 결정하는 단계; 및

상기 제 1 에러 정정 상태 표시자가 제 1 상태에 있음을 결정하는 것에 응답하여, 상기 제 1 메모리 위치에 대한 제 1 액세스 요청을 위한 에러 처리를 디스에이블하는 단계로서, 상기 에러 처리는 에러 검출 및 에러 정정으로 이루어진 그룹으로부터 선택되는, 상기 디스에이블 단계를 포함하는, 방법.

### 청구항 2

제 1 항에 있어서,

상기 제 1 에러 정정 상태 표시자가 제 2 상태에 있음을 결정하는 것에 응답하여, 상기 제 1 메모리 위치에 대한 상기 제 1 액세스 요청을 위한 에러 처리를 인에이블하는 단계를 더 포함하는, 방법.

### 청구항 3

제 1 항에 있어서,

상기 제 1 액세스 요청은 부분 기록 동작이고,

상기 방법은,

상기 부분 기록 동작을 전체 기록 동작으로 촉진시키는(promoting) 단계를 더 포함하는, 방법.

### 청구항 4

제 3 항에 있어서,

상기 전체 기록 동작을 위한 에러 정정 정보를 산출하는 단계를 더 포함하는, 방법.

### 청구항 5

제 3 항에 있어서,

상기 전체 기록 동작은 상기 제 1 메모리 위치와 연관된 에러 정정 데이터 유닛의 전체폭 상에서 수행되는, 방법.

### 청구항 6

제 3 항에 있어서,

상기 부분 기록 동작을 촉진시킨 후, 상기 제 1 에러 정정 상태 표시자를 제 2 상태로 변경하는 단계를 더 포함하는, 방법.

### 청구항 7

제 1 항에 있어서,

상기 제 1 액세스 요청은 부분 기록 동작이고,

상기 방법은,

상기 제 1 에러 정정 상태 표시자가 제 2 상태에 있음을 결정하는 것에 응답하여,

상기 제 1 메모리 위치에 대한 에러 정정 또는 에러 검출을 수행하는 단계; 및

상기 제 1 메모리 위치의 부분에 데이터를 기록함으로써 상기 부분 기록 동작을 수행하는 단계를 더 포함하는, 방법.

### 청구항 8

제 1 항에 있어서,

리셋 표시를 수신하는 단계; 및

상기 리셋 표시 수신에 응답하여 상기 제 1 에러 정정 상태 표시자를 상기 제 1 상태에 위치시키는 단계를 더 포함하는, 방법.

**청구항 9**

제 8 항에 있어서,

상기 제 1 메모리 위치는 디바이스에 포함되고, 상기 리셋 표시는 저전력 모드에서 활성 모드로 전이하는 상기 디바이스에 응답하여 수신되는, 방법.

**청구항 10**

제 1 항에 있어서,

제 2 메모리 위치에 대한 제 2 액세스 요청을 수신하는 단계;

상기 제 2 메모리 위치와 연관된 제 2 에러 정정 상태 표시자의 상태를 결정하는 단계;

상기 제 2 에러 정정 상태 표시자가 상기 제 1 상태에 있음을 결정하는 것에 응답하여, 상기 제 2 메모리 위치에 대한 상기 제 2 액세스 요청을 위한 에러 처리를 디스에이블하는 단계를 더 포함하는, 방법.

**청구항 11**

디바이스에 있어서,

메모리 위치를 포함하는 메모리로서, 상기 메모리 위치는,

데이터 영역; 및

에러 정정 영역을 포함하는, 상기 메모리;

상기 메모리 위치와 연관된 상태 표시자;

상기 메모리에 결합되고, 상기 메모리 위치와 연관된 에러 정정을 수행하기 위한 에러 정정 모듈; 및

상기 상태 표시자에 결합된 제 1 입력 및 상기 에러 정정 모듈에 결합된 출력을 포함하고, 미리 결정된 상태에 있는 상기 상태 표시자에 응답하여, 상기 메모리 위치에 대한 에러 처리를 디스에이블하는 액세스 제어 모듈로서, 상기 에러 처리는 에러 검출 및 에러 정정으로 이루어진 그룹으로부터 선택되는, 상기 액세스 제어 모듈을 포함하는, 디바이스.

**청구항 12**

제 11 항에 있어서,

상기 미리 결정된 상태에 있는 상기 상태 표시자에 응답하여, 상기 액세스 제어 모듈은 상기 메모리 위치와 연관된 부분 기록 동작을 전체 기록 동작으로 촉진시키는, 디바이스.

**청구항 13**

제 12 항에 있어서,

상기 에러 정정 모듈은 상기 전체 기록 동작과 연관된 에러 정정 데이터를 산출하는, 디바이스.

**청구항 14**

제 11 항에 있어서,

상기 액세스 제어 모듈은 리셋 신호를 수신하기 위해 제 2 입력을 더 포함하고, 상기 액세스 제어 모듈은 상기 상태 표시자가 상기 리셋 신호의 수신에 응답하여 상기 미리 결정된 상태에 위치되도록 하는, 디바이스.

**청구항 15**

제 11 항에 있어서,

상기 상태 표시자는 상기 메모리 위치와 연관된 상태 플래그 비트인, 디바이스.

**청구항 16**

방법에 있어서,

메모리 위치에 대한 부분 기록 동작을 수신하는 단계;

상기 메모리 위치와 연관된 에러 정정 상태 표시자의 상태를 결정하는 단계; 및

상기 에러 정정 상태 표시자가 제 1 상태에 있음을 결정하는 것에 응답하여, 상기 부분 기록 동작을 전체 기록 동작으로 촉진시키는 단계를 포함하는, 방법.

**청구항 17**

제 16 항에 있어서,

상기 부분 기록 동작의 처리 동안, 에러 검출 또는 에러 정정 중 적어도 하나를 디스에이블하는 단계를 더 포함하는, 방법.

**청구항 18**

제 16 항에 있어서,

리셋 표시를 수신하는 단계;

상기 리셋 표시의 수신에 응답하여 상기 에러 정정 상태 표시자를 상기 제 1 상태에 위치시키는 단계를 더 포함하는, 방법.

**청구항 19**

제 16 항에 있어서,

상기 전체 기록 동작을 위한 에러 정정 정보를 산출하는 단계를 더 포함하는, 방법.

**청구항 20**

제 16 항에 있어서,

상기 부분 기록 동작을 촉진시키는 단계 이외에 상기 에러 정정 상태 표시자를 제 2 상태로 변경하는 단계를 더 포함하는, 방법.

**명세서**

**기술분야**

<1> 본 발명은 에러 제어 방식들에 관한 것으로, 보다 상세하게는 메모리에 대한 에러 정정 방식들에 관한 것이다.

**배경기술**

<2> RAM, 플래쉬 메모리, 및 하드 디스크 드라이브들과 같은 메모리 디바이스들은 저장 에러들을 포함할 수 있다. 이들 에러들은 메모리 디바이스의 물리적 인자들 또는 다른 인자들로부터 기인할 수 있다. 메모리 에러들은 메모리 디바이스로부터 관측되는 잘못된 데이터를 야기할 수 있으며, 빈번하거나 또는 반복된 에러들은 나쁜 디바이스 동작을 야기할 수 있다.

<3> 메모리 저장 에러들의 영향을 감소시키기 위해, 디바이스는 에러 정정 기술들을 이용할 수 있다. 예를 들면, 메모리 디바이스는 메모리 디바이스에서의 메모리 위치들에 대한 에러 정정 코드(ECC) 데이터를 저장할 수 있다. ECC 데이터는 디바이스가 에러들을 검출할 수 있도록 패리티 또는 다른 데이터를 포함한다. 또한, ECC 데이터는 디바이스가 검출된 에러들을 정정할 수 있도록 하는 에러 정정 데이터를 포함할 수 있다.

<4> 메모리 에러 정정 기술들은 메모리 신뢰도를 향상시킬 수 있지만, 기술들은 또한 디바이스의 응답 시간 및 전력

과 같은 디바이스 자원들을 소비한다. 자원들의 소비는 휴대용 또는 다른 저전력 디바이스들과 같은 몇몇 애플리케이션들에서 바람직하지 않을 수 있다.

- <5> 메모리 신뢰도를 향상시키기 위해, 몇몇 디바이스들은 리셋 이벤트(리셋, 파워-온 또는 다른 이벤트와 같은) 후, 메모리는 미리 결정된 데이터 시퀀스로 채워지고, ECC 데이터는 이러한 미리 결정된 시퀀스에 기초하여 메모리를 위해 산출되는 방식을 이용한다. 그러나, 이러한 방식은 리셋 이벤트 후 바람직하지 않은 지연을 야기할 뿐만 아니라 리셋 이벤트 후, 바람직하지 않은 전력 소비를 야기할 수 있다. 이러한 전력 소비는 리셋 이벤트를 빈번하게 겪는 디바이스들 또는 휴대용 디바이스들에 특히 바람직하지 않을 수 있다.
- <6> 그러므로, 바람직하지 않은 양의 디바이스 자원들을 소비하지 않고 에러 정정을 수행하는 디바이스를 제공하는 것이 바람직하다.

**발명의 상세한 설명**

- <7> 본 개시는 더욱 양호하게 이해될 수 있으며, 그 다양한 특징들 및 이점들은 첨부한 도면들을 참조함으로써 이 기술분야의 숙련자들에게 명백해질 것이다.
- <8> 에러 정정을 위한 디바이스 및 방법이 개시된다. 디바이스는 상태 표시자의 상태에 의존하여 메모리 위치에 대한 에러 처리를 디스에이블하기 위한 메모리 제어 모듈을 포함한다. 상태 표시자는 리셋 또는 파워-온 이벤트 이후와 같은, 메모리 위치에 대한 유효한 에러 정정 및 검출 정보가 이용가능하지 않을 때 에러 처리가 디스에이블되도록 설정될 수 있다. 또한, 메모리 제어 모듈은 유효한 에러 검출 및 정정 데이터가 메모리 위치에 대해 산출됨을 보장하기 위해 에러 처리가 디스에이블될 때 부분 기록 요청들을 전체 기록 요청들로 촉진시킬 수 있다(promote). 유효한 에러 검출 및 정정 정보가 이용가능할 때까지 에러 처리를 디스에이블함으로써, 불필요하거나 또는 유효하지 않은 에러 처리 동작들의 수가 감소되고, 그에 의해 디바이스 자원들을 보존한다.

**실시 예**

- <17> 도 1을 참조하면, 처리 디바이스(100)가 예시된다. 처리 디바이스(100)는 제 1 인터페이스(103)를 통해 메모리 제어 모듈(105)에 연결된 프로세서(102)를 포함한다. 디바이스(100)는 또한 제 2 인터페이스(107)를 통해 메모리 제어 모듈(105)에 연결된 휘발성 메모리(108)를 포함한다. 메모리(108)는 데이터 영역(110) 및 ECC 영역(112)을 포함한다. 처리 디바이스(100)는 ASIC, 시스템 온 칩(SOC), 집적 회로, 또는 다른 디바이스일 수 있다. 또한, 처리 디바이스(100)는 이동 또는 휴대용 디바이스들, 자동차 디바이스들, 또는 다른 적절한 디바이스들과 같은 다양한 애플리케이션들에 사용될 수 있다. 메모리(108)는 RAM 메모리(DRAM 또는 SRAM 또는 다른 RAM 메모리를 포함하는) 또는 임의의 다른 유형의 휘발성 메모리일 수 있다.
- <18> 동작 동안, 프로세서(102)는 판독 및 기록 요청들과 같은 메모리 액세스 요청들을 메모리 제어 모듈(105)에 전송한다. 메모리 제어 모듈(105)은 에러 처리가 메모리 액세스 요청과 연관된 메모리 위치에 대해 인에이블되는지 여부를 결정하고 적절한 동작을 수행한다. 에러 처리가 인에이블되면, 메모리 제어 모듈(105)은 판독 요청을 위한 에러 검출 및 정정, 또는 기록 요청을 위한 신드롬 데이터(syndrome data) 및 패리티 데이터의 생성과 같은 적절한 에러 처리를 수행한다. 에러 처리가 디스에이블되면, 이들 함수들은 메모리 제어 모듈(105)에 의해 수행되지 않는다. 단지 그러한 처리가 인에이블될 때만 에러 처리를 수행함으로써, 디바이스(100)는 불필요한 에러 처리를 감소시킬 수 있고, 그에 의해 전력, 시간, 또는 다른 디바이스 자원들을 절약할 수 있다.
- <19> 예를 들면, 디바이스(100)가 리셋되거나 또는 파워 온된 후, 메모리(108)의 데이터 영역(110)에서의 데이터는 미정이다. 따라서, ECC 영역(112)에 저장된 패리티 데이터 또는 신드롬 데이터와 같은, 메모리(108)와 연관된 임의의 ECC 데이터는 일반적으로 랜덤 데이터이며, 그러므로 유효하지 않을 가능성이 있다. 그러므로, 메모리(108) 상에서의 에러 정정 또는 검출 동작들은 유효한 데이터가 메모리(108)에 기록될 때까지 잘못된 결과들을 리턴할 가능성이 있을 것이다. 메모리 제어 모듈(105)은 유효한 데이터가 메모리(108)에 기록될 때까지, 에러 정정 또는 에러 검출 중 적어도 하나를 디스에이블함으로써 불필요하거나 또는 유효하지 않은 에러 처리 동작들의 수를 감소시킬 수 있다.
- <20> 예시된 실시예에 있어서, 메모리 제어 모듈(105)은 판독 요청들 및 기록 요청들을 포함하여, 다양한 유형들의 메모리 액세스 요청들에 대한 에러 처리를 수행할 수 있다. 예를 들면, 판독 요청의 경우에, 메모리 제어 모듈(105)은 에러 검출, 및 필요하다면, 판독 요청과 연관된 메모리(108)의 일부에 대한 에러 처리가 인에이블되는 경우, 에러 정정을 수행한다.

- <21> 기록 요청의 경우에, 요청은 전체 기록 요청 또는 부분 기록 요청일 수 있다. 전체 기록 요청은 ECC 데이터 유닛(단일 ECC 신드롬 값과 연관된 메모리의 양)의 전체 폭으로 데이터를 기록하기 위한 요청인 반면, 부분 기록 요청은 ECC 데이터 유닛의 전체 폭 미만으로 데이터를 기록하기 위한 요청이다. 예를 들면, 메모리 제어 모듈(105) 및 메모리(108)는 64 비트 ECC 데이터 유닛에 기초하여 에러 검출 및 정정을 수행하도록 구성될 수 있다. 따라서, 이러한 예에서, 전체 기록 동작은 64 비트 기록 동작인 반면, 32 비트(워드), 16 비트(반-워드), 및 8 비트(바이트) 기록 동작들은 부분 기록 동작들이다.
- <22> 전체 기록 요청의 경우에, 메모리 제어 모듈(105)은 기록 동작과 연관된 데이터를 위해 패리티 데이터와 같은 에러 검출 정보, 및 신드롬 데이터와 같은 에러 정정 정보를 산출한다. 기록 제어 모듈(105)은 기록 요청과 연관된 데이터뿐만 아니라 에러 검출 정보 및 에러 정정 정보를 메모리(108)에 기록한다.
- <23> 부분 기록 요청의 경우에, 에러 처리가 인에이블될 때 부분 기록 동작을 위한 ECC 데이터를 산출하기 위해, 기록 제어 모듈(108) 또는 프로세서(102)는 부분 기록 요청을 "판독-변경-기록 동작"으로 변환할 수 있다. 이러한 동작하에, 에러 처리가 인에이블되면, 부분 기록 요청과 연관된 메모리 어드레스에서 전체 데이터 유닛이 판독되고, 에러 검출 및 에러 정정은 전체 데이터 유닛 상에 메모리 제어 모듈(105)에 의해 수행된다. 예를 들면, 64 비트 ECC 데이터 유닛을 위해 구성된 메모리의 경우에, 64 비트 메모리 위치의 모두는 ECC 데이터를 산출하기 위해 사용된다. 전체 데이터 유닛의 적절한 부분이 그 후 부분 기록 동작과 연관된 데이터로 교체되고, 전체 데이터 유닛(교체된 데이터를 갖는)은 메모리(108)에 기록된다. 업데이트된 에러 검출 및 정정 값들은 새로운 부분 기록 데이터 값을 포함하는 업데이트된 전체 데이터 유닛에 기초하여 산출된다.
- <24> 대안적으로, 에러 처리가 디스에이블되면, 메모리 제어 모듈(105)은 부분 기록 요청을 전체 기록 요청으로 촉진시킬 수 있다. 본 명세서에 사용된 바와 같이, 기록 요청을 촉진시키는 것은 부분 기록 요청을 전체 기록 요청으로 변환하는 것으로서 정의된다. 일 실시예에서, 8, 16, 또는 32 비트 부분 데이터 기록 요청은 64 비트 전체 데이터 기록 요청으로 촉진된다. 이것은 다양한 방법들로 행해질 수 있다. 예를 들면, 메모리 제어 모듈(105)은 변환된 데이터가 전체 ECC 데이터 유닛에 적합하도록 부분 기록 요청과 연관된 데이터에 미리 결정된 데이터 시퀀스를 부가 또는 삽입할 수 있다. 그 후, 변환된 데이터는 메모리(108)에 기록될 수 있다. 업데이트된 에러 검출 및 정정 값들은 변환된 기록 데이터 값을 포함하는 업데이트된 전체 데이터 유닛에 기초하여 산출된다.
- <25> 부분 기록 요청들을 전체 기록 요청들로 촉진시킴으로써, 데이터에 대한 유효한 에러 정정 및 검출 값들은 추후 에러 처리 동작들을 위해 메모리(108)에 위치된다. 따라서, 부분 기록 요청이 전체 기록 요청으로 촉진되고 전체 기록 요청을 위한 에러 정정 및 검출 정보가 산출 및 저장되면, 기록 요청과 연관된 메모리 위치에 대한 에러 정정이 인에이블될 수 있고, 에러 처리는 메모리 위치와 연관된 다음의 메모리 액세스 요청들을 위해 수행될 수 있다.
- <26> 또한, 에러 처리 동작들을 선택적으로 인에이블하는 것과 함께, 부분 기록 요청들을 전체 기록 요청들로 촉진시킴으로써, 메모리 제어 모듈(105)은 시스템 자원들을 보존할 수 있다. 예를 들면, 설명한 바와 같이, 디바이스 리셋 또는 파워-온 이벤트 후, 메모리(108)의 데이터는 미정이고 메모리(108) 상에서의 에러 처리는 특히 부분 기록 동작들의 경우에 판독 및 기록 액세스들에 대한 에러들을 쉽게 야기할 수 있는데, 이는 그 동작들이 판독 함수 및 기록 함수 모두를 포함하기 때문이다. 더욱이, 각각의 메모리 위치는 전체 기록 또는 촉진된 부분 기록 동작 중 하나가 메모리 위치상에서 수행될 때 알려진 데이터로 채워지기 때문에, 메모리(108)는 리셋 또는 파워-온 이벤트 후 직접 알려진 데이터 시퀀스로 미리 채워지거나 또는 초기화될 필요가 없고, 그로 인해 시간 및 전력을 절약한다.
- <27> 도 2를 참조하면, 도 1의 메모리 제어 모듈(105)의 특정 실시예가 설명된다. 예시되는 바와 같이, 메모리 제어 모듈(105)은 제 1 인터페이스(103) 및 제 2 인터페이스(107)에 연결된 통신 모듈(202)을 포함한다. 또한, 통신 모듈(202)은 제 3 인터페이스(210)를 통해 에러 처리 모듈(204)로, 제 4 인터페이스(212)를 통해 기록 제어 모듈(206)로, 및 제 5 인터페이스(214)를 통해 메모리 상태 모듈(208)로 연결된다. 모듈들(202, 204, 206, 및 208)은 하드웨어, 소프트웨어, 펌웨어, 또는 그것들의 임의의 조합으로서 수행될 수 있다. 예시를 위해, 모듈들(202, 204, 및 206)의 일부 또는 모두는 그것들의 대응하는 함수들을 수행하기 위한 로직(logic)으로서 수행될 수 있다.
- <28> 동작 동안, 메모리 제어 모듈(105)은 에러 처리 및 메모리 액세스 요청 처리를 수행한다. 에러 처리를 수행하기 위해, 통신 모듈(202)은 제 1 인터페이스(103)를 통해 프로세서로부터 메모리 액세스 요청을 수신한다. 메모리 액세스 요청은 일반적으로 요청과 연관된 메모리 위치의 메모리 어드레스, 및 기록 요청의 경우에 메모리에 기록될 페이지 데이터들을 포함한다. 통신 모듈(202)은 메모리 어드레스를 에러 처리가 메모리 어드레스와 연관된

특정 메모리 위치에 대해 인에이블될지 여부를 결정하는 메모리 상태 모듈(208)에 제공한다.

- <29> 에러 처리가 메모리 액세스 요청과 연관된 특정 메모리 위치에 대해 디스에이블된다면, 메모리 상태 모듈(208)은 통신 모듈(202)을 통해, 메모리 액세스 요청에 대하여 에러 처리가 수행될 필요가 없음을 에러 처리 모듈(204)에 나타낸다. 그 후 메모리 액세스 요청은 통신 모듈(202)에 의해 제 2 인터페이스(107)를 통해 메모리(108)(도 1)에 전달된다.
- <30> 에러 처리가 메모리 액세스 요청과 연관된 특정 메모리 위치에 대해 인에이블된다면, 메모리 상태 모듈(208)은 에러 처리가 진행되어야 한다는 것을 에러 처리 모듈(204)에 나타낸다. 응답으로, 에러 처리 모듈(204)은 메모리(108)의 ECC 영역(112)으로부터 ECC 정보 및 데이터 영역(110)으로부터의 데이터를 이용하여, 적절한 에러 처리를 수행한다.
- <31> 예를 들면, 판독 요청의 경우에, 에러 처리 모듈(204)은 메모리(108)로부터 판독된 데이터의 에러들을 검출하고, 필요하다면, 에러 정정된 판독 데이터를 생성하기 위해 에러들을 정정한다. 기록 요청의 경우에, 에러 처리 모듈(204)은 기록 요청과 연관된 페이로드 데이터에 기초하여, 패리티 및 신드롬 데이터와 같은 ECC 데이터를 산출한다.
- <32> 에러 처리가 완료된 후, 통신 모듈(202)은 메모리 액세스 요청을 완료하기 위해 프로세서(102)(도 1) 및 메모리(108)와 통신한다. 예를 들면, 판독 요청의 경우에, 통신 모듈(202)은 에러 정정된 판독 데이터를 프로세서에 전달한다. 기록 요청의 경우에, 통신 모듈(202)은 에러 처리 모듈(204)에 의해 산출된 페이로드 데이터 및 ECC 데이터를 메모리(108)에 전달한다.
- <33> 에러 처리를 선택적으로 인에이블함으로써, 메모리 제어 모듈(105)은 불필요하거나 또는 바람직하지 않은 에러 처리의 양을 감소시킬 수 있다. 예를 들면, 에러 처리는 메모리 액세스 요청들에 대한 응답 시간을 개선하기 위해 프로세서에 의해 디스에이블될 수 있다. 이것은 빠른 메모리 응답을 요청하는 중요한 디바이스 동작들을 위해 바람직할 수 있다. 또 다른 실시예에서, 에러 처리는 전력 소비를 감소시키기 위해 디스에이블될 수 있다. 예를 들면, 메모리 제어 모듈(105)을 포함하는 디바이스는 저 전력 상태를 포함할 수 있고, 여기서 빈번한 에러 제어 동작들은 연관된 전력 소비로 인하여 바람직하지 않다.
- <34> 또한, 특정 실시예에서, 메모리 제어 모듈(105)은 그러한 처리가 메모리의 특정 부분들을 위해 인에이블되고 다른 부분들을 위해 디스에이블되도록 에러 처리를 제어할 수 있다. 이것은 다양한 상황들에서 유용할 수 있다. 예를 들면, 메모리 제어 모듈(105)은 에러 처리가 중요한 디바이스 데이터를 포함하는 메모리의 부분들을 위해 인에이블되지만, 덜 중요한 데이터를 저장하는 메모리의 부분들을 위해 디스에이블되도록 구성될 수 있다. 또 다른 실시예에서, 에러 정정은 빈번한 에러들을 경험하거나 또는 바람직하지 않은 동작 상태들 하에서 동작하는 메모리의 부분들을 위해 인에이블될 수 있는 반면, 에러 처리는 보다 적은 동작 에러들을 경험하는 메모리의 다른 부분들을 위해 디스에이블된다. 또 다른 실시예에서, 에러 정정은 파워-온 이벤트가 발생한 이래, 그 콘텐츠들이 초기화되는 메모리의 부분들을 위해 인에이블될 수 있는 반면, 에러 처리는 아직 초기화되지 않은 메모리의 다른 부분들을 위해 디스에이블될 수 있다.
- <35> 또한, 메모리 상태 모듈(208)은 시간에 걸쳐 메모리 위치에 대한 에러 처리 상태를 변경할 수 있다. 예를 들면, 에러 처리는 기록 요청이 그 메모리 위치에 대해 달성되고, 유효한 ECC 데이터가 메모리 위치에 대해 산출될 때까지 특정 메모리 위치에 대해 디스에이블될 수 있다. 따라서, 메모리 제어 모듈(105)은 적절한 상황들에 의존하여 메모리에 대한 에러 처리 구성을 동적으로 변경할 수 있다.
- <36> 또 다른 특정 실시예에서, 메모리 상태 모듈(208)은 통신 모듈(202)을 통해 프로세서(102)로부터 리셋 표시를 수신할 수 있다. 리셋 표시에 응답하여, 메모리 상태 모듈(208)은 메모리 위치들의 모두 또는 일부에 대한 에러 처리를 디스에이블할 수 있다. 이것은 시스템 리셋, 파워-온, 또는 다른 리셋 이벤트 후에 유효하지 않거나 또는 불필요한 에러 처리의 양을 감소시킬 수 있다.
- <37> 에러 처리 이외에, 메모리 제어 모듈(105)은 기록 요청 처리를 수행한다. 통신 모듈(202)은 제 1 인터페이스(103)를 통해 프로세서로부터 기록 요청을 수신한다. 통신 모듈(202)은 기록 요청과 연관된 어드레스 데이터 또는 페이로드 데이터를, 기록 요청이 전체 기록 요청 또는 부분 기록 요청인지를 결정하는 기록 제어 모듈(206)에 제공한다. 이것은 다양한 방식으로 행해질 수 있다. 예를 들면, 기록 제어 모듈은 메모리(108)에 대한 ECC 데이터 유닛의 크기에 대한 페이로드 데이터 크기의 비교에 기초하여 결정할 수 있다. 또 다른 실시예에서, 결정은 메모리 액세스 요청과 연관된 어드레스에 기초할 수 있다. 대안적인 실시예들은 임의의 다른 관련 방식으로 결정할 수 있다.

- <38> 기록 요청이 전체 기록 요청이라면, 기록 제어 모듈(206)은 전체 기록 요청이 처리될 수 있고, 페이로드 데이터(그러한 데이터가 산출된다면, ECC 데이터와 함께)가 메모리에 기록될 수 있다는 것을 통신 모듈(202)에 나타낸다.
- <39> 기록 요청이 부분 기록 요청이라면, 기록 제어 모듈(206)은 에러 처리가 요청과 연관된 메모리 위치에 대해 인에이블될지 여부를 결정하기 위해 메모리 상태 모듈(208)을 컨설팅한다. 에러 처리가 인에이블된다면, 기록 제어 모듈(206)은 부분 기록 요청을 촉진하지 않고 부분 기록 요청을 이행하기 위해 판독-변경-기록 동작(read-modify-write operation)을 수행할 수 있다. 부분 기록 데이터 값들은 "변경" 동작 동안, 판독-변경-기록 동작의 판독 동작으로부터 획득된 에러 정정된 판독 데이터와 병합되고, 메모리 위치는 이어서 판독-변경-기록 동작의 기록 부분 동안 변경된 값으로 업데이트된다. 변경된 데이터 값으로부터 산출된 업데이트된 ECC 데이터가 또한 저장된다. 에러 처리가 디스에이블된다면, 기록 제어 모듈(206)은 부분 기록 요청을 전체 기록 요청으로 촉진시킨다. 기록 제어 모듈(206)은 그 후 ECC 데이터 산출을 위한 에러 처리 모듈에 결과적인 전체 기록 요청을 제공하고, 그 결과적인 전체 기록 요청과 연관된 데이터를 메모리에 전달하기 위한 통신 모듈(202)에 제공한다.
- <40> 부분 기록 요청들을 전체 기록 요청들로 선택적으로 촉진시킴으로써, 기록 제어 모듈(206)은 유효하거나 또는 알려진 데이터가 모든 유형들의 기록 요청들에 대한 특정 메모리 위치에 기록됨을 보장할 수 있다. 그 후, 메모리 상태 모듈(208)은 메모리 위치에 대한 에러 정정을 인에이블할 수 있다.
- <41> 도 3을 참조하면, 도 2의 메모리 상태 모듈(208)의 특정 실시예가 예시된다. 메모리 상태 모듈(208)은 인터페이스(214)에 연결되고 인터페이스(306)를 통해 상태 표시자 저장 구성요소(304)에 연결된 메모리 상태 검출 모듈(302)을 포함한다. 상태 표시자 저장 구성요소(304)는 대응하는 메모리 위치들과 연관된 하나 이상의 상태 표시자들을 포함한다. 상태 표시자 저장 구성요소(304)는 데이터 파일, 상태 레지스터, 일련의 상태 플래그 비트들, 또는 다른 적절한 상태 표시자일 수 있다. 모듈들(302, 304)은 하드웨어, 소프트웨어, 펌웨어, 또는 그것들의 임의의 조합으로서 구현될 수 있다. 예시를 위해, 모듈들(302, 304) 중 하나 또는 둘 모두는 그 대응하는 함수들을 수행하기 위해 로직으로서 구현될 수 있다.
- <42> 동작 동안, 메모리 상태 검출 모듈(302)은 인터페이스(214)를 통해 메모리 상태 문의들을 수신한다. 메모리 상태 문의들은 메모리 어드레스 또는 메모리 어드레스에 기초한 표시와 같은 문의와 연관된 메모리 위치의 표시를 포함한다. 문의에 응답하여, 메모리 상태 검출 모듈(302)은 에러 처리가 메모리 위치에 대해 인에이블되는지 여부를 결정하기 위해 상태 표시자 저장 구성요소(304)를 액세스한다. 메모리 상태 검출 모듈은 그 후 에러 처리가 인에이블되는지 또는 디스에이블되는지 여부를 나타내는 문의에 대한 응답을 리턴할 수 있다.
- <43> 또한, 메모리 상태 검출 모듈(302)은 인터페이스(214)를 통해 메모리 상태 변화 요청들을 수신할 수 있다. 메모리 상태 문의들과 유사하게, 메모리 상태 변화 요청들은 메모리 위치 표시자를 포함할 수 있다. 메모리 상태 변화 요청에 응답하여, 메모리 상태 검출 모듈(302)은 하나 이상의 메모리 위치들의 에러 처리 상태를 변경하기 위해 상태 표시자 저장 구성요소(304)를 액세스할 수 있다. 예를 들면, 상태 표시자 저장 구성요소(304)가 메모리 위치와 연관된 상태 플래그 비트를 포함한다면, 메모리 상태 검출 모듈은 메모리 위치에 대한 에러 처리를 인에이블 또는 디스에이블하기 위해 적절하게 비트를 설정 또는 클리어할 수 있다.
- <44> 또한, 메모리 상태 변화 요청은 하나 이상의 메모리 위치와 또한 연관될 수 있다. 따라서, 메모리 상태 변화 요청에 응답하여, 메모리 상태 검출 모듈(302)은 메모리 영역 또는 전체 메모리 디바이스를 위한 에러 처리를 인에이블 또는 디스에이블할 수 있다.
- <45> 도 4를 참조하면, 도 2의 기록 제어 모듈(206)의 특정 실시예가 예시된다. 기록 제어 모듈은 인터페이스(406)를 통해 기록 촉진 모듈(404)에 연결된 기록 크기 검출 모듈(402)을 포함한다. 기록 크기 검출 모듈(402) 및 기록 촉진 모듈(404)은 각각 인터페이스(212)에 연결된다. 모듈들(402, 404)은 하드웨어, 소프트웨어, 펌웨어, 또는 그것들의 임의의 조합으로서 구현될 수 있다. 예시를 위해, 모듈들(402, 404)의 일부 또는 모두는 그 대응하는 함수들을 수행하기 위해 로직으로서 구현될 수 있다.
- <46> 동작 동안, 기록 크기 검출 모듈(402)은 인터페이스(212)를 통해 기록 요청들을 수신한다. 기록 크기 검출 모듈(402)은 수신된 기록 요청이 전체 또는 부분 기록 요청인지 여부를 결정한다. 기록 요청이 부분 기록 요청이라면, 기록 크기 검출 모듈(402)은 기록 요청을 전체 기록 동작으로 촉진시키도록 기록 촉진 모듈(404)에 지시한다. 응답으로, 기록 촉진 모듈(404)은 인터페이스(212)를 통해 부분 기록 동작과 연관된 페이로드 데이터를 수신한다. 기록 촉진 모듈(404)은 그 후 부분 기록 동작을 전체 기록 동작으로 촉진시키고, 인터페이스(212)를 통해 그 결과적인 페이로드 데이터를 리턴한다.

- <47> 도 5를 참조하면, 메모리에 대한 기록 요청을 처리하는 방법에 대한 특정 실시예의 흐름도가 예시된다. 블록 502에서, 리셋 표시가 프로세서 또는 메모리 제어 모듈에 의해 수신된다. 리셋 표시는 파워-온 이벤트, 저 전력 상태에서 활성 상태로의 디바이스의 전이, 리셋 이벤트 또는 다른 적절한 이벤트와 같은 다양한 이벤트들 이후에 수신될 수 있다.
- <48> 블록 504로 진행하면, 복수의 상태 표시자들이 프로세서 또는 메모리 제어 모듈에 의해 설정된다. 이들 상태 표시자들은 복수의 메모리 위치들과 연관될 수 있으며, 메모리 위치들에 대한 에러 처리가 디스에이블되어야 함을 나타낸다. 리셋 표시 후 메모리 위치들에 대한 에러 처리를 디스에이블함으로써, 불필요하거나 또는 바람직하지 않은 에러 처리가 감소될 수 있다.
- <49> 블록 506으로 이동하면, 특정 메모리 위치에 대한 기록 요청이 메모리 제어 모듈 또는 프로세서에서 수신된다. 기록 요청은 메모리 위치에 대한 어드레스, 및 메모리 위치에 기록될 데이터를 포함할 수 있다.
- <50> 결정 블록(508)에서, 그것은 수신된 기록 요청이 부분 또는 전체 기록 요청인지 여부를 프로세서 또는 메모리 제어 모듈에 의해 결정된다. 요청이 전체 기록 요청이라면, 방법은 블록 522로 이동하고, 프로세서 또는 메모리 제어 모듈은 기록 요청에 대한 에러 정정 신드롬 및 패리티 데이터를 산출한다. 일반적으로, 에러 정정 신드롬 및 패리티 데이터는 기록 요청과 연관된 데이터에 기초한다. 그 후 방법은 블록 524로 진행하고, 기록 요청과 연관된 데이터는 적절한 메모리 위치에 기록된다. 또한, 블록 526에서, 산출된 에러 정정 신드롬 및 패리티 데이터는 메모리 위치와 연관된 에러 정정 영역에 기록된다. 에러 정정 데이터는 기록 요청 데이터와 동일한 메모리 디바이스에 또는 상이한 디바이스에 기록될 수 있다. 그 후 방법은 블록 528로 진행하고 메모리 위치와 연관된 상태 표시자가 클리어된다. 이것은 메모리 위치로의 다음 기록 동작들에 대한 에러 정정을 인에이블한다.
- <51> 결정 블록(508)으로 리턴하면, 기록 요청이 부분 기록 요청인 경우, 방법은 결정 블록(510)으로 진행하고, 프로세서 또는 메모리 제어 모듈은 기록 요청과 연관된 메모리 위치에 대한 상태 표시자가 설정되었는지 여부를 결정한다. 에러 처리가 디스에이블되어야 함을 나타내는, 상태 표시자가 설정된 경우, 방법은 블록 512로 이동하고 프로세서 또는 메모리 제어 모듈은 메모리 위치에 대한 에러 검출 및 정정을 디스에이블한다. 방법은 블록 514로 이동하고, 프로세서 또는 메모리 제어 모듈은 부분 기록 요청에서 전체 기록 요청으로 촉진시킨다. 부분 기록 요청에서 전체 기록 요청으로 촉진시킴으로써, 유효한 에러 처리 데이터가 연관된 메모리 위치에 대해 산출되어, 추후 메모리 액세스 요청들에 대한 유효한 에러 처리를 허용할 수 있다. 방법은 블록 522로 진행하며, 에러 정정 데이터는 부분 기록 요청의 촉진으로부터 기인되는 전체 기록 요청에 대해 산출된다.
- <52> 블록 510으로 리턴하면, 에러 처리가 인에이블됨을 나타내는 상태 표시자가 설정되지 않았다고 결정되는 경우, 방법은 판독-변경-기록 동작을 시작하기 위해 블록 516으로 이동한다. 기록 요청과 연관된 메모리 위치에서의 데이터는 블록 516에서 판독된다. 블록 518에서, 판독 데이터의 에러들이 검출되고 필요하다면 정정된다. 블록 520에서, 판독 데이터의 적절한 부분이 부분 기록 요청과 연관된 데이터로 교체된다. 방법은 판독-변경-기록 동작으로부터 기인하는 데이터에 대한 에러 정정 신드롬 및 패리티 데이터를 산출하기 위해 블록 522로 이동한다. 블록 522로부터, 방법은 블록 524로 진행하여, 이전에 설명된 동작들을 수행한다.
- <53> 도 6을 참조하면, 판독 요청을 처리하는 방법에 대한 특정 실시예의 흐름도가 예시된다. 블록 602에서, 메모리 위치에 대한 판독 요청이 프로세서 또는 메모리 제어 모듈에서 수신된다. 판독 요청은 판독 요청이 부분 판독 요청인지 전체 판독 요청인지 여부에 대한 표시뿐만 아니라, 메모리 위치와 연관된 어드레스를 포함할 수 있다. 메모리 위치 데이터가 그 후 획득된다.
- <54> 결정 블록(604)으로 이동하면, 프로세서 또는 메모리 제어 모듈은 메모리 위치와 연관된 상태 표시자가 설정되었는지 여부를 결정한다. 상태 표시자는 메모리 위치에 대한 에러 처리가 인에이블되어야 하는지 여부를 결정하기 위해 사용된다.
- <55> 상태 표시자가 설정되지 않음이 결정된 경우, 방법은 블록 606으로 이동하고, 에러 검출 및 정정이 수행된다. 에러 검출은 메모리 위치와 연관된 패리티 데이터에 기초할 수 있고, 에러 정정은 메모리 위치와 연관된 에러 신드롬 데이터를 이용하여 수행될 수 있거나, 또는 에러 검출 및 정정은 임의의 다른 대안적 방법으로 수행될 수 있다. 방법은 블록 610으로 진행하고, 에러 정정된 데이터는 판독 요청된 디바이스로 리턴된다.
- <56> 결정 블록(606)으로 리턴하면, 상태 표시자가 메모리 위치에 대해 설정되지 않았다고 결정된 경우, 방법은 블록 608로 이동하고, 메모리 위치에 대한 에러 검출 및 정정이 디스에이블된다. 방법은 블록 610으로 이동하고 판독 데이터는 요청 디바이스로 리턴된다.

- <57> 이 기술분야의 숙련자는 도 5 및 도 6에 대하여 논의된 상태 표시자들의 설정 상태가 임의의 특정 저장된 값에 제한되지 않음을 이해할 것이다. 예를 들면, 로직 "1" 또는 "0"을 포함하는, 임의의 값이 본 개시의 범위로부터 벗어나지 않고 설정 상태를 표시하기 위해 사용될 수 있다.
- <58> 도 7을 참조하면, 도 1의 장치(100)에 대한 대안적 실시예가 예시된다. 예시된 바와 같이, 도 7에 예시된 메모리(108)는 상태 표시자 저장 구성요소(702)를 포함한다. 상태 표시자 저장 구성요소(702)는 에러 처리가 메모리(108)의 데이터 영역(110)에서의 대응하는 메모리 위치들에 대해 인에이블 또는 디스에이블되어야 하는지 여부를 나타내기 위해 복수의 상태 표시자들을 포함한다. 상태 표시자 저장 구성요소(702)는 프로세서(102)로부터 수신된 메모리 액세스 요청에 대한 에러 처리를 인에이블 또는 디스에이블할지 여부를 결정하기 위해 메모리 제어 모듈에 의해 액세스될 수 있다.
- <59> 따라서, 도 5에 예시된 바와 같이, 메모리(108)에 대한 에러 처리를 인에이블 또는 디스에이블하기 위해 사용된 상태 표시자들은 메모리 제어 모듈(105)에서보다는 메모리 자체에 저장될 수 있다.
- <60> 설명된 대로, 에러 정정을 위한 디바이스들 및 방법들이 본 명세서에 개시된다. 방법들 중 하나는 제 1 메모리 위치와 연관된 제 1 에러 정정 상태 표시자의 상태를 결정하는 단계, 제 1 에러 정정 상태 표시자가 제 1 상태에 있는지를 결정하는 것에 응답하여, 제 1 메모리 위치에 대한 액세스 요청을 위한 에러 정정, 에러 검출 또는 그것들의 임의의 조합 중 하나를 디스에이블하는 단계를 포함한다.
- <61> 특정 양상에 있어서, 방법은 에러 정정 상태 표시자가 제 2 상태에 있음을 결정하는 것에 응답하여, 제 1 메모리 위치에 대한 액세스 요청을 위해 에러 검출 또는 에러 정정 중 적어도 하나를 인에이블하는 단계를 포함한다.
- <62> 또 다른 특정 양상에 있어서, 액세스 요청은 부분 기록 동작이고, 방법은 부분 기록 동작에서 전체 기록 동작으로 촉진시키는 단계를 더 포함한다. 또 다른 특정 양상에 있어서, 방법은 제 1 전체 기록 동작에 대한 에러 정정 정보를 산출하는 단계를 포함한다. 또 다른 특정 양상에 있어서, 방법은 제 1 부분 기록 동작을 촉진시킨 후 제 1 에러 정정 상태 표시자를 제 2 상태로 변경하는 단계를 포함한다.
- <63> 특정 양상에 있어서, 제 1 액세스 요청은 부분 기록 동작이며, 방법은 에러 정정 상태 표시자가 제 2 상태에 있음을 결정하는 것에 응답하여, 제 1 메모리 위치에 대한 에러 정정 및 에러 검출을 수행하는 단계 및 제 1 메모리 위치의 부분에 데이터를 기록함으로써 제 1 부분 기록 동작을 수행하는 단계를 포함한다.
- <64> 또 다른 특정 양상에 있어서, 방법은 리셋 표시를 수신하는 단계 및 리셋 표시를 수신하는 것에 응답하여 에러 정정 상태 표시자를 제 1 상태에 위치시키는 단계를 포함한다. 또 다른 특정 양상에 있어서, 제 1 메모리 위치는 제 1 디바이스에 포함되며, 여기서, 리셋 표시는 저전력 모드에서 활성 모드로의 디바이스 전이에 응답하여 수신된다.
- <65> 특정 양상에 있어서, 방법은 제 2 메모리 위치와 연관된 제 2 액세스 요청을 수신하는 단계, 제 2 메모리 위치와 연관된 제 2 에러 정정 상태 표시자의 상태를 결정하는 단계, 및 제 2 에러 정정 상태 표시자가 제 1 상태에 있음을 결정하는 것에 응답하여, 제 2 메모리 위치로의 액세스 요청에 대한 에러 정정, 에러 검출, 또는 그것들의 임의의 조합을 디스에이블하는 단계를 포함한다.
- <66> 또 다른 특정 양상에 있어서, 제 1 전체 기록 동작은 제 1 메모리 위치와 연관된 에러 정정 데이터 유닛의 전체 폭 상에서 수행된다.
- <67> 개시된 디바이스는 제 1 메모리 위치를 포함하는 메모리를 포함한다. 제 1 메모리 위치는 데이터 영역 및 에러 정정 영역을 포함한다. 디바이스는 또한 메모리에 결합된 에러 정정 모듈, 제 1 메모리 위치와 연관된 제 1 상태 표시자를 포함한다. 에러 정정 모듈은 제 1 메모리 위치와 연관된 에러 정정을 수행한다. 디바이스는 또한 제 1 상태 표시자에 결합된 제 1 입력 및 에러 정정 모듈에 결합된 출력을 포함하는 액세스 제어 모듈을 포함한다. 액세스 제어 모듈은 제 1 상태에 있는 제 1 상태 표시자에 응답하여, 제 1 메모리 위치에 대한 에러 정정, 에러 검출, 또는 그것들의 임의의 조합 중 하나를 디스에이블하게 한다.
- <68> 특정 양상에 있어서, 제 1 상태에 있는 제 1 상태 표시자에 응답하여, 액세스 제어 모듈은 제 1 메모리 위치와 연관된 제 1 부분 기록 동작을 전체 기록 동작으로 촉진시킨다.
- <69> 또 다른 특정 양상에 있어서, 액세스 제어 모듈은 리셋 신호를 수신하기 위해 제 2 입력을 더 포함하고, 여기서 액세스 제어 모듈은 제 1 상태 표시자가 리셋 신호의 수신에 응답하여 제 1 상태로 위치되게 한다.

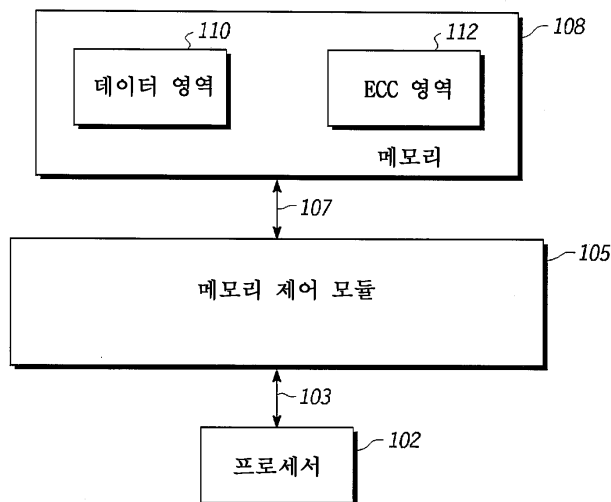
- <70> 또 다른 특정 양상에 있어서, 에러 정정 모듈은 전체 기록 동작과 연관된 에러 정정 데이터를 산출한다.
- <71> 특정 양상에 있어서, 제 1 상태 표시자는 제 1 메모리 위치와 연관된 상태 플래그 비트이다.
- <72> 또 다른 개시된 방법은 제 1 메모리 위치와 연관된 제 1 에러 정정 상태 표시자의 상태를 결정하는 단계, 및 에러 정정 상태 표시자가 제 1 상태에 있음을 결정하는 것에 응답하여, 제 1 메모리 위치와 연관된 제 1 부분 기록 동작을 제 1 전체 기록 동작으로 촉진시키는 단계를 포함한다.
- <73> 특정 양상에 있어서, 방법은 제 1 부분 기록 동작의 처리 동안 에러 검출 또는 에러 정정 중 적어도 하나를 디스에이블하는 단계를 포함한다.
- <74> 또 다른 특정 양상에 있어서, 방법은 리셋 표시를 수신하는 단계, 및 리셋 표시의 수신에 응답하여 에러 정정 상태 표시자를 제 1 상태에 두는 단계를 포함한다.
- <75> 또 다른 특정 양상에 있어서, 방법은 제 1 전체 기록 동작에 대한 에러 정정 정보를 산출하는 단계를 포함한다.
- <76> 특정 양상에 있어서, 방법은 제 1 부분 기록 동작을 활성화하는 것 외에 제 1 에러 정정 상태 표시자를 제 2 상태로 변경하는 단계를 포함한다.
- <77> 본 발명의 원리들이 특정 장치와 함께 상술되었지만, 이 기술은 단지 예로서 이루어진 것이며 본 발명의 범위에 대한 제한으로서 이루어진 것이 아님을 분명하게 이해해야 한다.

**도면의 간단한 설명**

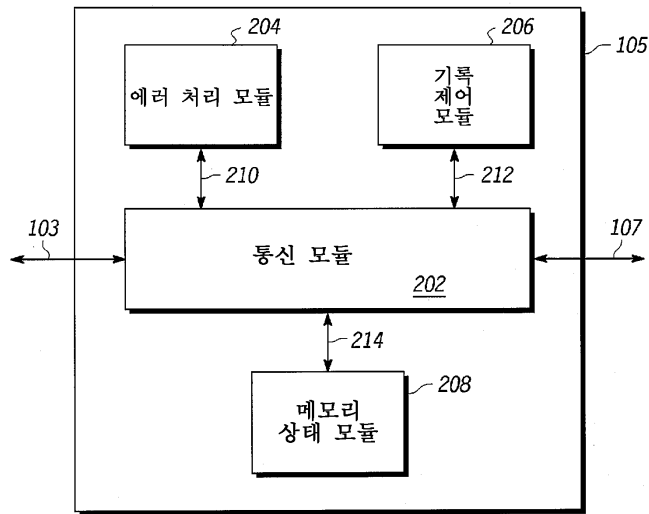
- <9> 도 1은 에러 정정 방식을 이용한 처리 디바이스의 특정 실시예를 예시한 도면.
- <10> 도 2는 도 1의 메모리 제어 모듈의 특정 실시예를 예시한 도면.
- <11> 도 3은 도 2의 메모리 상태 모듈의 특정 실시예를 예시한 도면.
- <12> 도 4는 도 2의 기록 제어 모듈의 특정 실시예를 예시한 도면.
- <13> 도 5는 메모리 기록 액세스 요청을 처리하는 방법에 대한 흐름도.
- <14> 도 6은 메모리 판독 액세스 요청을 처리하는 방법에 대한 흐름도.
- <15> 도 7은 도 1의 처리 디바이스의 대안적 실시예를 예시한 도면.
- <16> 서로 다른 도면들에서 동일한 참조 심볼들의 사용은 유사하거나 또는 동일한 아이템들을 나타낸다.

**도면**

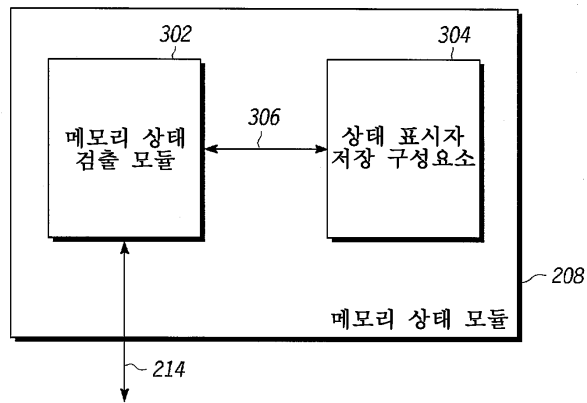
**도면1**



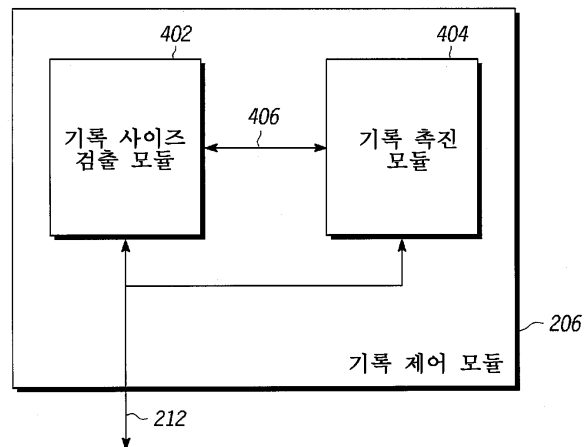
도면2



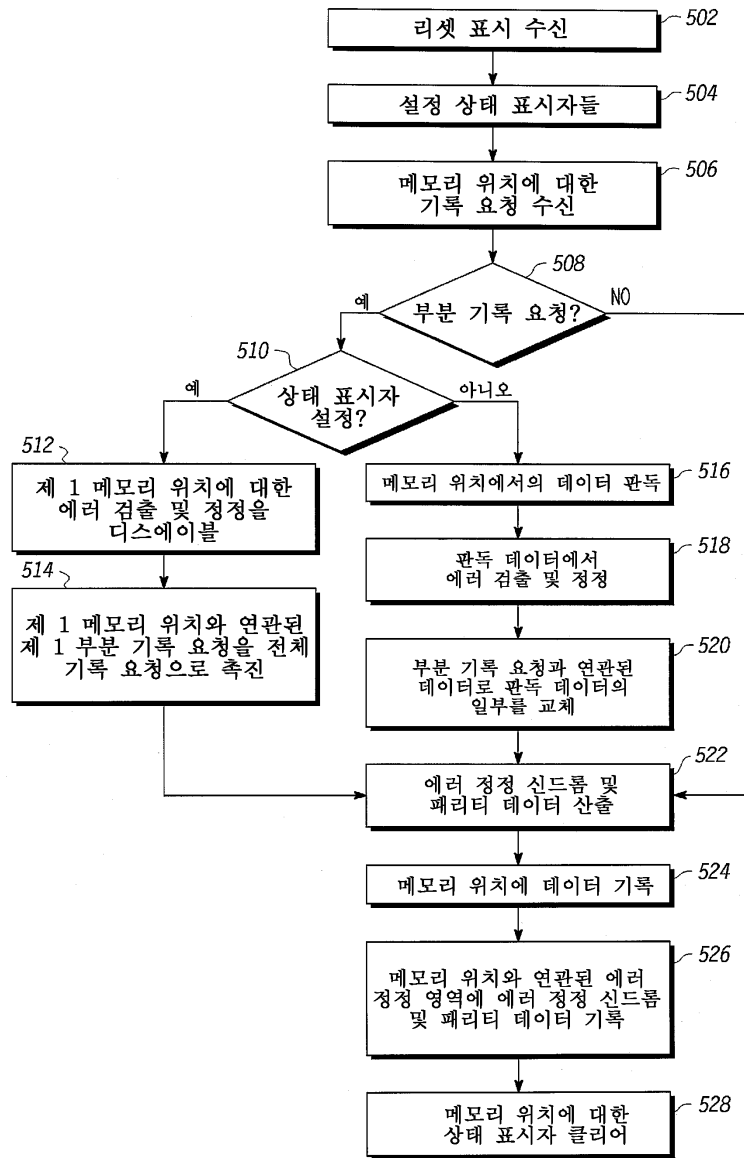
도면3



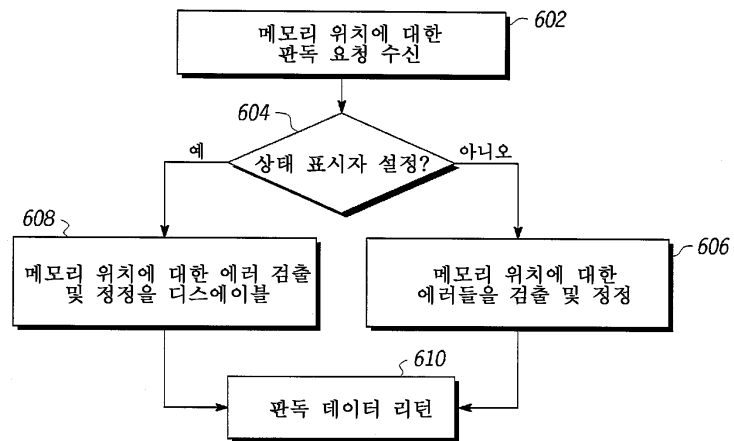
도면4



도면5



도면6



도면7

