

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：94110022

※申請日期：94.3.30

※IPC 分類：H01L 21/02

一、發明名稱：(中文/英文)

半導體裝置之製造方法

METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

NEC 電子股份有限公司 / NEC ELECTRONICS CORPORATION

代表人：(中文/英文) 戶坂 馨 / TOSAKA, KAORU

住居所或營業所地址：(中文/英文)

〒211-8668 日本國神奈川縣川崎市中原區下沼部 1753 番地

1753 Shimonumabe, Nakahara-ku, Kawasaki-shi, Kanagawa 211-8668,
Japan

國 籍：(中文/英文) 日本 / JAPAN

三、發明人：(共 2 人)

1. 姓 名：(中文/英文) 副島 康志 / SOEJIMA, KOJI ID :

國 籍：(中文/英文) 日本 JP

2. 姓 名：(中文/英文) 川野 連也 / KAWANO, MASAYA ID :

國 籍：(中文/英文) 日本 JP

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

受理國家(地區)：日本 JP

申請日期：2004 年 3 月 31 日

申請案號：特願 2004-108442

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本申請案是根據日本專利申請案第 2004-108442 號，該日本專利申請案之內容合併到本申請案供作參考。

本發明係關於一種半導體裝置之製造方法。

【先前技術】

近年來，半導體裝置要求須輕、薄、短、小，且要高性能。在像是多晶片封裝等半導體裝置中，實現高密度互連線、邏輯晶片的微形化及記憶體容量加大正被積極推廣中。

因應於此等提案的一種方式，有人嘗試在半導體基板中設置一貫穿電極以期達到實現高密度互連線等。例如，日本公開專利公報第 2000-311982 號揭露一習用貫穿電極，日本公開專利公報第 2000-311982 號揭露半導體裝置。這半導體裝置有在半導體晶片基板上開了一貫穿開孔的貫穿電極。中間絕緣層設於貫穿開孔的入超圍表面上；而導電層填充在中間絕緣層內的貫穿開孔。依日本公開專利公報第 2000-311982 號，以此結構可形成高密度三次元多半導體晶片基板。

另一方面，在日本公開專利公報第 2000-311892 號中記載的貫穿電極有大貫穿電極穿過半導體晶片基板的結構，因而於貫穿電極形成的區域不可能設置互連線等裝置。基於此一理由，使互連線等的聚集密度降低，因此在實現互連線的高密集化上仍有改善的空間。由於貫穿電極是在元件形成後才形成，故在貫穿電極形成時是否會造成元件的可靠度降低的問題仍令人擔心。

【發明內容】

依本發明，提供了半導體裝置的製造方法，包含：

在半導體基板的主要面邊形成第 1 開孔；

在第 1 開孔內壁形成了由絕緣材質製成的阻障膜；

在第 1 開孔的內部，藉由嵌入第 1 金屬膜在第 1 開孔內部，形成第 1 插塞，其中，第 1 插塞由第 1 金屬膜及阻障膜構成；

從半導體基板背面之側藉選擇性移除半導體基板形成第 2 開孔，以便在第 2 開孔的內部曝露第 1 插塞的部分；

選擇性黏附絕緣材料到曝露在第 2 開孔第 1 插塞以外的區域；

藉由移除至少曝露的阻障膜部分使第 1 金屬膜曝露；及

藉由選擇性成長第 2 金屬膜，而形成包含第 1 插塞部分的第 2 插塞以便嵌入第 2 開孔的內部。

在本說明書中，主要面是指在半導體基板上半導體元件形成的那一面。

依照此方法，可以簡單製程穩定製造在第 1 插塞及第 2 插塞之間具有優良黏附力之貫穿電極的半導體裝置。此外，可以簡單製程製造在第 2 插塞表面上有優良絕緣性的半導體裝置。

在本發明中，第 1 插塞包含第 1 金屬膜及阻絕膜。此外，在本發明中，第 1 金屬膜可包含阻絕金屬膜。

在本發明之半導體裝置的製造方法中，形成第 2 插塞包含以曝露的第 1 金屬膜為起始點成長第 2 金屬膜以便嵌入第 2 開孔的內部。有如此的過程，可讓金屬確實的在第 2 開孔進一步成長。

在本發明之半導體裝置的製造方法中，絕緣材料可以是電沈積材料。因此，它讓此絕緣材料以便高選擇性黏附到除第 2 開孔內面的第 1 插塞之外的區域。

在本發明之半導體裝置的製造方法中，電沈積材料可以是電枕積聚醯亞胺。因此可在過程中或之後加強絕緣材料的阻抗到過程中。結果可以更高良率穩定生產半導體裝置。

在本發明之半導體裝置的製造方法中，第 2 開孔的橫剖面積可比第 1 開孔的橫剖面積還大。因此第 1 插塞的橫剖面積可製成比第 2 插塞橫剖面積還小。結果，可確實在第 2 插塞內部包含第 1 插塞的部分。更甚者，可以高密度互連線穩定地製造半導體裝置。

在本發明之半導體裝置的製造方法中，可包括在形成第2插塞前在第2開孔的內面形成金屬種子層；及在那形成第2插塞包含以金屬種子層作為起始點成長第2金屬膜。藉由讓金屬膜以種子層為起始點成長，可進一步確實在第2開孔內部嵌入金屬膜。

在本發明之半導體裝置的製造方法中，可包括在形成第2開孔內面的第1插塞之外區域上選擇性形成金屬種子層；及在那黏附絕緣材料包含黏附絕緣材料到種子層。有了如此過程，可進一步穩定地把緣材料黏附到第2開孔內面的第1插塞之外的區域。

在本發明之半導體裝置的製造方法中，可包含在半導體基板主要面上形成一絕緣膜；及其中第1開孔形成包括了選擇性移除在形成絕緣膜後，形成第1開孔區域的絕緣膜。有了此一過程，可穩定獲得具有第1插塞連接到絕緣膜上表面的互連線結構的半導體裝置。

在本發明之半導體裝置的製造方法中，可包含在形成第1插塞後，在半導體基板絕緣膜上形成互連層；及其中，形成互連層包括形成連接到第1插塞的互連線。藉由此一製程，在互連線連接到第1插塞時，可提高相同層之互連線的密集度。基於此一理由，乃可穩定地製造具有高密度互連線的半導體裝置。並且，在本發明製造半導體裝置的方法中，可包含在互連層的頂面部分，形成連接到互連線的頂面部分互連線。有了此一過程，可穩定製造一具有高密度的較頂面部分互連線的多層次半導體裝置，而此互連線較頂面部分存在在比互連層更高層上。

應該說明的是：即使這些個別的構造任意地組合在一起或本發明的表現與其方法、裝置或類似裝置關連的改變，本實施例還是有效的。

例如，依本實施例，提供了一半導體裝置包含：一半導體基板；設於半導體基板主要面上的絕緣層；及當穿過半導體基板，與設於絕緣層內導電材料相連接的貫穿電極，其中貫穿電極有第1導電插塞連接到導電材料及設於半導體基板內並有橫剖面積大於

第 1 導電插塞橫剖面面積的第 2 導電插塞包第 1 導電插塞部分。

在本發明的半導體裝置中，第 1 導電插塞的一部分是包含在第 2 導電插塞。基於此一理由，固著效果合適地達到而這些插塞有極佳的黏附特質。此外，這結構減少這些插塞間的接觸阻抗。更甚者，具小橫剖面面積的插塞配置於主要面之側上，因此可提高在貫穿電極附近的互連線的密集度。基於此一理由，此結構適合於微形化。

此外，依本發明，提供了半導體裝置，包括：

設於半導體基板主要面上的電晶體形成層；

設於電晶體形成層頂面部分的互連層；

設於互連層的一頂面部分的互連層較上方的部分；及

貫穿電極穿過電晶體形成層及半導體基板，其中，設於電晶體形成層的貫穿電極包含連接互連線的第 1 插塞，形成在互連層裡及形成在半導體基板裡，連接到第 1 插塞的第 2 插塞，其橫剖面面積大於第 1 導電插塞的橫剖面面積。

在本發明的半導體裝置，第 1 導電插塞連接到互連層並覆蓋上較頂面部分互連層。更甚者，結構是第 1 導電插塞的橫剖面面積小於第 2 導電插塞橫剖面面積。基於此一理由，此結構可提供互連線或互連線內的要素或其較上層的密集度。因此，本發明的半導體裝置適合於微型化。

在本發明的半導體裝置，可採用第 2 導電插塞通過絕緣膜連接到半導體基板的結構。因此，此結構可以優良的製造穩定度結構實現。此外，可減少寄生電容量。例如，在本發明中，絕緣膜可用電沈積絕緣膜形成。

此外，在本發明中，嵌入第 1 金屬膜包括在第 1 開孔內壁上形成阻障金屬膜。此外，在本發明中，第 1 金屬膜可設定成包含阻障金屬膜的多層次膜。因此可進一步確實減少構成第 1 插塞導電材料向半導體基板擴散。

依本發明上方所述，提供了半導體裝置，其貫穿電極有極佳

的電極及製造穩定的特性。此外可使半導體裝置的互連線成高密度。

【實施方式】

接著，參照實施例作說明本發明。熟悉本技藝者會發現使用本發明的教示可完成許多替代的實施例，且發明不限定於為解釋目的而舉例的實施例。

在以下，將參照附圖說明本發明的實施例。在全部的附圖裡，同樣的元件會附上同樣的符號，且其詳細的說明會在後續的說明中適度地省略。此外，在下面的實施例中，半導體基板的主要面側被設定成半導體裝置的頂面（正面）側，而半導體基板的背面之側會被設定成半導體裝置的較下方（背面）側。

【第 1 實施例】

圖 1 為示意顯示依本實施例的半導體裝置之結構的剖面圖。圖 1 中所示之半導體裝置 100 具有由矽基板 101、蝕刻阻絕膜 109、最底層絕緣膜 111 及第 1 互連層的絕緣膜 113 所構成的多層結構，並設有貫穿電極 135，此電極 135 貫穿過矽基板 101、蝕刻阻絕膜 109、及最底層絕緣膜 111。

由擴散層 105、閘極電極 107 等所構成的一 MOS 電晶體及一絕緣膜 103 係形成於矽基板 101 的主要面上，最底層絕緣膜 111 形成用來嵌入 MOS 電晶體及絕緣膜 103。蝕刻阻絕膜 109 設置在最底層絕緣膜 111 內，而與矽基板 101 的上表面及閘極電極 107 連接。此外，連接到擴散層 105 的連接插塞 123 也設置在最底層絕緣膜 111。

在第 1 互連層絕緣膜 113 上設有第 1 互連線 121 及電性連接於第 1 互連線 121 的連接插塞 122。此外，電性連接於連接插塞 122 的焊墊 125 及電性連接於焊墊 125 的凸塊 127，依此一順序形成於連接插塞 122 的上端部分。

貫穿電極 135 包含導電性小直徑插塞 119 及導電性大直徑插塞 131。小直徑插塞 119 的橫剖面積及直徑分別大於連接插塞 123 的橫剖面積及直徑，但分別小於大直徑插塞 131 的橫剖面積及直徑。此外，小直徑插塞 119 從矽基板 101 突出的突出部 141，貫入於大直徑插塞 131 的上表面。

小直徑插塞 119 的直徑可被設定成例如 $1\mu\text{m}$ 到 $5\mu\text{m}$ 之程度。此外，小直徑插塞 119 貫入於矽基板 101 中之量可被設定成 $20\mu\text{m}$ 到 $50\mu\text{m}$ 之程度。此外，突出部 141 貫入於大直徑插塞 131 的長度可設定成例如 $1\mu\text{m}$ 到 $50\mu\text{m}$ 之程度。另外，大直徑插塞 131 的直徑可設成例如 $10\mu\text{m}$ 到 $1000\mu\text{m}$ 。

小直徑插塞 119 從最底層絕緣膜 111 的上表面依序穿過蝕刻阻絕膜 109 和矽基板 101，俾使其曝露於矽基板外部的一頂端成為突出部 141。小直徑插塞 119 的上表面與第 1 互連線 121 連接，此互連線 121 的底表面與第 1 互連層絕緣膜 113 的底表面在同一平面上，因此確保了在其間的電性連接。小直徑插塞 119 之側表面覆蓋了 SiN 膜 137，但不包含突出部 141。

此外，大直徑插塞 131 從矽基板 101 的背面往主要面形成。大直徑插塞 131 的上表面位於比矽基板 101 上表面更低處。在大直徑插塞 131 的底面及側面及矽基板 101 的背面設有電解沈積的絕緣膜 129。此外，大直徑插塞 131 的表面覆蓋了金屬鍍層膜 133。

小直徑插塞 119 的材料雖然沒有特別限定，但可使用例如 W（鎢）。以上述的方法，可適度的抑制對矽基板 101 的擴散。此外，大直徑插塞 131 及金屬鍍層膜 133 的材料雖沒有特別限定，但材料可分別用例如 Ni 及 Au。

接下去，將說明此半導體裝置 100 的製造方法。圖 2A 到 2D 是剖面圖，示意顯示圖 1 中半導體裝置 100 的製造程序。

首先，閘極電極 107，擴散層 105 及絕緣膜 103 形成在矽基板 101 上。絕緣膜 103 被設定成，例如，STI(淺溝隔絕)。接著，蝕刻阻絕膜 109 及最底層絕緣膜 111 用這種順序形成在矽基板 101

上表面的全部表面上。

在此時，例如，50nm 的 SiN 膜用電漿 CVD 技術形成，作為蝕刻阻絕膜 109。此外，例如，400nm 的 SiO₂ 膜用電漿 CVD 技術形成作為最底層絕緣膜 111。或者是，用 300 μm 的 L-O_XTM 當作低介電質常數中間層絕緣膜用應用技術方式形成並在 L-O_XTM 的上表面上形成 SiO₂ 膜的方式，多層膜會形成作為最底層絕緣膜 111。

接著，阻抗反射膜及光阻用這順序運用在最底層絕緣膜 111 上，當使用光印刷技術時，導致形成有對應到小直徑插塞 119 形狀開孔的光阻圖形（未在圖示中說明）。在用光阻膜作為光罩執行最底層絕緣膜 111 乾蝕刻，應該裝置小直徑插塞 119 的位置上會被開孔。並且，會進行蝕刻阻絕膜 109 的回蝕的乾蝕刻。

緊接著，在轉換蝕刻氣體時，會對矽基板 101 的中間部分進行進一步蝕刻。比方說，會從矽基板上表面蝕刻掉深度 10 μm 到 50 μm 之間。使深度不低於 10 μm ，可以確實地將突出部 141 與大直徑插塞 131 相連接。此外，使深度不高於 50 μm ，可以減少從矽基板 101 主表面到矽基板內部小直徑插塞 119 的突出量。為了此一原因，可形成穩定開孔。開孔的直徑是被選出的，因此小直徑插塞 119 的直徑成為，例如，從 1 μm 到 5 μm 的度數。然後，光阻膜或抗反射膜的殘留或蝕刻造成的殘留就被去除了。

接著，20nm 的 SiN 膜 137 形成在矽基板 101 上表面的全部表面上，並在上設有對應到小直徑插塞 119 形狀的開孔。

並且，光阻圖形（未在圖中說明）帶有開在對應連接插塞 123 形狀的開孔藉由使用光印刷技術形成在剛塗上的抗反射膜上及在最底層絕緣膜 111 的光阻上。在擴散層 105 裝置連接插塞 123 的位置處，用光阻膜作為光罩，藉由乾蝕刻在最底層的絕緣膜 111 形成開孔。而用乾蝕刻的方式執行蝕刻阻絕膜 109 的回蝕去曝露擴散層 105 的上表面，因此，得到了形成小直徑插塞 119 及連接插塞 123 的開孔。

接下去，W（鎢）膜作為金屬膜用 CVD 技術形成在矽基板 101

上表面的全部表面。W（鎢）的膜厚設定成與連接插塞 123 和小直徑插塞 119 兩個直徑相配合並可將兩插塞嵌在裡面狀態的膜厚。例如，將 W（鎢）的膜厚設成 $1\mu\text{m}$ 的程度然後，在最底層絕緣膜 111 的 W（鎢）膜及 SiN 膜 137 會藉由 CMP（化學機械研磨）移除。因此，小直徑插塞 119 及連接插塞 123 就同時形成（圖 2A）。

接著，在矽基板 101 的上表面的全部表面會裝置第 1 互連層絕緣膜 113。第 1 互連層絕緣膜 113 如圖 2B 所示，採取在頂面用於互連線 112 的絕緣膜及用於插塞 114 的絕緣膜形成的結構。

第 1，作為在第 1 互連層絕緣膜 113 的下層的 300nm 的互連線 112 的絕緣膜藉著對矽基板上表面的全部表面覆蓋的方式形成。互連線 112 的絕緣膜可設成低介電質常數膜像是 L-O_x^{TM} 等方式。在此時，就適合其中提供 SiCN 膜當作是在最底層絕緣膜 111 上 Cu 擴散阻絕膜。此外，也可以在低介電質常數膜上形成 100nm 的 SiO_2 膜。接著，當使用光印刷技術時，抗反射膜及光阻應用在矽基板上表面的全部表面上，並導致了在光阻上形成了用於渠溝互連線的光阻圖形。接著，藉由用光阻當作光罩執行對用於互連線 112 的絕緣膜的蝕刻，用於製造第 1 互連線 121 的開孔形成。接下去，藉由灰化去除了光阻及抗反射膜。

然後，藉用濺鍍技術，30nm 厚作為阻障金屬膜的 TaN 膜形成且在 TaN 膜上形成 100nm 作為根基的 Cu 膜。接著藉由電解電鍍技術 700nm 的 Cu 膜形成了，隨後成為第 1 互連線 121 的金屬膜藉由 CMP 技術形成。此後，就如同小直徑插塞 119 及連接插塞 123 形成方式，第 1 互連線 121 在移除在作為互連線 112 的絕緣膜上的 Cu 膜及阻障金屬膜的時候形成了。

之後，構成第 1 互連層絕緣膜 113 的上表面作為插塞 114 的絕緣膜，藉由一般互連線製造過程形成在作為互連線 112 的絕緣膜上。與第 1 互連線 121 連接的連接插塞 122 形成在插塞 114 的絕緣膜。然後，焊墊 125 連接到連接插塞 122 及凸塊 127 用這種

順序形成。焊墊 125 的材料可以是，比方說，Al、Cu、Ni、TiN 或是類似的材料。此外，凸塊 127 的材料可以被設定成，比方說，Au、焊錫或是類似的材料。

在第 1 互連層絕緣膜 113 的頂面部分上更進一步形成互連層的已決定數量的頂面層或是類似的東西。

接著，黏著層 115 形成在矽基板 101 的上表面並貼上（圖 2B）的支持元件 117。例如，具黏性的膠帶被當作黏著層 115。具黏性的膠帶由基本材料及形成在兩側邊的黏著層所構成。聚烯烴樹脂、聚酯樹脂或類似材料作為構成具黏性膠帶的基本材料。壓克力乳膠黏劑、壓克力溶劑黏劑、聚胺甲酸酯黏劑等材料被用作為構成具黏性膠帶的黏著劑。

此外，支持元件 117 的材料可以用研磨在之後描述的背邊矽基板 101 減薄的過程中或類似方式，具對熱劑外部力量或類似影響的耐力，因此這成分是，例如，石英玻璃、PyrexTM 等材料。此外，它可以是玻璃之外的材料。例如，塑膠材料或諸如壓克力樹脂等。

接著，研磨矽基板 101 的背面，研磨背面用的是機械研磨技術。雖然矽基板厚度在研磨後會落在一定範圍內讓小直徑插塞 119 的底部分不會露出；例如，厚度可以是 50~200 μm 。然後，抗反射膜及光阻會以這種順序形成在矽基板背面；光阻圖案（未在插圖中說明）藉由光印刷技術形成，在這圖案中設有形成大直徑插塞 131 的開孔。矽基板 101 用光阻當光罩作了乾蝕刻，之後，開孔 139 就設於大直徑插塞 131 該裝置的位置上。

開孔 139 有一個形狀，它會從矽基板 101 的背面一直到主要面。開孔 139 的上表面位在此矽基板 101 主表面附近較低的部分。此外，開孔 139 設於突出部 141 的底部，而開孔 139 的上表面位在比小直徑插塞 119 底表面更上的部分。SiN 膜 137 設於小直徑插塞 119 的表面。在矽基板乾蝕刻之時的蝕刻條件是在矽膜和 SiN 膜 137 間的選擇比率是設在高條件的狀況下，因此，當開孔 139

形成時，小直徑插塞 119 未被移除，但小直徑插塞 119 外圍邊表上的矽基板 101 是選擇性的移除了。因此一緣故，開孔 119 形成並已包括了小直徑插塞 119 的底面的形狀。此外，小直徑插塞 119 的部分會曝露在矽基板 101 外面，因此，突出部 141 形成。

接著，電沈積絕緣膜 129 設於矽基板 101 的背面上(如圖 2C)。此時，電沈積絕緣膜 129 選擇性的形成在矽基板 101 的背面上和開孔 139 的底面及側面上。突出部 141 的表面覆蓋絕緣的 SiN 膜 137 於是電沈積絕緣膜 129 就不會形成在小直徑插塞 119 的外邊。電沈積絕緣膜 129 的膜厚，舉例說，從 $0.5\sim 5\mu\text{m}$ 。

電沈積絕緣膜 129 是，例如，電沈積聚醯亞胺膜。可以用陽離子電沈積聚醯亞胺覆或陰離子電沈積聚醯亞胺覆蓋作為電沈積聚醯亞胺膜的材料。特別是，例如，Shimizu 公司所製造的 Elecoat PI 等材料均可使用。電沈積絕緣膜的材料設有限定是聚醯亞胺，它也可以是另一種電沈積聚合物覆蓋像是包含環氧化物電沈積覆蓋，包含丙烯酸物的電沈積覆蓋，包含氟的電沈積覆蓋等材料。電沈積絕緣膜 129 的抗熱性可以藉由使用聚醯亞胺作為電沈積絕緣膜 129 的材料而有所改善。基於此一理由，可適當地抑制製造過程後的惡化，於是可以實現高良率穩定生產達成的配置。

電沈積絕緣膜 129 的形成是用如下列過程產生的。矽基板 101 是電極的一邊；而電極的一邊及另一邊反向電極浸泡在電沈積覆蓋的液體裡。然後，先已決定的電位依靠聚合物的電的充電應用到矽基板 101 及另一邊電極。有了這樣的過程，聚合物黏附到矽基板 101 的表面上。如果已到先已決定的膜厚，矽基板 101 會從覆蓋取出到水裡清洗。在那之後，電沈積絕緣膜 129 在烘烤矽基板 101 時形成在背面。

接著，執行 SiN 膜 137 回蝕。用此方法，SiN 膜厚 137 在突出部 141 的頂端被移除並曝露出小直徑插塞 119 的表面。在此時，電沈積膜 129 形成在矽基板 101 的背面，因此矽基板沒有被移除，但 SiN 膜 137 被選擇性的移除。雖然以在圖 1 及圖 2D 中移出突出

部 141 的 SiN 膜 137 的置作為例證，但亦可使至少包含小直徑插塞 119 之插塞底部的部份曝露出。

因此，透過非電鍍的鍍層，Ni 膜隨著小直徑插塞 119 的曝露部分當作起始點成長；開孔 139 嵌入且凸塊完整地形成在開孔 139 的外面。然後，大直徑插塞 131 在提供 Au 鍍層膜 133 時形成在凸塊表面上（如圖 2D）。

此時，從矽基板 101 的主要面移除黏附層 115 時，支持的零件移除且就獲得如圖 1 所示半導體裝置 100。

接著，要描述如圖 1 所示半導體裝置 100 的效果。

首先，在半導體裝置 100 中，穿過電極 135 由小直徑插塞 119 的兩個插塞及大直徑插塞 131 所構成。突出部 141 在小直徑插塞 119 的終端部分位置包含在大直徑插塞 131 裡。

圖 3A 及圖 3B 是綱要式地說明由兩個不同厚度插塞構成的貫穿電極結構的圖。在分別的局部的插圖中，上視圖是剖面圖，而下視圖是平面圖。圖 3A 是說明依照本實施例的貫穿電極的結構的圖。此外，圖 3B 是說明小直徑插塞 219 及大直徑插塞 231 在平面相連接的形狀上的貫穿電極 235 的圖。

於圖 3A 的結構中，目的在藉由固著效果而達成兩插塞黏附性的改善。基於此一理由，貫穿電極會有黏合的結構，不同於在圖 3B 所示之情形：這些終端部分僅彼此互相接觸。此外，從矽基板 101 的背面選擇性成長可以形成大直徑插塞 131。基於此一理由，結構可以讓製造過程簡單化。此外可根據此結構減少兩插塞間的接觸電阻。更甚者，藉由降低互連線附近以外插塞的直徑可減少電阻，然而在藉由最低化在互連線鄰近插塞的直徑保持足夠的互連線密度。基於此一理由，可改善半導體裝置 100 的電的特性。

此外，如圖 3C 所示，在貫穿電極 135 由大直徑插塞 131 的三個插塞及依此實施例包含在大直徑插塞 131 的二小直徑插塞 119 所構成的結構下，插塞的黏附力依固著效果的基礎下被進一步改善了，且更降低了接觸電阻。

電極 235 結構的圖。

如圖 4B 所示，傳統貫穿電極 235 由一個大插塞構成並在其上表面與互連線 153 作接觸。基於此一理由，傳統貫穿電極趨向貫穿電極 235 的頂面部分上的互連線 253 的區域會變得相對大。此外，在與貫穿電極 235 接觸互連線 253 的層，除了與貫穿電極 235 相接觸的互連線外是不會形成互連線 254 在貫穿電極附近的。基於此一理由如插圖中箭頭所示，可形成互連線 254，但不包插與貫穿電極 235 相接觸的互連線 253，且僅在遠離貫穿電極 235 的上表面區域範圍內及其附近。因此，除了與貫穿電極 235 相接觸的互連線 253 外，仍有關於提高互連線 254 密集度的進一步改善的空間。

相反的，如圖 4A 所示，依本實施例的貫穿電極 135，貫穿電極 135 在小直徑插塞 119 上表面與互連線 153 相接觸。基於此一理由，可減少小直徑插塞 119 頂面部分上互連線 153 的橫剖面積。此外，連接到互連線 153 的插塞是屬於小直徑插塞 119。基於此一理由，如插圖箭頭所示，除了與小直徑插塞 119 相接觸的互連線 153 外，互連線 154 形成的區域是寬的，因此，可改善除了與小直徑插塞 119 相接觸的互連線 153 外互連線的密集度。此外，可藉增加互連層附近以外的插塞直徑，以減少電子阻抗，然而互連層附近的插塞直徑降低會保持足夠的互連線密度。

此外，如前在使用圖 3A 及圖 3B 時所述，在圖 4A 的貫穿電極 135 有小直徑插塞 119 的部分會放入大直徑插塞 131 的結構。基於此一理由，即使使用了兩插塞，不同於圖 4B 結構，在這些插塞間的接觸阻抗與圖 3B 結構相比較是足夠小的，因此此結構有如貫穿電極的極優特性。

雖然在半導體裝置 100 沒有在圖 1 中作說明，第 1 互連層絕緣膜 113 的上層結構可依裝置的設計作適度的選定。互連層或類似的層可進一步形成在第 1 互連層絕緣膜 113 頂面部分。

例如，圖 5 是橫剖面圖，圖表說明互連線形成的半導體裝置

的結構。雖然在圖 5 半導體裝置的結構幾乎與圖 1 所示半導體裝置 100 相同；並矽基板 101 上形成最底層絕緣膜 111 及第 1 互連層絕緣膜 113；此外在矽基板 101 上又進一步形成絕緣層 161 及絕緣層 163。互連線 165 及連接插塞 167 形成在絕緣層 161。互連線 169 及連接插塞 171 形成在絕緣層 163。

如圖 5 所示，在依本實施例的貫穿電極 135 中，在主要面邊設有帶有小橫剖面積的小直徑插塞 119；而小直徑插塞 119 連接到設於堆積層元件的較低層的第 1 互連線 121。基於此一理由，可提高上層互連線的密集度。

此外，圖 6 是剖面圖，圖表說明互連層形成裡面的半導體裝置另一結構，如圖 6 所示，小直徑插塞 119 連接到第 1 互連線 121，因此，結構在上層設計的自由度上比第 1 互連線 121 還要優秀。例如，沒有形成凸塊 127 在貫穿電極 135 上或類似物上的狀況下，可產生貫穿電極 135 不連接到凸塊 127 的結構，或是可產生貫穿電極 135 連接到連接到凸塊 127 的結構，但圖示中未說明。

此外，在依本實施例及下一個實施例半導體裝置中，例如，包含小直徑插塞 119 橫剖面的部分的模式，及包含全部橫剖面圖的模式指定，作為組合了貫及電極 135 的小直徑插塞 119 的部分，包含在大直徑插塞 131 的模式。圖 7A 及圖 7B 是橫剖面圖，圖表說明如貫穿電極 135 的結構。圖 7A 說明小直徑插塞 119 整個橫剖面包含在大直徑插塞 131 的結構。此外，圖 7B 說明小直徑插塞 119 部分橫剖面包含在大直徑插塞 131 的結構。形成在大直徑插塞 131 上的凹的部分形狀會隨著在小直徑插塞 119 被包含的狀態不同而會不同。

如圖 7A 及圖 7B 所示，藉由採用令小直徑插塞 119 之橫剖面的至少一部分包含於大直徑插塞 131 內的結構之方式，可獲得小直徑插塞 119 與大直徑插塞 131 在複數之面相接觸的結構。基於此一理由，相較於使用圖 3B 所描述的結構，可改善小直徑插塞 119 及大直徑 131 的黏附性。此外，如圖 7A 所示，可藉由引用把

【第 3 實施例】

第 1 實施例的半導體裝置 100 也可用下例過程的方式製造。在此後，會描述本實施例不同參考圖 2A 到圖 2D 第 1 實施例或第 2 實施例的點。

首先，如第 1 實施例及第 2 實施例，執行上述圖 2A 及圖 2B 的過程。黏附層 115 形成在矽基板 101 頂面，接著黏附到支持元件 117 (圖 2B)。之後，執行一直到矽基板 101 的背面研磨的過程及開孔 139 的形成。

接著，在執行在矽基板 101 的背面上設置電沈積絕緣膜 129 過程前，種子層設於矽基板 101 的背面上 (圖 2C)。種子層的材料是具有此 Si 低阻抗的材料。例如，種子層的材料是像 Ni 等金屬。種子層的膜厚可以是，例如 0.1 到 2 μm 的程度。

種子層可例如用非電鍍層技術形成。因為使用非電鍍層技術，可選擇性的在矽基板 101 的背面上形成與 SiN 膜 137 相關連的種子層。

在形成種子層後，像第 1 實施例以種子層作為種子，電沈積絕緣膜 129 設於矽基板 101 的背面。(圖 2C，假設種子層不在插圖中說明)。如第 1 實施例或第 2 實施例，執行之後的過程。因此，可得到依本實施例的半導體裝置。

依本實施中半導體裝置，種子層形成在包含開孔 139 內壁的矽基板 101 全部背面上。藉由設置比 Si 阻抗更低的金屬種子層作為基板層，可穩定均勻形成電沈積絕緣膜 129。因此，此結構可在沒有作為在矽基板 101 背面上形成大直徑插塞 131 的光阻圖形形成狀況下，進一步穩定製造大直徑插塞 131。更甚者，可確定阻隔大直徑插塞 131 及矽基板 101。

如上述，已說明發明的實施例。但是，當然，本發明不限定於上述說明之實施例；而精通於本技術的人能在本發明範圍內，改變上述的實施例。例如，在上述的實施例中，矽基板當然是半導體基板，但可使用如 GaAs 基板等材料的混合半導體基板。

此外，在上述實施例中，W（鎢）作為小直徑插塞 119 的材料，但亦可使用另一高導電的金屬，例如像是 Cu、Al、Ni 或類似金屬。

此外，在上述實施例中，已描述構成貫穿電極 135 的小直徑插塞 119 連接到第 1 互連層絕緣膜 113 的結構，但可能有已採用的結構，此結構中，小直徑插塞 119 連接到分佈在第 1 互連層絕緣膜 113 的結構更高的位置上低多層次互連層且比第 1 互連層高。

此外，在上述實施例中，已就小直徑插塞 119 放到大直徑插塞 131 頂面的結構為例加以說明，但如圖 3C 所示，超過兩個小直徑插塞放入一大直徑插塞 131 的結構也是可行的。有了如此結構，可更進一步讓小直徑插塞 119 及大直徑插塞 131 間的電接觸更可靠。

此外，已舉過構成貫穿電極 135 的兩個小直徑插塞 119 及大直徑插塞 131 是圓柱體的例子，但假設小直徑插塞 119 是放入大直徑插塞 131 的圓柱形體，這些形狀就不會限定是這圓柱體。例如小直徑插塞 119 或大直徑插塞 131 的形狀會是合適地成為在頂面及底面的區域幾乎是相同的如橢圓的圓柱體或是方形柱等形狀。此外，小直徑插塞 119 或大直徑插塞 131 的形狀會是合適地成為圓錐體的平截頭體形狀或是橢圓錐體的平截頭體形狀，或在頂面沒有頂端的金字塔形平截頭體形狀。此外，圓柱形體會合適地成為延展在一個方向構槽形狀。

此外，在上述的實施例中，已舉為例證當中大直徑插塞 131 的頂面位在矽基板 101 的主要面的較低部分處的結構，但是亦可採用使大直徑插塞 131 從矽基板 101 背面延伸到主要面附近的結構。此外，即使大直徑插塞 131 的頂面從矽基板主要面略微突出，只要大直徑插塞 131 頂面被絕緣即無不妥。

此外，在上述的實施例中，黏附層 115 及支持元件 117 從矽基板 101 主表面分離，但這些仍會在需要時留下並可作為半導體裝置的一部分。

很清楚地，本發明並未限定在上述實施例，且該等實施例在沒有偏離發明的範圍及精神情況下可作修改及改變。

【圖式簡單說明】

圖 1 為示意顯示依本實施例的半導體裝置的結構之一剖面圖。

圖 2A 到 2D 為一剖面圖，示意顯示圖 1 中半導體裝置的製造程序。

圖 3A 到 3C 是示意顯示貫穿電極的結構的圖。

圖 4A 和 4B 為一剖面圖，示意顯示此貫穿電極的結構。

圖 5 為一剖面圖，示意顯示依本實例半導體裝置的結構。

圖 6 為一剖面圖，示意顯示依本實例半導體裝置的結構；和圖 7A 及 7B 為剖面圖，示意顯示依本實施例貫穿電極的結構。

元件符號說明：

100～半導體裝置

101～矽基板

103～絕緣膜

105～擴散層

107～閘極電極

109～蝕刻阻絕膜

111～最底層絕緣膜

112, 153, 253, 154, 254～互連線

113～第 1 互連層的絕緣膜

114～插塞

115～黏著層

117～支持元件

219, 119～小直徑插塞

121～第 1 互連線

122, 123, 167, 171～連接插塞

125～焊墊

127～凸塊

129～電解沈積的絕緣膜

231, 131～大直徑插塞

133～金屬鍍層膜

235, 135～貫穿電極

137 ～SiN 膜

139～開孔

141～突出部

161, 163～絕緣層

165, 169～互連線

五、中文發明摘要：

一種半導體裝置，設有具極佳的電極性能及製造穩定性之貫穿電極。於半導體裝置上設有由導電的小直徑插塞及導電的大直徑插塞所構成的貫穿電極。小直徑插塞的橫剖面積及直徑分別大於連接插塞的橫剖面積及直徑，但分別小於大直徑插塞的橫剖面積及直徑。此外，從矽基板突出的小直徑插塞的突出部貫入到大直徑插塞的頂面。且小直徑插塞的頂面連接到第 1 互連線。

六、英文發明摘要：

A semiconductor device has through electrodes with excellent property as an electrode and excellent manufacturing stability. The through electrode composed of a conductive small diameter plug and a conductive large diameter plug is provided on the semiconductor device. The respective cross sectional area and the diameter of the small diameter plug are larger than the cross sectional area and the diameter of the connection plug, and smaller than the cross sectional area and the diameter of the large diameter plug. Further, a projecting portion where the small diameter plug is projected from a silicon substrate is put into an upper face of the large diameter plug. Further, an upper face of the small diameter plug is connected to a first interconnect.

十、申請專利範圍：

1. 一種半導體裝置的製造方法，包含：

在半導體基板的主要面之側形成第 1 開孔；

在該第 1 開孔的內壁上形成由絕緣材料構成的阻障膜；

藉由在該第 1 開孔的內部嵌入第 1 金屬膜，而在該第 1 開孔的該內部形成第 1 插塞，其中，該第 1 插塞包含第 1 金屬膜及該阻障膜；

藉由從該半導體基板的背面之側選擇性移除該半導體基板，俾於該第 2 開孔的內部曝露該第 1 插塞的一部分，而形成一第 2 開孔；

選擇性將絕緣材料黏附於曝露在該第 2 開孔的該第 1 插塞之區域以外的區域；

藉由移除該曝露的阻障膜的至少一部分而曝露該第 1 金屬膜；及

藉由選擇地成長第 2 金屬膜以便嵌入該第 2 開孔的該內部，而形成包含該第 1 插塞的一部分之第 2 插塞。

2. 如申請專利範圍第 1 項之半導體裝置的製造方法，其中該第 2 插塞之形成步驟包以該曝露的第 1 金屬膜作為始起點使該第 2 金屬膜成長以便嵌入該第 2 開孔的該內部。

3. 如申請專利範圍第 1 項之半導體裝置的製造方法，其中該絕緣材料為電沈積材料。

4. 如申請專利範圍第 2 項之半導體裝置的製造方法，其中該電沈積材料為電沈積之聚醯亞胺。

5. 如申請專利範圍第 1 項之半導體裝置的製造方法，其中，該第 2 開孔的橫剖面積大於該第 1 開孔的橫剖面積。

6. 如申請專利範圍第 1 項之半導體裝置的製造方法，更包含：

在該第 2 插塞之形成步驟之前，於該第 2 開孔的內面上形成一金屬種子層；及

其中，該第 2 插塞之形成步驟包括以該金屬種子層作為起始點而成長該第 2 金屬膜。

7. 如申請專利範圍第 1 項之半導體裝置的製造方法，更包含：

於該第 2 開孔之形成步驟後且於該絕緣材料黏附步驟之前，在該第 2 開孔的該內面的該第 1 插塞以外的該區域選擇性形成金屬種子層；及

其中該絕緣材料黏附步驟包括黏附該絕緣材料至該種子層上。

8. 如申請專利範圍第 1 項之半導體裝置的製造方法，更包含：

於該半導體基板的該主要面上形成絕緣膜；及

其中，該第 1 開孔之形成步驟包含在形成該絕緣膜之後選擇性地移除形成該第 1 開孔區域的該絕緣膜。

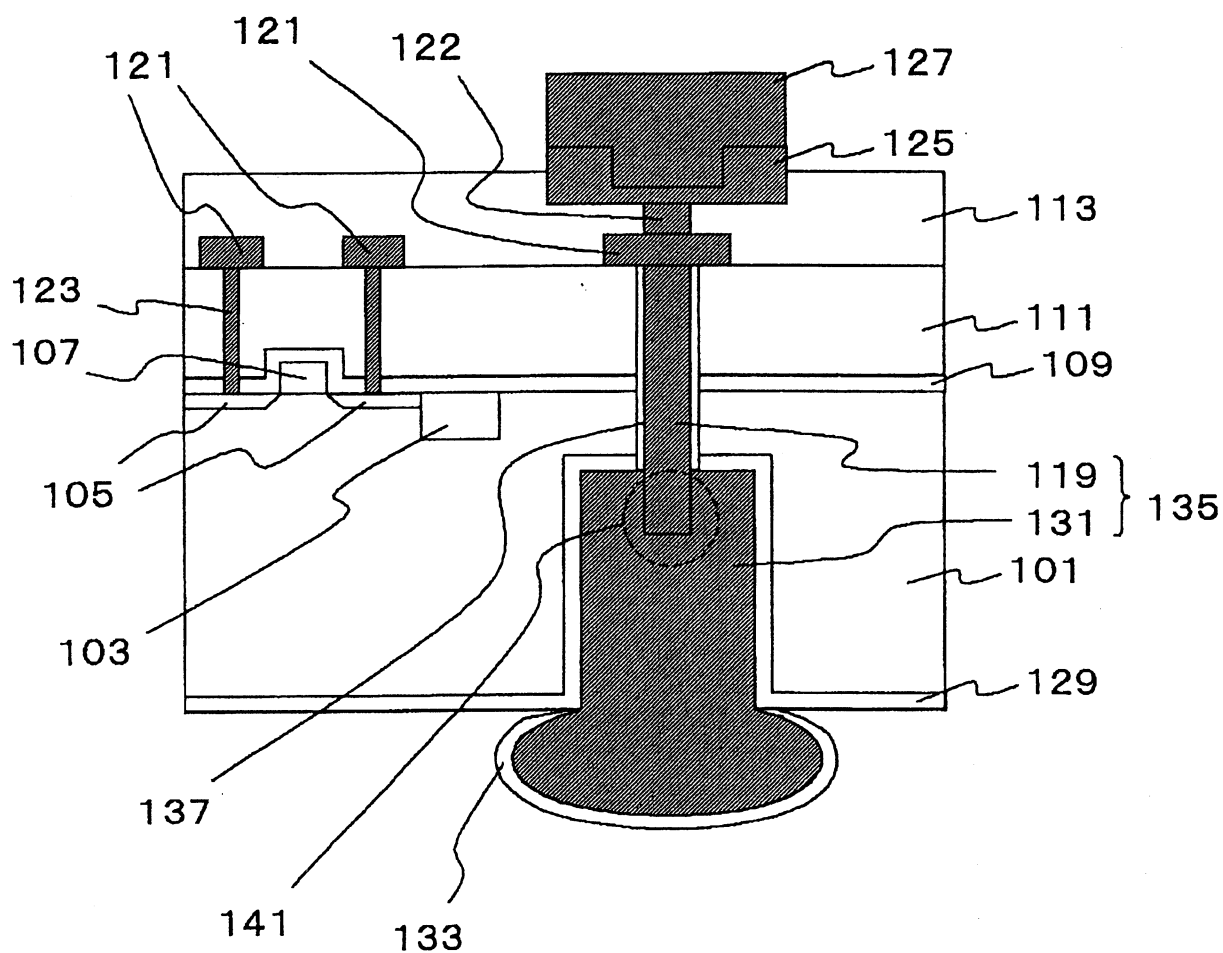
9. 如申請專利範圍第 8 項之半導體裝置的製造方法，更包含：

於該形成該第 1 插塞之後，在該半導體基板的該絕緣膜上形成一互連層；且

其中，該互連層的形成步驟包含形成連接到該第 1 插塞的互連線。

十一、圖式：

圖式



100

圖 1

圖式

圖 2A

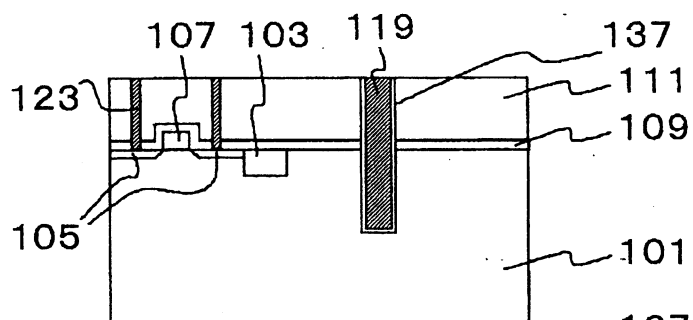


圖 2B

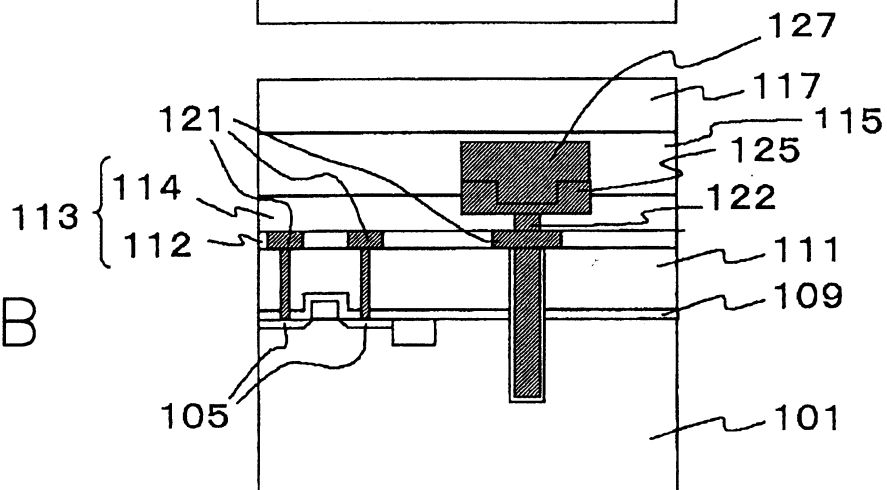


圖 2C

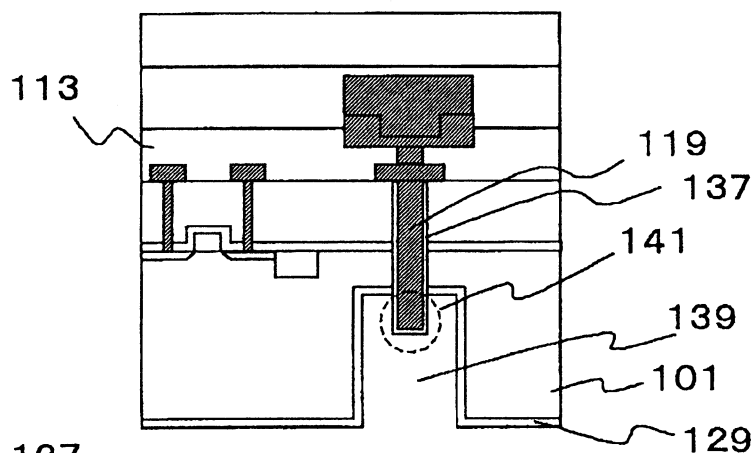
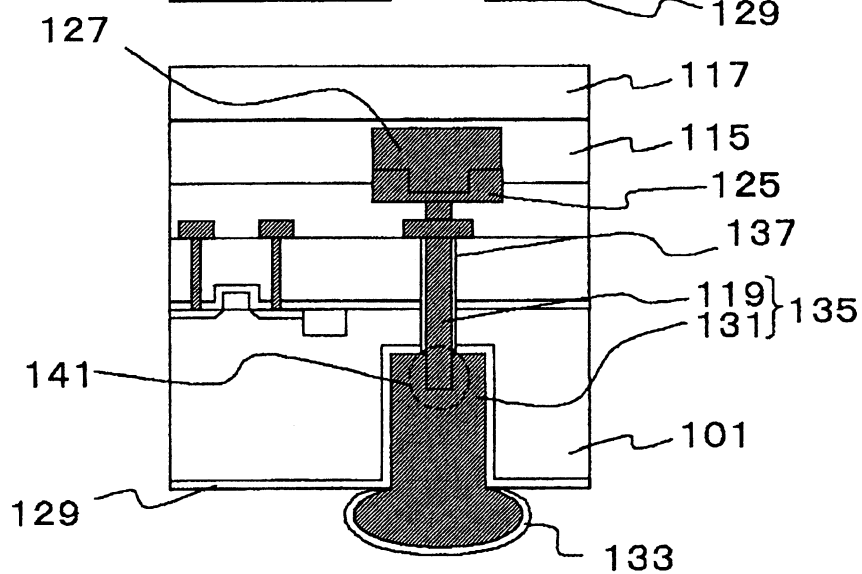


圖 2D



圖式

圖 3A

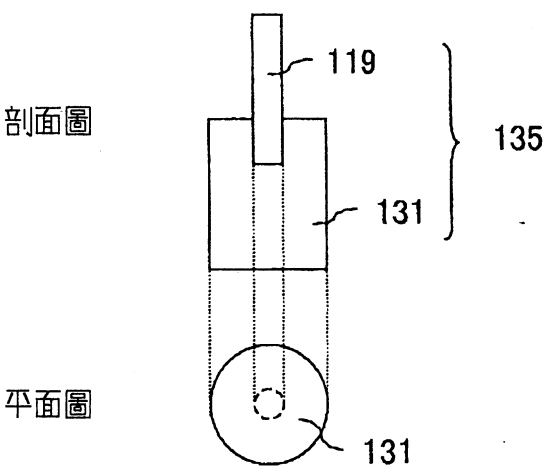


圖 3B

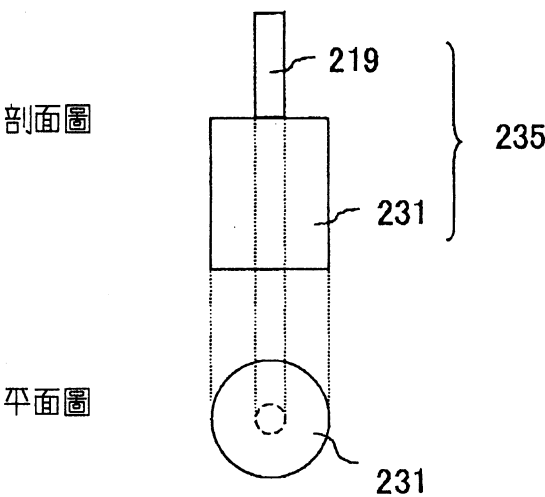
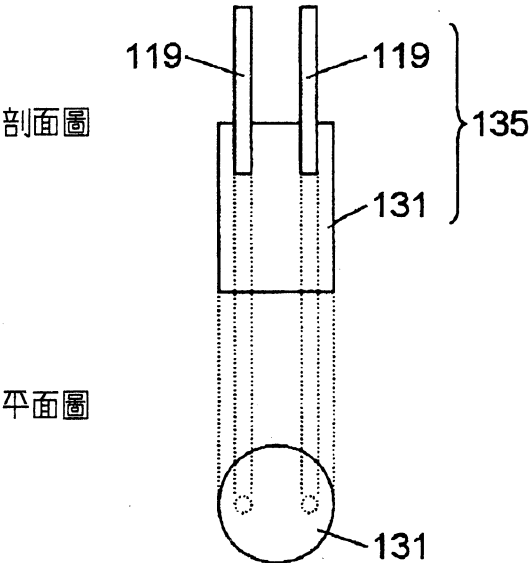


圖 3C



圖式

圖 4A

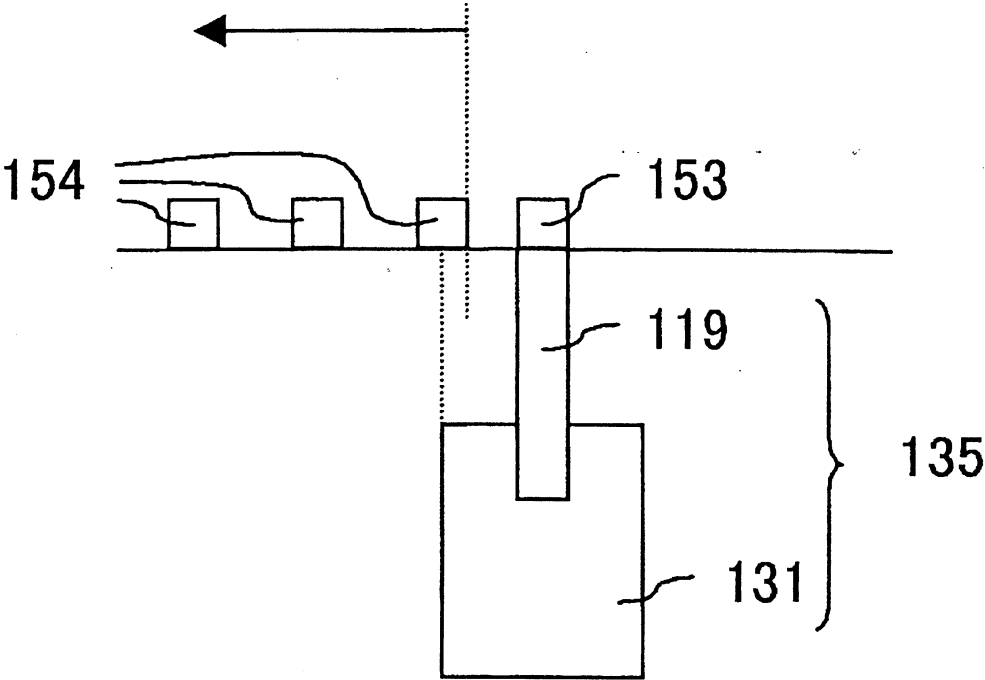
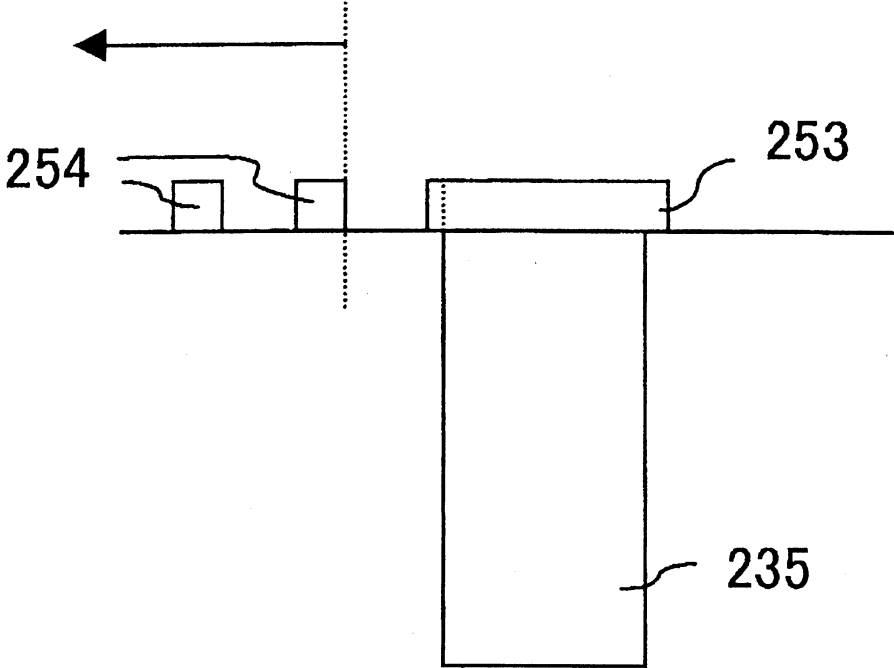


圖 4B



圖式

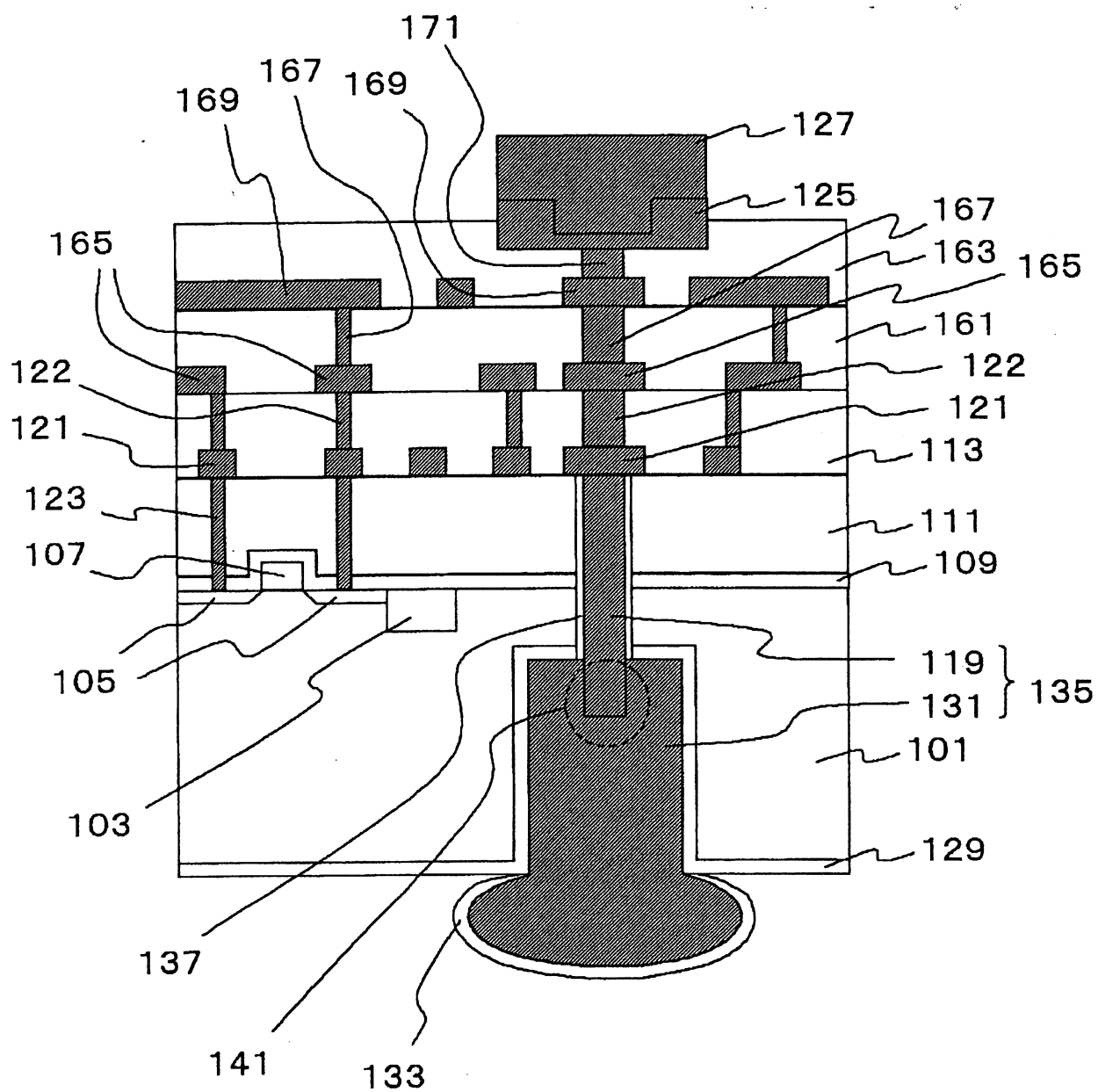


圖 5

圖式

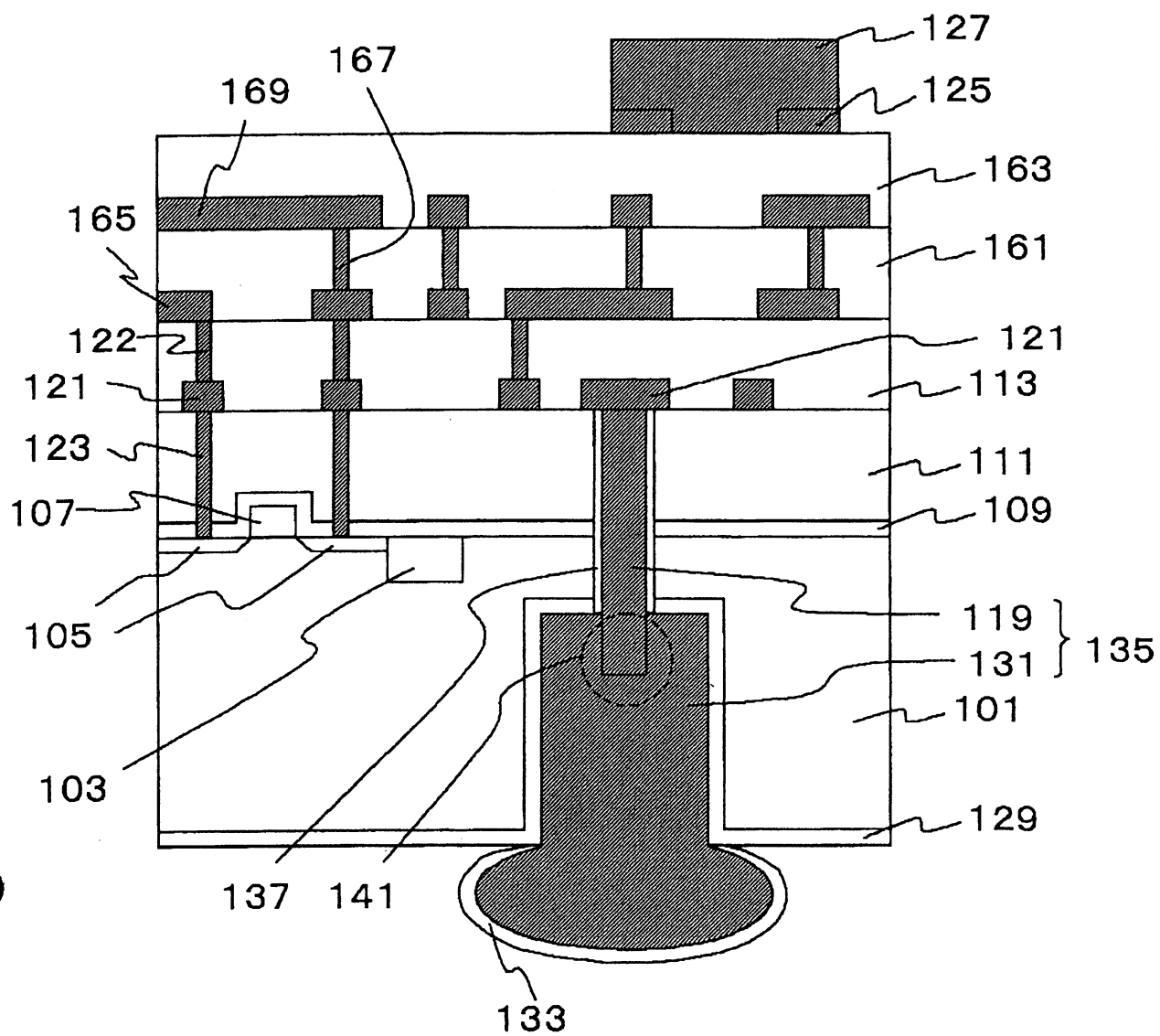


圖 6

圖式

圖 7A

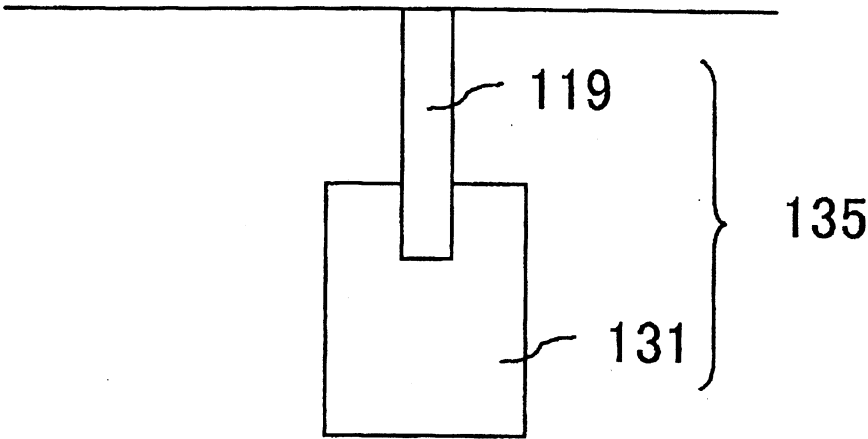
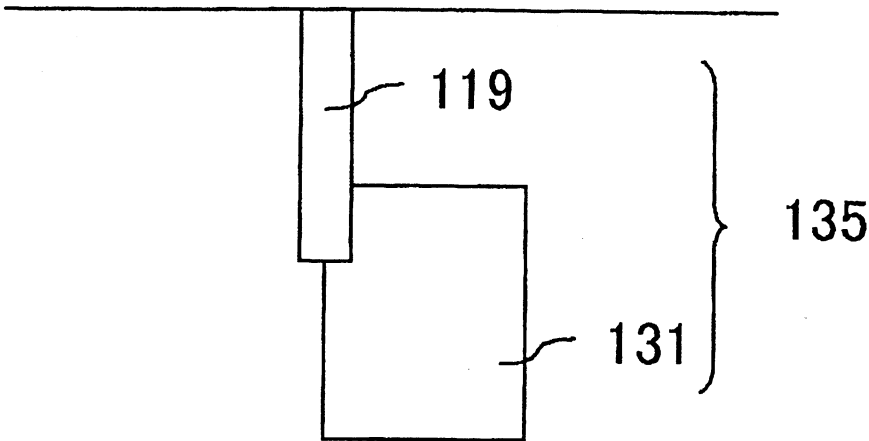


圖 7B



七、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件符號簡單說明：

100～半導體裝置

101～矽基板

103～絕緣膜

105～擴散層

107～閘極電極

109～蝕刻阻絕膜

111～最底層絕緣膜

113～第 1 互連層的絕緣膜

115～黏著層

119～小直徑插塞

121～第 1 互連線

122, 123～連接插塞

125～焊墊

127～凸塊

129～電解沈積的絕緣膜

131～大直徑插塞

133～金屬鍍層膜

135～貫穿電極

137～ SiN 膜

141～突出部

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

小直徑插塞 119 不須貫穿達於大直徑插塞 131 的背面之側。由於突出部 141 的深度可以令其較淺，故藉由用嵌入方式製造小直徑插塞 119 可穩定地進行。

此外在貫穿電極 135 中，小直徑插塞 119 的直徑小於大直徑插塞 131 的直徑。基於此一理由，可減少電性連接於小直徑插塞 119 的第 1 互連線 121 的大小。更甚者，此結構可改善在最底下的層絕緣膜 111 元件的密集度。因此，此結構是整個裝置微型化的適合結構。

此外，因為小直徑插塞 119 在連接插塞 123 形成的同時形成，此結構可減化製造過程並與之帶來的降低製造成本。此外，在電晶體形成過程上，小直徑插塞 119 形成的影響是小的，因此貫穿電極 135 的形成會給電晶體一點破壞。此外，在貫穿電極 135 的頂面部分，在最底層互連線的第 1 互連線絕緣膜 113 的範圍小直徑插塞 119 連接到第 1 互連線 121，於是此結構讓貫穿電極 135 不突出到第 1 互連線絕緣膜 113。基於此一理由，此結構可改善第 1 互連線絕緣膜 113 之互連線密度。因此，貫穿電極 135 的配置對於電路結構的影響是小的，故半導體裝置 100 關於元件或互連線之配置關係具有選擇自由，且進一步可減少第 1 互連層絕緣膜 113 的無效空間，並提高第 1 互連線 121 的密集度。

此外，在半導體裝置 100 中，在開孔 139 的內表面的突出部 141 表面以外的區域，選擇性設有電沈積絕緣膜 129。基於此一理由，在形成大直徑插塞 131 後的過程，可使用電沈積絕緣膜 129 作為保護膜。更甚者，因不須為在矽基板 101 背面上大直徑插塞 131 形成而形成光阻圖案，此結構可在簡單過程中穩定製造大直徑插塞 131。

接著，進一步說明由小直徑插塞 119 及大直徑插塞 131 構成的貫穿電極 135 的結構，並與傳統貫穿電極結構作比較。圖 4A 及 4B 是剖面圖，圖示說明貫穿電極的結構。圖 4A 是圖表說明依本實施例貫穿電極 135 結構的圖。此外，圖 4B 是圖表說明傳統貫穿

小直徑插塞 119 的全部橫剖面放入大直徑插塞 131 並包含其中的結構，進一步改善這兩個元件的黏附性。

【第 2 實施例】

第 1 實施例所述的半導體裝置 100 亦可用下述方法製造。此後，將參考圖 2A 到圖 2D 說明此一實施例與第 1 實施例之不同點。

首先，如同第 1 實施例，一直進行到將電沈積絕緣膜 129 設於矽基板 101 背面的過程（圖 2C）。接著，依照與第 1 實施例同樣之程序，進行突出部 141 中的 SiN 膜 137 之回蝕。

而後，金屬種子層形成在設有電沈積絕緣膜 129 的矽基板 101 全部背面上。構成種子層的金屬像是 Ni、Ni/Cu、TiN/Ti/Cu 等材料。當在種子層使用不同種類金屬時，從矽基板 101 接近層的順序下，會用以下“下層/上層”或“下層/中間層/上層”的方法表示。此外，種子層可用噴濺技術形成。接著，在覆蓋開孔 139 的同時，除開孔 139 外區域打開的光阻圖形形成在矽基板的背面上。然後，種子層藉由蝕刻而移除一部分。接著，移除設於矽基板 101 的背面的光阻圖形，經過這樣的過程，覆蓋開孔 139 內面的種子層形成。

然後，執行 Ni 的電解電鍍：Au 鍍層膜 133 進一步設於表面上，因此就得到了大直徑插塞 131。經過這樣的過程，獲得依本實施例的半導體裝置。

依本實施例的半導體裝置中，種子層形成在開孔 139 內壁的整個面上。基於此一理由，此結構能穩定形成大直徑插塞 131 而與開孔 131 沒有空隙。更甚者，因為設有種子層，可適當的減少小直徑插塞 119 與大直徑插塞 131 間的接觸阻抗。

因此，此結構具有進一步貫穿電極 135 的優良導電性。基於此一理由，貫穿電極 135 進一步有它在可靠度上優良結構。此外，此結構在製造穩定度上也是優良的。