



(12) 发明专利申请

(10) 申请公布号 CN 102214701 A

(43) 申请公布日 2011. 10. 12

(21) 申请号 201110042078. 6

(22) 申请日 2011. 02. 17

(30) 优先权数据

2010-089842 2010. 04. 08 JP

(71) 申请人 松下电器产业株式会社

地址 日本大阪府

(72) 发明人 清水顺 好田慎一 山田康博

胁田尚英 石田昌宏

(74) 专利代理机构 中科专利商标代理有限责任

公司 11021

代理人 汪惠民

(51) Int. Cl.

H01L 29/812(2006. 01)

H01L 29/06(2006. 01)

H01L 29/778(2006. 01)

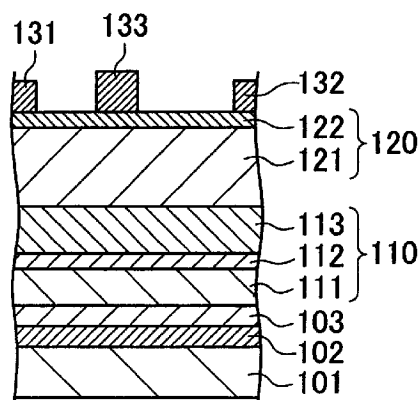
权利要求书 1 页 说明书 6 页 附图 3 页

(54) 发明名称

氮化物半导体元件

(57) 摘要

本发明提供一种氮化物半导体元件,可提高在 Si 基板上形成的氮化物半导体元件的生产性和工作特性。氮化半导体元件具备:在硅基板(101)上隔着初始层(102)形成变形抑制层(110)、在变形抑制层上形成的工作层(120)。变形抑制层(110)具有:第1分隔层(111)、在第1分隔层上相接形成的第2分隔层(112)、在第2分隔层上相接形成的超晶格层(113)。第1分隔层的晶格常数比第2分隔层大。超晶格层中交替层叠了第1层(113A)以及晶格常数比第1层小的第2层(113B)。超晶格层的平均晶格常数比第1分隔层的晶格常数小,并且比第2分隔层的晶格常数大。



1. 一种氮化物半导体元件,其具备:
硅基板;
变形抑制层,形成在所述硅基板上隔着初始层;和
工作层,形成在所述变形抑制层上,
所述变形抑制层具有:
第1分隔层,由第1氮化物半导体组成;
第2分隔层,在所述第1分隔层上相接形成,由晶格常数比所述第1氮化物半导体小的第2氮化物半导体组成;和
超晶格层,在所述第2分隔层上相接形成,交替层叠了由第3氮化物半导体组成的第1层以及由晶格常数比所述第3氮化物半导体小的第4氮化物半导体组成的第2层,
所述超晶格层的平均晶格常数比所述第1分隔层的晶格常数小且比所述第2分隔层的晶格常数大。
2. 根据权利要求1所述的氮化物半导体元件,其中,
所述第1层的晶格常数比所述第1分隔层小。
3. 根据权利要求2所述的氮化物半导体元件,其中,
所述第1分隔层由Ga₃N组成,
所述第2分隔层由Al₃N组成。
4. 根据权利要求2所述的氮化物半导体元件,其中,
所述第1层由Al_xGa_{1-x}N组成,其中 $0 < x < 0.5$,
所述第2层由Al_yGa_{1-y}N组成,其中 $x < y \leq 1$ 。
5. 根据权利要求4所述的氮化物半导体元件,其中,
所述第2层由Al₃N组成。
6. 根据权利要求3所述的氮化物半导体元件,其中,
所述第1分隔层的膜厚为40nm以上且500nm以下。
7. 根据权利要求3所述的氮化物半导体元件,其中,
所述第2分隔层的膜厚为5nm以上且30nm以下。
8. 根据权利要求3所述的氮化物半导体元件,其中,
所述第2分隔层的膜厚比所述第2层厚。
9. 根据权利要求1~8的任意一项所述的氮化物半导体元件,其中,
在所述基板与所述工作层之间形成多组所述变形抑制层。

氮化物半导体元件

技术领域

[0001] 本发明涉及氮化物半导体元件,特别涉及在硅基板上形成的氮化物半导体元件。

背景技术

[0002] 作为氮化物半导体的氮化镓(以下为 GaN),电子饱和速度大、绝缘击穿电场高。此外,因具有较高的热传导率故而散热性优异,具有能在高温下工作的特性。再有,在氮化铝镓(以下为 AlGaIn)与 GaN 的异质界面,因压电效应产生高浓度的二维电子气体(以下为 2DEG)。将 2DEG 作为沟道利用,由此能进行大电流工作,可期望实现低损耗高效率的异质结构场效应晶体管(以下为 HFET)为代表的功率器件。

[0003] 若在使氮化物半导体层生长的基板中利用 GaN 基板,则由于晶格常数一致,因此能够容易形成结晶结构良好的氮化物半导体层。但是,GaN 基板价格高。因此,进行着在廉价的蓝宝石基板或硅(Si)基板等上形成氮化物半导体层的研究。然而,蓝宝石以及 Si 其结晶的晶格常数与氮化物半导体有很大差异。因此,在这些基板上生长的氮化物半导体层中容易产生晶格缺陷。晶格缺陷是漏电流或所谓的电流崩塌的起因。因此,尝试在蓝宝石基板上设置未掺杂的 GaN 层、层叠了氮化铟镓(InGaIn)以及 AlGaIn 的超晶格层,以减少其上形成的氮化物半导体层的晶格缺陷(例如,参照专利文献 1)。

[0004] 蓝宝石基板虽然比 GaN 基板价格便宜,但与 Si 基板相比价格较高并且基板直径小。因此,为了进一步降低功率器件的成本,进行着如下研究:利用廉价且能够容易获得大口径基板的 Si 基板形成氮化物半导体元件。在 Si 基板的情况下,与氮化物半导体层的晶格常数的差值,比蓝宝石基板更大。此外,由于 Si 基板与氮化物半导体层的热膨胀系数之差也非常大,因此在 Si 基板上生长的氮化物半导体层中容易生成被称为裂纹(crack)的微细裂缝。为了减少裂纹,进行着在 Si 基板与工作层之间形成层叠了 GaN 层和氮化铝(以下 AlN)层的超晶格层的研究(例如,参照非专利文献 1)。

[0005] [专利文献 1]特开 2001-274096 号公报

[0006] [非专利文献 1]Shinichi IWAKAMI,Masataka YANAGIHARA,OsamuMACHIDA,Emiko CHINO,Nobuo KANEKO,Hirokazu GOTO and KohjiOHTSUKA," AlGaIn/GaN Heterostructure Field-Effect Transistors(HFETs)onSi Substrate for Large-Current Operaion", Jpn. J. Appl. Phys., 2004 年,43 卷, p. L831

[0007] 但是,利用层叠了现有的 GaN 和 AlN 的超晶格层在 Si 基板上形成氮化物半导体元件的情况下,可知会出现以下的问题。为了降低成本优选采用大口径的 Si 基板形成氮化物半导体元件。此外,需要尽量抑制不良情况的发生。但是,当在大口径的 Si 基板上形成氮化物半导体层时,弯曲非常大。因此,在现有的方法中,难以抑制因弯曲出现的裂纹以及基板的裂缝。因而,即便利用大口径的 Si 基板成品率也较低,无法提高生产性。特别在功率器件的情况下,为了确保耐压需要在基板上形成比较厚的半导体层。因此,弯曲有进一步变大的趋势。在现有的方法中,可知利用直径为 75mm(3 英寸)以上的 Si 基板在实用上是不可能的。

[0008] 此外,可知若打算在 Si 基板中像蓝宝石基板那样设有 GaN 层、层叠了 InGaN 以及 AlGaIn 的超晶格层由此来抑制晶格缺陷的发生,则弯曲进一步变大。

发明内容

[0009] 本发明是为了解决上述问题进行的,其目的在于提高在 Si 基板上形成的氮化物半导体元件的生产性和工作特性。

[0010] 为了实现上述目的,本发明使氮化物半导体元件构成为具有:第 1 氮化物半导体层、晶格常数比第 1 氮化物半导体层小的第 2 氮化物半导体层、以及包含平均晶格常数比第 1 氮化物半导体层小且比第 2 氮化物半导体层大的超晶格层的变形抑制层。

[0011] 具体而言,本发明涉及的氮化物半导体元件具备:硅基板;在硅基板上隔着初始层形成的变形抑制层;和在变形抑制层上形成的工作层。变形抑制层具有:第 1 分隔层,由第 1 氮化物半导体组成;第 2 分隔层,在第 1 分隔层上相接形成,由晶格常数比第 1 氮化物半导体小的第 2 氮化物半导体组成;和超晶格层,在第 2 分隔层上相接形成,交替层叠了由第 3 氮化物半导体组成的第 1 层以及由晶格常数比第 3 氮化物半导体小的第 4 氮化物半导体组成的第 2 层。超晶格层的平均晶格常数比第 1 分隔层的晶格常数小且比第 2 分隔层的晶格常数大。

[0012] 本发明的氮化物半导体元件中,变形抑制层包括:晶格常数较大的第 1 分隔层、在其上接触形成的晶格常数小的第 2 分隔层、在其上相接形成的具有中间晶格常数的超晶格层。因此,能够取得压缩变形与伸展变形之间的平衡。由此,能够减小 Si 基板以及其上形成的氮化物半导体层的弯曲。此外,由于变形抑制层包含超晶格层,因此工作层与硅基板之间的间隔变宽从而能够确保耐压,并且能够进一步减少裂纹的产生。

[0013] 在本发明的氮化物半导体元件中,第 1 层的晶格常数也可以比第 1 分隔层小。

[0014] 在本发明的氮化物半导体元件中,可以构成第 1 分隔层由 GaN 组成,第 2 分隔层由 AlN 组成。通过这样构成,能够使第 1 分隔层与第 2 分隔层之间的晶格常数的差值变大,能够有效减少弯曲。

[0015] 在本发明的氮化物半导体元件中,可以构成第 1 层由 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ($0 < x < 0.5$) 组成,第 2 层由 $\text{Al}_y\text{Ga}_{1-y}\text{N}$ ($x < y \leq 1$) 组成。在这种情况下,优选第 2 层由 AlN 组成。通过这样构成,能够进一步提高半导体元件的耐压。

[0016] 在本发明的氮化物半导体元件中,第 1 分隔层的膜厚设定为 40nm 以上且 500nm 以下即可。

[0017] 在本发明的氮化物半导体元件中,第 2 分隔层的膜厚设定为 5nm 以上且 30nm 以下即可。

[0018] 在本发明的氮化物半导体元件中,优选第 2 分隔层的膜厚比第 2 层厚。

[0019] 在本发明的氮化物半导体元件中,在基板与工作层之间形成多组变形抑制层。

[0020] 根据本发明涉及的半导体元件,能够提高在 Si 基板上形成的氮化物半导体元件的生产性以及工作特性。

附图说明

[0021] 图 1 是表示一实施方式涉及的半导体元件的剖面图。

- [0022] 图 2 是放大表示变形抑制层的平面图。
- [0023] 图 3 是表示变形抑制层的结晶变形的状态的曲线。
- [0024] 图 4 是表示第 2 分隔层的膜厚与基板弯曲之间的关系的曲线。
- [0025] 图 5 是表示半导体元件的耐压的曲线。
- [0026] 图 6 是表示一实施方式涉及的半导体元件的一变形例的剖面图。
- [0027] 图中：
- [0028] 101 Si 基板
- [0029] 102 初始层
- [0030] 103 中间层
- [0031] 110 变形抑制层
- [0032] 111 第 1 分隔层
- [0033] 112 第 2 分隔层
- [0034] 113 超晶格层
- [0035] 113A 第 1 层
- [0036] 113B 第 2 层
- [0037] 120 工作层
- [0038] 121 沟道层
- [0039] 122 势垒层
- [0040] 131 源极电极
- [0041] 132 漏极电极
- [0042] 133 栅极电极

具体实施方式

[0043] 图 1 表示一实施方式涉及的氮化物半导体元件的剖面结构。本实施方式的氮化物半导体元件如图 1 所示那样,在主面为 (111) 面的硅 (Si) 基板 101 上,形成由氮化铝 (AlN) 组成的初始层 102、以及由 AlGa_N 组成的中间层 103,在其上依次形成变形抑制层 110 和工作层 120。初始层 102 是为了抑制 Si 与 Ga 之间的反应而设置的。在初始层 102 的膜厚比 5nm 左右薄的情况下,难以在其上镜面生长半导体层。膜厚比 500nm 左右厚的情况下,在其上生长的半导体层中会出现较多的裂纹。中间层 103 例如选择膜厚为 40nm 的 Al_{0.3}Ga_{0.7}N 即可,但也可以适当改变 Al 组成。中间层 103 根据需要形成即可,也可以在初始层 102 上直接形成变形抑制层 110。

[0044] 如图 2 所示,变形抑制层 110 具有依次形成的由 GaN 组成的第 1 分隔 (spacer) 层 111、由 AlN 组成的第 2 分割层 112 以及超晶格层 113。超晶格层 113 交替层叠了由 AlGa_N 组成的第 1 层 113A 和由 AlN 组成的第 2 层 113B。

[0045] 工作层 120 具有从变形抑制层 110 侧依次形成的由 GaN 组成的沟道层 121 和由 AlGa_N 组成的势垒层 (barrier layer) 122。在势垒层 122 上彼此隔着间隔形成源极电极 131 和漏极电极 132,在源极电极 131 和漏极电极 132 之间形成有栅极电极 133。

[0046] 接下来,对通过本实施方式的半导体元件能够减少基板以及其上形成的半导体层的弯曲的原理进行说明。图 3 是表示本实施方式的氮化物半导体元件的变形抑制层

110 中的变形的状态。在图 3 中,横轴表示将超晶格层 113 的上面设为 0 时的深度,纵轴表示结晶的变形率。变形率为正的情况下表示产生了压缩变形,变形率为负的情况下表示产生了伸展变形。变形率的测定中利用了后方散射电子衍射测定法 (Electron Back Scattering Diffraction: EBSD)。第 1 分隔层 111 选择厚度约为 300nm 的 GaN,第 2 分隔层 112 选择厚度约为 20nm 的 $\text{Al}_{0.3}\text{Ga}_{0.7}\text{N}$ 。对于超晶格层 113,将第 1 层 113A 设定为厚度为 20nm 的 $\text{Al}_{0.3}\text{Ga}_{0.7}\text{N}$,将第 2 层 113B 设定为厚度约为 3nm 的 AlN,层层交替层叠了 19 层。超晶格层 113 的最下层是第 1 层 113A,最上层是第 2 层 113B。此外,中间层 103 选择厚度为 40nm 的 $\text{Al}_{0.3}\text{Ga}_{0.7}\text{N}$ 。

[0047] 如图 3 所示,中间层 103 中添加了伸展变形,但在由 GaN 组成的第 1 分隔层 111 中,变形的方向变为压缩变形。从中间层 103 与第 1 分隔层 111 之间的界面起 40nm 左右的位置,压缩变形最大,然后逐渐变小。在由 AlN 组成的第 2 分隔层 112 中,变形方向从压缩变形向伸展变形急剧变化,在第 2 分隔层 112 与超晶格层 113 的界面附近伸展变形最大。在超晶格层 113 中,尽管伸展变形的程度变小但依然维持伸展变形。

[0048] 如图 3 所示,本发明者发现:在第 1 分隔层 111 中添加压缩变形,在第 1 分隔层 111 与第 2 分隔层 112 的界面附近使变形的方向急剧向伸展变形变化,在其上配置了具有较弱伸展变形的超晶格层的情况下,能够减小弯曲。尽管产生这种现象的原因尚未明确,但可以认为,这是因为与施加压缩变形的层相接而形成施加了较大伸展变形的层,由此能够取得压缩变形与伸展变形的平衡。

[0049] 为了让第 1 分隔层 111 产生压缩变形,由晶格常数较大的材料形成第 1 分隔层 111 即可。此外,为了在第 1 分隔层 111 与第 2 分隔层 112 的界面附近使变形率出现较大变化,减小第 2 分隔层 112 的晶格常数并且增大第 1 分隔层 111 与第 2 分隔层 112 之间的晶格常数的差值即可。因而,优选将第 1 分隔层 111 设定为不包含 Al 的 GaN,将第 2 分隔层 112 设定为不包含 Ga 的 AlN。不过,只要能确保第 1 分隔层 111 与第 2 分隔层 112 之间的晶格常数的差值,也可以在第 1 分隔层 111 中包含 Al,或在第 2 分隔层 112 中包含 Ga。该情况下,需要使第 1 分隔层 111 的 Al 组成比第 2 分隔层 112 以及中间层 113 的 Al 组成小。此外,为了增大第 1 分隔层 111 的晶格常数,可以添加 In。不过,在添加了 In 的情况下,要么使生长温度为低温,要么利用不含氢的载气 (carrier gas)。从容易制造的方面考虑,特别优选 GaN。

[0050] 第 1 分隔层 111 的膜厚只要是施加压缩变形的膜厚即可,但由于变形的变化较大的部分偏差较大,因此优选比 40nm 左右更厚。此外,当膜厚设定得过于厚时,添加压缩变形的效果变小,在膜厚为 500nm 左右时不会添加压缩变形,当在此厚度以上时相反会出现伸展变形。因此,优选膜厚比 500nm 左右小。考虑到施加的压缩变形的大小等,进一步优选 100nm ~ 300nm 左右。

[0051] 第 2 分隔层 112 的膜厚,只要是能抵消由第 1 分隔层 111 产生的压缩变形,并添加伸展变形的膜厚即可。图 4 表示第 2 分隔层 112 的膜厚与基板的弯曲之间的关系。图 4 中横轴表示第 2 分隔层 112 的膜厚,纵轴表示基板弯曲的大小。弯曲为正值的情况下,表示形成了氮化物半导体层的面凹状弯曲即所谓的向下凸出弯曲,负值的情况下表示形成了氮化物半导体层的面凸状弯曲即所谓的向上凸出弯曲。不存在第 2 分隔层 112 的情况下,基板向下大幅凸出弯曲。如图 4 所示即便形成第 2 分隔层 112,第 2 分隔层 112 的膜厚较薄的情

况下,基板也向下凸出弯曲。这是因为无法抵消由第 1 分隔层 111 带来的压缩变形的效果。当第 2 分隔层 112 的膜厚变厚时,基板的弯曲逐渐变小。另一方面,当第 2 分隔层 112 的膜厚比 20nm 左右更厚时,出现向上凸出弯曲。这是因为伸展变形变得过大。

[0052] 在基板的弯曲比 150nm 大的情况下,非常容易产生如下的问题:在氮化物半导体层产生裂纹,或者基板出现裂缝。因此,第 2 分隔层 112 的膜厚设定为 5nm 以上且 30nm 以下左右的范围即可。此外,当基板的弯曲比 80nm 大时,难以由真空卡盘(chuck)保持基板,生产性下降。因此,第 2 分隔层 112 的膜厚优选设定为 10nm 以上且 25nm 以下左右。

[0053] 对于超晶格层 113,设为由常规方法求得的平均晶格常数为第 1 分隔层 111 与第 2 分隔层 112 之间的值即可。只要能使晶格常数在第 1 分隔层 111 与第 2 分隔层 112 之间,则第 2 分隔层 112 上形成的层未必是超晶格层。不过,通过利用超晶格层,能够更有效地抑制裂纹的产生。此外,由于能够使变形抑制层 110 的整体膜厚变厚,因此可得到提高半导体元件的耐压的效果。

[0054] 第 1 层 113A 以及第 2 层 113B 的膜厚分别设定为 20nm ~ 30nm 左右以及 3nm ~ 6nm 左右即可。当第 1 层 113A 以及第 2 层 113B 超过此厚度时,作为超晶格结构无法取得平衡,基板会大幅向下凸出弯曲。特别优选,第 2 层 113B 的膜厚比第 2 分隔层 112 更薄。

[0055] 对于超晶格层 113,最低限度能够通过将第 1 层 113A 设为 2 层,将第 2 层 113B 设为 1 层来构成,但为了提供合适大小的变形,优选第 1 层 113A 以及第 2 层 113B 分别为 3 层以上。层叠数越多,则超晶格层 113 的膜厚越厚,越能够提高半导体元件的耐压。不过,可以确认的是,在第 1 层 113A 以及第 2 层 113B 分别层叠了 160 层以上的情况下,基板会大幅向下凸出弯曲。此外,当增多层叠数时,结晶生长时间变长,原料使用量增大,因此制造成本升高。现实中优选将第 1 层 113A 以及第 2 层 113B 分别设定为 50 层以下,进一步优选设定为 20 层以下。优选超晶格层 113 的最下层是晶格常数较大的第 1 层 113A。将晶格常数较小的第 2 层 113B 作为最下层的情况下,需要调整第 2 分隔层 112 的膜厚,使得伸展变形不会过大。另一方面,超晶格层 113 的最上层既可以是第 1 层 113A 也可以是第 2 层 113B。

[0056] 优选第 1 层 113A 与第 2 层 113B 之间的晶格常数的差值较大。因此,考虑将第 1 层 113A 设为不包含 Al 的 GaN,将第 2 层 113B 设为不包含 Ga 的 AlN。但是,本申请发明者发现在将第 1 层 113A 设为 GaN 的情况下,半导体元件的耐压较低。

[0057] 图 5 表示第 1 层 113A 的组成和半导体元件的耐压之间的关系。图 5 中横轴表示 Si 基板 101 与漏极电极 132 之间的电压,纵轴表示 Si 基板 101 与漏极电极 132 之间的电流。测定中使用的各样品除了第 1 层 113A 的组成以外的结构都相同。如图 5 所示,在第 1 层 113A 为 GaN 的情况下,在基板 - 电极间施加的电压为 400V 程度下基板 - 电极间的电流急剧上升,半导体元件的耐压为 400V 左右。另一方面,在将第 1 层 113A 设为 $\text{Al}_{0.2}\text{Ga}_{0.8}\text{N}$ 的情况下,耐压上升至 1000V 左右。再有,增加 Al 将第 1 层 113A 设为 $\text{Al}_{0.5}\text{Ga}_{0.5}\text{N}$ 的情况下,耐压下降至 800V 左右。尽管无法确定将第 1 层 113A 设为 AlGa_xN 层是耐压变高的原因,但可以认为将第 1 层 113A 设为晶格常数比 GaN 小的 AlGa_xN 层,提高了变形抑制层 110 上形成的工作层 120 的结晶性等。因而,第 1 层 113A 设为 $\text{Al}_x\text{Ga}_{1-x}\text{N}$,为了提高半导体元件的耐压优选 Al 组成 x 比 0 大。此外,在第 1 分隔层 111 为 AlGa_xN 的情况下,优选 Al 组成比第 1 分隔层 111 高且晶格常数小。不过,由于当 Al 组成 x 过大时不仅提高耐压的效果减小,而且减少变形的效果也减小,因此优选 Al 组成 x 设定为 0.5 以下,进一步优选将 Al 组成 x 设定为

0.2 或 0.3 左右。此外,由于使与第 1 层 113A 之间的晶格常数的差值变大,因此优选第 2 层 113B 为不包含 Ga 的 AlN,也可以设定为晶格常数比第 1 层 113A 小的 $\text{Al}_y\text{Ga}_{1-y}\text{N}$ ($x < y \leq 1$)。不过,要使超晶格层 113 的平均晶格常数比第 1 分隔层 111 小并且比第 2 分隔层 112 大。

[0058] 对于由未掺杂 GaN 组成的沟道层 121,在某种程度上增加其厚度,能够提高表面的平坦性以及结晶特性。此外,也能够提高半导体元件的耐压。因此,优选使膜厚比 $0.5\mu\text{m}$ 左右厚。不过,由于膜厚超过 $6\mu\text{m}$ 时,在基板的端面部特别容易出现异常生长,因此,优选膜厚比 $6\mu\text{m}$ 左右薄。

[0059] 势垒层 122 例如选择厚度为 25nm 的 $\text{Al}_{0.25}\text{Ga}_{0.75}\text{N}$ 即可。势垒层 122 的 Al 组成以及膜厚可根据需要适当变化。此外,也可以在势垒层 122 中添加 Si 等杂质。此外,也可以是包含 Al 组成以及杂质浓度等不同的多个层的叠层结构。

[0060] 源极电极 131 以及漏极电极 132,利用欧姆接合的金属形成即可。源极电极 131 以及漏极电极 132 也可以具有凹陷 (recess) 结构。栅极电极 133 利用肖特基接合的金属形成即可。栅极电极 133 也可以具有凹陷结构。此外,也可以构成为预先在栅极电极 133 与势垒层 122 之间形成 p 型氮化物半导体层,栅极电极 133 与 p 型氮化物半导体层欧姆接合。各电极既可以是叠层结构或合金结构,也可以是由金属以外的材料组成的电极。此外,若代替源极电极 131、漏极电极 132 以及源极电极 133,形成欧姆接合的阳极电极和肖特基接合的阴极电极,则能形成肖特基势垒二极管。

[0061] 初始层 102、中间层 103、变形抑制层 110 以及工作层 120,通过有机金属化学气相堆积法 (MOCVD 法) 等形成即可,在采用 MOCVD 法的情况下,作为 Ga 的原料使用三甲基镓、作为 Al 的原料使用三甲基铝、作为 N 的原料使用氨即可。此外,代替 MOCVD 法,也可以采用氢化物气相生长法等。

[0062] 如图 6 所示,也可以形成 2 组变形抑制层 110。通过形成多组变形抑制层 110,能进一步减小基板的弯曲。此外,由于沟道层 121 与 Si 基板 101 之间的间隔变大,因此可获得进一步提高半导体元件的耐压的效果。也可以形成 3 组以上的变形抑制层 110。不过,当变形抑制层增多时,由于结晶生长时间变长,所需原料也增加,因此制造成本上升。此外,各变形抑制层 110 不需要完全相同的结构。

[0063] 通过在以上这种结构的变形抑制层上形成工作层,即便采用直径为 75mm (3 英寸或 150mm (6 英寸)) 以上的 Si 基板时,也能够将基板的弯曲抑制得较小。由此,能够抑制产生裂纹和基板出现裂缝,能够大大提高氮化物半导体元件的生产性。此外,在利用直径较小的 Si 基板的情况下,由于也可获得基板弯曲减小的效果,因此,能够提高生产性以及成品率。再有,由于还能够提高半导体元件的耐压,因此能够实现特别适合于利用了氮化物半导体的功率器件等的结构。

[0064] (产业上的利用可能性)

[0065] 本发明涉及的氮化物半导体元件,能够提高在 Si 基板上形成的氮化物半导体元件的生产性以及工作特性,特别是作为功率器件等的氮化物半导体元件很有用。

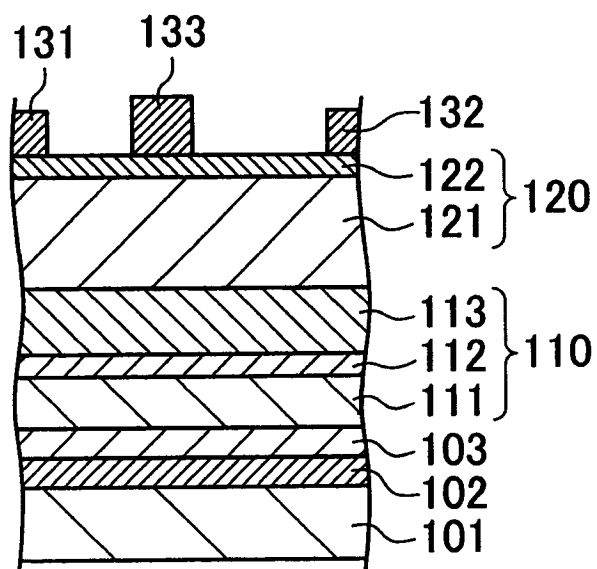


图 1

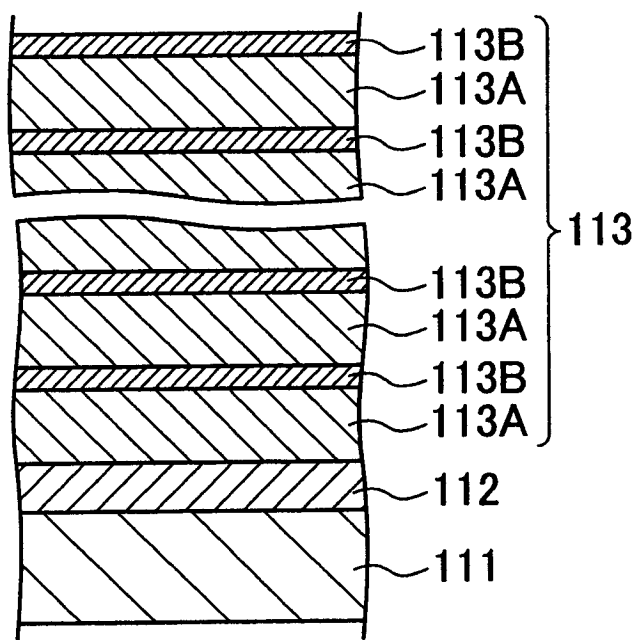


图 2

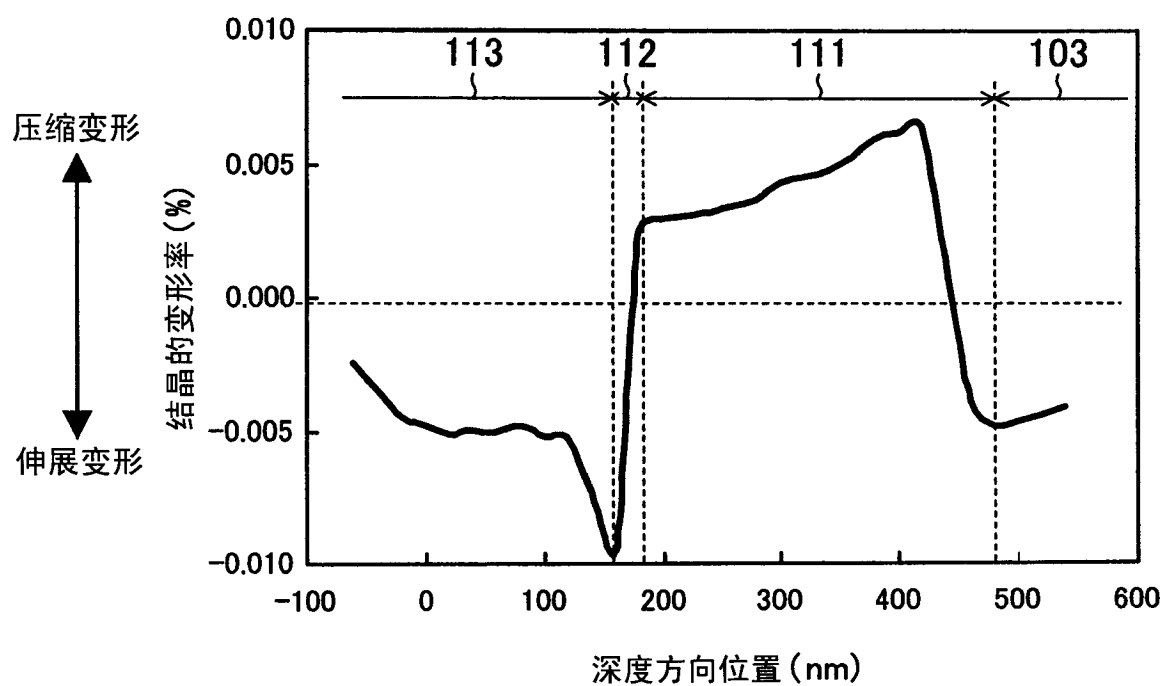


图 3

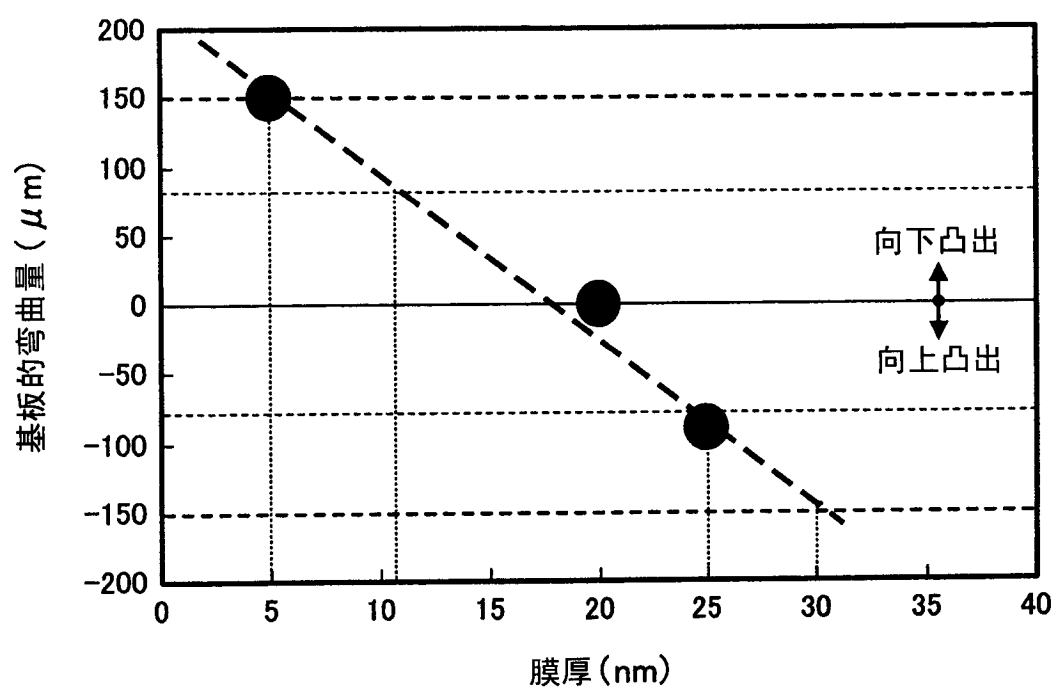


图 4

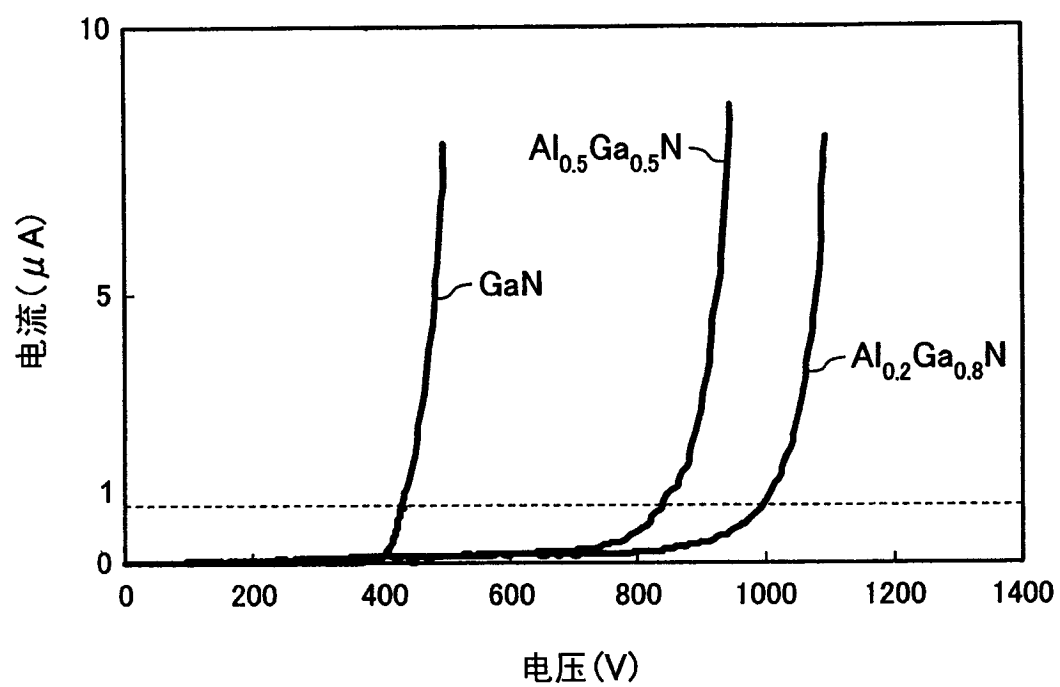


图 5

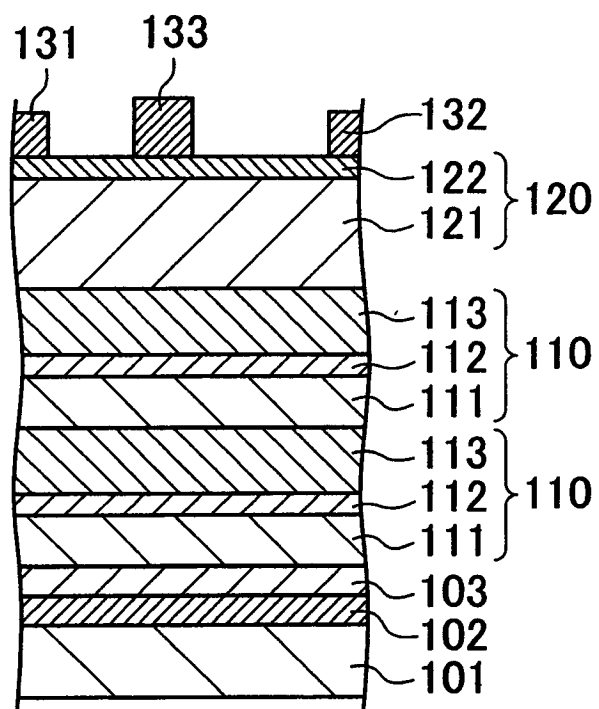


图 6