

88年12月3日修正  
補充

|      |           |
|------|-----------|
| 申請日期 | 87.6.15   |
| 案 號  | 87109487  |
| 類 別  | G706F9/38 |

A4  
C4

公告本

(以上各欄由本局填註)

# 發明專利說明書 490636

|        |               |                                                       |
|--------|---------------|-------------------------------------------------------|
| 一、發明名稱 | 中 文           | 用以執行高碼效率之VLIW的處理機                                     |
|        | 英 文           | PROCESSOR FOR EXECUTING HIGHLY EFFICIENT VLIW         |
| 二、發明人  | 姓 名           | (1)高山秀一<br>(2)檜垣信生                                    |
|        | 國 籍           | 日 本                                                   |
|        | 住、居所          | (1)日本國兵庫縣寶塚市中山台1-22-6<br>(2)日本國大阪府大阪市東淀川區小松4-15-26-2H |
| 三、申請人  | 姓 名<br>(名稱)   | 日商・松下電器產業股份有限公司                                       |
|        | 國 籍           | 日 本                                                   |
|        | 住、居所<br>(事務所) | 日本國大阪府門真市大字門真1006番地                                   |
|        | 代 表 人 姓 名     | 森下洋一                                                  |

裝

訂

線

(由本局填寫)

|           |
|-----------|
| 承辦人代碼：    |
| 大 類：      |
| I P C 分類： |

A6  
B6

本案已向：

日本 國 ( 地區 ) 申請專利，申請日期： 1997,06,16 案號： 特願平9-159048，☒有 ☐無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

發明之背景

[發明之領域]

本發明係關於一種採取VLIW架構之處理機，尤其是，關於一種實行較短字長且高碼效率之處理機。

[習知技術之說明]

隨著近幾年之多媒體關聯機器之增大及電子機器之小型化，而要求可高速度地處理音頻和圖像資料之微處理機。作為因應此要求之微處理機用者有：採取VLIW(very long Instruction Word)架構之處理機(以下稱為「VLIW處理機」)。

VLIW處理機，係在內部備有多數之運算單元，並同時並行地實行存放在一個VLIW之多數之操作。這種VLIW，係藉編譯程式來檢出原始程式中之運算等級之並行性，並在排程後生成者。然而，尤其是，在機器裝配用途方面，由於程式之碼尺寸成為問題而需要處理，故如256位元一般之長VLIW，或頻繁地插入有無動作指令(以下，稱「NOP指令」)之碼效率不良之VLIW者，因而並不適用。

而在用以實行較短字長之指令的習知VLIW處理機，則有一種用以實行可同時指定最大兩個操作之32位元指令的VLIW處理機(例如，揭露於特開平9-26878之資料處理裝置)。

第1圖(a)及第1圖(b)，係顯示上述習知技術之指令格式；其係分別表示同時指定二個操作之指令格式，及僅指定一個操作之指令格式。此習知技術，係藉2位元之格

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明(2)

式欄410之值來控制其指令中所存放之操作數和實行順序，以便提高碼效率者。

然而，依照上述習知技術，可藉32位元長之一個指令同時指定之操作數，最高為兩個，因此其並行並不能稱謂充份。又，若欲進行使用了超過某長度之字長的運算時，欲存在著指令之碼效率會指降低之問題。例如，為了將32位元之常數置位於暫存器而將其常數分割成兩個，並置位了常數之上位16位元後置位了下位16位元時，僅僅為了該等操作之指定即花費了二個之32位元長指令。

### 發明之概要

於是，本發明係鑑於上述缺點而做者，其第一目的係在於提供一種用以實行高並行性之VLIW處理機，以便可指定既為較短字長之指令且具有可同時指定多數操作之高碼效率的構造之指令，例如，只要是32位元長之指令即可指定三個以上之操作的高並行性之指令。

又，本發明之第二目的係在於提供一種VLIW處理機，其係用以實行具有既為較短字長之指令，且，即使在處理較長字長之常數的場合，也不易降低碼效率之構造之指令。

為了達成上述第一目的，本發明為一種用以解碼實行含有二個以上作業欄的指令之VLIW處理機者，其第一前述作業欄中僅存放一個用來指定操作種類之操作碼，而第二前述作業欄中則存放有一個操作碼與一個以上之運算元(用以指定成為操作對象之資料)的組；且，包含有：

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

### 五、發明說明(3)

第一解碼手段，係用以解碼前述第一作業欄所存放之操作碼；

第一實行手段，係根據藉助前述第一解碼手段之解碼結果，實行由前述操作碼所指定之操作；

第二解碼手段，係用以解碼前述第二作業欄所存放之操作碼；及

第二實行手段，係根據藉助前述第二解碼手段之解碼結果，對於由前述運算元所指定之資料，實行由前述操作碼所指定之操作。

藉此，於指令中之至少一個操作，只可存放不伴隨著明示性運算元之操作碼，因此指令字長被縮短，可實現用以實行一具有既為較短字長之指令，且，可同時指定許多操作之高碼效率的構造之VLIW處理機。

又，前述第一作業欄中所存放之操作碼的位數，也可作成等於前述第二作業欄中所存放之操作碼的位數。藉此可使指令中所存放的所有操作碼的位數共同化，所以可使解碼器電路等簡單化。

又，含有前述指令之作業欄為三個；前述第三作業欄係與前述第二作業欄相同之位數，並存放有一個操作碼與一個以上之運算元之組；前述VLIW處理機更包含有：

第三解碼手段，係於前述第三作業欄存放了操作碼時，解碼前述操作碼；及

第三實行手段，係根據藉助前述第三解碼手段之解碼結果，對於由前述運算元所指定之資料，實行由前述操作

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明(4)

碼所指定之操作。

藉此，可實現用以同時實行三個操作的高並行性之 VLIW 處理機。

又，前述第一實行手段，也可控制含有應實行指令之程式的流程。藉此，通常不需要多位數之分支操作被分配在小位數之作業欄，因此可定義高碼效率之指令集。

又，前述第二實行手段，也可控制由存放在前述第二作業欄之運算元所指定的資料之轉移；而前述第三實行手段也可實行由存放在前述第三作業欄之運算元所指定的資料之算術邏輯運算。藉此，同外部記憶體之資料轉移成為由指令中之一個操作所指定，因此可使 VLIW 處理機所應具備之運算元存取電路簡單化。

又，為了達成上述第二目的，本發明為一種用以解碼實行含有二個以上作業欄的 VLIW 處理機，其第一前述作業欄中僅存放一個用來指定操作種類之操作碼或僅存放常數，而第二前述作業欄中則只存放一個操作碼與一個以上之運算元(用以指定成為操作對象之資料)的組或常數；且，包含有：

第一解碼手段，係於前述第一作業欄存放有操作碼時解碼前述操作碼；

第一實行手段，係根據藉助前述第一解碼手段之解碼結果，實行由前述操作碼所指定之操作；

第二解碼手段，係於前述第二作業欄中存放有操作碼時解碼前述操作碼；及

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明(5)

第二實行手段，係根據藉助前述第二解碼手段之解碼結果，對於由前述運算元所指定之資料，實行由前述操作碼所指定之操作。

藉此，即使在指令中之某作業欄有必要存放無用碼之場合，也可用其他操作所使用之常數彌補，因此即使為較短字長之指令，也可實現用來實行具有不易降低碼效率之構造的指令之VLIW處理機。

又，前述指令更包含一存放有格式碼之格式化欄，其係用來指定前述第一及第二作業欄各個是否只存放常數；

前述VLIW處理機更包含：

格式解碼手段，係用以解碼前述格式碼；及

常數記憶手段，係藉由前述格式解碼手段解碼為在前述第一及第二之至少一個作業欄只存放有常數時，將其常數取出並予以記憶。

藉此，作業欄中所補足之常數被存儲在常數記憶手段，從而可藉其他指令中所存放之操作來利用其常數，因此即使為較短字長之指令，且，處理較長字長之常數的場合，也可迴避碼效率之降低。

又，前述格式化欄之位數，前述第一作業欄之位數，存放在前述第二及第三作業欄之操作碼之位數，存放在前述第二及第三作業欄之各運算元的位數，可作成均為n位元。藉此，構成一個指令之所有欄位之位數均成為同一，因此，可使VLIW處理機之內部電路簡單化。

又，本發明，係於用來實行由多數之作業欄所成之指

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明(6)

令的VLIW處理機，前述作業欄之大小可為不均等，且前述指令之指令字長也可作成無法用前述指令所有之作業欄之數來除盡者。藉此，可從指令中之所有作業欄必須同一字長之限制解放，以便定義高碼效率之指令格式，因此可實現用以實行既為較短字長之指令，且，具有可同時指定多數操作之高碼效率的構造之指令的，VLIW處理機。

又，本發明係於用來實行由多數作業欄所成之指令的VLIW處理機，前述作業欄之大小可為不均等，且前述指令可在32位元之指令字長中備有三個作業欄，藉此，可實現一種用來實行可指定32位元長且三個操作之高並行性指令的VLIW處理機。

又，本發明，係於用來實行由多數作業欄所成之指令的VLIW處理機，可使前述作業欄中之至少一個具有不同之運算元的數。藉此，可從指令中之所有作業欄必須具有同一個數之運算元的限制解放，因此可定義高碼效率之指令格式。

又，本發明，係於用來實行由多數作業欄所成之指令的VLIW處理機，可使前述作業欄中之一個成為只由操作碼所成。藉此，較之在指令中之所有作業欄存放操作碼與運算元之組的情況，更可縮短指令之字長，因此可實現一用來實行具有高碼效率之構造的指令之VLIW處理機。

如上述，藉由本發明來實現一種，用來實行既為較短字長指令，且，具有可同時指定多數操作之高碼效率的構造之指令的，VLIW處理機；尤其是，就可作為一用來處

(請先閱讀背面之注意事項再填寫本頁)

裝

訂



## 五、發明說明(7)

理多媒體資料之內在用途之處理機而言，具有頗大之實用價值。

### 圖式之簡單說明

本發明之這些及其他目的，利益及特徵，可從用來敘述本發明之特定實施例的關連圖式之以下說明，而更為清楚明瞭。

第1圖(a)及第1圖(b)係顯示習知技術之指令格式；且，分別顯示同時指定二個操作之指令格式，及只指定一個操作之指令格式。

第2圖(a)為本發明之處理器實行指令之欄位構成。

第2圖(b)～第2圖(d)，係顯示16種類之指令格式。

第2圖(b)為可同時指定三操作之指令格式；第2圖(c)為可同時指定二操作之指令格式；第2圖(d)為可同時指定一操作之指令格式。

第3圖為一說明圖，係用以說明由第2圖所使用的三種操作碼“cc”、“op1”、“op2”的各個所指定的具體操作。

第4圖為一方塊圖，係顯示該處理機之硬體構成。

第5圖為一方塊圖，係顯示該處理機之常數暫存器36及其周邊電路之詳細構成。

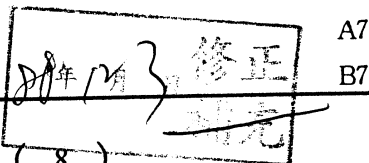
第6圖(a)～(d)，係顯示藉助第5圖所示之常數暫存器控制部32之常數存儲方法。

第6圖(a)係顯示格式碼為“0”或“1”時之存儲方法；第6圖(b)係顯示格式碼為“4”時之存儲方法；第6圖(c)係顯示格式碼為“5”時之存儲方法；第6圖(d)係顯示格式碼為“2”

(請先閱讀背面之注意事項再填寫本頁)

訂

線



## 五、發明說明(8)

、“3”及“A”之任一時或常數暫存器36之存儲值被作運算元指定時之存儲方法。

第7圖為一方塊圖，係顯示該處理機之PC部33的詳細構成。

第8圖為一流程圖，係顯示處理32位元常數之一處理例。

第9圖，係顯示由該處理機來進行第8圖所示之處理的程式例。

第10圖為定時圖，係顯示實行第9圖所示之程式時本處理機之動作。

第11圖係顯示由該處理機來進行16位元常數之處理的程式例。

第12圖(a)，係顯示由通常之處理機所實行的指令欄位定義。

第12圖(b)，係顯示該指令格式。

第13圖，係顯示由上述通常處理機來進行與第9圖所示之程式同一內容之處理的程式例。

第14圖，係顯示由上述通常處理機來進行與第11圖所示之程式同一內容之處理的程式例。

第15圖(a)~第15圖(d)係顯示關於本發明VLIW處理機的指令構成之變形例。

第16圖為一方塊圖，係顯示用以實行第15圖(a)所示之指令的關於本發明變形例之VLIW處理機之構成。

適宜實施例之說明：

以下，使用圖式來詳細說明本發明處理機之實施形態

(請先閱讀背面之注意事項再填寫本頁)

訂線

## 五、發明說明(9)

。又，於本說明書，所謂「指令」係意味著由來本處理機同時並行地解碼實行碼全體；又，所謂「操作」係意味著可由本處理機並行地實行的數值運算，邏輯運算、轉移、分支等之處理單位或用以指定其處理單位之代碼。

### 指令格式

首先，就由本處理機解碼實行之指令之構造，說明之。

本處理機為VLIW處理機，係用以解碼實行32位元定長之指令。

第2圖(a)，係顯示由本處理機的指令50之欄位構成。第2圖(b)～第2圖(d)係顯示16種類之指令格式；其中，第2圖(b)為可同時指定三操作之指令格式，第2圖(c)為可同時指定二操作之指令格式，第2圖(d)為可同時指定一操作的指令格式。

此指令50為32位元定長，係由分段成各4位元的8個實體欄(從上位p0.0欄51,p1.0欄52,...p3.2欄58)所成。又，將p2.0欄53～p2.2欄55之群彙總起來稱做第一運算欄59，並將p3.0欄56～p3.2欄58之群總括起來稱呼第二運算欄60。

於第2圖(b)～第2圖(d)中，“const”為常數；依使用此常數之操作之種類而意味著立即值，絕對地址，位移等之數值常數和文字常數。“op”係意味著用來指定操作種類的操作碼；“RS”係意味著成為源運算元之暫存器；“Rd”係意味著成為目的地位元之暫存器；“cc”係意味著用來指定分支操作之操作碼，此分支操作係將本處理機所具備之專

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明(10)

用32位元暫存器(第4圖所示之常數暫存器36)之存儲值作為分支對方之絕對地址或相對地址(位移)。

又，緊接著此等碼之後添附的數值，係表示為第一運算欄59及第二運算欄60中之那一操作而使用者。例如，若格式碼為“6”之指令格式時，意味著：p1.0欄52中所存放之4位元常數“const1”與p2.1欄54中所存放之4位元常數“const1”係結合著，而成為對應於第一運算欄59之操作碼“op1”的源運算元，以作8位元常數。

又，沒有數值之常數“const”係表示存放在本處理機所具備的專用32位元暫存器36之常數。例如，存放在格式碼為“0”之指令格式中p1.0欄52之常數，係存儲在暗默地指定之常數暫存器36的常數。

第3圖為一說明圖，係用以說明由第2圖所使用的三種操作碼“cc”，“op1”及“op2”之各個所指定的具體操作。

4位元之操作碼“cc”，係用以指定16種之分支操作中的一個。一個分支操作，係由分支條件及分支形式所特定。分支條件有：相等(“eq”)，不相等(“neq”)，較大(“gt”)等。而分支形式則有：將上述常數暫存器36之存儲值作為分支對方之絕對地址分支之形式(於助憶顯示中未添附“i”者)；及作為相對地址分支之形式(於助憶顯示中添附“i”者)。例如，操作碼“eq”，係意味著當前之比較結果相等時進藉助絕對地址指定之分支的操作；而操作碼“eqi”則意味著當前之比較結果相等時進行藉助相對地址指定之分支的操作。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明 (11)

4位元之操作碼“opl”有：用以指定屬於“add”(加法)、“sub”(減法)、“mul”(乘法)、“and”(邏輯積)、“or”(邏輯和)等算術邏輯運算的操作中之一個的情況；及用以指定屬於“mov”[字(32位元)資料之轉移]、“movh”(半字資料之轉移)、“movb”(字節資料之轉移)等暫存器。暫存器間之操作中之一個的情況。

4位元之操作碼“op2”有：除與上述操作碼“opl”同樣之算術邏輯運算及暫存器，暫存器間轉移以外，更加上用以指定屬於“ld”(從記憶體向暫存器之一字資料之負載)，“st”(從暫存器向記憶體之字資料之存儲)等暫存器。記憶體間轉移之操作中的一個之情況。

其次，說明第2圖(a)所示之各欄51,52,59,60之特徵。

p0.0欄51，係用以存放用來特定此指令50之格式的4位元格式碼之欄位；具體言之，其係用以指定第2圖(b)～第2圖(d)所示之16種指令格式中之一個。

p1.0欄52，係用以存放常數或分支用之操作碼的欄位。

若在此p1.0欄52中存放有常數時(格式碼=0,1,4～9時)，其常數則有：成為存放在常數暫存器36之對象的情況(格式碼=0,1,4,5時)；及構成第一運算欄59或第二運算欄60之運算元的一部分之情況(格式碼=5,7,8,9,B時)，再者，若成為存放在常數暫存器之對象時，則有：只存放其4位元常數的情況(格式碼=0,1時)；及與第一運算欄59或第二運算欄60中所存放的12位元之常數一同存儲之情況(格式

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (12 )

碼=4,5時)。

一方面，若在此P1,0欄52存放有分支用之操作碼“cc”時(格式=2,3,A時)，意味著將存儲在常數暫存器36之常數作為分支對方之絕對地址，或，相對地址(位移)分支。

第一運算欄59，係用以存放操作碼與運算元(源及目的地)之組或常數；其中操作碼係用以指定沒有本處理機與外部(記憶體)間之資料轉移的操作(算邏輯運算、暫存器間轉移)。

第一運算欄60，係除了上述第一運算欄59之情況以外，有時候也存放操作碼與運算元之組；其中操作碼係用以指定伴隨著本處理機與外部(記憶體)間之資料轉移的操作(暫存器・記憶體間轉移)。

又，如上述操作種類之對於各欄之分配係基於：在諾埃曼型之本處理機方面，並不需要同時實行兩個以上之分支操作；及將本處理機與外部(記憶體)之運算元的輸入輸出口(第4圖中之運算元存取部40)限定於一個等。

在此，第2圖(b)～第2圖(d)中所示之指令格式，具有以下之特徵。

第一，從觀看常數“const”可知，使常數存儲於常數暫存器之指令格式有以下之三種。

(1)格式碼“0”或“1”時：

依照此指令，存放在p1.0欄52之4位元常數係存儲在常數暫存器36。

(2)格式碼“4”時：

## 五、發明說明(13)

依照此指令，存放在p1.0欄52~p2.2欄55之16位元常數係存儲在常數暫存器36。

(3)格式碼“5”時：

依照此指，存放在p1.0欄52及p3.0欄56~p3.2欄58之16位元常數，係存儲在常數暫存器36。

第二，本處理機，雖可用一個指令來指定三個操作，但此時，從第2圖(b)所示之三操作用的指令格式可知，那些三個之操作種類係成為以下之任一組合。

(1)將4位元之常數置位於常數暫存器的操作與二個之泛用操作(格式碼為“0”、“1”時)。

(2)將置位在常數暫存器36之值作為絕對地址或相對地址來分支之操作與二個之泛用操作(格式碼為“2”、“3”時)。

如此，本處理機之指令具有：儘管為32位元長但仍可同時指定最大三個操作的高碼效率之欄構成。

(處理機之硬體構成)

其次，說明本處理機之硬體構成。

第4圖為一方塊圖，係顯示本發明處理機之硬體構成。

本處理機，係如上述，用以並行實行最大三個之操作的VLIW處理機；且，大別之，由指令暫存器10，解碼部20及實行部30所構成。

指令暫存器10，係用以保持係指令取出部39發送過來的一個指令的32位元之暫存器。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明(14)

解碼部20，係用以解碼指令暫存器10所保持之指令，並將對應於其解碼結果之控制線輸出至實行部30者，而大別之由格式解碼器21及指令解碼器22所構成。

指令解碼器22更包含：分支解碼器23，其係用以解碼p1.0欄12中所保持之操作碼“cc”，並根據其結果來控制pc部33；第一運算解碼器24，其係用以解碼p2.0欄13中所保持之操作碼，並根據其結果來控制第一運算部37；及第二運算解碼器25，其係用以解碼p3.0欄16中所保持中操作碼，並根據其結果來控制第二運算部38及運算元存取部40。

格式解碼器21，係藉著解碼p0.0欄11中所保持之4位元之格式碼，而特定指令暫存器10所保持之指令格式究竟第2圖(b)～第2圖(d)所示之16種中之那一種，按照其結果許可或禁止藉助分支解碼器23，第一運算解碼器24及第二運算解碼器25之解碼動作，或使實行部30之常數暫存器控制部32動作。

又，上述解碼器21、23～25，係在基本上1週期解碼一個運算元，並將控制信號給與實行部30。又，用以連接指令暫存器10與實行部30之26位元之常數信號線26，係用  
移指令暫存器10中所存放之常數和運算元至實行部30之匯流排。

實行部30，係根據解碼部20之解碼結果，並行實行最大三個之操作的電路單元者，其係由實行控制部31、pc部33，暫存器群34，第一運算部37，第二運算部38，指令取出部39及運算元存取部40所構成。又，在此實行部30之中

(請先閱讀背面之注意事項再填寫本頁)

裝

訂



## 五、發明說明(15)

關於常數暫存器控制部32、pc部33及常數暫存器36者，係在另外之圖式進一步顯示詳細構成。

實行控制部31，係根據解碼部20之實行結果來控制實行部30之各構成要素33~40之控制電路和配線之總稱；其除了具有通常處理機應具備之構成要素(定時控制、動作許可禁止控制、狀態管理、嵌入控制等之電路)以外，更具有本處理機特有之常數暫存器控制部32。常數暫存器控制部32，係根據來自格式解碼器21之指示，進行將保持在指令暫存器10之4位元或16位元之常數(const)存儲於常數暫存器36之控制。

Pc(Program Counter)部33，係在藉助分支解碼器23之控制下，將存放有下一個應解碼實行之指令的外部記憶體上之地址(未圖示)，輸出至指令取出部39。

指令取出部39，係透過32位元之IA(Instruction address：指令地址)匯流排及32位元之ID(Instruction Data：指令資料)匯流排，從未圖示之外部記憶體取出指令塊，將之保持於內部之指令快速緩衝記憶體同時，將相當於輸出自pc部33之地址的指令供給指令暫存器10。

暫存器群34，係由15個之32位元泛用暫存器35及一個之32位元常數暫存器36所構成。存儲在此等16個之暫存器35、36之值，係根據第一運算解碼器24及第二運算解碼25之解碼結果，轉移至第一運算部37及第二運算部38，在此施予運算，或者，單純通過此處後，被送至暫存器群34或運算元存取部40。又，存儲在常數暫存器36之值，除了被

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 ( 16 )

用於第一運算部37及第二運算部之運算以外，也被轉移至pc部33，在此為了生成成為分支對方之有效地址而被使用。

第一運算部37，係於內部具有一對於二個32位元資料進行算術邏輯運算的ALU及進行乘法之乘法器，並在藉助第一運算解碼器24之控制下實行二種操作(算術邏輯運算及暫存器間轉移)。

第二運算部38，係與第一運算部37同樣，於內部具有一對於二個之32位元資料進行算術邏輯運算之ALU及一進行乘法之乘法器，並在藉助第二運算解碼器25之控制下實行二種操作(算術邏輯運算及暫存器間轉移)。

運算元存取部40，係在藉助第二運算解碼器25之控制下，在暫存器群34與未圖示之外部記憶體間進行運算元轉移的電路；其在內部具有用來保持其運算元和運算元地址之緩衝器。具體言之，例如，若在指令暫存器10之p3.1欄16存放有操作碼“ld”時，存放在外部記憶體之1字資料則經過運算元存取部40而被負在暫存器群34之任一暫存器；又，若存放有操作碼“st”時，暫存器群34中之任一暫存器之存儲值則被存儲在外部記憶體。

上述pc部33，暫存器群34，第一運算部37，第二運算部38及運算元存取部40，係如圖所示，由內部匯流排(L1匯流排、R1匯流排、L2匯流排、R2匯流排、D1匯流排、D2匯流排)所連接著。又，L1匯流排及R2匯流排，係分別連接至第一運算部37之兩個輸入口；L2匯流排及R2匯流

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明 (17 )

排係分別連接至第二運算部38之兩個輸入口；D1匯流排及D2匯流排，係分別連接至第一運算部37及第二運算部38之輸出口。

(常數暫存器36及其周邊電路之詳細構成)

其次，就常數暫存器36及其周邊電路，詳細說明之。

第5圖為一方塊圖，係顯示常數暫存器36及其周邊電路之詳細構成與連接關係。又，圖中之固定值(“0”)27，係意味著表示常數“0”之四條信號線的固定配線。

常數暫存器控制部32，係由五個3輸入選擇器32a~32e及三個之4輸入選擇器32f~32h所構成；常數暫存器36，則由八個4位元寬度暫存器36a~36h所構成。又，各輸入輸出資料為並行4位元。

常數暫存器控制部32，係按照來自格式解碼器21及指令解碼器22之控制信號，控制上述八個輸入選擇器32a~32h，藉此利用以下所示之四種存儲方法之任一方法，使保持在指令暫存器10之常數或零存儲於常數暫存器36。

第6圖(a)~第6圖(d)為說明圖，係用以說明其四種之存儲方法。

第6圖(a)係顯示藉由格式解碼器21解碼為p0.0欄11中所保持之值為“0”或“1”時之存儲方法。這是，相當於僅將存放在p1.0欄12之4位元常數存儲於常數暫存器36之情況。具體言之，使常數暫存器36所保持之資料以4位之單元移位於上位之同時，將指令暫存器10之p1.0欄12中所保持之4位元常數存儲在常數暫存器36之最下位的4位元暫存器

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明 (18 )

36h。

第6圖(b)，係顯示藉由格式解碼器21解碼為p0.0欄11中所保持之值為“4”時之存儲方法。這是，相當於將存放在p1.0欄12~p2.2欄15之16位元常數存儲於常數暫存器36之情況。具體言之，使常數暫存器36之下位16位元36e~36h中所保持之資料移位於上位16位元36a~36d之同時，將指令暫存器10之p1.0欄12~p2.2欄15中所保持之16位元常數，存儲於常數暫存器36之下位16位元36e~36h。

第6圖(c)，係顯示藉由格式解碼器21解碼為p0.0欄11中保持之值為“5”時之存儲方法。這是相當於，將存放在p1.0欄12及p3.0欄16~p3.2欄18之16位元常數，存儲在常數暫存器36之情況。具體言之，使常數暫存器36之下位16位元36e~36h中所保持之資料移位至上位16位元36a~36d之同時，將指令暫存器10之p1.0欄12及p3.0欄16~p3.2欄18中所保持之16位元常數，存儲於常數暫存器36之下位16位元36e~36h。

第6圖(d)，係顯示藉格式解碼器21來解碼為p0.0欄11中保持之值為“2”、“3”及“A”中之任一時或藉指令解碼器22來解碼為在p2.1欄14，p2.2欄15、p3.2欄17及p3.3欄18之至少一個指定常數暫存器(R15)時之存儲方法。這是相當於，待藉由存放在P1.0欄12之分支操作，第一運算欄59及第二運算欄60之至少一個操作使用(讀出)常數暫存器36之存儲值後，將全零存儲於常數暫存物36(清除常數暫存器36)之情況。具體言之，當常數暫存器36之存儲值由PC部33

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明 ( 19 )

，第一運算部37及第二運算部38之任一所讀出後，緊接著將32位元之常數“0”存儲於常數暫存器36。

又，在常數暫存器36之使用後預先清除之目的係在於，保證常數暫存器36中經常存儲有零擴充之值。在此，所謂零擴充，係指某數值之有效位數未達一定之位數時，以零彌補比其有效位數更上位之所有位數之處理而言。

如上所述，若指令暫存器10之P0.0欄11之值為“0”、“1”、“4”、“5”時，一面使已存儲在常數暫存器36之常數移位一面將新常數存儲在常數暫存器36。又，常數暫存器36，其存儲值一旦被讀出使用的話，其內容即被刪除。如此進行之後，常數暫存器36可記錄一個接一個地被存儲之常數，直到其內容被讀出為止。

(pc部33之詳細構成)

其次，說明pc部33之詳細構成。

第7圖，係顯示pc部33之詳細構成的方塊圖。

PC部33係包含：用來表示常數“4”之固定性配線，即固定值(“4”)33a；2輸入選擇器33b；加法器33c；用以保持下一個應解碼實行之指令的地址之pc33d；及4輸入選擇器33e。

此pc部33，係按照來自解碼20之控制信號使選擇器33b、33e動作，藉此將以下三種值之任一作為有效地址，從選擇器33e輸出至指令取出部39。

(1)於pc 33d之內容加算“4”之值

這是相當於不分支而依次實行之情況，即，相當於已

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明(20)

解碼實行之指令中未指定分支操作之情況。又，之所以加算“4”，是因為一個指令之長度為4字節(32位元)之故。

(2)於pc 33d之內容加算常數暫存器36之內容的值

這是相當於，若將常數暫存器36之內容作為相對地址分支時，例如，由分支解碼器23解碼為藉由p1.0欄12指定有藉助相對地址之分支的情況。

(3)常數暫存器36之內容

這是相當於，若將常數暫存器之內容作為絕對地址分支支持，例如，由分支解碼器23解碼為藉由p1.0欄12指定有藉助絕對地址之分支的情況。

如上所述，此pc部33，由於備有專用之加法器33c，成為直接使用常數暫存器36所保持之值，所以可與第一運算部37和第二運算部38之運算獨立並行，進行將常數暫存器36之存儲值作為絕對地址或相對地址支之實行控制。

(處理機之動作)

其次，就解碼實行了具體指令時之本處理機之動作，說明之。

第8圖為一流程圖，係顯示處理32位元常數之一例。

於本圖中顯示：求出暫存器R0與R1之存儲值差(步驟S80)；將暫存器R2之存儲值乘積於其結果(步驟S80)；將暫存器R2之存儲值乘積於其結果(步驟S81)，進而將32位元之常數“Ox87654321”(16進制數之“87654321”)加算於其結果(步驟S82,S83)；最後，將暫存器R3預先予以清除(步驟S84)等處理。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (21 )

第9圖，係顯示由本處理機來進行第8圖所示之處理內容的程式例。此程式，係由三個指令71~73所構成。1行相當於一個指令，各指令之內容則由各欄中所存放之助憶來表達。又，常數皆用16進制數來表達。又，“fmt n(n=0~F)”係表示格式碼“n”；“Rn(n=0~15)”係表示暫存器群34中之一個暫存器。又，“R15”係意味著常數暫存器36。

第10圖為一定時圖，係顯示實行第9圖所示之程式時之本處理機之動作。於本圖中，顯示有：時鐘週期；泛用暫存器R0~R3及常數暫存器R15之內容；在四個匯流排L1、R1、L2、R2之資料。

使用上述第9圖及第10圖，來說明每各指令71~73之本處理機的動作。

(指令71)

當將指令71負載於指令暫存器10時，本處理機則進行第10圖之時鐘週斯t0~t1所示之動作。由於格式解碼器21，從指令暫存器10之p0.0欄11之值(“fmt4”)，判斷為此指令係格式碼“4”之2操作指令，進而控制實行部30以便可並行實行以下兩個操作。

(1)第一操作

由常數暫存器控制部32控制內部之八個選擇器32a~32h，藉此使用第6圖(b)所示之存儲方法，將p1.0欄12~p2.2欄15中所保持之16位元常數(0×8765)存儲於常數暫存器36之下位16位元。其結果，如第10圖之時鐘週期t0~t1所示，常數暫存器R15之內容，從到那時為止之“0×00000000”

經濟部中央標準局員工消費合作社印製

五、發明說明 ( 22 )

變化為“0×00008765”。

(2) 第二操作

由第二運算部 38，將泛用暫存器 R0 之內容 (“0×33333333”)及泛用暫存器 R1 之內容 (“0×22222222”)作為輸入，在此進行減法後，將其結果再存儲於泛用暫存器 R0。其結果，如第 10 圖之時鐘週期 t0～t1 所示，泛用暫存器 R0 之內容，從到那時為止之“0×33333333”變化為“0×11111111”。

(指令 72)

其次，當將指令 72 負載於指令暫存器 10 時，本處理機則進行第 10 圖之時鐘週期 t0～t1 所示之動作。由格式解碼器 21，與上述指令 71 之情況同樣，從指令暫存器 10 之 P0.0 欄 11 之值 (“fmt4”)，判斷為此指令係格式碼 “4” 之 2 操作指令，進而控制實行部 30，以便可並行實行以下兩個操作。

(1) 第一操作

由常數暫存器控制部 32，控制內部之八個選擇器 32a～32h，藉此使用第 6 圖 (b) 所示之存儲方法，將 p1.0 欄 12～p2.2 欄 15 中所保持之 16 位元常數 (0×4321) 存儲於常數暫存器 36 之下位 16 位元。其結果，如第 10 圖之時鐘週期 t1～t2 所示，常數暫存器 R15 之內容，從到那時為止之“0×00008765”變化為“0×87654321”。

(2) 第二操作

由第二運算部 38，將泛用暫存器 R2 之內容 (“0×00000004”)及泛用暫存器 R0 之內容 (“0×11111111”)作為輸

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

經濟部中央標準局員工消費合作社印製



五、發明說明 ( 23 )

入，在此進行乘法後，將其結果再存儲於泛用暫存器R0。其結果，如第10圖之時鐘週期t1~t2所示，泛用暫存器R0之內容，從到那時為止之“0×11111111”變化為“0×44444444”。

(指令73)

其次，當將指令73負載於指令暫存器10時，本處理則進行第10圖之時鐘週期t2~t3所示之動作。由格式解碼器21，從指令暫存器10之P0.0欄11之值(“fmt7”)，判斷為此指令係格式碼“7”之2操作指令，進而控制實行部30，以便可並行實行以下兩個操作。

(1)第一操作

由第二運算部37，將泛用暫存器R15之內容(“0×87654321”)值及泛用暫存器R0之內容(“0×44444444”)作為輸入，待加算該等之後，將其結果再存儲於泛用暫存器R0。其結果，一如第10圖之時鐘週期t2~t3所示，泛用暫存器R0之內容，從到那時為止之“0×44444444”變化為“0×CBA98765”，常數暫存器R15之內容則被清除。

(2)第二操作

由第二運算部38，將分割存放在p1.0欄12及p3.1欄17之8位元常數(“0×00”)作為輸入，使其照原樣通過，存儲於泛用暫存器R3。其結果，一如第10圖之時鐘週期t2~t3所示，泛用暫存器R3之內容，從到那時為止之“0×FEDCBA98”變化為“0×00000000”。

如此進行之後，於本處理機，32位元之常數“0×

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

經濟部中央標準局員工消費合作社印製

五、發明說明(24)

87654321”於是被分割配置在二個指令71、72，一面依次被移位至常數暫存器36一面被被存儲後，被第3號之指令73所利用。如此進行之後，由三個之指令71~73來實行第8圖之流程圖所示之處理。

其次，使用用來處理16位元常數的另一程式，來說明本處理機之動作。

第11圖，係顯示處理16位元常數之程式例，此程式，係由五個之指令74~78所構成。

每各指令74~78之本處理機之動作係如下。

(指令74)

當將指令74負載於指令暫存器10時，格式解碼器21，則從指令暫存器10之P0.0欄11之值(“fmt0”)，判斷為此指令係格式碼“0”之3操作指令，進而控制實行部30，以便可並行實行以下三個操作。

(1)第一操作

由常數暫存器控制部32控制內部之八個選擇器32a~32h，藉此使用第6圖(a)所示之存儲方法，將p1.0欄12中所保持之4位元常數(“0×8”)存儲於常數暫存器36之下位4位元暫存器36h。

(2)第二操作

由第一運算部37，將泛用暫存器R6之值作為輸入，使其照原樣通過後，存儲於泛用暫存器R1。

(3)第三操作

同樣，由第二運算部38，將泛用暫存器R7之值作為

## 五、發明說明 (25 )

輸入使其照原樣通過後，存儲於泛用暫存器R2。

(指令95)

同樣，將指令75負載於指令暫存器10時，格式解碼器21，則斷斷為指令係格式碼“0”之3操作指令，進而控制實行30，以便可並行實行以下三個操作。

(1)第一操作

由常數暫存器控制部32，控制內部之八個選擇器32a～32h，藉此使用第6圖(b)所示之存儲方法，將p1.0欄12中所保持之4位元常數(“0×7”)存儲於常數暫存器36之最下位4位元暫存器36h。結果，常數暫存器36之下位8位元，置位有常數“0×87”。

(2)第二操作

由第一運算部37，將泛用暫存器R6之值作為輸入，使其照原樣通過後，存儲於泛用暫存器R1。

(3)第三操作

同樣，由第二運算部38，將泛用暫存器R0及R2之值作為輸入，待在此加算之後，將其結再存儲於泛用暫存器R2。

(指令76，指令77)

同樣地進行後，實行指令76、77，藉此將常數“0×8765”置位常數暫存器36之下位16位元。

(指令78)

當將指令78負載於指令暫存器10時，本處理機，則進行與第9圖所示之指令73之情況相同之動作。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明(26)

按照上述進行之後，在本處理機方面，16位元常數“ $0 \times 8765$ ”於是被分割配置在四個指令74~77全體，一面依次被移位至常數暫存器36一面被存後，被第5號之指令78所利用。

### (與通常處理機之比較)

其次，說明由通常處理機來進行與上述第9圖及第11圖所示之程式同一內容之處理，並與本發明之處理機相比較。又，在此所稱之通常處理機，係指一如本發明處理機之常數暫存器36和常數暫存器控制部32一般，只不具備用以記錄存儲所分割之常的手段之處理機而言，並假定其係用來實行32位元定長之指令者。

第12圖(a)，係顯示由通常之處理機來實行的指令之欄定義；第12圖(b)，係顯示其指令之格式。就是，假定通常之處理機，係用來實行三種之2操作指令101~103及一種之1操作指令104者。

第13圖，係由通常之處理機來進行與第9圖所示之程式同一內容之處理，即，第8圖之流程圖所示之處理的程式例。

從第13圖與第9圖之比較可知，通常處理機用之程式，係此本發明之處理機用之程式多出二個指令。

又，指令105、106中所以含有nop碼，是因為指令106使用指令105之運算結果，而無法使此等指令並行地實行之故。又，其所以將一個之常數“ $0 \times 87654321$ ”分割成上位16位元及下位16位元之兩個後置位常數暫存器Ri(指令

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明 (27 )

107,108)，是因為無法同法配置置位指令操作碼及32位元常數兩方之故。

同樣，第14圖係由通常之處理機來進行與第11圖所示之程式同一內容之處理的程式例。

由第14圖與11圖之比較可知，通常處理機用之程式，係比本發明之處理機用者多出一個比例。

如上所述，由本發明之處理機所實行之指令，具有一種儘管為32位元等之較短字長，仍可同時指定最大三個操作之高碼效率的欄構成。

而且，若依本發明之處理機，儘管將16位元或32位元之常數分割配置在多數之指令全體，它們仍可藉著記錄存儲於常數暫存器36而復原於原常數，供給分支和算術運算等之操作使用。就是，即使在指令中產生的小領域，也可分割常數來預先彌補，所以比讓通常之處理機實行之場合，更可縮小程序之碼尺寸。

(變形例)

第15圖(a)~(d)，係顯示本發明變形例之VLIW處理機之指令格式。於此等圖中縱線之最小間隔係表示1位元長，“fmt”則表示格式化欄。

第15圖(a)所示之指令，係由5位元長之格式化欄，7位元長之作業欄，及二個10位元長之作業欄所構成。第15圖(b)所示之指令，係由2位元長之格式化欄，4位元長之作業欄，及二個13位元長之作業欄所構成，第15圖(c)所示之指令，係由3位元長之格式碼、3位元長之作業欄，及

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明(28)

二個13位元長之作業欄所構成。第15圖(d)所示之指令，係由4位元長之格式化欄、2位元長之作業欄，及二個13位元長之作業欄所構成。

這些四種之指令，係在以下之方面，與第2圖(a)所示之上述實施形態中之指令50共通。就是：(i)為32位元定長；(ii)含有一個格式化欄及三個操作欄；(iii)它們三個之作業欄之構成並非均勻，即，二個操作碼雖為同一之欄構成，但其他一個卻為短欄構成。

因此，這些四種之指令，係與上述實施形態中之指令50同樣，具有以下之特徵，就是：

(i)具有一種儘管為較短之字長但仍可同時指定最大三個之操作的欄構成。

(ii)具有短尺寸之指令，例如，適於配置分支指令(例如，連二個之運算元也不需要的分支指令)之短尺寸作業欄，所以指令之碼效率頗高。

(iii)具有用來指示「使分割常數配置於一需要配置NOP指令之作業欄事宜」之指示用格式化欄，因此即使為同一內容之程式，也可支援碼尺寸之縮小化。

一方面，上述四種之指令，係異於上述實施形態中之指令50，具有以下之特徵。於是，在第15圖(a)所示之指令因大於格式化欄之位數而可定義更多之指令格式方面，及，可在三個之作業欄分別存放至少一個之運算元方面，勝過上述實施形態之指令50。又，第15圖(b)~15圖(d)所示之指令，係因二個之操作碼(“op2”、“op3”)之位數較大

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明(29)

，而可定義更多種類之操作方面，勝過上述指令50。

第16圖為一方塊圖，係顯示實行第15圖(a)所示之指令的，關於本發明變形例之VLIW處理機之構成。從與上述實施形態中之第4圖所示之方塊圖比較可知，其本構成相同。但，指令暫存器10，110與指令解碼器20，120之連接關係卻相異。如此，用以實行第15圖(a)~(d)所示之變形例中之指令的VLIW處理機，可藉著變更上述實施形態之VLIW處理機之一部分而輕易地實現。

以上，雖根據實施形態及變形例，說明有關本發明之處理機，但不用說本發明並不限定於此等實施形態及變形例，即

(1)依照上述實施形態及變形例，其指令為32位元長，具有可指定最大三個之操作的構造，但本發明並不限定於此等數值。

例如，於第2圖(a)所示之指令50，附加由一個之4位元長之操作碼及一個之4位元長之操作碼之組所成之8位元長所成之作業欄，藉此也可作成合計40位元長之指令。藉此，可定義一種儘管為40位元之較短字長之命令但仍可使最大四個之操作同時實行的高碼效率之指令。

(2)又，依照上述實施形態之指令50，其使用暗默性之運算元(常數暫存器36之存儲值)雖只是一處(p1.0欄52)，但並不限定於此，二處以上也可。藉者定義新的指令來應付即可。

(3)又，依照上述之實施形態，其雖例示了處理數值常

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明(30)

數之例，但不用說文字常數也可。這是因為，即使為分割配在多數指令全體之文字常數，也可藉對於常數暫存器36之多數次之存儲，復原為長位數之原文字常數之故。

(4)又，依照上述之實施形態，從第2圖(b)～第2圖(d)之指令格式可知，可藉一個指令存儲於常數暫存器36之常數的位數雖為4位元及16位元中之任一，但本發明不限定於此位數。例如，定義一用來存儲12位元和28位元之常數於常數暫存器36之指令格式也可。為此，變更常數暫存器36之周邊電路之連接關係就可。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂



五、發明說明(31 )

元件標號對照

|                 |               |
|-----------------|---------------|
| 10,110...指令暫存器  | 36...常數暫存器R15 |
| 20,120...解碼部    | 37...第一運算部    |
| 30,130...實行部    | 38...第二運算部    |
| 21,121...格式解碼器  | 39...指令取出部    |
| 22...指令解碼器      | 40...運算元存取部   |
| 23,123...分支解碼器  | 50...指令       |
| 24,124...第一運算碼器 | 51,11...p0.0欄 |
| 25,125...第二運算碼器 | 52,12...p1.0欄 |
| 32...常數暫存器控制部   | 53,13...p2.0欄 |
| 33...PC部        | 54,14...p2.1欄 |
| 33a...固定值(“4”)  | 55,15...p2.2欄 |
| 33b...2輸入選擇器    | 56,16...p3.0欄 |
| 33c...加法器       | 57,17...p3.1欄 |
| 33d...pc        | 58,18...p3.2欄 |
| 33e...選擇器       | 59...第一運算欄    |
| 34...暫存器群       | 60...第二運算欄    |
| 35...泛用暫器R0~R14 |               |

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

88年(2月)修正  
第九

A5  
B5

四、中文發明摘要(發明之名稱： 用以執行高碼效率之VLIW的處理機 )

32位元長之指令50，係由4位元長之格式化欄51，4位元長之作業欄52及二個12位元長之作業欄59、60所構成。在4位元長之作業欄52，只存放一用以指定分支操作之操作碼“CC”，或，置位於常數暫存器36之常數“const”；其中，該分支操作係將暗默地指定之常數暫存器36之存儲值作為支對方地址。至於存放那一個，則由存放在格式化欄51之格式碼來特定。

英文發明摘要(發明之名稱：PROCESSOR FOR EXECUTING HIGHLY EFFICIENT VLIW )

A 32-bit instruction 50 is composed of a 4-bit format field 51, a 4-bit operation field 52, and two 12-bit operation fields 59 and 60. The 4-bit operation field 52 can only include (1) an operation code "cc" that indicates a branch operation which uses a stored value of the implicitly indicated constant register 36 as the branch address, or (2) a constant "const". The content of the 4-bit operation field 52 is specified by a format code provided in the format field 51.

(請先閱讀背面之注意事項再填寫本頁各欄)

訂

錄

經濟部中央標準局員工消費合作社印製

A8  
B8  
C8  
D8

## 六、申請專利範圍

### 第87109487號申請案申請專利範圍修正本

日期：88年12月3日

1. 一種VLIW處理機，係用以解碼實行含有二個以上之作業欄的指令者，其第一前述作業欄中僅存放一個用來指定操作種類之操作碼，而第二前述作業欄中存放有一個操作碼與一個以上之運算元(用以指定成為操作對象之資料)的組；且，包含有：

讀取裝置，係用以由外部記憶體讀取指令；

第一解碼手段，係用以解碼所讀取之前述指令中之第一作業欄中所存放之操作碼；

第一實行手段，係根據藉助前述第一解碼手段之解碼結果，實行由前述操作碼所指定之操作；

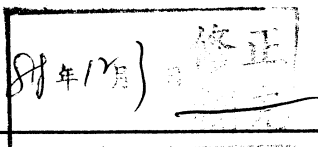
第二解碼手段，係用以藉著前述第1解碼手段解讀及獨立且並行地解碼所讀取之前述指令中之第二作業欄中所存放之操作碼；及

第二實行手段，係根據藉助前述第二解碼手段之解碼結果，對於由前述運算元所指定之資料，藉著前述第1解碼手段解讀及獨立且並行地實行由前述操作碼所指定之操作。

2. 依據申請專利範圍第1項所述之VLIW處理機，其特徵為：

前述第一作業欄之位數，係小於前述第二作業欄之位數。

3. 依據申請專利範圍第2項所述之VLIW處理機，其特徵



## 六、申請專利範圍

為：

前述第一作業欄中所存放之操作碼之位數，係等於前述第二作業欄中所存放的操作碼之位數。

4. 依據申請專利範圍第3項所述之VLIW處理機，其特徵為：

含在前述指令之作業欄為三個；

前述第三作業欄，係與前述第二作業欄相同之位數，並存放有一個操作碼與一個以上之運算元的組。

前述VLIW處理機，更包含：

第三解碼手段，係於所讀取之前述指令中之第三作業欄存放了操作碼時，藉著前述第1解碼手段解讀及獨立且並行地解碼前述操作碼；及

第三實行手段，係根據藉助前述第三解碼手段之解碼結果，對於由前述運算元所指定之資料，藉著前述第1解碼手段解讀及獨立且並行地實行由前述操作碼所指定之操作。

5. 依據申請專利範圍第4項所述之VLIW處理機，其特徵為：

前述第一實行手段，係用以控制含有應實行指令之程式的流程。

6. 依據申請專利範圍第5項所述之VLIW處理機，其特徵為：

前述第二實行手段，係用以控制由存放在前述第二作業欄之運算元所指定的資料之轉移；

28.12}

## 六、申請專利範圍

前述第三實行手段，係用以實行由存放在第三作業欄之運算元所指定的資料之算術邏輯運算。

7. 一種VLIW處理機，係用以解碼實行含有二個以上作業欄者，其第一前述作業欄中僅存放一個用來指定操作種之操作碼或僅存放常數，而第二前述作業欄中則只存放一個操作碼與一個以上之運算元(用以指定操作對象之資料)的組或常數；且，包含有：

讀取裝置，係用以由外部記憶體讀取指令；

第一解碼手段，係於所讀取之前述指令中之第一作業欄中存放有操作碼時解碼前述操作碼；

第一實行手段，係根據藉助前述第一解碼手段之解碼結果，實行由前述操作碼所指定之操作；

第二解碼手段，係於所讀取之前述指令中之第二作業欄中所存放有操作碼時藉著前述第1解碼手段解讀及獨立且並行地解碼前述操作碼；及

第二實行手段，係根據藉助前述第二解碼手段之解碼結果，對於由前述運算元所指定之資料，藉著前述第1解碼手段解讀及獨立且並行地實行由前述操作碼所指定之操作。

8. 依據申請專利範圍第7項所述之VLIW處理機，其特徵為：

前述指令更包含一存放有格式碼之格式化欄，其係用來指定前述第一及第二作業欄各個是否只存放常數；

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

88年12月 } 修正  
A8  
B8  
C8  
D8

## 六、申請專利範圍

前述VLIW處理機更包含：

格式解碼手段，係用以解碼前述格式碼；及

常數記憶手段，係藉由前述格式解碼手段解碼為  
在前述第一及第二之至少一個作業欄只存放有常數時  
，將其常數取出並予以記憶。

9. 依據申請專利範圍第8項所述之VLIW處理機，其特徵  
為：

前述第一作業欄之位數，係小於前述第二作業欄  
之位數。

10. 依據申請專利範圍第9項所述之VLIW處理機，其特徵  
為：

前述第一作業欄中所存放之操作碼之位數，係等  
於前述第二作業中所存放的操作碼之位數。

11. 依據申請專利範圍第10項所述之VLIW處理機，其特  
徵為：

含有前述指令之作業欄為三個；

前述第三作業欄，係與前述第二作業欄相同之位  
數，並存放有一個操作碼與一個以上之運算元的組；

前述VLIW處理機，更包含：

第三解碼手段，係於所讀取之前述指令中之第三  
作業欄存放了操作碼時，藉著前述第1解碼手段解讀及  
獨立且並行地解碼前述操作碼；及

第三實行手段，係根據藉助前述第三解碼手段之  
解碼結果，對於由前述運算元所指定之資料，藉著前

(請先閱讀背面之注意事項再填寫本頁)

訂

線

88 (2) }

A8  
B8  
C8  
D8

## 六、申請專利範圍

述第1解碼手段解讀及獨立且並行地實行由前述操作碼所指定之操作。

12. 依據申請專利範圍第11項所述之VLIW處理機，其特徵為：

前述第一實行手段，係用於控制含有應實行指令之程式的流程。

13. 依據申請專利範圍第12項所述之VLIW處理機，其特徵為：

前述第二實行手段，係用以控制由存放在前述第二作業欄之運算元所指定的資料之轉移；

前述第三實行手段，係用以實行由存放在第三作業欄之運算元所指定的資料之算術邏輯運算。

14. 依據申請專利範圍第13項所述之VLIW處理機，其特徵為：

前述格式化欄之位數，前述第一作業欄之位數、存放在前述第二及第三作業欄之操作碼之位數、存放在前述第二及第三作業欄之各運算元的位數，皆為n位元。

15. 依據申請專利範圍第14項所述之VLIW處理機，其特徵為：

前述指令為32位元長；

前述n為4。

16. 一種VLIW處理機，係用以解碼實行含有三個以上作業欄的指令者，其第一前述作業欄中存放有一用來控

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

88 12 }

## 六、申請專利範圍

制含有應實行指定之程式的流程之操作碼，第二前述作業欄中存放有一用來控制資料轉移之操作碼，而第三前述作業欄中，則存放有一用來控制資料之算術邏輯運算的操作碼；且，包含有：

讀取裝置，係用以由外部記憶體讀取指令；

第一解碼手段，係用以解碼所讀取之前述指令中之第一作業欄中所存放之操作碼；

第一實行手段，係根據藉助前述第一解碼手段之解碼結果，實行由前述操作碼所指定之應實行指令的流程之控制；

第二解碼手段，係用以藉著前述第1解碼手段解讀及獨立且並行地解碼所讀取之前述指令中之第二作業欄中所存放的操作碼；

第二實行手段，係根據藉助前述第二解碼手段之解碼結果，藉著前述第1解碼手段解讀及獨立且並行地實行由前述操作碼所指定之資料轉移的控制。

第三解碼手段，係用以解碼所讀取之前述指令中之第三作業欄中所存放的操作碼；及

第三實行手段，係根據藉助前述第三解碼手段之解碼結果，藉著前述第1解碼手段解讀及獨立且並行地實行由前述操作碼所指定之算術邏輯運算。

17. 依據申請專利範圍第16項所述之VLIW處理機，其特徵為：

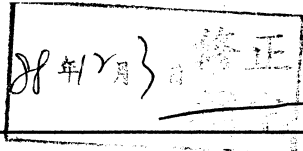
前述第一作業欄之位數，係小於前述第二作業欄

(請先閱讀背面之注意事項再填寫本頁)

訂

線



A8  
B8  
C8  
D8

## 六、申請專利範圍

之位數。

18. 依據申請專利範圍第17項所述之VLIW處理機，其特徵為：

前述第一、第二及第三作業欄中所存放之各操作碼之位數，係相等。

19. 依據申請專利範圍第17項所述之VLIW處理機，其特徵為：

前述第二作業欄之位數，係與前述第三作業欄之位數相等。

20. 依據申請專利範圍第16項所述之VLIW處理機，其特徵為：

前述指令為32位長。

21. 一種VLIW處理機，係用以解碼實行含有三個以上之作業欄及格式化欄之指令者，其第一前述作業欄中存放有一用來控制含有應實行指令之程式的流程之操作碼或常數，第二前述作業欄中存取有一用來控制資料轉移之操作碼或常數，而第三前述作業欄中，則存放有一用來控制算術邏輯運算之操作碼或常數，其在前述格式化欄中存放有一用來指定前述第一、第二及第三作業欄之各個是否存放有常數之格式碼；且，包含有：

讀取裝置，係用以由外部記憶體讀取指令；

第一解碼手段，係用以解碼所讀取之前述指令中之第一作業欄中所存放之操作碼；

88-123

A8  
B8  
C8  
D8

## 六、申請專利範圍

第一實行手段，係根據藉助前述第一解碼手段之解碼結果，實行由前述操作碼所指定之應實行指令的流程之控制；

第二解碼手段，係用藉著前述第1解碼手段解讀及獨立且並行地解碼所讀取之前述指令中之第二作業欄中所存放的操作碼；

第二實行手段，係根據藉助前述第二解碼手段之解碼結果，藉著前述第1解碼手段解讀及獨立且並行地實行由前述操作碼所指定之資料轉移的控制；

第三解碼手段，係用以藉著前述第1解碼手段解讀及獨立且並行地解碼所讀取之前述指令中之第三作業欄中所存放的操作碼；

第三實行手段，係根據藉助前述第三解碼手段之解碼結果，藉著前述第1解碼手段解讀及獨立且並行地實行由前述操作碼所指定之算術邏輯運算；

格式解碼手段，係用以解碼前述格式碼；及

常數記憶手段，係藉由前述格式解碼手段解碼為前述第一、第二及第三之至少一個之作業欄中存放有常數時，取出其常數並予以記憶之。

22. 依據申請專利範圍第21項所述之VLIW處理機，其特徵為：

前述指令32位元長。

23. 一種VLIW處理機，包含有：

取出手段，係用以取出具有n個作業欄之L位元長

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

88 12 }

A8  
B8  
C8  
D8

## 六、申請專利範圍

之指令；及

N個操作單元，係各對應於所取出的前述指令之各作業欄，並獨立且並行地實行由其對應之作業欄所指定之操作；其中，特徵為：

前述N個之作業欄並不均一，且，前述L無法用前述N除盡。

24. 依據申請專利範圍第23項所述之VLIW處理機，其特徵為：

前述N個作業欄之至少一個，其欄位長異於其他一個。

25. 依據申請專利範圍第24項所述之VLIW處理機，其特徵為：

前述N=3，且，前述L為32。

26. 依據申請專利範圍第23項所述之VLIW處理機，其特徵為：

前述N個作業欄之至少一個，其作業欄中所含有之運算元的個數係異於其他一個。

27. 依據申請專利範圍第26項所述之VLIW處理機，其特徵為：

前述N為3，且，前述N為32。

28. 依據申請專利範圍第23項所述之VLIW處理機，其特徵為：

前述n個作業欄中包含有：僅由操作碼所成之作業欄；及申操作碼及運算元所成之作業欄。

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

## 六、申請專利範圍

29. 依據申請專利範圍第28項所述之VLIW處理機，其特徵為：

前述 $N=3$ ，且，前述 $L$ 為32。

30. 一種VLIW處理機，係用以解讀而實行含有一個格式欄及至少一個作業欄的指令者，前述格式欄內設置格式碼，該處理機具有：

解讀部，藉著解讀前述格式碼欄內之前述格式碼而清楚前述作業欄中的作業的型態，而依據以前述格式碼而清楚之作業的型態而解讀前述作業碼內；及

實行部，依據前述解讀部所形成之解讀結果而實行前述作業欄所表示之作業。

31. 如申請專利範圍第30項之VLIW處理機，其中前述指令具有多數之作業欄，前述格式碼更表示該各個作業欄之型態。

32. 如申請專利範圍第30項之VLIW處理機，其中前述作業之型態係各別在依據前述格式碼之外，亦可依據前述指令中之前述作業欄的位置而特定。

33. 如申請專利範圍第30項之VLIW處理機，其中前述解讀部在前述作業欄包含作業碼的情形下，解讀該作業碼，前述實行部係實行對應經解讀之作業碼之作業。

34. 如申請專利範圍第30項之VLIW處理機，其中前述實行部包含有儲存部，該儲存部藉著前述解讀部而使前述作業之型態在儲存常數之作業的情形下，對預定之暫存器儲存前述作業欄內的常數。

## 六、申請專利範圍

35. 如申請專利範圍第30項之VLIW處理機，其中前述實行部藉著前述解讀部而於前述作業欄內具有作業碼、源暫存器碼及目的地暫存器碼的情形下，使用源暫存器碼及目的地暫存器碼而實行對應經解讀之作業碼之作業。
36. 如申請專利範圍第30項之VLIW處理機，其中前述指令更包含分支欄，前述實行部藉著前述解讀部而使前述作業之型態於分支欄內具有作業碼的情形下，實行對應經解讀之分支作業碼之分支作業。
37. 如申請專利範圍第30項之VLIW處理機，其中前述格式碼係更使前述格式碼以外之欄表示預約的事。
38. 一種記錄媒體，係記錄於VLIW處理機之解讀而實行之VLIW指令，而該VLIW指令包含有：
- (一個)格式欄，係用以設置規定前述作業欄內之作業的型態的格式碼；及
- 至少一個作業欄，係依據前述格式碼所規定之作業的型態而設置前述VLIW處理機所解讀之值。
39. 如申請專利範圍第38項之記錄媒體，其中前述VLIW指令具有多數的作業欄，前述格式碼更表示此等各個作業欄之型態。
40. 如申請專利範圍第39項之記錄媒體，其中前述作業之型態係各別在依據前述格式碼之外，亦可依據前述指令之前述作業欄的位置而特定。
41. 一種記錄媒體，係記錄於VLIW處理機之解讀而實行之VLIW指令，而該VLIW指令包含有：

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

96年7月19日 修正  
補充

A8  
B8  
C8  
D8

87109487

六、申請專利範圍

二個以上的作業欄，於第1前述作業欄設置指定作業種類之一個作業碼，於第2前述作業欄設置指定一個作業碼與作業對象之資料之一個以上的作業組。

42. 如申請專利範圍第41項之記錄媒體，其中前述第1作業欄之格數比前述第2作業欄之格數小。

43. 如申請專利範圍第42項之記錄媒體，其中設置於前述第1作業欄之作業碼的格數與設置於前述第2作業欄之作業碼的格數相同。

44. 一種VLIW處理機之指令解讀實行方法，係用以解讀而實行含有一個格式欄及至少一個作業欄的指令者，前述格式欄內設置格式碼，該指令解讀實行方法具有：

解讀步驟，藉著解讀前述格式碼欄內之前述格式碼而清楚前述作業欄中的作業的型態，而依據以前述格式碼而清楚之作業的型態而解讀前述作業碼內；及

實行步驟，依據前述解讀步驟所形成之解讀結果而實行前述作業欄所表示之作業。

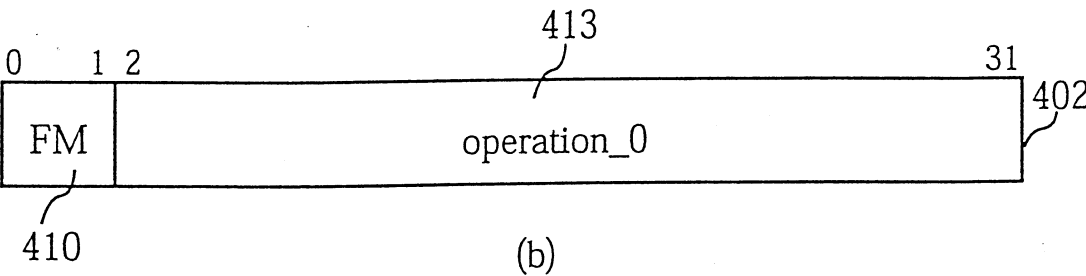
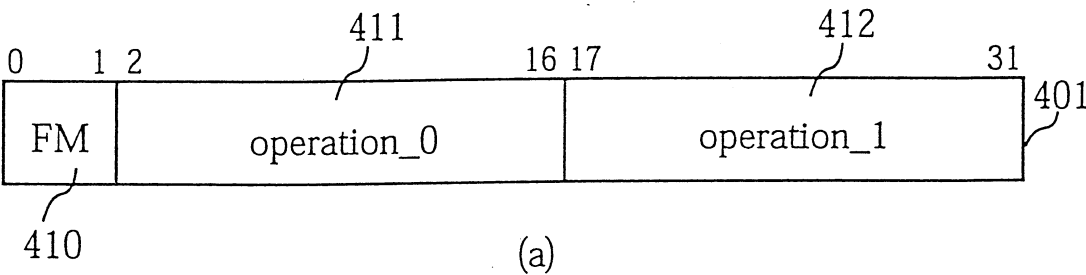
(請先閱讀背面之注意事項再填寫本頁)

裝

訂

87109487

第 1 圖



•



(b)

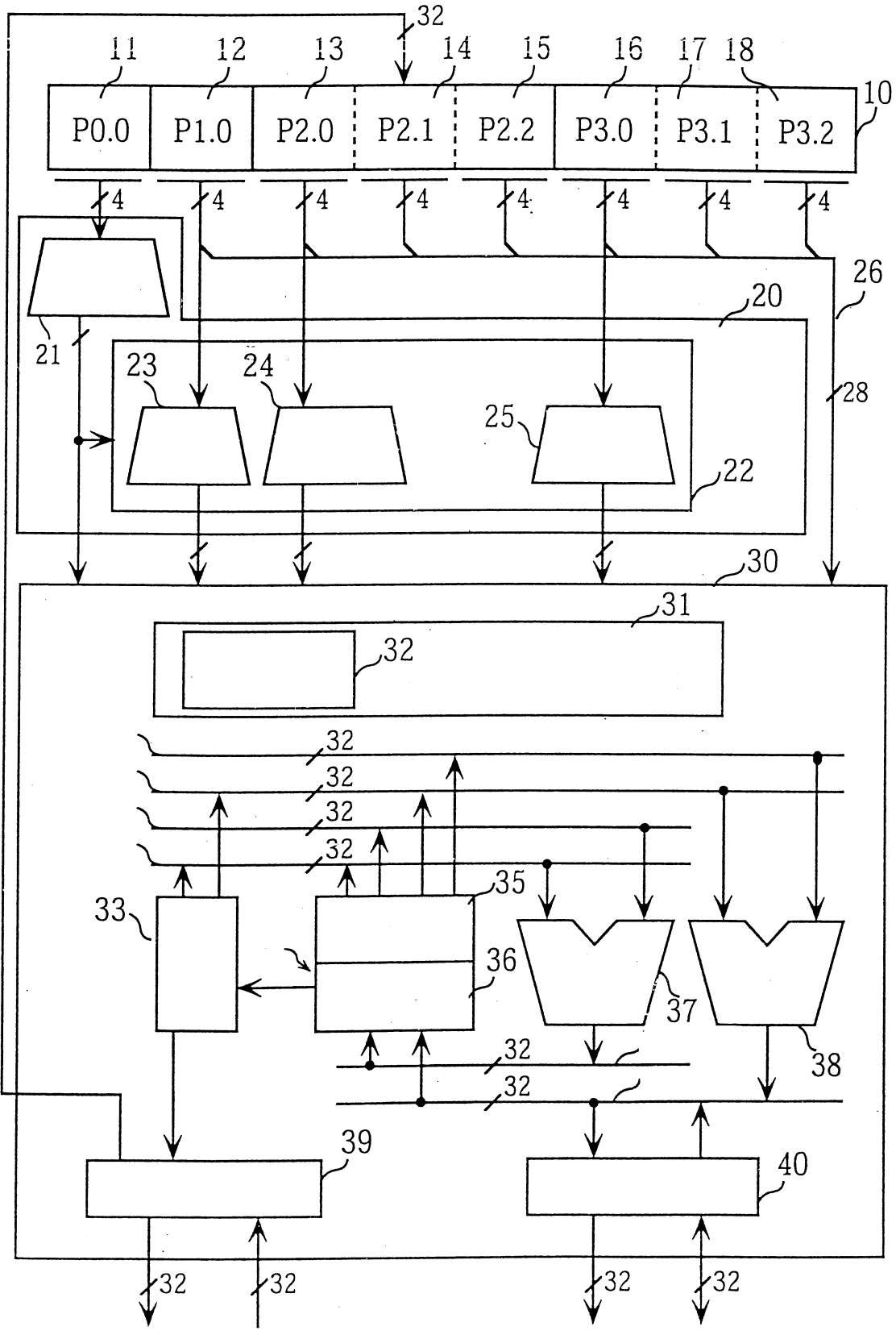
(c)

(d)

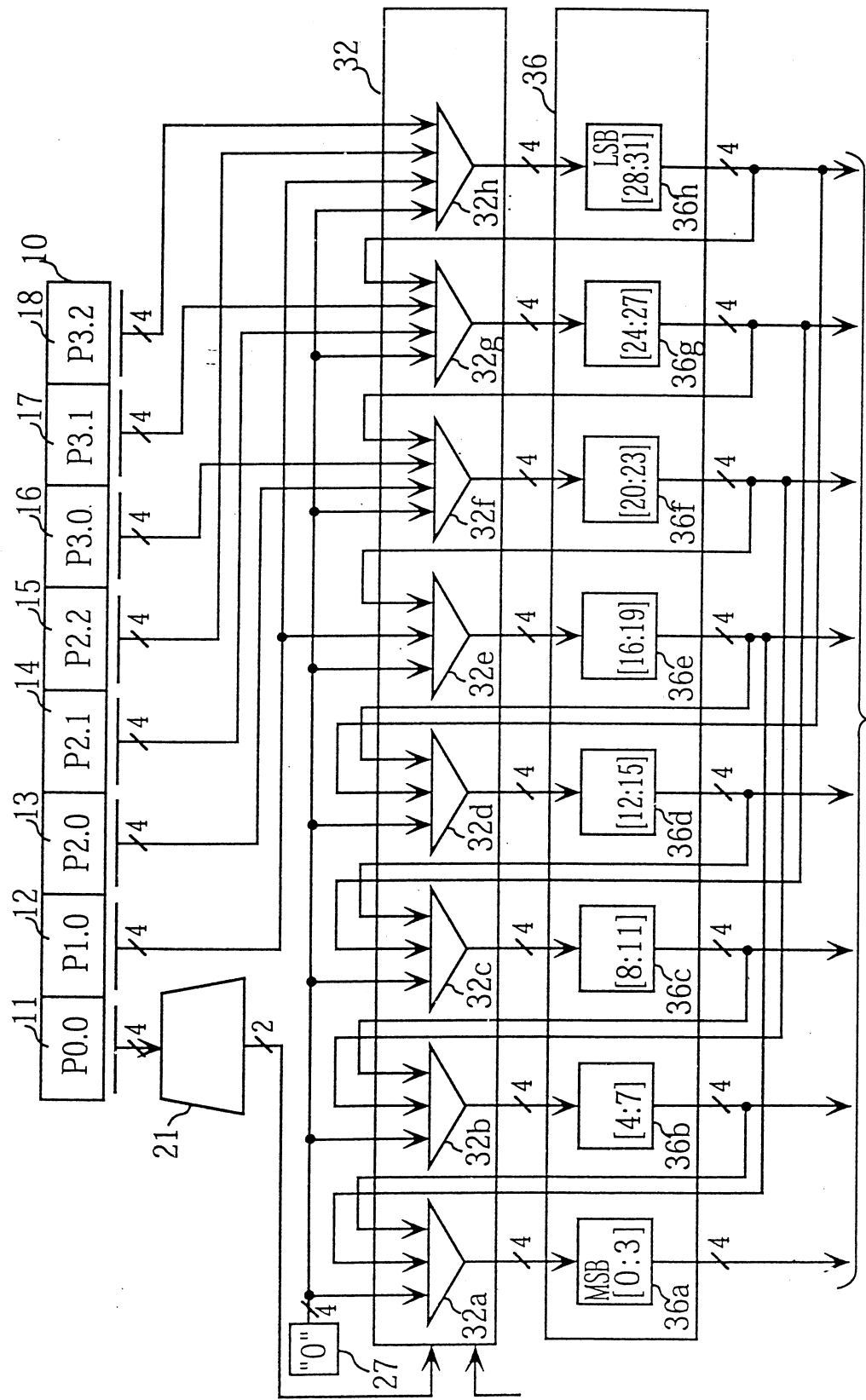


|     |  |                                                                                |
|-----|--|--------------------------------------------------------------------------------|
|     |  |                                                                                |
| cc  |  | eq, eqi, ne, nei, gt, gti, • • •                                               |
| op1 |  | add, sub, mul, and, or, • • •<br>mov, movh, movb                               |
| op2 |  | add, sub, mul, and, or, • • •<br>mov, movh, movb<br>ld, ldh, ldb, st, sth, stb |

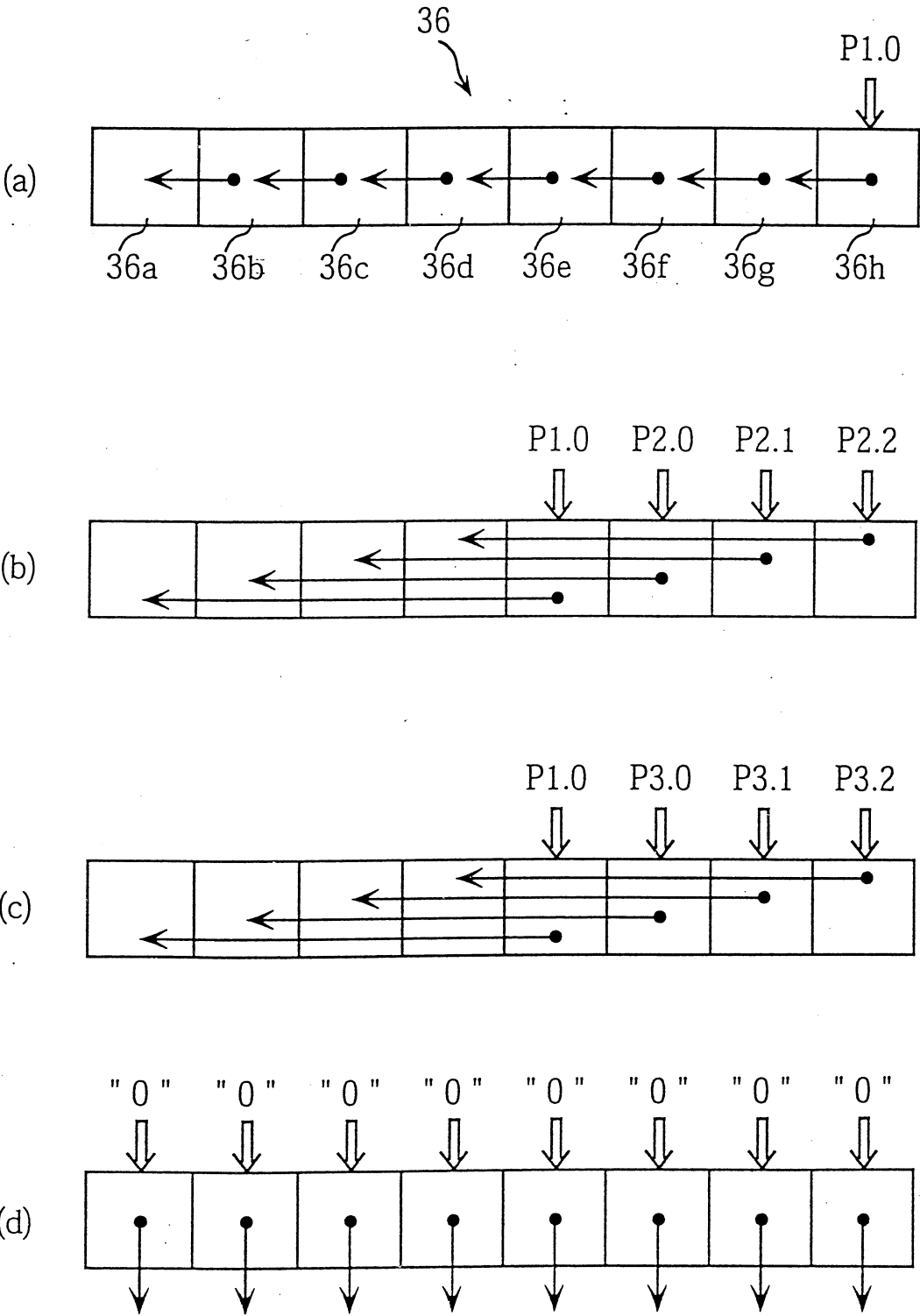
第 4 圖



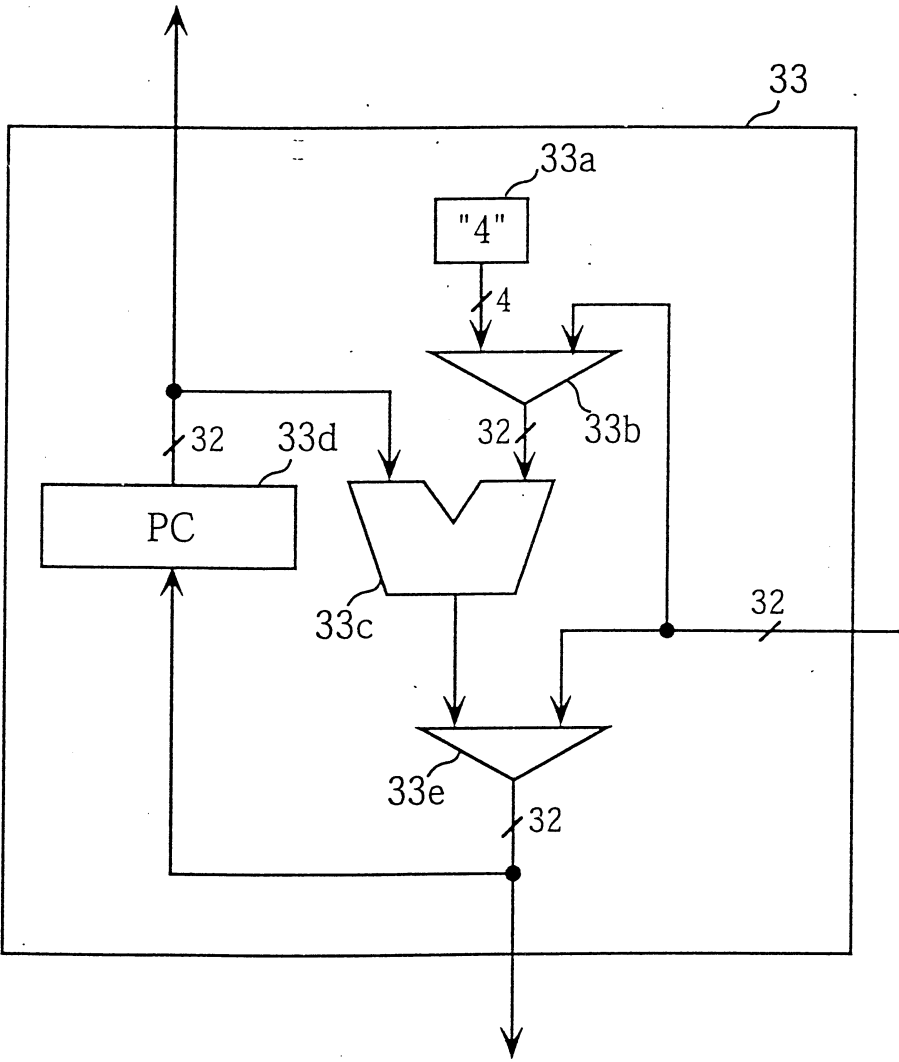
第 5 圖



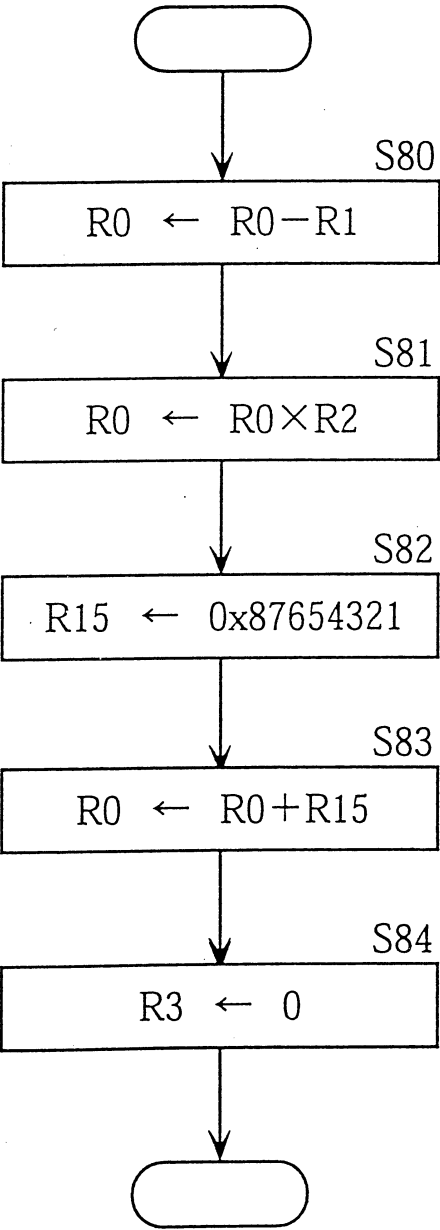
第 6 圖



第 7 圖



第 8 圖



第 9 圖

| P0.0  | P1.0 | P2.0   | P2.1 | P2.2 | P3.0 | P3.1 | P3.2 |
|-------|------|--------|------|------|------|------|------|
| fmt 4 |      | 0x8765 |      |      | Sub  | R1   | R0   |
| fmt 4 |      | 0x4321 |      |      | mul  | R2   | R0   |
| fmt 7 | 0    | add    | R15  | R0   | mov  | 0    | R3   |

71

72

73

第 10 圖

|     | t0       | t1       | t2       | t3       |
|-----|----------|----------|----------|----------|
| R0  | 33333333 | 11111111 | 44444444 | CBA98765 |
| R1  | 22222222 |          |          |          |
| R2  |          | 00000004 |          |          |
| R3  |          |          | FEDCBA98 | 00000000 |
| R15 | 00000000 | 00008765 | 87654321 | 00000000 |
| L1  |          |          | 87654321 |          |
| R1  |          |          | 44444444 |          |
| L2  | 33333333 | 11111111 |          |          |
| R2  | 22222222 | 00000004 | FEDCBA98 |          |



第 11 圖

| P0.0  | P1.0 | P2.0 | P2.1 | P2.2 | P3.0 | P3.1 | P3.2 |
|-------|------|------|------|------|------|------|------|
|       |      |      |      |      |      |      |      |
| fnt 0 | 8    | mov  | R6   | R1   | mov  | R7   | R2   |
| fnt 0 | 7    | add  | R0   | R1   | add  | R0   | R2   |
| fnt 0 | 6    | mul  | R6   | R1   | sub  | R7   | R2   |
| fnt 0 | 5    | mov  | R8   | R4   | mov  | R9   | R5   |
| fnt 7 | 0    | add  | R15  | R0   | mov  | 0    | R3   |

74

75

76

77

78

第 12 圖

|        |  |  |  |        |  |  |  |        |  |  |  |        |  |  |  |        |  |  |  |        |  |  |  |        |  |  |  |        |  |  |  |    |  |  |  |
|--------|--|--|--|--------|--|--|--|--------|--|--|--|--------|--|--|--|--------|--|--|--|--------|--|--|--|--------|--|--|--|--------|--|--|--|----|--|--|--|
| 0      |  |  |  | 3      |  |  |  | 7      |  |  |  | 11     |  |  |  | 15     |  |  |  | 19     |  |  |  | 23     |  |  |  | 27     |  |  |  | 31 |  |  |  |
| [P1.0] |  |  |  | [P1.1] |  |  |  | [P1.2] |  |  |  | [P1.3] |  |  |  | [P2.0] |  |  |  | [P2.1] |  |  |  | [P2.2] |  |  |  | [P2.3] |  |  |  |    |  |  |  |

(a)

|     |     |        |        |        |        |        |     |     |
|-----|-----|--------|--------|--------|--------|--------|-----|-----|
| op1 | op1 | Rs1    | Rd1    | op2    | op2    | Rs2    | Rd2 | 101 |
| op1 | op1 | Rs1    | Rd1    | op2    | op2    | const2 | Rd2 | 102 |
| op1 | op1 | const1 | Rd1    | op2    | op2    | Rs2    | Rd2 | 103 |
| op1 | op1 | —      | const1 | const1 | const1 | const1 | Rd2 | 104 |

(b)

第 13 圖

| P1.0   | P1.1 | P1.2 | P1.3 | P2.0   | P2.1 | P2.2 | P2.3 |
|--------|------|------|------|--------|------|------|------|
| nop    | —    | —    | —    | sub    |      | R1   | R0   |
| nop    | —    | —    | —    | mul    |      | R2   | R0   |
| set hi | —    | —    | —    | 0x8765 |      |      | R15  |
| set lo | —    | —    | —    | 0x4321 |      |      | R15  |
| add    | R15  | R0   |      | mov    |      | 0    | R3   |

105

106

107

108

109

第 14 圖

| P1.0 | P1.1 | P1.2 | P1.3 | P2.0   | P2.1 | P2.2 | P2.3 |
|------|------|------|------|--------|------|------|------|
|      |      |      |      |        |      |      |      |
| mov  |      | R6   | R1   | mov    |      | R7   | R2   |
| add  |      | R0   | R1   | add    |      | R0   | R2   |
| mul  |      | R6   | R1   | sub    |      | R7   | R2   |
| mov  |      | R8   | R4   | mov    |      | R9   | R5   |
| add  |      | —    |      | 0x8765 |      |      | R0   |
| nop  |      | —    | —    | mov    |      | 0    | R3   |

↙110

↙111

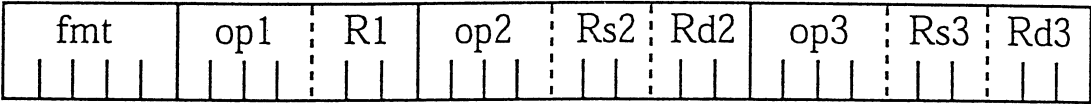
↙112

↙113

↙114

↙115

第 15 圖



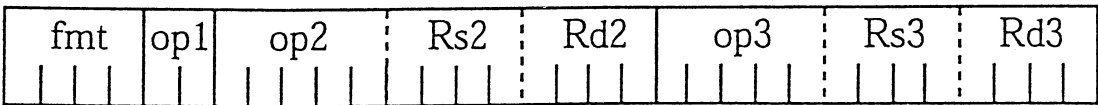
(a)



(b)



(c)



(d)

第 16 圖

