

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号  
特許第6287151号  
(P6287151)

(45) 発行日 平成30年3月7日 (2018.3.7)

(24) 登録日 平成30年2月16日 (2018.2.16)

(51) Int.Cl.

F I

G O 6 F 13/362 (2006.01)

G O 6 F 13/42 (2006.01)

G O 6 F 13/38 (2006.01)

G O 6 F 13/362 5 1 0 A

G O 6 F 13/42 3 4 0 A

G O 6 F 13/38 3 5 0

請求項の数 11 (全 20 頁)

(21) 出願番号	特願2013-255893 (P2013-255893)	(73) 特許権者	000002369
(22) 出願日	平成25年12月11日 (2013.12.11)		セイコーエプソン株式会社
(65) 公開番号	特開2015-114810 (P2015-114810A)		東京都新宿区新宿四丁目1番6号
(43) 公開日	平成27年6月22日 (2015.6.22)	(74) 代理人	100104710
審査請求日	平成28年12月8日 (2016.12.8)		弁理士 竹腰 昇
		(74) 代理人	100090479
			弁理士 井上 一
		(74) 代理人	100124682
			弁理士 黒田 泰
		(72) 発明者	須藤 泰宏
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		(72) 発明者	牧 克彦
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

最終頁に続く

(54) 【発明の名称】 検出装置、センサー、電子機器及び移動体

(57) 【特許請求の範囲】

【請求項1】

物理量トランスデューサーからの信号に基づいて検出処理を行い、検出データを出力する検出回路と、

マスターであるホストデバイスと通信を行うインターフェース部と、

前記ホストデバイスとの通信に関する情報として、データ送信順番  $k$  の情報と、前記ホストデバイスに通信接続される複数の検出装置の接続個数  $n$  の情報 ( 1  $k$   $n$  ) を記憶する記憶部と、

を含み、

前記ホストデバイスが、前記複数の検出装置を共通宛先とする共通アドレスを指定してリードコマンドを発行した場合に、

前記インターフェース部は、

前記データ送信順番である第  $k$  の順番において前記ホストデバイスに対して前記検出データを送信した後、第  $n + k$  の順番において、前記ホストデバイスに対して前記検出データを送信することを特徴とする検出装置。

【請求項2】

物理量トランスデューサーからの信号に基づいて検出処理を行い、検出データを出力する検出回路と、

マスターであるホストデバイスと通信を行うインターフェース部と、

前記ホストデバイスとの通信に関する情報であるデータ送信順番の情報を記憶する記憶

10

20

部と、

を含み、

前記ホストデバイスに通信接続される複数の検出装置に対して、クロック信号線、データ入力信号線、データ出力信号線、及びチップセレクト信号線が共通接続され、

前記インターフェース部は、

前記クロック信号線のクロック信号、前記データ入力信号線のデータ入力信号、及び前記データ出力信号線のデータ出力信号を用いて、マスターであるホストデバイスと通信を行い、

前記ホストデバイスが、前記複数の検出装置に共通接続された前記チップセレクト信号線のチップセレクト信号をアクティブにして、前記複数の検出装置を共通宛先とする共通アドレスを指定してリードコマンドを前記データ入力信号線により発行した場合に、

前記インターフェース部は、

前記データ送信順番において、前記ホストデバイスに対して前記検出データを前記データ出力信号線により送信することを特徴とする検出装置。

【請求項 3】

請求項 2 に記載の検出装置において、

前記記憶部は、

前記ホストデバイスに通信接続される前記複数の検出装置の接続個数の情報を記憶することを特徴とする検出装置。

【請求項 4】

請求項 3 に記載の検出装置において、

前記複数の検出装置の前記接続個数を  $n$  とし、前記データ送信順番を  $k$  ( $1 \leq k \leq n$ ) とした場合に、

前記インターフェース部は、

前記データ送信順番である第  $k$  の順番において前記ホストデバイスに対して前記検出データを送信した後、第  $n + k$  の順番において、前記ホストデバイスに対して前記検出データを送信することを特徴とする検出装置。

【請求項 5】

請求項 1 乃至 4 のいずれか一項に記載の検出装置において、

前記記憶部は、

前記検出データの送信データビット数の情報を記憶し、

前記インターフェース部は、

前記データ送信順番において、前記ホストデバイスに対して前記送信データビット数からなる前記検出データを送信することを特徴とする検出装置。

【請求項 6】

請求項 1 乃至 5 のいずれか一項に記載の検出装置において、

前記ホストデバイスが、個別アドレスを指定してリードコマンドを発行した場合に、

前記インターフェース部は、

前記個別アドレスが、自身の検出装置の個別アドレスに合致した場合に、前記ホストデバイスに対して前記検出データを送信することを特徴とする検出装置。

【請求項 7】

請求項 1 に記載の検出装置において、

前記インターフェース部は、

クロック信号、データ入力信号、及びデータ出力信号を用いて前記ホストデバイスと通信を行うことを特徴とする検出装置。

【請求項 8】

請求項 1 乃至 7 のいずれか一項に記載の検出装置において、

前記物理量トランスデューサーは振動子であり、

前記検出回路は、所定軸回りの角速度を検出する回路であることを特徴とする検出装置

## 【請求項 9】

請求項 1 乃至 8 のいずれか一項に記載の検出装置と、  
前記物理量トランスデューサーと、  
を含むことを特徴とするセンサー。

## 【請求項 10】

請求項 1 乃至 8 のいずれか一項に記載の検出装置を含むことを特徴とする電子機器。

## 【請求項 11】

請求項 1 乃至 8 のいずれか一項に記載の検出装置を含むことを特徴とする移動体。

## 【発明の詳細な説明】

## 【技術分野】

10

## 【0001】

本発明は、検出装置、センサー、電子機器及び移動体等に関する。

## 【背景技術】

## 【0002】

マスター・スレーブ間の通信方式として、S P I (Serial Peripheral Interface) と呼ばれる通信規格が知られている。S P I によりマスターと複数のスレーブとを通信接続する場合には、クロック信号、データ入力信号、データ出力信号の 3 本の信号とチップセレクト信号を用いて通信を行う。

## 【0003】

特許文献 1 には、S P I におけるチップセレクト信号に加え、送信及び受信のいずれかの動作のみを選択するための信号を出力することで、スレーブからマスターへのシリアル信号に衝突が生じるのを回避する手法が開示されている。

20

## 【先行技術文献】

## 【特許文献】

## 【0004】

【特許文献 1】特開 2 0 0 5 - 1 4 1 4 1 2 号公報

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0005】

S P I を用いて 1 つのマスターと複数のスレーブの間で通信を行う場合、マスターが各スレーブからデータを読み出すためには、各スレーブごとに、チップセレクト信号の制御やコマンドの発行が必要になる。このためスレーブからのデータの読み出しに要する時間が長くなってしまいうという問題がある。

30

## 【0006】

また多軸ジャイロセンサーや多軸加速度センサーなどの多軸物理量センサーでは、マイコン等のホストデバイスと、X 軸用センサー、Y 軸用センサー、Z 軸用センサーとの間で通信が行われる。例えばホストデバイスは、X 軸用、Y 軸用、Z 軸用の各センサーに対して読み出しコマンドを発行して、各センサーから検出データを読み出す。このような多軸物理量センサーでは、ホストデバイスとセンサーとの間でのデータの通信の効率化が課題となる。

40

## 【0007】

本発明の幾つかの態様によれば、ホストデバイスによる検出データの読み出しの効率化を図れる検出装置、センサー、電子機器及び移動体等を提供できる。

## 【課題を解決するための手段】

## 【0008】

本発明は、上述の課題の少なくとも一部を解決するためになされたものであり、以下の形態または態様として実現することが可能である。

## 【0009】

本発明の一態様は、物理量トランスデューサーからの信号に基づいて検出処理を行い、検出データを出力する検出回路と、マスターであるホストデバイスと通信を行うインター

50

フェース部と、自身の検出装置のデータ送信順番の情報を記憶する記憶部と、を含み、前記ホストデバイスが、前記ホストデバイスに通信接続される複数の検出装置を共通宛先とする共通アドレスを指定してリードコマンドを発行した場合に、前記インターフェース部は、前記データ送信順番において、前記ホストデバイスに対して前記検出データを送信する検出装置に関係する。

【0010】

本発明の一態様によれば、物理量トランスデューサからの信号に基づく検出処理が行われて、検出データが検出回路から出力される。また自身の検出装置のデータ送信順番の情報が記憶部に記憶される。そしてホストデバイスが、共通アドレスを指定してリードコマンドを発行すると、インターフェース部は、自身のデータ送信順番において、検出回路からの検出データをホストデバイスに対して送信する。このようにすれば、ホストデバイスは、複数の検出装置のそれぞれに対して個別のリードコマンドを発行しなくても、例えば1回のリードコマンドの発行で、各検出装置の検出データを読み出すことが可能になる。従って、ホストデバイスによる検出データの読み出しの効率化を実現でき、検出データの読み出しに要する時間の短縮化等を図れる。

10

【0011】

また本発明の一態様では、前記記憶部は、前記ホストデバイスに通信接続される前記複数の検出装置の接続個数の情報を記憶してもよい。

【0012】

このようにすれば、複数の検出装置の各検出装置は、この接続個数を利用した検出データの効率的な送信制御を実行できる。

20

【0013】

また本発明の一態様では、前記複数の検出装置の前記接続個数を $n$ とし、前記データ送信順番を $k$  ( $1 \leq k \leq n$ )とした場合に、前記インターフェース部は、前記データ送信順番である第 $k$ の順番において前記ホストデバイスに対して前記検出データを送信した後、第 $n + k$ の順番において、前記ホストデバイスに対して前記検出データを送信してもよい。

【0014】

このようにすれば、検出装置は、第 $k$ の順番においてホストデバイスに対して検出データを送信した後、第 $n + k$ の順番において検出データを再び送信できるようになる。従って、接続個数を利用した検出データの効率的な送信制御を実現できる。

30

【0015】

また本発明の一態様では、前記記憶部は、前記検出データの送信データビット数の情報を記憶し、前記インターフェース部は、前記データ送信順番において、前記ホストデバイスに対して前記送信データビット数の前記検出データを送信してもよい。

【0016】

このようにすれば、送信データビット数についても反映させた検出データの効率的な送信制御を実現できる。

【0017】

また本発明の一態様では、前記ホストデバイスが、個別アドレスを指定してリードコマンドを発行した場合に、前記インターフェース部は、前記個別アドレスが、自身の検出装置の個別アドレスに合致した場合に、前記ホストデバイスに対して前記検出データを送信してもよい。

40

【0018】

このようにすれば、ホストデバイスは、複数の検出装置の中から所望の検出装置を個別アドレスにより指定して、その検出装置の検出データを読み出すことができる。

【0019】

また本発明の一態様では、前記インターフェース部は、クロック信号、データ入力信号、及びデータ出力信号を用いて前記ホストデバイスと通信を行ってもよい。

【0020】

50

また本発明の一態様では、前記物理量トランスデューサーは振動子であり、前記検出回路は、所定軸回りの角速度を検出する回路であってもよい。

【 0 0 2 1 】

本発明の他の態様は、上記に記載の検出装置と、前記物理量トランスデューサーとを含むセンサーに関係する。

【 0 0 2 2 】

本発明の他の態様は、上記に記載の検出装置を含む電子機器に関係する。

【 0 0 2 3 】

本発明の他の態様は、上記に記載の検出装置を含む移動体に関係する。

【図面の簡単な説明】

10

【 0 0 2 4 】

【図 1】図 1 ( A )、図 1 ( B ) は比較例となる S P I 通信方式の説明図。

【図 2】本実施形態の検出装置、センサー、電子機器の構成例。

【図 3】本実施形態の動作を説明する信号波形例。

【図 4】本実施形態の動作を説明する信号波形例。

【図 5】データ送信順番、接続個数、送信データビット数の説明図。

【図 6】図 6 ( A )、図 6 ( B ) は本実施形態の動作を説明する信号波形例。

【図 7】検出装置の詳細な構成例。

【図 8】インターフェース部、処理部の詳細な構成例。

【図 9】多軸センサーの実装形態の例。

20

【図 10】本実施形態の検出装置を適用した移動体の一例。

【発明を実施するための形態】

【 0 0 2 5 】

以下、本発明の好適な実施の形態について詳細に説明する。なお以下に説明する本実施形態は特許請求の範囲に記載された本発明の内容を不当に限定するものではなく、本実施形態で説明される構成の全てが本発明の解決手段として必須であるとは限らない。

【 0 0 2 6 】

#### 1 . S P I 通信

図 1 ( A )、図 1 ( B ) に本実施形態の比較例となる S P I 通信方式の例を示す。図 1 ( A )、図 1 ( B ) では、マスターとなるホストデバイス 6 1 0 と、スレーブとなるセンサー 6 2 0 X、6 2 0 Y、6 2 0 Z とが、S P I ( Serial Peripheral Interface ) により通信接続されている。

30

【 0 0 2 7 】

ホストデバイス 6 1 0 は、例えばマイコン等の処理部である。センサー 6 2 0 X、6 2 0 Y、6 2 0 Z は、各々、例えば X 軸用ジャイロセンサー、Y 軸用ジャイロセンサー、Z 軸用ジャイロセンサーである。図 1 ( A )、図 1 ( B ) では、ホストデバイス 6 1 0 と、X 軸用、Y 軸用、Z 軸用のジャイロセンサーであるセンサー 6 2 0 X、6 2 0 Y、6 2 0 Z とを S P I により通信接続することで、多軸ジャイロセンサーを実現している。

【 0 0 2 8 】

図 1 ( A ) の通信方式では、チップセレクト信号、クロック信号、データ入力信号、データ出力信号の全てが、センサー 6 2 0 X 用、センサー 6 2 0 Y 用、センサー 6 2 0 Z 用の信号として、別個に設けられている。即ち、X C S 1、X C S 2、X C S 3 は、センサー 6 2 0 X 用、センサー 6 2 0 Y 用、センサー 6 2 0 Z 用のチップセレクト信号であり、S C L K 1、S C L K 2、S L C K 3 は、センサー 6 2 0 X、6 2 0 Y、6 2 0 Z 用のクロック信号である。S D I 1、S D I 2、S D I 3 は、センサー 6 2 0 X、6 2 0 Y、6 2 0 Z 用のデータ入力信号であり、S D O 1、S D O 2、S D O 3 は、センサー 6 2 0 X、6 2 0 Y、6 2 0 Z 用のデータ出力信号である。

40

【 0 0 2 9 】

図 1 ( B ) では、クロック信号 S C L K が、センサー 6 2 0 X、6 2 0 Y、6 2 0 Z で共用されている。即ち、ホストデバイス 6 1 0 の S C L K の信号線が、センサー 6 2 0 X

50

、620Y、620Zに共通接続されている。同様に、データ入力信号SDI、データ出力信号SDOも、センサー620X、620Y、620Zで共用されており、SDI、SDOの信号線がこれらのセンサー620X、620Y、620Zに共通接続されている。

【0030】

一方、チップセレクト信号については共用されておらず、センサー620X用のチップセレクト信号XCS\_\_X、センサー620Y用のチップセレクト信号XCS\_\_Y、センサー620Z用のチップセレクト信号XCS\_\_Zが、別個に設けられている。

【0031】

図1(B)の通信方式で、ホストデバイス610がセンサー620Xの検出データを読み出す場合には、まず、センサー620X用のチップセレクト信号XCS\_\_Xをアクティブ(Lレベル)にする。これによりセンサー620Xが選択状態となり、センサー620Y、620Zは非選択状態となる。即ちセンサー620Xは、自身が選択されたことをチップセレクト信号XCS\_\_Xにより認識する。

10

【0032】

次に、ホストデバイス610は、データ入力信号SDIを用いて、リードコマンドをセンサー620Xに対して発行する。即ち、ホストデバイス610は、データ入力信号SDIにより、リードコマンドを指示するデータをセンサー620Xに送信する。

【0033】

次に、ホストデバイス610は、クロック信号SCLKとデータ出力信号SDOを用いて、センサー620Xから検出データを読み出す。即ち、リードコマンドを受けたセンサー620Xは、ホストデバイス610からのクロック信号SCLKに同期して、ホストデバイス610に検出データを送信する。

20

【0034】

その後、ホストデバイス610が、センサー620Yの検出データを読み出す場合には、上記と同様の動作を行う。即ち、まず、ホストデバイス610は、センサー620Y用のチップセレクト信号XCS\_\_Yをアクティブにする。次に、ホストデバイス610は、クロック信号SCLKとデータ入力信号SDIを用いて、リードコマンドをセンサー620Yに対して発行する。次に、ホストデバイス610は、クロック信号SCLKとデータ出力信号SDOを用いて、センサー620Yから検出データを読み出す。その後、ホストデバイス610がセンサー620Zから検出データを読み出す場合にも、同様の動作を行う。

30

【0035】

この図1(B)の通信方式によれば、図1(A)の通信方式に比べて、SPI通信により占有されるホストデバイス610のI/Oポート数を節約できるという利点がある。即ち図1(A)では、SPI通信のために必要なホストデバイス610のI/Oポート数は12個となるが、図1(B)では、必要なI/Oポートの数は6個になる。

【0036】

しかしながら、図1(B)の通信方式では、センサー620X、620Y、620Zから検出データを読み出す場合には、各センサーごとにチップセレクト信号の制御及びコマンドの発行が必要になる。このため、検出データの読み出しに要する時間が長くなってしまふ。例えばセンサー620Xから検出データを読み出した後、センサー620Yから検出データを読み出す場合を考える。この場合には、センサー620X用のチップセレクト信号の制御期間と、センサー620X用のコマンド発行期間と、センサー620X用の検出データの読み出し期間と、センサー620Y用のチップセレクト信号の制御期間と、センサー620Y用のコマンド発行期間と、センサー620Y用の検出データの読み出し期間が必要になる。従って、最終的にセンサー620Yの検出データが読み出されるまでに長い時間を要してしまふ。

40

【0037】

また図1(B)の通信方式によれば、図1(A)の通信方式に比べて、SPI通信に必要なホストデバイス610のI/Oポート数を減らすことができるものの、それでも6個

50

の I / O ポート数が必要になる。ホストデバイス 610 は、センサー 620 X、620 Y、620 Z の処理以外にも、他の種々の処理を行っているため、このようにセンサー 620 X、620 Y、620 Z の処理のために 6 個の I / O ポートが占有されてしまうと、利便性を損ねてしまう。

#### 【0038】

##### 2. 検出装置、センサー、電子機器

以上のような課題を解決する本実施形態の検出装置、センサー、電子機器の構成例を図 2 に示す。

#### 【0039】

図 2 において、本実施形態の電子機器は、ホストデバイス 10、センサー 20 X、20 Y、20 Z を含む。ホストデバイス 10 は、各種のプロセッサ（CPU、MPU）や ASIC のハードウェア回路等により実現できる。例えばホストデバイス 10（ホストコントローラ）としてはマイコンを用いることができる。

10

#### 【0040】

なお電子機器は、図示しない表示部、操作部、或いはメモリー等を含んでもよい。メモリーは、制御プログラムや各種データを記憶したり、ワーク領域やデータ格納領域として機能する。操作部はユーザーが電子機器を操作するためのものであり、表示部は種々の情報をユーザーに表示する。

#### 【0041】

センサー 20 X、20 Y、20 Z は、例えば X 軸用ジャイロセンサー、Y 軸用ジャイロセンサー、Z 軸用ジャイロセンサーである。なお図 2 では 3 つのセンサー 20 X、20 Y、20 Z が設けられているが、センサーの数は 2 個でもよいし、4 個以上であってもよい。またセンサー 20 X、20 Y、20 Z は、ジャイロセンサー以外のセンサーであってもよく、例えば加速度センサーなどであってもよい。この場合にはセンサー 20 X、20 Y、20 Z は、X 軸用加速度センサー、Y 軸用加速度センサー、Z 軸用加速度センサーとなる。例えば以下では、物理量トランスデューサー（100 X、100 Y、100 Z）が圧電型の振動子（振動ジャイロ）であり、センサー（20 X、20 Y、20 Z）がジャイロセンサーである場合を例にとり説明するが、本発明はこれに限定されない。例えばシリコン基板などから形成された静電容量検出方式の振動子（振動ジャイロ）や、角速度情報と等価な物理量や角速度情報以外の物理量を検出するセンサー（加速度センサー）などの種々の物理量トランスデューサーに本発明は適用可能である。また本実施形態の電子機器としては、デジタルカメラ、ビデオカメラ、携帯電話機、カーナビゲーションシステム、ロボット、ゲーム機、時計、健康器具、或いは携帯型情報端末等の種々の機器を想定できる。

20

30

#### 【0042】

また図 2 において本実施形態の検出装置 30 X（30 Y、30 Z）は、インターフェース部 40 X（40 Y、40 Z）、検出回路 60 X（60 Y、60 Z）、記憶部 70 X（70 Y、70 Z）を含む。またセンサー 20 X（20 Y、20 Z）は、検出装置 30 X（30 Y、30 Z）、物理量トランスデューサー 100 X（100 Y、100 Z）を含む。

#### 【0043】

なお、以下では、検出装置 30 X、30 Y、30 Z のうち、検出装置 30 X を主に例にとり、その構成及び動作を説明する。他の検出装置 30 Y、30 Z の構成及び動作は、検出装置 30 X と同様であるため、その説明を適宜省略する。またセンサー 20 Y、20 Z の構成及び動作も、センサー 20 X と同様であるため、その説明を適宜省略する。

40

#### 【0044】

検出回路 60 X は、物理量トランスデューサー 100 X からの信号に基づいて検出処理を行い、検出データを出力する。例えば物理量トランスデューサー 100 X からの信号に基づいて所望信号の検出処理を行う。そして検出処理により得られたアナログの検出信号の A / D 変換を行って、デジタルの検出データを出力する。センサー 20 X、20 Y、20 Z がジャイロセンサーである場合には、物理量トランスデューサー 100 X、100 Y

50

、100Zは振動子であり、検出回路60Xは、例えばX軸回り（広義には所定軸回り）の角速度を検出する回路となる。そして検出回路60Xの検出データは、X軸回りでの角速度データになる。また検出回路60Y、60Zは、各々、Y軸回り、Z軸回りの角速度を検出する回路となり、検出回路60Y、60Zの検出データは、各々、Y軸回り、Z軸回りでの角速度データになる。またこの場合には、振動子を駆動する駆動回路が更に設けられることになる。

#### 【0045】

インターフェース部40Xは、マスターであるホストデバイス10と通信を行う。例えばインターフェース部40Xは、クロック信号SCLKとデータ入力信号SDIとデータ出力信号SDOを用いてホストデバイスと通信を行う。

10

#### 【0046】

具体的には図2では、クロック信号SCLKとデータ入力信号SDIとデータ出力信号SDOが、検出装置30X、30Y、30Z（センサー20X、20Y、20Z）で共用されており、ホストデバイス10のSCLK、SDI、SDOの信号線が検出装置30X、30Y、30Zに共通接続されている。そしてインターフェース部40Xは、クロック信号SCLKとデータ入力信号SDIとデータ出力信号SDOを用いて、ホストデバイス10と例えばSPIの通信方式で通信を行う。

#### 【0047】

また図2では、チップセレクト信号XCSについても、検出装置30X、30Y、30Z（センサー20X、20Y、20Z）で共用されており、ホストデバイス10のXCSの信号線が検出装置30X、30Y、30Zに共通接続されている。即ち、図1（B）では、各センサーに対応する個別のチップセレクト信号が設けられていたが、図2では、1つのチップセレクト信号XCSが共用される。

20

#### 【0048】

記憶部70Xは各種の情報を記憶する。記憶部70X（70Y、70Z）はEPROM（Erasable Programmable ROM）、OTP（One Time Programmable ROM）などの不揮発性メモリーなどにより実現できる。なお不揮発性メモリー以外の半導体メモリーにより記憶部70X（70Y、70Z）を実現してもよい。

#### 【0049】

記憶部70Xは、自身の検出装置30Xのデータ送信順番の情報を記憶する。例えばスレーブとしてホストデバイス10に通信接続される検出装置30X、30Y、30Z（広義には複数の検出装置）の中での自身の検出装置30Xのデータ送信順番の情報を記憶する。同様に、検出装置30Yの記憶部70Yは、自身の検出装置30Yのデータ送信順番の情報を記憶し、検出装置30Zの記憶部70Zは、自身の検出装置30Zのデータ送信順番の情報を記憶する。なおデータ送信順番の情報は、データ送信順番そのものであってもよいし、データ送信順番を特定するための情報であってもよい。

30

#### 【0050】

そしてホストデバイス10が、ホストデバイス10に通信接続される検出装置30X、30Y、30Z（複数の検出装置）を共通宛先とする共通アドレス（例えば00）を指定してリードコマンドを発行したとする。この場合には、インターフェース部40Xは、記憶部70Xに記憶される自身のデータ送信順番において、ホストデバイス10に対して検出データを送信する。

40

#### 【0051】

一方、ホストデバイス10が、個別アドレス（スレーブアドレス）を指定してリードコマンドを発行したとする。この場合には、インターフェース部40Xは、ホストデバイス10が指定した個別アドレスが、自身の検出装置30X（センサー20X）の個別アドレス（例えば01）に合致した場合に、ホストデバイス10に対して検出データを送信する。

#### 【0052】

例えば図2において、検出装置30Xの送信順番が $k = 1$ であり、検出装置30Yの送

50



信順番が  $k = 2$  であり、検出装置 30 Z の送信順番が  $k = 3$  であったとする。また共通アドレスが 00 であり、検出装置 30 X、30 Y、30 Z の個別アドレスが、各々、01、10、11 であったとする。

【0053】

この場合に、ホストデバイス 10 が、共通アドレス 00 を指定してリードコマンドを発行すると、検出装置 30 X のインターフェース部 40 X は、第 1 の送信順番 ( $k = 1$ ) で検出データを送信する。また検出装置 30 Y のインターフェース部 40 Y は、第 2 の送信順番 ( $k = 2$ ) で検出データを送信し、検出装置 30 Z のインターフェース部 40 Z は、第 3 の送信順番 ( $k = 3$ ) で検出データを送信する。

【0054】

一方、ホストデバイス 10 が、個別アドレス 01 を指定してリードコマンドを発行すると、検出装置 30 X のインターフェース部 40 X が検出データを送信する。同様にホストデバイス 10 が、個別アドレス 10 を指定してリードコマンドを発行すると、検出装置 30 Y のインターフェース部 40 Y が検出データを送信する。また個別アドレス 11 を指定してリードコマンドを発行すると、検出装置 30 Z のインターフェース部 40 Z が検出データを送信する。

【0055】

また記憶部 70 X は、ホストデバイス 10 に通信接続される検出装置の接続個数の情報を記憶する。例えば図 2 では、接続個数は  $n = 3$  であるため、 $n = 3$  の情報を記憶する。同様に記憶部 70 Y、70 Z も接続個数の情報を記憶する。なお接続個数の情報は、接続個数そのものであってもよいし、接続個数を特定するための情報であってもよい。

【0056】

また検出装置の接続個数を  $n$  とし、データ送信順番を  $k$  ( $k$ 、 $n$  は、 $1 \leq k \leq n$  となる自然数) としたとする。この場合にインターフェース部 40 X は、データ送信順番である第 1 の順番 (第  $k$  の順番。  $k = 1$ ) においてホストデバイス 10 に対して検出データを送信した後、第 4 の順番 (広義には第  $n + k$  の順番) において、ホストデバイス 10 に対して検出データを送信する。同様に第 7 の順番 (第  $2n + k$  の順番)、第 10 の順番 (第  $3n + k$  の順番) というように検出データを送信する。

【0057】

同様にインターフェース部 40 Y は、データ送信順番である第 2 の順番 (第  $k$  の順番。  $k = 2$ ) において検出データを送信した後、第 5 の順番 (第  $n + k$  の順番) において検出データを送信する。またインターフェース部 40 Z は、データ送信順番である第 3 の順番 (第  $k$  の順番。  $k = 3$ ) において検出データを送信した後、第 6 の順番 (第  $n + k$  の順番) において検出データを送信する。

【0058】

また記憶部 70 X は、検出データの送信データビット数の情報を記憶する。送信データビット数は揮発性メモリー (レジスタ等) に記憶されるものであってもよい。そしてユーザーが任意に送信データビット数を設定できるようにしてもよい。そしてインターフェース部 40 X は、自身のデータ送信順番において、ホストデバイス 10 に対してその送信データビット数の検出データを送信する。同様に、検出装置 30 Y の記憶部 70 Y は、その検出データの送信データビット数の情報を記憶し、インターフェース部 40 Y は、自身のデータ送信順番においてその送信データビット数の検出データを送信する。また検出装置 30 Z の記憶部 70 Z は、その検出データの送信データビット数の情報を記憶し、インターフェース部 40 Z は、自身のデータ送信順番においてその送信データビット数の検出データを送信する。なお送信データビット数の情報は、送信データビット数そのものであってもよいし、送信データビット数を特定するための情報であってもよい。

【0059】

3. 本実施形態の手法

次に本実施形態の手法について図面を用いて具体的に説明する。

【0060】

本実施形態では、ホストに通信接続される複数のスレーブの各スレーブに対して個別アドレスを割り当てる。この個別アドレスは、各スレーブが有する不揮発性メモリなどの記憶部に記憶される。各スレーブは、ホストからコマンド入力された個別アドレスが、自身に割り当てられた個別アドレスと合致した場合にのみ、ホストと通信する。

【 0 0 6 1 】

例えば図 2 では、スレーブである検出装置 3 0 X、3 0 Y、3 0 Z には、各々、個別アドレス 0 1、1 0、1 1 が割り当てられている。従って、検出装置 3 0 X は、ホストが指定した個別アドレスが、自身の個別アドレス 0 1 と合致した場合にのみ、その後の通信（レジスタ書き込み、読み出し、コマンド発行）を行う。検出装置 3 0 Y は、ホストが指定した個別アドレスが自身の個別アドレス 1 0 と合致した場合にのみ、通信を行う。検出装置 3 0 Z は、ホストが指定した個別アドレスが自身の個別アドレス 1 1 と合致した場合にのみ、通信を行う。

10

【 0 0 6 2 】

また本実施形態では共通アドレスも用意されている。この共通アドレス（グローバルアドレス）は、ホストに通信接続される複数のスレーブを共通宛先とするアドレスである。例えば複数のスレーブの全てを宛先とするアドレスである。従って、この共通アドレスがホストにより指定された場合には、全てのスレーブが動作する。

【 0 0 6 3 】

そしてスレーブの S D O の端子は、アドレスが合致した場合にのみデータが出力され、アドレスが合致しない場合には、ハイインピーダンス状態に設定される。これにより信号の衝突が回避される。

20

【 0 0 6 4 】

図 3 は本実施形態の動作を説明する信号波形例である。図 3 において、R / W はリード・ライトを指示するビットであり、A [ 1 : 0 ] はアドレスの指定である。前述のように A [ 1 : 0 ] = 0 1、1 0、1 1 は個別アドレス（スレーブアドレス）であり、A [ 1 : 0 ] = 0 0 は共通アドレス（グローバルアドレス）である。C [ 4 : 0 ] は、コマンド内容及びレジスタアドレスを指示するものであり、P [ 7 : 0 ] は、検出装置のレジスタに転送するデータ等である。

【 0 0 6 5 】

このように本実施形態では、リード・ライトの指示、アドレス指示、コマンド内容及びレジスタアドレスの指示は、データ入力信号 S D I により行われる。即ち、ホストデバイス 1 0 は、データ入力信号 S D I を用いて、リード・ライトの指示、アドレス指定、コマンド内容及びレジスタアドレスの指示を、スレーブである検出装置 3 0 X、3 0 Y、3 0 Z に対して行う。

30

【 0 0 6 6 】

図 3 に示すように、A [ 1 : 0 ] = 0 1 である場合には検出装置 3 0 X がアドレス指定され、A [ 1 : 0 ] = 1 0 である場合には検出装置 3 0 Y がアドレス指定され、A [ 1 : 0 ] = 1 1 である場合には検出装置 3 0 Z がアドレス指定される。A [ 1 : 0 ] = 0 0 である場合には検出装置 3 0 X、3 0 Y、3 0 Z の全てがアドレス指定される。

【 0 0 6 7 】

40

図 4 は、A 1 に示すように A [ 1 : 0 ] = 0 1 である場合の信号波形例である。また R / W = R となっており、リード動作となっている。

【 0 0 6 8 】

図 4 では、A [ 1 : 0 ] = 0 1 であり、検出装置 3 0 X がアドレス指定されているため、検出装置 3 0 X が検出データを出力する。従って、A 2 に示すように、検出装置 3 0 X の X \_ S D O の端子から S D O の信号線に対して、検出データが出力されることになる。これによりホストデバイス 1 0 は、検出データをリードできるようになる。

【 0 0 6 9 】

このとき、図 4 の A 3、A 4 に示すように、検出装置 3 0 Y、3 0 Z の Y \_ S D O、Z \_ S D O の端子はハイインピーダンス状態に設定される。このようにすれば、本実施形態

50

のようにS D Oの信号線を共通接続した場合に、信号が衝突してしまう事態が抑止できる。

【 0 0 7 0 】

図5は、データ送信順番、接続個数、送信データビット数についての説明図である。図5において、検出装置30X、30Y、30Zのデータ送信順番は、各々、 $k = 1$ 、 $2$ 、 $3$ になっている。またホストデバイス10に接続される検出装置30X、30Y、30Zの接続個数は $n = 3$ になっている。また検出データの送信データビット数は $m = 8$ ビットになっている。

【 0 0 7 1 】

このため検出装置30Xの記憶部70Xには、データ送信順番 $k = 1$ 、接続個数 $n = 3$ 、送信データビット数 $m = 8$ の情報が記憶される。検出装置30Yの記憶部70Yには、データ送信順番 $k = 2$ 、接続個数 $n = 3$ 、送信データビット数 $m = 8$ の情報が記憶される。検出装置30Zの記憶部70Zには、データ送信順番 $k = 3$ 、接続個数 $n = 3$ 、送信データビット数 $m = 8$ の情報が記憶される。

【 0 0 7 2 】

ここで、記憶されるデータ送信順番 $k$ 、接続個数 $n$ 、送信データビット数 $m$ の情報は、 $k$ 、 $n$ 、 $m$ そのものであってもよいが、これらの $k$ 、 $n$ 、 $m$ を特定するための情報であってもよい。図5では、データ送信順番については、例えば $k = 1$ の場合には00、 $k = 2$ の場合には01、 $k = 3$ の場合には10というように、2ビットの情報として記憶される。接続個数については、例えば $n = 1$ の場合には00、 $n = 2$ の場合には01、 $n = 3$ の場合には10というように、2ビットの情報として記憶される。送信データビット数については、例えば $m = 8$ ビットの場合には00、 $m = 16$ ビットの場合には01、 $m = 24$ ビットの場合には10というように、2ビットの情報で記憶される。なおデータ送信順番、接続個数、送信データビット数の情報の記憶態様は、上記に限定されるものではない。また接続個数、送信データビット数については記憶部に記憶しないようにする変形実施も可能である。

【 0 0 7 3 】

図6(A)、図6(B)は、図5のように記憶部70X、70Y、70Zにデータ送信順番、接続個数、送信データビット数の情報が記憶された場合における本実施形態の動作を説明する信号波形例である。

【 0 0 7 4 】

図6(A)ではB1に示すように $A[1:0] = 00$ となっており、共通アドレスが指定されている。そしてB2では検出データのリードコマンドが発行されている。従って、全ての検出装置30X、30Y、30Zからの検出データの連続読み出しが実行される。

【 0 0 7 5 】

そして図5に示すように検出装置30X、30Y、30Zのデータ送信順番は、各々、 $k = 1$ 、 $k = 2$ 、 $k = 3$ となっており、送信データビット数は $m = 8$ になっている。

【 0 0 7 6 】

従って、期間T1では、データ送信順番が $k = 1$ である検出装置30Xから、 $m = 8$ ビットの検出データが出力される。次の期間T2では、データ送信順番が $k = 2$ である検出装置30Yから、 $m = 8$ ビットの検出データが出力される。次の期間T3では、データ送信順番が $k = 3$ である検出装置30Zから、 $m = 8$ ビットの検出データが出力される。

【 0 0 7 7 】

図6(B)は、図6(A)の期間T3の後に、更に検出データの連続的な読み出しを継続する場合の信号波形例である。図6(B)では、期間T3の次の期間T4で、検出装置30Xから検出データが出力される。そして次の期間T5では、検出装置30Yから検出データが出力され、次の期間T6では検出装置30Zから検出データが出力される。

【 0 0 7 8 】

即ち、本実施形態では接続個数 $n$ が記憶されている。従って、検出装置30Xは、 $k = 1$ のデータ送信順番(期間T1)で検出データを出力した後、 $k = 1 + n = 1 + 3 = 4$ の

データ送信順番（期間  $T_4$ ）で検出データを出力すればよいことを認識できる。検出装置 30Y は、 $k = 2$  のデータ送信順番（期間  $T_2$ ）で検出データを出力した後、 $k = 2 + n = 2 + 3 = 5$  のデータ送信順番（期間  $T_5$ ）で検出データを出力すればよいことを認識できる。同様に検出装置 30Z は、 $k = 3$  のデータ送信順番（期間  $T_3$ ）で検出データを出力した後、 $k = 3 + n = 3 + 3 = 6$  のデータ送信順番（期間  $T_6$ ）で検出データを出力すればよいことを認識できる。従って、例えば検出装置 30X、30Y、30Z から検出データが出力される期間  $T_1 \sim T_3$  を 1 つのサイクルとした場合に、このサイクルを連続して繰り返すことが可能になる。例えば図 6（A）では期間  $T_1 \sim T_3$  の第 1 のサイクルの読み出しを行い、図 6（B）では期間  $T_4 \sim T_6$  の第 2 のサイクルの読み出しを行う。そして、その後も、第 3 のサイクル、第 4 のサイクルというように検出データの読み出しのサイクルを連続して実行することが可能になる。

10

#### 【0079】

以上のように本実施形態によれば、ホストデバイスにより共通アドレスが指定されてリードコマンドが発行されると、予め設定されたデータ送信順番で各検出装置が検出データを送信する。また、送信される検出データの送信データビット数も予め設定されたビット数になっている。従って、ホストデバイスは、各検出装置から順次に連続的に送信された検出データをリードして取得できるようになる。

#### 【0080】

即ち、データ送信順番を不揮発性メモリー等の記憶部に記憶しておくことで、各検出装置が何番目に検出データを出力すればよいのかを、予め取り決めておくことができる。接続個数や送信データビット数を記憶部に記憶しておくことで、何個の検出装置がホストデバイスに接続されているのかや、何ビットの検出データを各検出装置が出力するのかについても、予め取り決めておくことができる。従って、各検出装置は、その取り決めにしたがって検出データを出力するだけでよいため、その処理や制御を簡素化できる。またホストデバイスも、その取り決めにしたがって、検出装置からの検出データを取り込めばよいため、その処理や制御を簡素化できる。また、取り込んだデータの送信元やデータのビット数も、その取り決めにしたがって適切に判断できるため、誤ったデータの取り込みが行われてしまう事態も防止できる。従って、効率的で適正な検出データの読み出し動作を実現できる。

20

#### 【0081】

また図 1（B）等の比較例の SPI 通信では、各検出装置から検出データを読み出す前に、チップセレクト信号による各検出装置の選択と、各検出装置へのコマンドの発行の動作が必要になる。例えばチップセレクト信号により第 1 の検出装置を選択し、選択した第 1 の検出装置にコマンドを発行して、その第 1 の検出装置から検出データを読み出す。次に、チップセレクト信号により第 2 の検出装置を選択し、選択した第 2 の検出装置にコマンドを発行し、その第 2 の検出装置から検出データを読み出す。従って、比較例の SPI 通信では、本実施形態の図 6（A）の期間  $T_1$ 、 $T_2$ 、 $T_3$  に示すような検出データの連続的な読み出しを実現できず、複数の検出装置から検出データを読み出すのに長い時間を要してしまう。

30

#### 【0082】

これに対して本実施形態では、図 6（A）の B1 に示すように共通アドレスを指定して、B2 に示すように 1 回のリードコマンドを発行するだけで、期間  $T_1$ 、 $T_2$ 、 $T_3$  に示すように検出装置 30X、30Y、30Z の検出データを連続して読み出すことができる。従って、図 1（B）の比較例に比べて、検出データの効率的な読み出しが可能になり、複数の検出装置の検出データを読み出すのに要する時間を短縮化できる。

40

#### 【0083】

例えば多軸ジャイロセンサー（多軸物理量センサー）の場合には、各軸のジャイロセンサーが何個組み込まれるかや、どのような順番で各ジャイロセンサーから検出データを読み出すのかや、検出データのビット数などの情報については、製品の製造時において特定されている。なお検出データのビット数は、製造後、ユーザーが任意に設定できるように

50

してもよい。従って、製品の製造時に、この情報に基づいて、データ送信順番、接続個数、送信データビット数を決定して、不揮発性メモリ等で構成される記憶部に記憶すればよい。このようにすれば、その製品に応じた最適なデータ読み出しシーケンスで、各ジャイロセンサーの検出データを効率的にホストデバイスが取り込んで、取り込んだ検出データに基づく各種の処理を効率的に実行できるようになる。

#### 【0084】

また図2のように本実施形態ではチップセレクト信号についても複数の検出装置で共用できる。従って、SPI通信により占有されるホストデバイスのI/Oポートの個数も減らすことができる。例えば図1(A)では12個のI/Oポートが必要であり、図1(B)では6個のI/Oポートが必要であったが、図2では4個のI/Oポートで済む。従って、SPI通信により占有されるI/Oポートの個数を節約でき、ホストデバイスのI/Oポートを他の用途に使用できるようになるため、利便性等を向上できる。

10

#### 【0085】

##### 4. 検出装置の具体的な構成

次に検出装置の具体的な構成例について説明する。図7に検出装置30(30X、30Y、30Z)の構成例を示す。図7では検出装置30は、インターフェース部40、処理部50、検出回路60、記憶部70、駆動回路80を含む。なお検出装置30は図7の構成に限定されず、その構成要素の一部を省略したり、他の構成要素を追加するなどの種々の変形実施が可能である。

#### 【0086】

処理部50は検出装置30の動作に必要な各種の処理・制御を行う。この処理部50は、CPU、MPU等のプロセッサやASICのハードウェア回路などにより実現できる。

20

#### 【0087】

駆動回路80は、振動子110(広義には物理量トランスデューサー)からのフィードバック信号を受けて、振動子110を駆動する。例えば、駆動回路80は、駆動信号(駆動電圧)を出力して振動子110を駆動する。そして振動子110からフィードバック信号を受け、これにより振動子110を励振させる。

#### 【0088】

検出回路60は、振動子110からの信号に基づいて所望信号の検出処理を行い、検出データを出力する。例えば、検出回路60は、駆動回路80により駆動される振動子110から検出信号(検出電流、電荷)を受ける。そして検出信号から、振動子110に印加された物理量に応じた所望信号を検出(抽出)する。例えばコリオリ力に応じた所望信号を検出することで、所定軸回りでの回転の角速度データを検出データとして求める。

30

#### 【0089】

インターフェース部40は、端子TCS、TSC、TSIを介してホストデバイス10からチップセレクト信号XCS、クロック信号SCLK、データ入力信号SDIを受ける。また端子TSOを介してデータ出力信号SDOを出力する。検出装置30は例えば半導体IC(半導体チップ)により実現することができ、この場合には、端子TCS、TSC、TSI、TSOは半導体ICのパッド等である。

40

#### 【0090】

図8は、検出装置30が有するインターフェース部40、処理部50の詳細な構成例を示す図である。なおインターフェース部40、処理部50は図8の構成に限定されず、その構成要素の一部を省略したり、他の構成要素を追加するなどの種々の変形実施が可能である。

#### 【0091】

インターフェース部40は、I/O回路IO1、IO2、IO3、IO4、シリアル/パラレル変換部42、パラレル/シリアル変換部44を有する。

#### 【0092】

I/O回路IO1、IO2、IO3、IO4は、入力バッファ、出力バッファ或いは入

50

出力バッファにより構成できる。I/O回路IO1、IO2には、各々、端子(パッド)TCS、TSCが接続され、チップセレクト信号XCS、クロック信号SCLKが入力される。I/O回路IO3には端子(パッド)TSIが接続され、データ入力信号SDIが入力される。このシリアルデータ入力信号SDI(シリアルデータ)は、シリアル/パラレル変換部42によりパラレル信号(パラレルデータ)に変換される。一方、処理部50(送信制御部59)からのパラレル信号は、パラレル/シリアル変換部44によりシリアル信号に変換される。そしてI/O回路IO4は、このシリアル信号をデータ出力信号SDOとして端子TSOに出力する。

【0093】

処理部50は、コマンドデコーダー52、比較判定部54、レジスタ56、57、58、送信制御部59を有する。

10

【0094】

コマンドデコーダー52は、シリアル/パラレル変換部42からのパラレル信号を受けて、コマンドデコード処理を行う。即ち、データ入力信号SDIにより入力されたコマンドの解釈を行う。そして、設定対象となるレジスタ56、57、58を選択して、各種レジスタ設定を行う。

【0095】

比較判定部54(スレーブ選択レジスタ)は、記憶部70(不揮発性メモリ)に記憶されたスレーブアドレスと、データ入力信号SDIを用いてホストデバイス10により指定されたアドレスとの比較を行い、レジスタ56、57、58への書き込み又はデータの読み出しを行うかを判断する。例えば記憶部70は、図2で説明した個別アドレスをスレーブアドレスとして記憶している。そして、データ入力信号SDIを用いてホストデバイス10により指定されたアドレスが、自身の個別アドレス(スレーブアドレス)と合致した場合には、レジスタ56、57、58への書き込み等を行う。

20

【0096】

レジスタ56は、DSP部62や送信制御部59の各種の設定を行うレジスタである。DSP部62は、例えば検出データの不要信号を除去するフィルタ処理や帯域制限のフィルタ処理などのデジタルフィルタ処理を行う。レジスタ56には、デジタルフィルタのカットオフ周波数等の周波数特性の設定が行われる。

【0097】

30

レジスタ57は、A/D変換回路64の各種の設定を行うレジスタであり、レジスタ58は、アナログ回路66の各種の設定を行うレジスタである。

【0098】

アナログ回路66は、図7の検出回路60、駆動回路80等に含まれる各種のアナログ回路(増幅回路、ゲイン制御回路、同期検波回路等)である。A/D変換回路64は、アナログ回路66(検出回路)で検出されたアナログの所望信号をデジタルの検出データに変換する。

【0099】

DSP部62は、A/D変換回路64からのデジタルの検出データに対して、各種のデジタルフィルタ処理を行って、デジタルフィルタ処理後の検出データを出力する。送信制御部59は、DSP部62からの検出データを受け、レジスタ56の設定情報や記憶部70に記憶された情報に基づいて、検出データの送信制御を行う。

40

【0100】

例えば図2で説明した共通アドレスがホストデバイス10により指定されて、リードコマンドが発行されたとする。すると送信制御部59は、自身のデータ送信順番において検出データを送信する制御を行う。例えば図6において、自身が検出装置30Xである場合には、期間T1において検出データを送信する制御を行う。この場合のデータ送信順番や送信データビット数等は、記憶部70から読み出した情報に基づいて判断することになる。

【0101】

50

## 5. 多軸ジャイロセンサー

図9は、多軸ジャイロセンサー（広義には多軸物理量センサー）の1つである3軸センサーユニット300の概略斜視図である。

### 【0102】

図9の3軸センサーユニット300では、配線基板310Xにセンサー20Xが実装され、配線基板310Yにセンサー20Yが実装され、配線基板310Zにセンサー20Zが実装される。これらの配線基板310X、310Y、310Zは互いに直交関係にあるリジッド基板である。即ち、配線基板310Xの面と配線基板310Yの面は直交（交差）し、配線基板310Xの面及び配線基板310Yの面と、配線基板310Zの面は直交（交差）する。

10

### 【0103】

センサー20X、20Y、20Zは、各々、図9のC1に示すX軸、Y軸、Z軸を検出軸とするジャイロセンサーである。即ち、センサー20Xは、X軸回りでの回転の角速度を検出するジャイロセンサーである。センサー20Yは、Y軸回りでの回転の角速度を検出するジャイロセンサーであり、センサー20Zは、Z軸回りでの回転の角速度を検出するジャイロセンサーである。

### 【0104】

図9のD1、D2に示すように、配線基板310X、310Y、310Zの外表面には、その配線方向が互いに直交する2組の配線群が形成されている。各組の配線群は、XCS、SCLK、SDI、SDOの信号を伝達する4本の配線により構成されている。D1に示す配線群は、センサー20Xの辺21からセンサー20Xの下面に伸びているが、対抗辺22に達する前にスルーホール320を介して、配線基板310Xの裏面に引き出される。センサー20X、20Y、20Zをスレーブとするホストデバイス10は、配線基板310Xの裏面に実装されている。そしてD1、D2等に示す配線群により、センサー20X、20Y、20Zとホストデバイス10は電氣的に接続されている。

20

### 【0105】

なお図9に示すような実装を行った場合には、センサー20X、20Y、20Zの端子配列の変更が必要になる。例えばセンサー20XでのXCS、SCLK、SDI、SDOの端子配列と、センサー20YでのXCS、SCLK、SDI、SDOの端子配列は異ならせる必要がある。センサー20Zも同様である。

30

### 【0106】

このような端子配列の変更を実現するためには、例えば図8において、I/O回路IO1、IO2、IO3、IO4から入力/出力される信号を変更するためのマルチプレクサーを、インターフェース部40に設ければよい。

### 【0107】

例えば図8では、TCSは、チップセレクト信号XCS用の端子となっており、TSOは、データ出力信号SDO用の端子となっている。これらの端子の役割（配置）を入れ替える場合は、例えばパラレル/シリアル変換部44からの出力信号を、上記のマルチプレクサーが受け、この出力信号をI/O回路IO1に出力する。こうすることで、データ出力信号SDOを、I/O回路IO1を介して端子TCSから出力できるようになる。また、I/O回路IO4からの入力信号をマルチプレクサーが受け、この入力信号をチップセレクト信号XCSとして処理部50に出力する。こうすることで、チップセレクト信号XCSを、端子TSOからI/O回路IO4を介して処理部50に入力できるようになる。

40

### 【0108】

また図8では、TSCは、クロック信号SCLK用の端子となっており、TSIは、データ入力信号SDI用の端子となっている。これらの端子の役割（配置）を入れ替える場合は、I/O回路IO3からの入力信号をマルチプレクサーが受け、この入力信号をクロック信号SCLKとして処理部50に出力する。こうすることで、クロック信号SCLKを、端子TSIからI/O回路IO3を介して処理部50に入力できるようになる。また、I/O回路IO2からの入力信号をマルチプレクサーが受け、この入力信号をデータ入

50

力信号 S D I としてシリアル / パラレル変換部 4 2 に出力する。こうすることで、データ入力信号 S D I を、端子 T S C から I / O 回路 I O 2 を介してシリアル / パラレル変換部 4 2 に入力できるようになる。

#### 【 0 1 0 9 】

以上のようにすることで、T C S を、データ出力信号 S D O 用の端子に設定し、T S O を、チップセレクト信号 X C S 用の端子に設定できる。また T S C をデータ入力信号 S D I 用の端子に設定し、T S I をクロック信号 S C L K 用の端子に設定できる。従って、端子配列（端子の役割）の入れ替えを実現でき、図 9 のような実装形態にも適切に対応することが可能になる。

#### 【 0 1 1 0 】

図 1 0 に本実施形態の検出装置を含む移動体の例を示す。本実施形態の検出装置は、例えば、車、飛行機、バイク、自転車、或いは船舶等の種々の移動体に組み込むことができる。移動体は、例えばエンジンやモーター等の駆動機構、ハンドルや舵等の操舵機構、各種の電子機器を備えて、地上や空や海上を移動する機器・装置である。図 1 0 は移動体の具体例としての自動車 2 0 6 を概略的に示している。自動車 2 0 6 には、本実施形態の検出装置と振動子を有するジャイロセンサー 5 1 0（センサー）が組み込まれている。ジャイロセンサー 5 1 0 は車体 2 0 7 の姿勢を検出することができる。ジャイロセンサー 5 1 0 の検出信号は車体姿勢制御装置 2 0 8 に供給されることができる。車体姿勢制御装置 2 0 8 は例えば車体 2 0 7 の姿勢に応じてサスペンションの硬軟を制御したり個々の車輪 2 0 9 のブレーキを制御したりすることができる。その他、こういった姿勢制御は二足歩行ロボットや航空機、ヘリコプター等の各種の移動体において利用されることができる。姿勢制御の実現にあたってジャイロセンサー 5 1 0 は組み込まれることができる。

#### 【 0 1 1 1 】

なお、上記のように本実施形態について詳細に説明したが、本発明の新規事項および効果から実体的に逸脱しない多くの変形が可能であることは当業者には容易に理解できるであろう。従って、このような変形例はすべて本発明の範囲に含まれるものとする。例えば、明細書又は図面において、少なくとも一度、より広義または同義な異なる用語（物理量トランスデューサー、センサー、物理量等）と共に記載された用語（振動子、ジャイロセンサー、角速度等）は、明細書又は図面のいかなる箇所においても、その異なる用語に置き換えることができる。また、検出装置やセンサーや電子機器や移動体の構成等も、本実施形態で説明したものに限定されず、種々の変形実施が可能である。

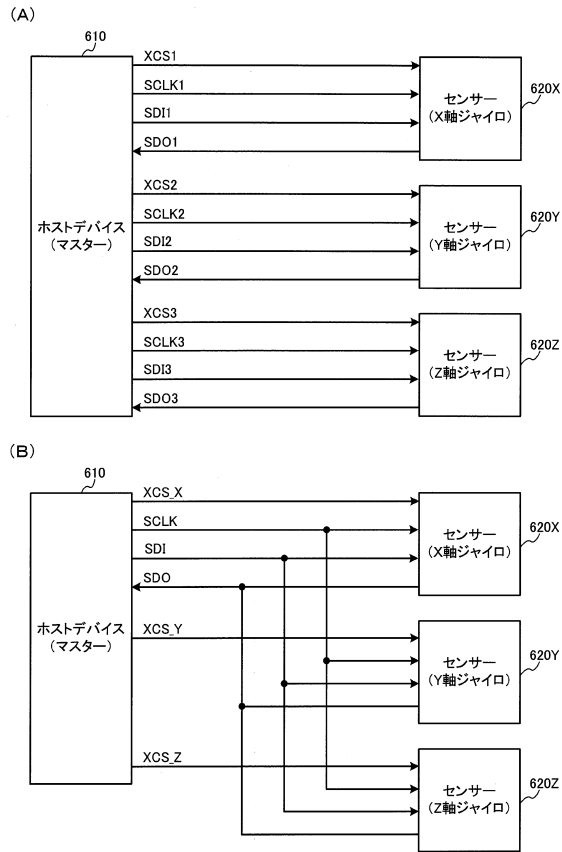
#### 【 符号の説明 】

#### 【 0 1 1 2 】

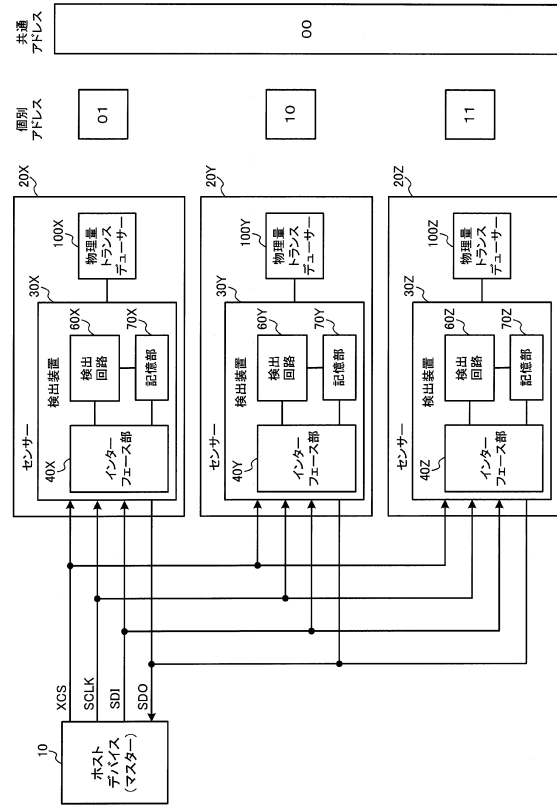
1 0    ホストデバイス、2 0 X、2 0 Y、2 0 Z    センサー、  
 3 0、3 0 X、3 0 Y、3 0 Z    検出装置、  
 4 0、4 0 X、4 0 Y、4 0 Z    インターフェース部、  
 4 2    シリアル / パラレル変換部、4 4    パラレル / シリアル変換部、  
 5 0    処理部、5 2    コマンドデコーダー、5 4    比較判定部、  
 5 6、5 7、5 8    レジスター、5 9    送信制御部、  
 6 0、6 0 X、6 0 Y、6 0 Z    検出回路、6 2    D S P 部、6 4    A / D 変換部、  
 6 6    アナログ回路、7 0、7 0 X、7 0 Y、7 0 Z    記憶部、8 0    駆動回路、  
 1 0 0 X、1 0 0 Y、1 0 0 Z    物理量トランスデューサー、1 1 0    振動子、  
 2 0 6    自動車    2 0 7    車体、2 0 8    車体姿勢制御装置、2 0 9    車輪、  
 3 0 0    3 軸センサーユニット、3 1 0 X、3 1 0 Y、3 1 0 Z    配線基板、  
 3 2 0    スルーホール、6 1 0    ホストデバイス、  
 6 2 0 X、6 2 0 Y、6 2 0 Z    センサー、



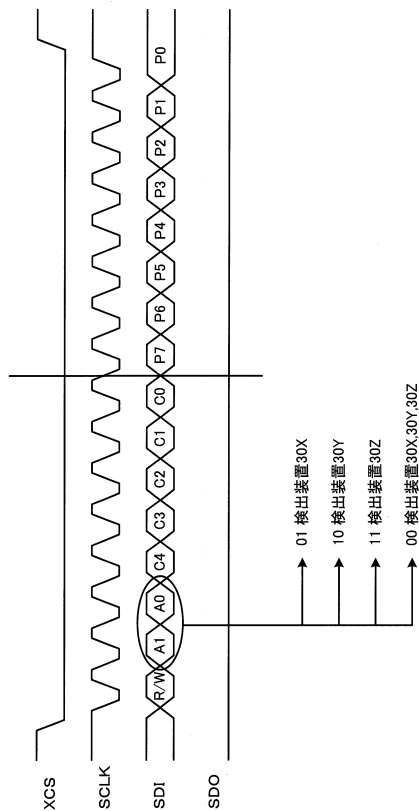
【図 1】



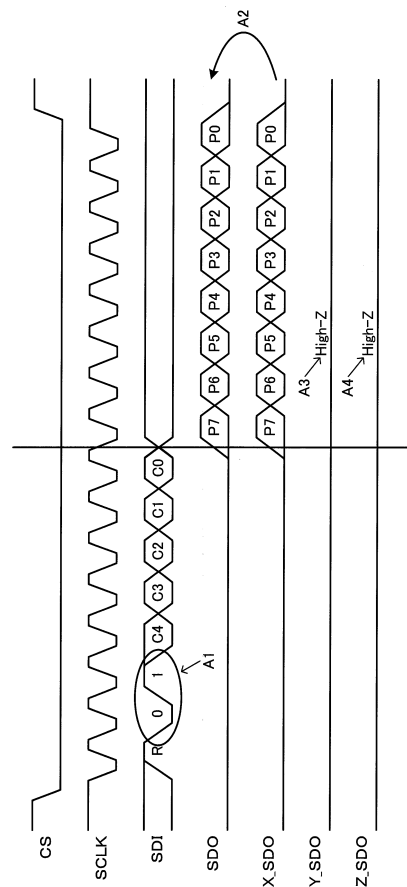
【図 2】



【図 3】

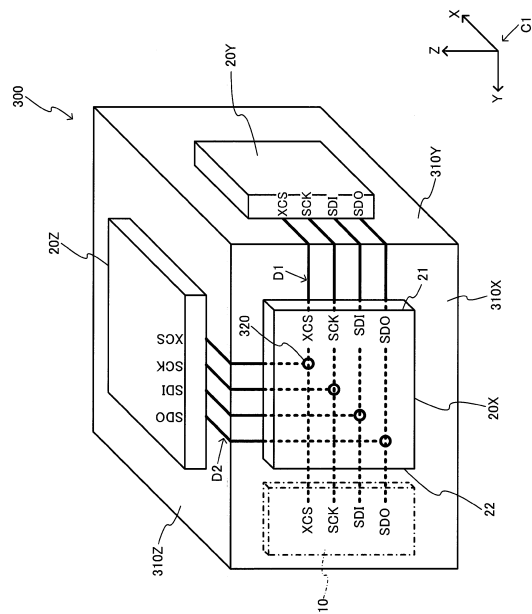


【図 4】

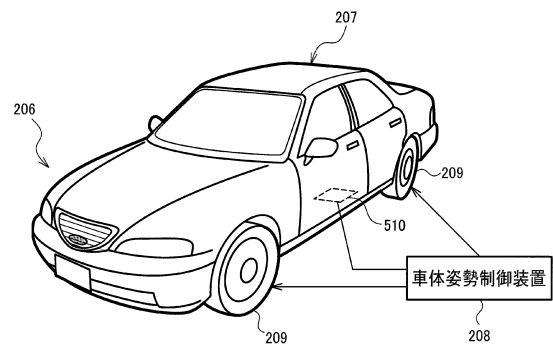




【図 9】



【図 10】



---

フロントページの続き

審査官 田上 隆一

(56)参考文献 特開2005-123744(JP,A)  
特開2004-007493(JP,A)  
特開2010-021866(JP,A)  
特開平03-154994(JP,A)  
特開2009-229447(JP,A)  
欧州特許出願公開第00959413(EP,A1)  
米国特許出願公開第2012/0072628(US,A1)

(58)調査した分野(Int.Cl., DB名)  
G06F 13/362  
G06F 13/38  
G06F 13/42