



(12) 发明专利

(10) 授权公告号 CN 107706279 B

(45) 授权公告日 2020.10.30

(21) 申请号 201710929496.4

(51) Int.CI.

(22) 申请日 2012.05.21

H01L 33/46 (2010.01)

(65) 同一申请的已公布的文献号

H01L 33/48 (2010.01)

申请公布号 CN 107706279 A

H01L 33/50 (2010.01)

(43) 申请公布日 2018.02.16

H01L 33/58 (2010.01)

(30) 优先权数据

H01L 33/62 (2010.01)

61/491918 2011.06.01 US

H01L 25/075 (2006.01)

(62) 分案原申请数据

H01L 33/00 (2010.01)

201280026933.7 2012.05.21

(56) 对比文件

(73) 专利权人 亮锐控股有限公司

US 2007114552 A1, 2007.05.24

地址 荷兰史基浦

US 2009179207 A1, 2009.07.16

(72) 发明人 D.A. 斯特格瓦德 J.C. 布哈特

US 2007284602 A1, 2007.12.13

S.阿克拉姆

CN 101867003 A, 2010.10.20

(74) 专利代理机构 中国专利代理(香港)有限公司

JP 2010103186 A, 2010.05.06

代理人 景军平 陈岚

审查员 郭瑶

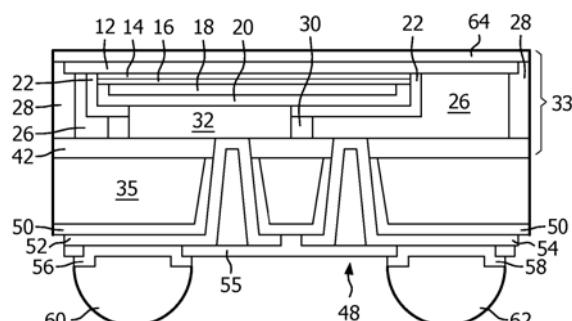
权利要求书2页 说明书8页 附图4页

(54) 发明名称

发光器件以及将发光器件附着到支撑衬底的方法

(57) 摘要

根据本发明各实施例的方法包括:将半导体发光器件的晶片接合到支撑衬底的晶片,每个半导体发光器件包括夹在n型区域和p型区域之间的发光层,每个支撑衬底包括本体;和在将半导体发光器件的晶片接合到支撑衬底的晶片之后,形成延伸穿过每个支撑衬底的本体的整个厚度的通路;其中所述接合包括在低于300°C的温度下进行接合。



1. 一种发光器件,包括:

多个半导体发光器件的晶片,每个半导体发光器件包括:

介于n型区域和p型区域之间的发光层;

n接触,其设置在n型区域上以使得所述n接触从所述n型区域的边缘缩回;和

布置在相邻半导体发光器件之间的聚合物层;

多个支撑衬底的晶片,每个支撑衬底包括本体,

位于所述半导体发光器件的晶片和所述支撑衬底的晶片之间的平坦接合层;以及

在每个支撑衬底的所述本体中形成的至少一个通路,该至少一个通路延伸穿过每个支撑衬底的整个厚度并且延伸穿过平坦接合层的整个厚度,使得所述半导体发光器件的晶片的一部分露出。

2. 根据权利要求1所述的发光器件,还包括设置在所述聚合物层和n型区域之间的反射电介质层。

3. 根据权利要求1所述的发光器件,其中所述聚合物层掺杂有光吸收材料和光散射材料中的一种。

4. 根据权利要求2所述的发光器件,其中所述反射电介质层在所述n型区域的边缘上延伸并覆盖所述n型区域的侧表面。

5. 根据权利要求2所述的发光器件,其中所述反射电介质层是反射电介质堆叠。

6. 根据权利要求1所述的发光器件,其中所述至少一个通路在所述半导体发光器件的晶片中露出金属层。

7. 根据权利要求1所述的发光器件,还包括形成在所述至少一个通路的侧表面上的钝化层。

8. 根据权利要求1所述的发光器件,还包括设置在所述至少一个通路的侧表面上的电介质层,其中所述电介质层被图案化以在所述至少一个通路的端部露出金属层。

9. 根据权利要求8所述的发光器件,还包括设置在所述电介质层上的至少一个通路中的金属。

10. 根据权利要求9所述的发光器件,其中所述金属设置在所述本体的至少一个通路外部的表面上,并且设置在所述本体的该表面上的金属的厚度在1μm至20μm之间。

11. 根据权利要求9所述的发光器件,其中所述金属填充所述至少一个通路。

12. 根据权利要求9所述的发光器件,其中所述金属不填充所述至少一个通路。

13. 一种将发光器件附着到支撑衬底的方法,包括:

提供半导体发光器件的晶片和布置在相邻半导体发光器件之间的聚合物层,每个半导体发光器件包括:介于n型区域和p型区域之间的发光层,

在低于300°C的温度下将所述半导体发光器件的晶片接合到支撑衬底的晶片,每个支撑衬底包括本体;和

在将半导体发光器件的晶片接合到支撑衬底的晶片之后,形成延伸穿过每个支撑衬底的本体的厚度的通路。

14. 根据权利要求13所述的将发光器件附着到支撑衬底的方法,其中所述接合包括在100°C和250°C之间的温度下进行接合。

15. 根据权利要求13所述的将发光器件附着到支撑衬底的方法,还包括在形成所述通

路之前使每个支撑衬底的本体变薄。

16. 根据权利要求13所述的将发光器件附着到支撑衬底的方法,其中将所述半导体发光器件的晶片接合到所述支撑衬底的晶片包括通过至少一个接合层进行接合。

17. 根据权利要求16所述的将发光器件附着到支撑衬底的方法,其中所述至少一个接合层包括由电介质区域分开的金属区域,其中金属区域和电介质区域形成在每个支撑衬底的本体的表面上。

18. 根据权利要求16所述的将发光器件附着到支撑衬底的方法,其中所述至少一个接合层包括形成在半导体发光器件的晶片上的聚合物层。

19. 根据权利要求16所述的将发光器件附着到支撑衬底的方法,其中所述至少一个接合层包括形成在半导体发光器件的晶片上的有机粘合剂。

发光器件以及将发光器件附着到支撑衬底的方法

[0001] 相关申请

[0002] 本申请是于2012年5月21日提交的申请号为201280026933.7、发明名称为“将发光器件附着到支撑衬底的方法”的中国专利申请的分案申请。

技术领域

[0003] 本发明涉及一种用于将半导体发光器件附着到支撑衬底的晶片级工艺。

背景技术

[0004] 包括发光二极管(LED)、谐振腔发光二极管(RCLED)、垂直腔激光二极管(VCSEL)和边缘发射激光器的半导体发光器件属于当前可获得的最高效的光源。在能够跨过可见光谱操作的高亮度发光器件的制造中当前感兴趣的材料体系包括III-V族半导体，尤其是也称为III族氮化物材料的镓、铝、铟和氮的二元、三元和四元合金。典型地，通过金属有机物化学气相沉积(MOCVD)、分子束外延(MBE)或其它外延技术在蓝宝石、碳化硅、III族氮化物或其它适当衬底上外延生长不同成分和掺杂剂浓度的半导体层的堆叠来制造III族氮化物发光器件。所述堆叠常常包括形成在衬底上的掺杂了例如Si的一个或多个n型层、形成在所述(一个或多个)n型层上的有源区域中的一个或多个发光层、以及形成在所述有源区域上的掺杂了例如Mg的一个或多个p型层。电接触形成在所述n型区域和p型区域上。

[0005] 图10示出了在US6,876,008中更详细描述的附着到载具(submount)114的发光二极管管芯110。在所述载具的顶面和底面上的可焊接表面之间的电连接形成于所述载具内。载具顶部上的可焊接区域(焊球122-1和122-2布置在其上)通过载具内的导电路径而电连接到载具底部上的可焊接区域(其附着到焊接接头138)。焊接接头138将载具底部上的可焊接区域电连接到板134。载具114可以是例如具有若干不同区域的硅/玻璃复合载具。硅区域114-2被金属化物118-1和118-2包围，金属化物118-1和118-2形成载具的顶面和底面之间的导电路径。诸如ESD保护电路的电路可以形成在被金属化物118-1和118-2包围的硅区域114-2中，或者形成在其它硅区域114-3中。这种其它硅区域114-3也可以电接触管芯110或板134。玻璃区域114-1电隔离不同的硅区域。焊接接头138可以被绝缘区域135电隔离，所述绝缘区域135可以是例如电介质层或空气。

[0006] 在图10示出的器件中，在管芯110附着到载具114之前，包括金属化物118-1和118-2的载具114与管芯110分开形成。例如，US6,876,008解释了生长硅晶片以包括诸如上面提及的ESD保护电路的任何期望电路，所述硅晶片包括用于很多载具的位置(site)。通过常规的掩模和蚀刻步骤在晶片中形成孔。在晶片上以及在孔中形成诸如金属的导电层。然后可以图案化所述导电层。然后在晶片上以及在孔中形成玻璃层。除去晶片和玻璃层的部分以露出导电层。然后可以图案化在晶片下侧上的导电层，并且可以添加和图案化另外的导电层。一旦晶片的下侧被图案化，就可以通过互连122将各个LED管芯110物理和电连接到载具上的导电区域。换而言之，LED 110在被划片成单个的二极管之后附着到载具114。

发明内容

[0007] 本发明的目的是提供一种用于将半导体发光器件附着到支撑衬底的晶片级工艺。

[0008] 根据本发明各实施例的一种方法包括：提供半导体发光器件的晶片，每个半导体发光器件包括夹在n型区域和p型区域之间的发光层。提供支撑衬底的晶片，每个支撑衬底包括本体。将半导体发光器件的晶片接合到支撑衬底的晶片。形成延伸穿过每个支撑衬底的本体的整个厚度的通路。

[0009] 通过允许在晶片级进行传统上在管芯级进行的一些处理步骤，晶片级工艺可以降低成本。

附图说明

[0010] 图1示出了半导体发光器件的晶片的一部分。在图1中示出了两个发光器件。

[0011] 图2示出了在添加一个或多个金属层以及一个或多个聚合物层之后的图1所述器件其中之一。

[0012] 图3示出了通过金属接合物(metal bond)接合到支撑衬底的器件。

[0013] 图4示出了通过单个聚合物层接合到支撑衬底的器件。

[0014] 图5示出了通过形成在器件和支撑衬底上的电介质层接合到支撑衬底的器件。

[0015] 图6示出了在支撑衬底的本体中形成通路之后的图3的结构。

[0016] 图7示出了在形成通路以及图案化金属和电介质层之后的图4的结构。

[0017] 图8示出了在形成附加图案化金属和电介质层并且附着焊料凸块和波长转换层之后的图7的结构。

[0018] 图9示出了形成在n型区域的边缘上的反射器。

[0019] 图10示出了包括安装在载具上的LED的现有技术器件。

具体实施方式

[0020] 在本发明各实施例中，在晶片级工艺中将半导体发光器件接合到底座(mount)。尽管在下面各例子中半导体发光器件是发射蓝光或UV光的III族氮化物LED，但是可以使用诸如激光二极管的LED之外的半导体发光器件以及由诸如其它III-V族材料、III族磷化物、III族砷化物、II-VI族材料、ZnO或Si基材料的其它材料体系制成的半导体发光器件。

[0021] 图1示出了半导体发光器件的晶片的一部分。在图1中示出了两个器件。为了形成图1所示的结构，在生长衬底上生长半导体结构，所述生长衬底例如可以是任何适当衬底10，诸如蓝宝石、SiC、Si、GaN或复合衬底。半导体结构包括夹在n和p型区域12和16之间的发光或有源区域14。n型区域12可以首先生长并且可以包括不同成分和掺杂剂浓度的多个层，所述层例如包括诸如缓冲层或成核层的准备层、和/或设计成促进生长衬底去除的层(其可以是n型的或非故意掺杂的)、以及针对使发光区域高效发光所期望的特定光学或电学属性而设计的n或甚至p型器件层。在n型区域12上生长发光或有源区域14。适当发光区域的例子包括单个厚或薄的发光层，或者包括被势垒层分开的多个薄或厚发光层的多量子阱发光区域。然后可以在发光区域14上生长p型区域16。像n型区域12一样，p型区域16可以包括不同成分、厚度和掺杂剂浓度的多个层，所述层包括非故意掺杂的层或n型层。器件中所有半导体材料的总厚度在一些实施例中小于10μm，并且在一些实施例中小于6μm。在一些实施例

中,首先生长p型区域,之后生长有源区域,然后生长n型区域。在一些实施例中,在生长之后可以可选地在200°C到800°C之间对所述半导体材料退火。

[0022] 然后形成p型区域16上的金属接触。在图1的器件中,p接触包括两个金属层18和20。金属18可以通过例如蒸镀或溅射被沉积,然后通过包括例如蚀刻或剥离的标准光刻操作被图案化。金属18例如可以是与p型III族氮化物材料形成欧姆接触的反射金属,诸如银。金属18也可以是过渡金属和银的多层堆叠。过渡金属可以是例如镍。金属18在一些实施例中厚100Å到2000Å,在一些实施例中厚500Å到1700Å,并且在一些实施例中厚1000Å到1600Å。在沉积金属18之后,可以可选地对所述结构进行二次退火。

[0023] 可选的第二p接触金属20可以通过例如蒸镀或溅射沉积在p接触金属18上,然后例如通过诸如蚀刻或剥离的标准光刻操作被图案化。金属20例如可以是与银最程度地反应的任何导电材料,例如钛和钨的合金。该合金可以被部分氮化、完全氮化或根本不氮化。金属20可替换地可以是铬、铂或硅,或者可以是针对与周围的层的粘附以及阻挡金属18的扩散而被优化的任何上述材料的多层堆叠。金属20在一些实施例中厚1000Å到10000Å,在一些实施例中厚2000Å到8000Å,并且在一些实施例中厚2000Å到7000Å。

[0024] 然后通过标准光刻操作图案化所述结构,并且通过例如其中化学反应等离子体用于去除半导体材料的反应离子蚀刻(RIE)、或感应耦合等离子体(ICP)蚀刻、其中通过RF供电的磁场产生等离子体的RIE工艺来蚀刻所述结构。在一些实施例中,通过用于图案化p接触金属20的光刻掩模确定所述图案。在这些实施例中,可以在p接触金属20的蚀刻之后在单个操作中进行蚀刻。在一些区域中,去除p型区域16的整个厚度和发光区域14的整个厚度,露出n型区域12的表面13。然后在器件之间的区域11中蚀刻掉n型区域12,露出生长衬底10,使得III族氮化物材料从最终器件的边缘200缩回一距离202。例如,在一些实施例中III族氮化物材料可以从器件的边缘缩回1μm到50μm,在一些实施例中缩回不到20μm,在一些实施例中缩回不到10μm,并且在一些实施例中缩回不到6μm。

[0025] 电介质22可以例如通过等离子体增强化学气相沉积(PECVD)、化学气相沉积(CVD)或蒸镀而沉积在图1中的结构上。电介质22为连接到n型和p型区域的金属接触提供电隔离。通过标准光刻操作来图案化并且通过ICP蚀刻或RIE来蚀刻电介质22,从而露出区域13中的n型区域12并且露出区域24中的p接触金属20。也可以通过剥离来图案化电介质22。电介质22可以是包括氮化硅、氧化硅和氧氮化硅的任何适当电介质。在一些实施例中,电介质22是被优化从而反射入射在其上的光的多层电介质堆叠。电介质22在一些实施例中厚度不到2μm,在一些实施例中厚200Å到5000Å,并且在一些实施例中厚500Å到3200Å。

[0026] 在图1中示出两个器件,从而说明此处描述的各器件形成在器件的晶片上。为了简单起见,在图2、3、4、5、6、7和8中仅示出了一个器件,不过应当理解这些图中示出的结构遍布晶片被重复。

[0027] 在图2中,沉积和图案化金属层27,金属层27在其接触n型区域12的区域中形成n接触26,并且金属层27形成附加p接触层32。金属27可以是包括铝的任何适当金属或者是包括铝、钛-钨合金、铜和金的金属的多层堆叠。在金属27是多层堆叠的实施例中,第一金属(即,与n型区域12相邻的金属)可以被选择为与GaN形成欧姆接触并且反射蓝光和白光。这种第一层可以是例如铝。最后的金属可以是适于被用于将器件附着到底座的任何接合工艺的金属。例如,在一些实施例中,所述接合工艺是热压接合并且所述最后的金属是金。金属27可

以通过任何合适工艺来沉积,所述工艺包括例如溅射、蒸镀、镀敷或者这些工艺的组合。

[0028] 尽管在图2中示出的器件中,n接触26在n型区域12的边缘上延伸并且触碰生长衬底10,但是在一些实施例中,n接触26可以从n型区域12的边缘缩回,使得n接触26不覆盖n型区域12的边缘。在这种实施例中,如下所述的聚合物层28可以更宽,使得它触碰n型区域12的不被n接触26覆盖的部分。在一些实施例中,如在示出了器件的一部分的图9所示,围绕n型区域12的边缘沉积反射电介质材料70。反射电介质材料70可以是反射电介质堆叠,该反射电介质堆叠例如与电介质22同时形成或者在分开的沉积和图案化步骤中形成。在任何情况下,n型区域12和n接触26二者都从器件的边缘200缩回。

[0029] 然后沉积和图案化一个或多个聚合物层。聚合物层28布置在相邻的器件之间。聚合物层30将p接触32与n接触26分开。聚合物层28和30可以是相同的材料并且可以在相同的操作中沉积和图案化,不过它们不需要这样。例如,在图4所示的器件中,聚合物层28和30以及接合层42都可以是在单个步骤中沉积的相同的材料。在这种情况下,沉积的材料不需要被图案化并且可以不需要平坦化。在一些实施例中,聚合物层28和30耐高温。适当材料的例子包括基于苯并环丁烯的聚合物、基于聚酰亚胺的聚合物以及环氧树脂。在一些实施例中,聚合物层28掺杂有诸如二氧化钛的散射成分或者诸如炭黑的光吸收材料。在一些实施例中,聚合物层28可以是硅树脂。例如可以通过化学机械抛光、机械抛光或飞刀切削来平坦化所沉积的聚合物层28和30。

[0030] 图2中所示器件的晶片相对于图2所示取向被翻转并且被接合到支撑衬底的晶片。在图3、4和5中示出了半导体发光器件33与支撑衬底34之间的适当接合的三个例子。图3、4和5所示支撑衬底34包括本体35。本体在一些实施例中可以是Si、GaAs或Ge,或者可以是任何其它适当材料。在一些实施例中,电子装置可以集成到支撑衬底34中。集成元件可以包括例如用于静电放电保护或驱动电子装置的电路元件。适当的集成元件的例子包括二极管、电阻器和电容器。可以通过常规半导体处理技术形成集成元件。

[0031] 在图3所示的结构中,在支撑衬底34上生长可选的电介质36。电介质36可以是本体35的热生长的原生氧化物(例如硅氧化物)、通过PECVD或CVD沉积的电介质(例如,硅的氧化物、氮化物或氧氮化物)或任何其它适当电介质。例如,可以在800 °C到1200 °C在含有O₂和/或H₂O的气态气氛中通过加热硅来生长热氧化物。可以在硅烷和N₂O或O₂,或者原硅酸四乙酯和N₂O或O₂的气氛中在150 °C到400 °C的温度生长PECVD氧化物。可以在硅烷和N₂O或O₂,或者原硅酸四乙酯和N₂O或O₂的气氛中在300 °C到900 °C的温度生长CVD氧化物。

[0032] 在电介质36(如果存在)上或在本体35上沉积金属38。金属38可以是通过溅射、镀敷、蒸镀、这些技术的组合或者任何其它适当技术沉积的例如铜、金或任何其它适当金属。金属38也可以包括多层金属堆叠。在金属38是多层堆叠的实施例中,堆叠的最后沉积的层可以是适于用于将器件33附着到支撑衬底34的任何接合技术的金属。在一些实施例中,接合技术是热压接合并且最后沉积的层可以是金。例如可以通过加法工艺或减法工艺图案化金属38。

[0033] 沉积并且图案化电介质40。电介质40提供电连接到n型和p型半导体层的各金属层之间的电隔离,因此电介质40必须与聚合物层30对准。电介质40可以是聚合物或适于用作接合材料或胶的其它有机材料。电介质40可以是例如基于苯并环丁烯的聚合物、基于聚酰亚胺的聚合物、基于硅树脂的聚合物、环氧树脂、各材料的组合、任何其它适当有机材料或

一种无机电介质。可选地,可以例如可以通过抛光、通过化学机械抛光或通过任何其它适当工艺来平坦化支撑衬底34的顶面(即,金属38和电介质40的顶面)。

[0034] 在图4所示结构中,在图2所示结构的顶面(即,金属层26和32以及聚合物层28和30的顶面)上形成单个电介质接合层42。可替换地,可以在支撑衬底34的本体35上形成电介质42。电介质42可以是聚合物或适于用作接合材料或胶的其它有机材料。电介质42可以是基于苯并环丁烯的聚合物、基于聚酰亚胺的聚合物、环氧树脂、基于硅树脂的聚合物或任何其它适当有机材料。电介质42可以是与聚合物层28和30相同的材料,不过它不需要这样。电介质42可以通过例如旋涂形成,并且可以在沉积之后例如通过化学机械抛光、机械抛光或飞刀切割被平坦化。在电介质42是与聚合物层28和30相同的材料的实施例中,可以在共沉积之后例如通过化学机械抛光在单个步骤中平坦化所述器件。在一些实施例中,不要求电介质42的平坦化。电介质42在金属层26和32上可以为100Å到1μm厚,并且在整个晶片上是平面的。

[0035] 在图5示出的器件中,分别在本体35和器件33二者上形成接合层44和46。形成在器件33上的接合层46例如可以是电介质,该电介质诸如是氮化硅、氧氮化硅或通过例如PECVD在低温沉积的硅氧化物。例如,可以在硅烷和N₂O或O₂,或者原硅酸四乙酯和N₂O或O₂的气氛中在150°C到400°C的温度生长PECVD氧化物。在一些实施例中电介质46可以厚100Å到1μm。形成在支撑衬底34上的接合层44例如可以是电介质,所述电介质是诸如硅氧化物、氮化硅或氧氮化硅。硅氧化物可以是例如通过CVD在高温沉积的或者例如通过PECVD在低温沉积的位于硅支撑衬底上的热生长氧化物。在一些实施例中电介质44可以厚100Å到1μm。例如,可以通过在800°C到1200°C在含有O₂和/或H₂O的气态气氛中加热硅来生长热氧化物。可以在硅烷和N₂O或O₂,或者原硅酸四乙酯和N₂O或O₂的气氛中在150°C到400°C的温度沉积PECVD氧化物。可以在硅烷和N₂O或O₂,或者原硅酸四乙酯和N₂O或O₂的气氛中在300°C到900°C的温度沉积CVD氧化物。

[0036] 通过例如图3、4和5所示接合结构其中之一,将器件33的晶片接合到支撑衬底34的晶片。接合在一些实施例中可以在50°C到500°C之间的温度进行,并且在一些实施例中可以在100°C到250°C之间的温度进行。在一些实施例中,可以在不到5MPa的所施加的压缩压力下进行接合。在一些实施例中,在接合到支撑衬底34的晶片之后,可以通过例如蚀刻或激光剥离从器件33去除生长衬底10。在生长衬底10被去除的实施例中,支撑衬底34为器件33提供机械支撑,这是因为没有生长衬底的器件通常太薄而不能机械地自支撑。例如,在没有衬底的情况下图2所示器件的总厚度在一些实施例中不超过7μm,并且在一些实施例中不超过25μm。通过去除生长衬底10而露出的半导体材料可以通过任何适当工艺(例如光电化学蚀刻)来图案化或粗糙化,例如从而增强光提取。在一些实施例中,生长衬底10保留为最终器件的一部分。在一些实施例中,例如可以通过锯切或蚀刻对生长衬底成形。在接合到器件33之前或之后,支撑衬底34的本体35在一些实施例中可以被减薄到50μm到250μm的厚度,并且在一些实施例中可以被减薄到80μm到120μm的厚度。可以通过例如化学机械抛光或研磨和抛光进行减薄。

[0037] 在接合之后,在支撑衬底中形成通路,并且接合的结构经历进一步的处理,如图6、7和8中所示。图6示出了在图3所示器件中形成的通路。图7和8示出了在图4所示器件上形成的通路以及金属和电介质层。可以在图3、4和5所示器件任何其一上进行图6、7和8所示的处

理。

[0038] 如图6所示,穿过支撑衬底34的本体35蚀刻形成通路48。示出了两个通路:露出电连接到n型区域12的金属的一个通路,以及露出电连接到p型区域16的金属的一个通路。在图6所示器件(其包括在图3所示接合)中,穿过本体35和可选的电介质36蚀刻形成通路48以露出金属层38。在图4和5所示器件中,穿过接合层42、44和46蚀刻形成通路以露出p金属32和n金属26。例如可以通过深度反应离子蚀刻、反应离子蚀刻、湿法化学蚀刻或任何其它适当蚀刻技术来蚀刻形成通路48。在支撑衬底34为Si的实施例中,适当蚀刻剂气体包括例如SF₆,并且在一种通常称为Bosch工艺的工艺中,蚀刻可以与使用例如八氟环丁烷在Si侧壁上沉积化学惰性钝化层分时复用。在支撑衬底34为GaAs的实施例中,适当蚀刻剂气体包括例如Cl₂、HBr或者Cl₂和HBr的混合物。在支撑衬底34为Ge的实施例中,适当蚀刻剂气体包括例如Cl₂、SCl₄或者Cl₂和SCl₄的混合物。在支撑衬底34为GaAs或Ge的实施例中,蚀刻也可以与在侧壁上沉积化学惰性钝化层分时复用。通路48的侧壁可以与本体35正交,或者如图6所示成角度。

[0039] 如图7所示,然后将电介质50沉积在本体35的表面上和通路48中。电介质50可以是例如通过PECVD在低温沉积的例如硅氧化物、硅氮化物或硅氧氮化物。例如,可以在硅烷和N₂O或O₂,或者原硅酸四乙酯和N₂O或O₂的气氛中在150°C到400°C的温度沉积PECVD氧化物。在一些实施例中电介质50可以厚100Å到2μm。随后图案化电介质50以露出在通路48顶部的金属层32和26。

[0040] 沉积然后图案化金属层以形成到达p接触和n接触的电连接52和54。电连接52和54例如可以是通过例如镀敷、溅射或者溅射和镀敷的组合沉积的Cu。电连接52和54在一些实施例中可以厚1μm到20μm,并且在一些实施例中可以厚6μm到10μm。在图7所示的横截面中,通路48未被电连接52和54完全填充。在一些实施例中,通路48的未被电介质50占据的部分可以被电连接52和54完全填充。形成电连接52和54的金属层可以是多层金属堆叠,该多层金属堆叠例如包括通过溅射或通过溅射和镀敷的组合沉积的Ti、TiW、Cu、Ni和Au。

[0041] 如图8所示,沉积并图案化电介质55以电隔离和/或保护电连接52和54。电介质55可以是例如一种或多种基于苯并环丁烯的聚合物或者一种或多种基于聚酰亚胺的聚合物。在通路48未被形成电连接52和54的金属层完全填充的实施例中,电介质55可以被配置成大部分地或完全地填充通路48,或者通路48可以保持不填充。

[0042] 可选地,然后沉积附加金属层以形成焊料连接56和58。该附加金属可以是适合用作电连接52和54与互连60和62之间的连接的任何金属,互连60和62在一些实施例中是焊料凸块。用于焊料连接56和58的适当结构的例子包括:溅射的NiV或镀敷的Ni的第一层、之后的溅射或镀敷的Au的第二薄层;溅射的TiW的第一层、之后的溅射的NiV或镀敷的Ni的第二层、之后的溅射或镀敷的Au的第三薄层;或者溅射或镀敷的TiW的第一层、之后的镀敷的Cu的第二层、之后的溅射或镀敷的Au的第三层。在一些实施例中,焊料连接56和58可以具有1μm到15μm的总厚度。

[0043] 在一些实施例中,在发光层14上在由发光层发射的光的路径中布置波长转换层64。波长转换层64可以与器件间隔开、在生长衬底10已被去除时附着到n型区域12、或者在生长衬底10存在时附着到生长衬底10。波长转换层包括配置成吸收由发光层发射的光并且发射不同波长的光的一种或多种波长转换材料。由发光层发射并且入射到波长转换层上的

光的全部或仅一部分可以被波长转换材料转换。未转换的由发光层发射的光可以是最终光谱的一部分,不过其不必这样。常用组合的例子包括:蓝光发射LED与黄光发射波长转换材料组合;蓝光发射LED与绿光和红光发射波长转换材料组合;UV发射LED与蓝光和黄光发射波长转换材料组合;以及UV发射LED与蓝光、绿光和红光发射波长转换材料组合。可以添加发射其它颜色的光的波长转换材料来定制从器件发射的光的光谱。

[0044] 波长转换层64可以是例如通过层叠而沉积在晶片上的硅树脂基质中的磷光体颗粒的层。波长转换层的厚度在一些实施例中可以为10μm到100μm,在一些实施例中为15μm到50μm,并且在一些实施例中为18μm到30μm。波长转换层64可以是例如通过喷涂、电泳、重叠注塑、模板印刷、丝网或喷墨印刷、沉淀、蒸镀、溅射或任何其它适当技术,沉积在器件上的有机或无机密封剂中的粉末磷光体或量子点。波长转换层64例如可以是预成型的自支撑层,例如基于玻璃的磷光体或通过烧结形成的固体陶瓷磷光体。这种自支撑层可以被直接接合到器件而无需粘合剂,或者通过诸如硅树脂胶的粘合剂接合。在一些实施例中,波长转换层64可以是多层结构,该多层结构包括直接接合或沉积到n型区域12的第一高折射率隔离物材料以及沉积在所述隔离物材料顶上的磷光体层。适当的磷光体的例子包括基于掺杂的钇铝石榴石的磷光体、基于氮化物的磷光体以及任何其它适当磷光体。

[0045] 在一些实施例中,波长转换层64是器件中唯一的波长转换材料。在一些实施例中,波长转换层64与其它波长转换元件相结合以产生白光或其它颜色的单色光,所述其它波长转换元件例如为其它磷光体、量子点、半导体波长转换元件或染料。

[0046] 在一些实施例中,适于将图8所示的结构附着到另一结构(诸如印刷电路板)的可选的互连60和62形成在连接56和58上。互连60和62通常是焊料凸块,但是任何适当互连可以被使用。焊料凸块60和62可以是例如锡、银和铜的合金(SAC焊料)或者金和锡的合金。可以通过任何适当技术(包括例如镀敷)应用焊料。在镀敷之后,所述结构随后可以被回流以平滑所述结构和焊料凸块60和62的微结构。

[0047] 接合到支撑衬底34的器件33的晶片然后可以被划片成单个的发光器件芯片。由于器件33和支撑衬底34一起被划片,因此支撑衬底不比器件宽,如图3、4、5、6、7和8所示的那样。例如可以通过常规的锯切、通过使用193nm、248nm或355nm光的激光消融或通过喷水切割进行单个化。也可以通过划割和机械断裂的组合进行单个化,例如通过常规的锯切、通过使用193nm、248nm或355nm光的激光消融或通过喷水切割进行划割。

[0048] 由于上述器件在晶片级上被接合到支撑衬底,所以本发明各实施例可以提供优于其中器件被逐个管芯地接合到支撑衬底的常规方案的效率以及成本降低。例如,效率可以增加是因为,LED的晶片级处理可能贯穿于在常规LED中通常在封装级进行的很多处理操作,所述处理操作包括生长衬底去除、生长衬底去除之后的半导体表面的粗糙化以及形成波长转换层。

[0049] 在常规半导体垂直集成方案中,被集成的器件通常标称上是相同的材料,或者是具有相似热膨胀系数(CTE)的材料。因此,可以在升高的温度下进行结构的晶片接合。在生长在蓝宝石上并且晶片接合到硅支撑衬底晶片的III族氮化物器件的情况下,蓝宝石和硅的CTE十分不同,使得在升高温度下的晶片接合可能导致显著应力被锁定到接合的结构中,从而导致在后续处理期间所接合的结构的弯曲和断裂。在一些上述实施例中,器件在低温下被接合到支撑衬底,这可能导致结构中的锁入应力最小,这可以提高产量。例如,接合在

一些实施例中在不到300°C进行,并且在一些实施例中在230°C到275°C进行,或者在一些实施例中更低。在使用基于硅树脂的接合层的一些实施例中,可以在不到150°C进行接合。

[0050] 在一些实施例中,由于支撑衬底晶片在接合时不包括特征,因此器件的晶片可以在没有详尽的对准的情况下接合到支撑衬底晶片。器件晶片和支撑衬底晶片仅需粗略对准,例如通过视觉对准,而不需要两个晶片上的图案化特征的精细对准。在接合之后,通路蚀刻掩模必须对准到LED金属化物,这可以通过IR对准(其透视所接合的晶片)或背侧对准(其将支撑衬底晶片侧上的掩模与如透过诸如蓝宝石的透明生长衬底所看到的LED图案的视图对准)进行。

[0051] 已经详细描述了本发明,本领域技术人员将理解,考虑到本公开内容,可以在不脱离此处所描述发明概念的精神的情况下对本发明进行修改。因此,并不意图将本发明的范围限制于所示和描述的具体实施例。

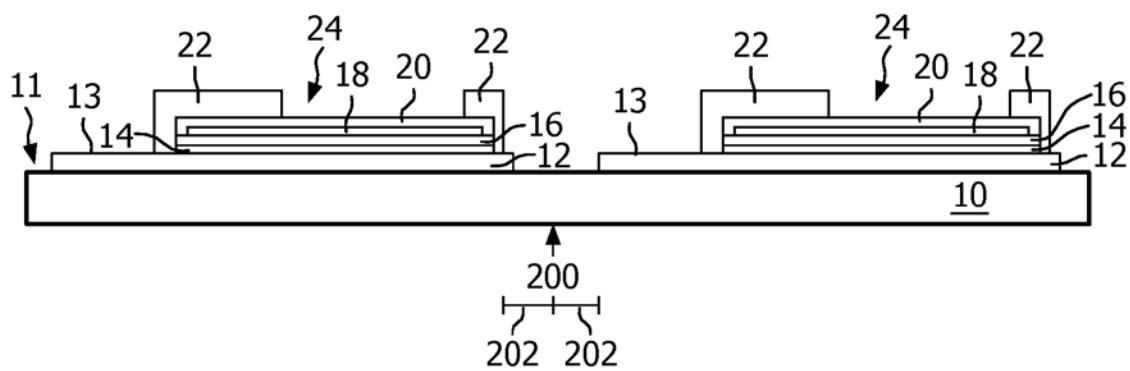


图 1

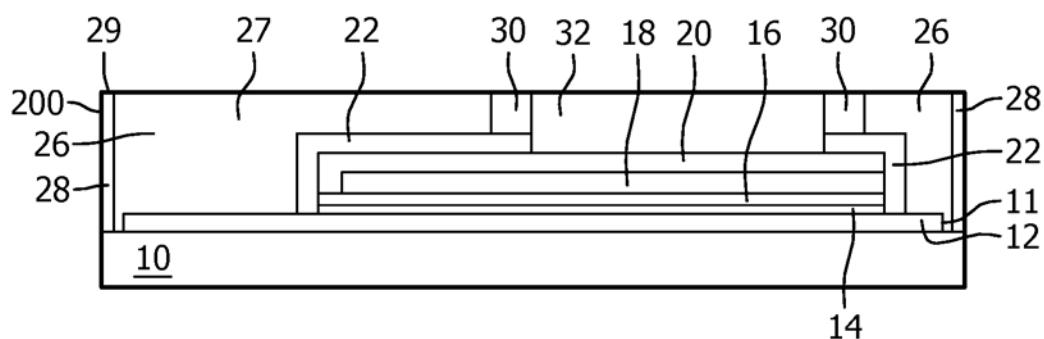


图 2

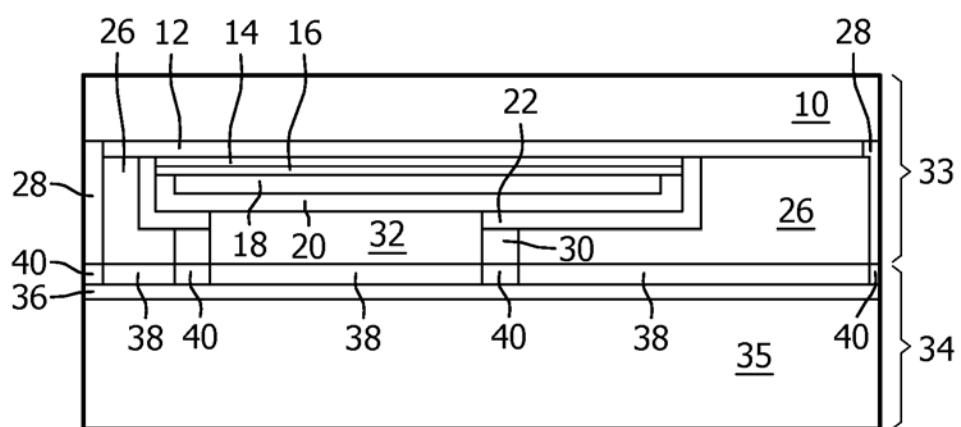


图 3

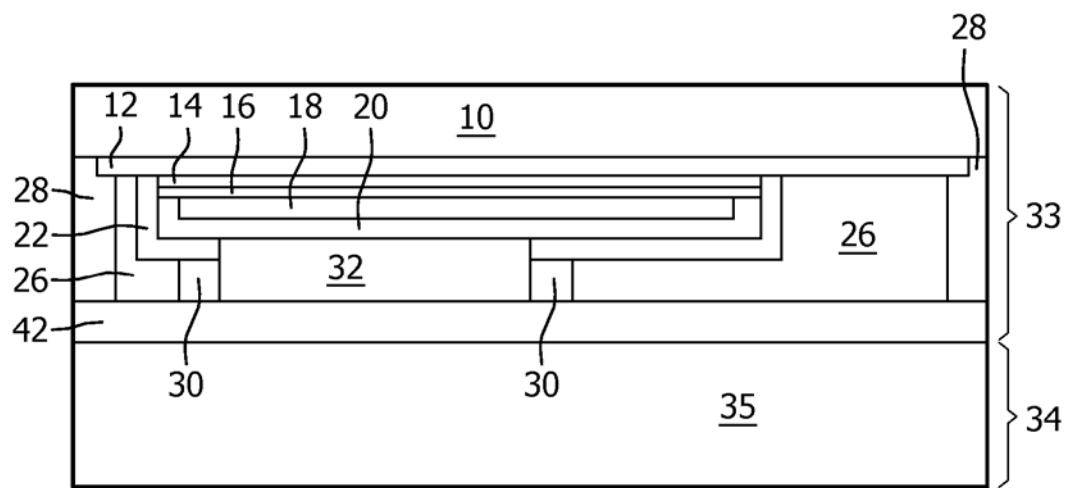


图 4

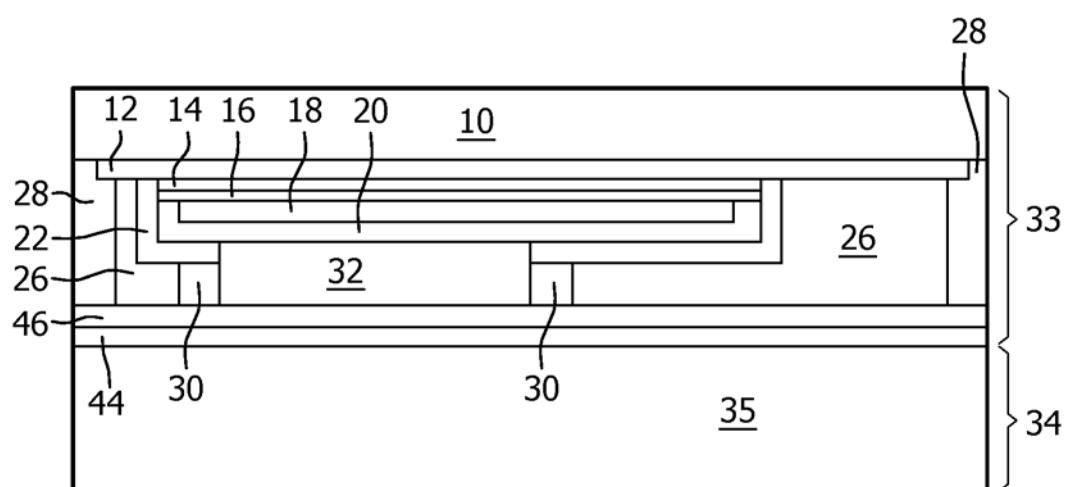


图 5

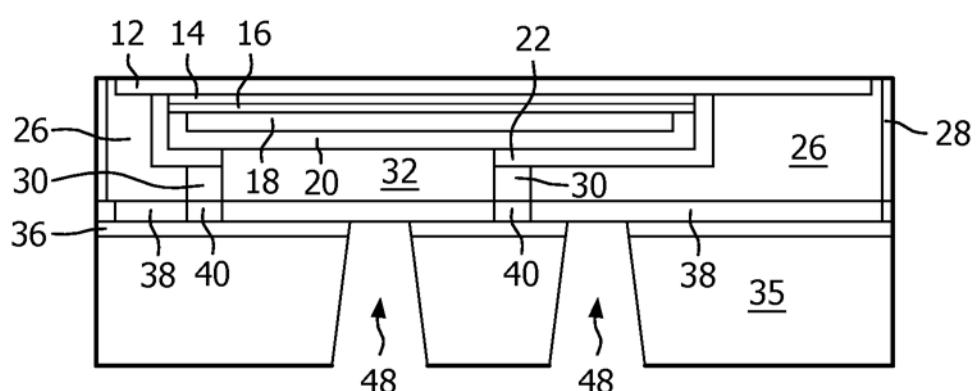


图 6

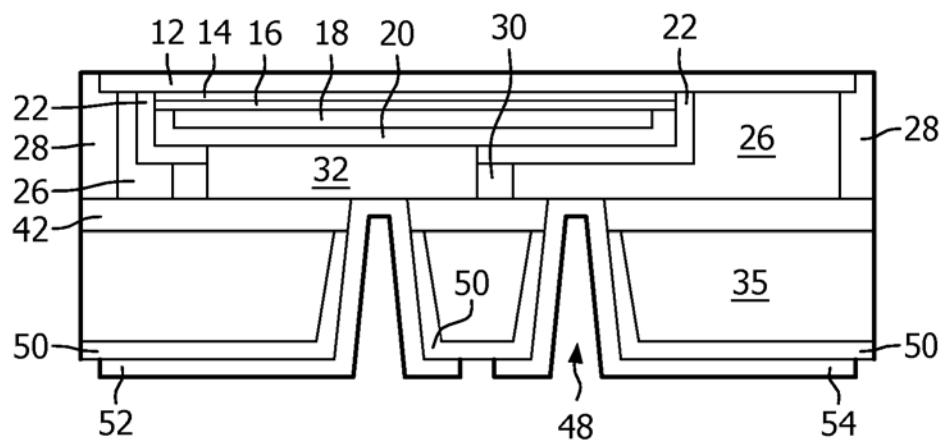


图 7

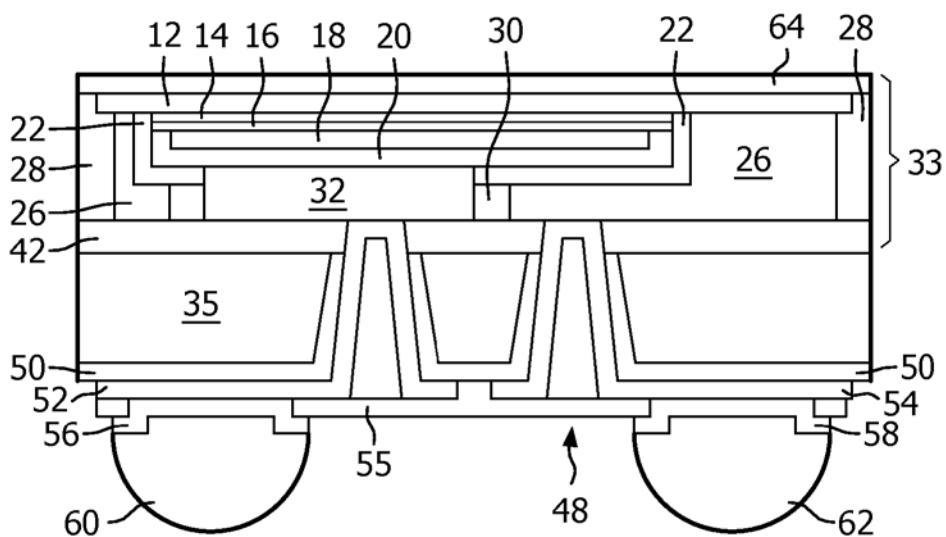


图 8

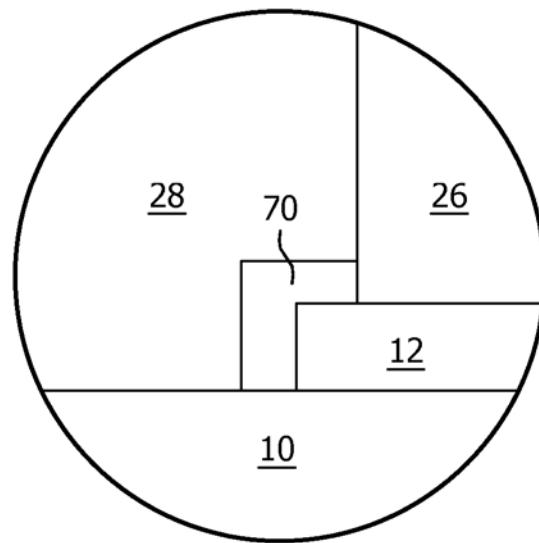


图 9

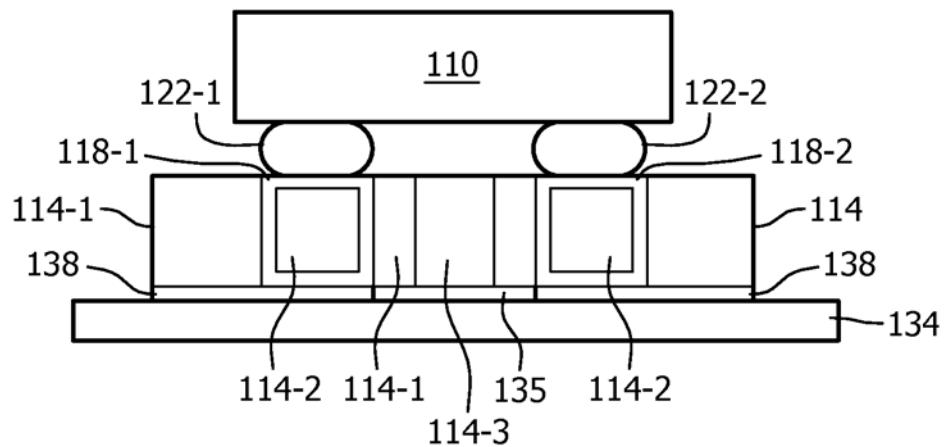


图 10 (现有技术)