

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-295025

(P2006-295025A)

(43) 公開日 平成18年10月26日(2006.10.26)

(51) Int. Cl.	F I	テーマコード (参考)
H O 1 L 29/78 (2006.01)	H O 1 L 29/78 3 O 1 P	4 M 1 O 4
H O 1 L 21/336 (2006.01)	H O 1 L 21/28 3 O 1 D	5 F 1 4 O
H O 1 L 21/28 (2006.01)	H O 1 L 21/28 3 O 1 S	
H O 1 L 29/417 (2006.01)	H O 1 L 29/50 M	
H O 1 L 29/423 (2006.01)	H O 1 L 29/58 G	
審査請求 未請求 請求項の数 25 O L (全 21 頁) 最終頁に続く		

(21) 出願番号 特願2005-116618 (P2005-116618)
 (22) 出願日 平成17年4月14日 (2005.4.14)

(71) 出願人 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町22番22号
 (74) 代理人 100101823
 弁理士 大前 要
 (74) 代理人 100117293
 弁理士 板東 義文
 (72) 発明者 瀬良田 剛
 大阪府大阪市阿倍野区長池町22番22号
 シャープ株式会社内
 (72) 発明者 榎本 修治
 大阪府大阪市阿倍野区長池町22番22号
 シャープ株式会社内

最終頁に続く

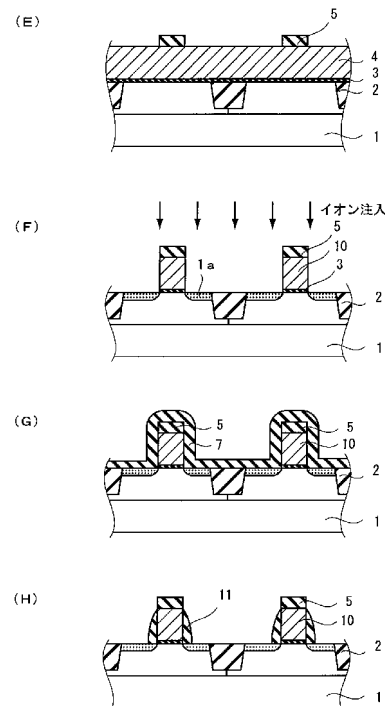
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 ゲート電極の高さが低くなくても、ゲート電極とソース・ドレイン領域間の短絡の防止を図ることができるように改良された半導体装置の製造方法を提供することを主要な目的とする。

【解決手段】 半導体基板1の上に、ゲート絶縁膜3を介在させて、その上面に第1の絶縁層5が形成されたゲート電極10を形成する。ゲート電極10の側壁および第1の絶縁層5の上面を被覆するように、半導体基板1の上に第2の絶縁層7を形成する。第2の絶縁層7をエッチングバックし、ゲート電極10の側壁にサイドウォールスペーサ11を形成するとともに、素子領域の表面を露出させる。第1の絶縁層5をゲート電極10の上面から除去する。ゲート電極10の上面およびソース・ドレイン領域1bの表面を被覆するように、半導体基板1の表面に高融点金属膜8を形成し、その後アニールし、ゲート電極10の上面およびソース・ドレイン領域1bの表面をシリサイド化し、シリサイド化層9を形成する。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

半導体基板の表面に素子領域を他の素子領域から分離するための素子分離領域を形成する工程と、

前記半導体基板の上に、ゲート絶縁膜を介在させて、その上面に第 1 の絶縁層が形成されたゲート電極を形成する工程と、

前記ゲート電極の側壁および前記第 1 の絶縁層の上面を被覆するように、前記半導体基板の上に第 2 の絶縁層を形成する工程と、

前記第 2 の絶縁層をエッチングバックし、前記ゲート電極の側壁にサイドウォールスペーサを形成するとともに、前記素子領域の表面を露出させる工程と、

前記ゲート電極および前記サイドウォールスペーサをマスクにして、前記素子領域の表面に不純物イオンを注入することにより、前記半導体基板の表面であって、前記ゲート電極の両側に一对のソース・ドレイン領域を形成する工程と、

前記第 1 の絶縁層を前記ゲート電極の上面から除去する工程と、

前記ゲート電極の上面および前記ソース・ドレイン領域の表面を被覆するように、前記半導体基板の表面に高融点金属膜を形成し、その後アニールし、前記ゲート電極の上面および前記ソース・ドレイン領域の表面をシリサイド化し、シリサイド膜を形成する工程と、

未反応の高融点金属膜を除去する工程とを備えた半導体装置の製造方法。

【請求項 2】

前記第 1 の絶縁層は、シリコン窒化膜またはシリコン酸窒化膜であることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】

前記第 1 の絶縁層は、下層がシリコン酸化膜であり、上層がシリコン窒化膜またはシリコン酸窒化膜である積層構造であることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 4】

前記第 1 の絶縁層の膜厚は、70～200 nmであることを特徴とする請求項 1 から 3 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 5】

前記第 1 の絶縁層の、下層のシリコン酸化膜の膜厚は 5～50 nmであり、上層のシリコン窒化膜またはシリコン酸窒化膜の膜厚は 70～190 nmのである請求項 3 に記載の半導体装置の製造方法。

【請求項 6】

前記第 2 の絶縁層は、シリコン酸化膜であることを特徴とする請求項 1 から 5 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 7】

前記第 2 の絶縁層の膜厚は 70～190 nmであることを特徴とする請求項 1 から 6 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 8】

前記第 2 の絶縁層は、下層がシリコン酸化膜であり、上層はシリコン窒化膜またはシリコン酸窒化膜であることを特徴とする請求項 1 から 5 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 9】

前記第 2 の絶縁層において、下層のシリコン酸化膜の膜厚は 5～25 nmであり、上層のシリコン窒化膜またはシリコン酸窒化膜の膜厚は 70～190 nmであることを特徴とする請求項 8 に記載の半導体装置の製造方法。

【請求項 10】

前記ゲート絶縁膜に接する付近の前記サイドウォールスペーサの幅を W、サイドウォールスペーサの高さを h、前記ゲート電極の高さを T とすると、

10

20

30

40

50

$h = 5 \text{ W}$ 、 $T \geq h$ 、 $W \geq 20 \text{ nm}$ の関係にあることを特徴とする請求項 1 から 9 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 1 1】

前記シリサイド膜は、 Ti （チタン）、 Co （コバルト）または Ni （ニッケル）のシリサイド膜である請求項 1 から 10 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 1 2】

前記半導体基板の上に層間絶縁膜を、単層または 2 層で形成する工程をさらに備える請求項 1 から 11 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 1 3】

半導体基板の表面に素子領域を他の素子領域から分離するための素子分離領域を形成する工程と、 10

前記半導体基板の上に、ゲート絶縁膜を介在させて、その上面に第 1 の絶縁層が形成されたゲート電極を形成する工程と、

前記ゲート電極の側壁および前記第 1 の絶縁層の上面を被覆するように、前記半導体基板の上に第 2 の絶縁層を形成する工程と、

前記第 2 の絶縁層をエッチングバックし、前記ゲート電極の側壁にサイドウォールスペーサを形成するとともに、前記素子領域を露出させる工程と、

前記ゲート電極および前記サイドウォールスペーサをマスクにして、前記素子領域に不純物イオンを注入することにより、前記半導体基板の表面であって、前記ゲート電極の両側に一对のソース・ドレイン領域を形成する工程と、 20

前記一对のソース・ドレイン領域の表面を被覆するように第 1 の高融点金属膜を形成し、熱処理して該ソース・ドレイン領域の表面に第 1 のシリサイド化層を形成し、その後未反応の第 1 の高融点金属膜を除去する工程と、

前記第 1 の絶縁層が設けられた前記ゲート電極を被覆するように前記半導体基板の上に層間絶縁膜を形成する工程と、

前記層間絶縁膜の表面を研磨して平坦化するとともに、前記第 1 の絶縁層の表面を露出させる工程と、

露出した前記第 1 の絶縁膜を除去し、前記ゲート電極の上面を露出させる工程と、

露出した前記ゲート電極の上面を被覆するように、前記層間絶縁膜の上に第 2 の高融点金属膜を形成し、熱処理して前記ゲート電極の上面に第 2 のシリサイド化層を形成する工程と、 30

前記層間絶縁膜中にコンタクトホールを形成し、メタル配線を形成する工程とを含む半導体装置の製造方法。

【請求項 1 4】

前記第 1 の絶縁層はシリコン窒化膜またはシリコン酸窒化膜を含む請求項 1 3 に記載の半導体装置の製造方法。

【請求項 1 5】

前記第 1 の絶縁層は下層がシリコン酸化膜であり、上層がシリコン窒化膜またはシリコン酸窒化膜である積層構造であることを特徴とする請求項 1 3 または 1 4 に記載の半導体装置の製造方法。 40

【請求項 1 6】

前記第 1 の絶縁層中の前記シリコン窒化膜またはシリコン酸窒化膜の膜厚は $100 \sim 250 \text{ nm}$ であることを特徴とする請求項 1 4 に記載の半導体装置の製造方法。

【請求項 1 7】

前記第 1 の絶縁層の下層のシリコン酸化の膜厚は $5 \sim 50 \text{ nm}$ であり、上層のシリコン窒化膜またはシリコン酸窒化膜の膜厚は $70 \sim 190 \text{ nm}$ であることを特徴とする請求項 1 5 に記載の半導体装置の製造方法。

【請求項 1 8】

前記第 2 の絶縁層はシリコン酸化膜であることを特徴とする請求項 1 3 から 1 7 のいずれか 1 項に記載の半導体装置の製造方法。 50

【請求項 19】

前記第2の絶縁層のシリコン酸化膜の膜厚は70～190nmであることを特徴とする請求項18に記載の半導体装置の製造方法。

【請求項 20】

前記第2の絶縁層は下層がシリコン酸化膜であり、上層がシリコン窒化膜またはシリコン酸窒化膜の2層構造であることを特徴とする請求項13から17のいずれか1項に記載の半導体装置の製造方法。

【請求項 21】

前記第2の絶縁層の、下層のシリコン酸化膜の膜厚は5～25nmであり、上層のシリコン窒化膜またはシリコン酸窒化膜の膜厚は70～190nmであることを特徴とする請求項20に記載の半導体装置の製造方法。 10

【請求項 22】

前記層間絶縁膜の表面の研磨量は、前記第1の絶縁膜もその膜厚の5～80%が研磨される量とする請求項13に記載の半導体装置の製造方法。

【請求項 23】

半導体基板と、
前記半導体基板の上にゲート絶縁膜を介在させて形成されたゲート電極と、
前記半導体基板の表面であって、前記ゲート電極の両側に形成された1対のソース/ドレイン領域と、
前記ゲート電極の側壁に形成されたサイドウォールスペーサと、 20
前記ゲート電極の上面および前記ソース/ドレイン領域の表面に形成されたシリサイド化層とを備えた半導体装置において、
前記ゲート絶縁膜に接する付近の前記サイドウォールスペーサの幅をW、サイドウォールスペーサの高さをh、前記ゲート電極の高さをTとすると、
 $h = 5W$ 、 $T \geq h$ 、 $W \geq 20\text{nm}$ の関係にあることを特徴とする半導体装置。

【請求項 24】

半導体基板と、
前記半導体基板の上にゲート絶縁膜を介在させて形成されたゲート電極と、
前記半導体基板の表面であって、前記ゲート電極の両側に形成された1対のソース/ドレイン領域と、 30
前記ゲート電極の側壁に形成されたサイドウォールスペーサと、
前記ゲート電極の上面および前記ソース/ドレイン領域の表面に形成されたシリサイド化層とを備えた半導体装置において、
前記ゲート電極の表面に形成されたシリサイド化層の膜厚は、前記ソース/ドレイン領域の表面に形成されたシリサイド化層の膜厚より厚いことを特徴とする半導体装置。

【請求項 25】

前記サイドウォールスペーサは、前記ゲート電極の側壁に接触するシリコン酸化膜で形成された下層と、該下層を介在させて前記ゲート電極の側壁に設けられたシリコン窒化膜またはシリコン酸窒化膜で形成された上層を含む2層構造である、請求項23または24に記載の半導体装置。 40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は一般に半導体装置の製造方法に関するものであり、より特定的には、ゲート電極の薄膜化が可能になり、素子構造の微細化に対応することができ、ひいては半導体装置の高集積化を可能にするように改良された半導体装置の製造方法に関する。この発明は、またそのような方法によって得られた半導体装置に関する。

【背景技術】

【0002】

現在、回路素子の高速化のために、素子領域をシリサイド化することにより配線抵抗を低減する技術が用いられている。

【0003】

従来の半導体装置の製造方法について説明する。

【0004】

図14(A)を参照して、半導体基板1上に、素子領域を他の素子領域より区画する素子分離領域2を形成し、その上に、ゲート絶縁膜3、ポリシリコン層4を堆積する。

【0005】

図14(B)を参照して、ポリシリコン層4の上であって、ゲート配線を形成する部分に対応する部分に、リソグラフィ技術によりレジストパターン6を形成する。図14(B)と(C)を参照して、レジストパターン6をマスクにして、ポリシリコン層4、ゲート絶縁膜3をエッチングし、ゲート電極10を形成する。続いてレジストパターン6を除去する。 10

【0006】

更に、図14(D)を参照して、半導体基板1上に形成されたゲート電極10を覆うように、絶縁層7としてシリコン酸化膜を堆積する。

【0007】

図14(D)と図15(E)を参照して、絶縁層7をエッチングバックし、ゲート電極10の側壁に、シリサイド化防止用のシリコン酸化膜のサイドウォールスペーサ11を残す。引き続き、図示しないが、サイドウォールスペーサ11をマスクにして、不純物イオンを注入することにより、半導体基板1の表面であって、ゲート電極10の両側に一对のソース・ドレイン領域を形成する。 20

【0008】

図15(F)を参照して、半導体基板1の全面に、高融点金属のTi(チタン)、Co(コバルト)、Ni(ニッケル)等をスパッタ法により堆積し、高融点金属膜8を形成する。図15(G)を参照して、適当な熱処理によってシリサイド化アニール処理を行うことにより半導体基板1と高融点金属膜8を反応させ、シリサイド化層9を形成する。図15(G)と(H)を参照して、選択エッチングにより高融点金属膜8の内の未反応の高融点金属膜を除去すると、シリサイド化領域と非シリサイド化領域とが同時に形成できる。図示しないが、引き続き、半導体基板1の上に、層間絶縁膜を形成し、層間絶縁膜中に、シリサイド化層9に到るコンタクトホールを形成し、配線を形成すると半導体装置が完成する。 30

【0009】

この方法によると、図15(G)を参照して、シリサイド化アニール処理に際して、ソース・ドレイン領域からのシリコンの拡散がサイドウォールスペーサ11上の高融点金属膜8中に起きても、サイドウォールスペーサ11の表面上においてゲート電極10とソース・ドレイン領域間の距離が十分な場合は、ゲート電極10とソース・ドレイン領域の間においてシリサイド化層による短絡は発生しない。

【0010】

しかし、ゲート配線の微細化に伴い、ゲート電極の膜厚は薄くなってきている。ゲート電極の膜厚を薄くした場合において、上記従来技術をそのまま適用した場合の、半導体装置の製造工程を図16(A)～(D)および図17(E)～(H)に示す。これらの図において、図14(A)～(D)および図15(E)～(H)に示すものと同一または相当する部分には、同一の参照番号を付し、その説明を繰り返さない。 40

【0011】

さて、この場合、図16(A)を参照して、ゲート電極のもとになるポリシリコン層4は、上記従来技術に比べて、薄く形成される。この場合、図17(G)を参照して、ゲート電極10が薄膜化しているので、ゲート電極10の側面部で、サイドウォールスペーサ11の幅が狭くなり、サイドウォールスペーサ11の表面上において、ゲート電極10とソース・ドレイン領域間の距離が短くなる。そのため、シリサイド化アニール処理に際し 50

て、ソース・ドレイン領域からのシリコンの拡散がサイドウォールスペーサ 11 上の高融点金属膜 8 中に起きると、サイドウォールスペーサ 11 の表面上において薄いシリサイド化層が形成され、ゲート電極 10 とソース・ドレイン領域の短絡が発生するという問題点があった。

【0012】

上記問題点を解決するために、サイドウォールスペーサの表面におけるゲート電極とソース・ドレイン領域間の距離を長くするための方法として、図 18 に示すような従来技術が提案されている（例えば特許文献 1，2 参照）。これらの図において、図 14（A）～（D）および図 15（E）～（H）に示すものと同一または相当する部分には、同一の参照番号を付し、その説明を繰り返さない。

10

【0013】

図 18（A）を参照して、ゲート絶縁膜 3、ゲート電極 10、PSG 膜パターン 51 からなる凸状パターンの側面に、シリコン窒化膜のサイドウォールスペーサ 11 を形成する。その後、図 18（B）を参照して、PSG 膜パターン 51 を除去して、ゲート電極 10 の高さよりも高く突き出した形状のサイドウォールスペーサ 11 を残す。図 18（C）を参照して、チタン膜 8 を堆積し、450～550℃の温度で5～10分間の加熱炉による加熱処理を行なう。その後、未反応のチタン膜を除去すると、図 18（D）を参照して、ゲート電極 10 の表面とソース・ドレイン領域表面にシリサイド化層 9 が形成された半導体装置が得られる。

【0014】

この方法によると、ゲート電極 10 の高さよりも高く突き出した形状のサイドウォールスペーサ 11 を形成することによって、サイドウォールスペーサ 11 の表面におけるゲート電極 10 とソース・ドレイン領域間の距離を長くすることができ、ひいては、シリサイド化工程でソース・ドレイン領域とゲート電極 10 との間の短絡を抑えることができる。

20

【0015】

【特許文献 1】特開平 08-204193 号公報

【0016】

【特許文献 2】特開平 08-274043 号公報

【発明の開示】

【発明が解決しようとする課題】

30

【0017】

しかし、図 18 に示す従来方法のように、ゲート電極 10 の高さよりも高く突き出した形状のサイドウォールスペーサ 11 を有する場合、ゲート電極 10 上から PSG 膜 51 を除去する工程からシリサイド化形成までの間の洗浄工程において受ける物理的ダメージ等により、サイドウォールスペーサ 11 の上部の突起の欠落が生じ、パーティクルが発生する可能性がある。その結果、パーティクルの発生による製造装置の汚染、半導体基板へのパーティクルの付着に伴う、歩留まりの大幅な低下を引き起こすという問題があった。

【0018】

この発明は上記のような問題点を解決するためになされたもので、ゲート電極の高さが低くなっても、ゲート電極とソース・ドレイン領域間の短絡の防止を図ることができるように改良された半導体装置の製造方法を提供することにある。

40

【0019】

この発明の他の目的は、パーティクルを発生させずに、ゲート電極とソース・ドレイン領域間の短絡の防止を図ることができるように改良された半導体装置の製造方法を提供することにある。

【0020】

この発明のさらに他の目的は、そのような方法によって得られた半導体装置を提供することにある。

【課題を解決するための手段】

【0021】

50

この発明の第1の局面に従う半導体装置の製造方法においては、まず、半導体基板の表面に素子領域を他の素子領域から分離するための素子分離領域を形成する。次に半導体基板の上に、ゲート絶縁膜を介在させて、その上面に第1の絶縁層が形成されたゲート電極を形成する。上記ゲート電極の側壁および上記第1の絶縁層の上面を被覆するように、上記半導体基板の上に第2の絶縁層を形成する。上記第2の絶縁層をエッチングバックし、上記ゲート電極の側壁にサイドウォールスペーサを形成するとともに、上記素子領域の表面を露出させる。上記ゲート電極および上記サイドウォールスペーサをマスクにして、上記素子領域の表面に不純物イオンを注入することにより、上記半導体基板の表面であって、上記ゲート電極の両側に一对のソース・ドレイン領域を形成する。上記第1の絶縁層を上記ゲート電極の上面から除去する。上記ゲート電極の上面および上記ソース・ドレイン領域の表面を被覆するように、上記半導体基板の表面に高融点金属膜を形成し、その後アニールし、上記ゲート電極の上面および上記ソース・ドレイン領域の表面をシリサイド化し、シリサイド膜を形成する。未反応の高融点金属膜を除去する。

10

【0022】

この発明によれば、上記第1の絶縁層の上面を被覆するように、上記半導体基板の上に、サイドウォールスペーサのもとになる第2の絶縁層を形成するので、ゲート電極の高さが低くなっても、サイドウォールスペーサ表面でのゲート電極とソース・ドレイン領域間の距離を十分に確保することができる。

【0023】

この発明の好ましい実施態様によれば、上記第1の絶縁層を上記ゲート電極の上面から除去する工程をウェットエッチング処理により行う。これにより、上記第1の絶縁層のエッチングに際してゲート電極の上面を過剰に除去することがない。また、上記第1の絶縁層の除去に際しサイドウォールを過剰に除去することがない。

20

【0024】

上記第1の絶縁層は、シリコン窒化膜またはシリコン酸窒化膜であるのが好ましい。また、上記第1の絶縁層は、下層がシリコン酸化膜であり、上層がシリコン窒化膜またはシリコン酸窒化膜である積層構造であってもよい。

【0025】

上記第1の絶縁層の膜厚は、70～200nmであるのが好ましい。

【0026】

上記第1の絶縁層を上記積層構造とする場合、下層のシリコン酸化膜の膜厚は5～50nmであり、上層のシリコン窒化膜またはシリコン酸窒化膜の膜厚は70～190nmであるのが好ましい。

30

【0027】

上記第2の絶縁層は、シリコン酸化膜で形成するのが好ましい。

【0028】

また、上記第2の絶縁層の膜厚は70～190nmであるのが好ましい。

【0029】

上記第2の絶縁層は、下層がシリコン酸化膜であり、上層はシリコン窒化膜またはシリコン酸窒化膜である2層構造であってもよい。この場合、上記第2の絶縁層において、下層のシリコン酸化膜の膜厚は5～25nmであり、上層のシリコン窒化膜またはシリコン酸窒化膜の膜厚は70～190nmであるのが好ましい。

40

【0030】

この発明の好ましい実施態様によれば、上記ゲート絶縁膜に接する付近の上記サイドウォールスペーサの幅をW、サイドウォールスペーサの高さをh、上記ゲート電極の高さをTとすると、 $h = 5W$ 、 $T \geq h$ 、 $W \geq 20\text{nm}$ の関係にある。

【0031】

このように構成することにより、ゲート電極の高さが低くなっても、サイドウォールスペーサ表面でのゲート電極とソース・ドレイン領域間の距離を十分に確保することができる。

50

【0032】

上記シリサイド膜は、Ti（チタン）、Co（コバルト）またはNi（ニッケル）のシリサイド膜であるのが好ましい。

【0033】

上記半導体基板の上に層間絶縁膜を、単層または2層で形成する工程をさらに備えてもよい。

【0034】

この発明の他の局面に従う半導体装置の製造方法においては、まず、半導体基板の表面に素子領域を他の素子領域から分離するための素子分離領域を形成する。次に、上記半導体基板の上に、ゲート絶縁膜を介在させて、その上面に第1の絶縁層が形成されたゲート電極を形成する。上記ゲート電極の側壁および上記第1の絶縁層の上面を被覆するように、上記半導体基板の上に第2の絶縁層を形成する。上記第2の絶縁層をエッチングバックし、上記ゲート電極の側壁にサイドウォールスペーサを形成するとともに、上記素子領域を露出させる。上記ゲート電極および上記サイドウォールスペーサをマスクにして、上記素子領域に不純物イオンを注入することにより、上記半導体基板の表面であって、上記ゲート電極の両側に一对のソース・ドレイン領域を形成する。上記一对のソース・ドレイン領域の表面を被覆するように第1の高融点金属膜を形成し、熱処理して該ソース・ドレイン領域の表面に第1のシリサイド化層を形成し、その後未反応の第1の高融点金属膜を除去する。上記第1の絶縁層が設けられた上記ゲート電極を被覆するように上記半導体基板の上に層間絶縁膜を形成する。上記層間絶縁膜の表面を研磨して平坦化するとともに、上記第1の絶縁層の表面を露出させる。露出した上記第1の絶縁膜を除去し、上記ゲート電極の上面を露出させる。露出した上記ゲート電極の上面を被覆するように、上記層間絶縁膜の上に第2の高融点金属膜を形成し、熱処理して上記ゲート電極の上面に第2のシリサイド化層を形成する。上記層間絶縁膜中にコンタクトホールを形成し、メタル配線を形成する。

【0035】

この発明によれば、サイドウォールスペーサ上を覆うように層間絶縁膜を設けて、ゲート電極表面のシリサイド処理ができるので、ゲート電極表面とソース・ドレイン領域のショートが発生を防止できる

【0036】

上記第1の絶縁層はシリコン窒化膜またはシリコン酸窒化膜を含むのが好ましい。

【0037】

上記第1の絶縁層は下層がシリコン酸化膜であり、上層がシリコン窒化膜またはシリコン酸窒化膜である積層構造であってもよい。

【0038】

上記第1の絶縁層中の上記シリコン窒化膜またはシリコン酸窒化膜の膜厚は100～250nmであるのが好ましい。

【0039】

上記第1の絶縁層が積層構造である場合、下層のシリコン酸化の膜厚は5～50nmであり、上層のシリコン窒化膜またはシリコン酸窒化膜の膜厚は70～190nmであるのが好ましい。

【0040】

上記第2の絶縁層はシリコン酸化膜であるのが好ましい。

【0041】

上記第2の絶縁層のシリコン酸化膜の膜厚は70～190nmであるのが好ましい。

【0042】

上記第2の絶縁層は下層がシリコン酸化膜であり、上層がシリコン窒化膜またはシリコン酸窒化膜の2層構造であってもよい。この場合、上記第2の絶縁層の下層のシリコン酸化膜の膜厚は5～25nmであり、上層のシリコン窒化膜またはシリコン酸窒化膜の膜厚は70～190nmであるのが好ましい。

10

20

30

40

50

【0043】

上記層間絶縁膜の表面の研磨量は、上記第1の絶縁膜もその膜厚の5～80%が研磨される量とすると、サイドウォールスペーサの上部の突起をなくすることができる。

【0044】

この発明の他の局面に従う半導体装置は、半導体基板と、上記半導体基板の上にゲート絶縁膜を介在させて形成されたゲート電極と、上記半導体基板の表面であって、上記ゲート電極の両側に形成された1対のソース/ドレイン領域と、上記ゲート電極の側壁に形成されたサイドウォールスペーサと、上記ゲート電極の上面および上記ソース/ドレイン領域の表面に形成されたシリサイド化層とを備えた半導体装置にかかる。そして、上記ゲート絶縁膜に接する付近の上記サイドウォールスペーサの幅をW、サイドウォールスペーサの高さをh、上記ゲート電極の高さをTとすると、 $h = 5W$ 、 $T \geq h$ 、 $W \geq 20 \text{ nm}$ の関係にあることを特徴とする。

10

【0045】

この発明のさらに他の局面に従う半導体装置は、半導体基板と、上記半導体基板の上にゲート絶縁膜を介在させて形成されたゲート電極と、上記半導体基板の表面であって、上記ゲート電極の両側に形成された1対のソース/ドレイン領域と、上記ゲート電極の側壁に形成されたサイドウォールスペーサと、上記ゲート電極の上面および上記ソース/ドレイン領域の表面に形成されたシリサイド化層とを備えた半導体装置にかかる。そして、上記ゲート電極の表面に形成されたシリサイド化層の膜厚は、上記ソース/ドレイン領域の表面に形成されたシリサイド化層の膜厚より厚いことを特徴とする。

20

【0046】

上記サイドウォールスペーサは、上記ゲート電極の側壁に接触するシリコン酸化膜で形成された下層と、該下層を介在させて上記ゲート電極の側壁に設けられたシリコン窒化膜またはシリコン酸窒化膜で形成された上層を含む2層構造であってもよい。

【発明の効果】

【0047】

本発明の半導体装置の製造方法によれば、シリサイド領域と非シリサイド領域とを同時に形成する際に、ゲート電極の側面部で、一定以上の幅が確保されたサイドウォールスペーサが形成される。そのため、シリサイド化アニール処理の際、高融点金属中にソース・ドレイン領域からのシリコンの拡散が起きても十分なサイドウォール幅があるため、ゲート電極とソース・ドレイン領域の間がシリサイド化層で短絡されるのを抑えることができる。よってゲート電極の薄膜化が可能になり、素子構造の微細化に対応することができ、半導体装置の高集積化を可能にする。

30

【発明を実施するための最良の形態】

【0048】

以下、この発明の実施例を図面を用いて説明する。なお、以下の図において同一又は相当する部分には同一の参照番号を付す。

【実施例1】

【0049】

実施例1は、ゲート電極の表面のシリサイド化とソース・ドレイン領域のシリサイド化を同時に行う場合である。

40

【0050】

図1(A)を参照して、従来技術と同様に、半導体基板1であるシリコン基板の表面に、素子分離領域2を設けることにより、区画された複数の素子領域を形成する。次に、半導体基板1の上に、ゲート絶縁膜3、ポリシリコン層4を堆積する。

【0051】

図1(B)を参照して、ポリシリコン層4の上に第1の絶縁層5を堆積する。第1の絶縁層5としてはシリコン窒化膜を使用する。第1の絶縁層5の膜厚は1400 Å程度にすることが望ましい。このように構成することにより、後述するように、ポリシリコン層4、ゲート絶縁膜3をエッチングする際に第1の絶縁層5の全てがエッチングされない。ま

50

た、後述する第2の絶縁層7（図2（G））をエッチングする際にも第1の絶縁層5の全てがエッチングされない。また、シリサイド化アニール処理時に、サイドウォールスペーサ11の表面における高融点金属膜中に、ソース・ドレイン領域からのシリコンの拡散が起きても、サイドウォールスペーサ11の表面において、ゲート電極10とソース・ドレイン領域とを短絡させるシリサイド化層が形成されない程度の、サイドウォールスペーサ11の幅が確保される。

【0052】

図1（C）と（D）を参照して、第1の絶縁層5の、ゲート電極を形成する部分に対応する表面部分に、リソグラフィ技術によりレジストパターン6を形成する。次にレジストパターン6をマスクにして、第1の絶縁層5を、一例としてマグネトロンRIE（Reactive Ion Etching）装置を用いて、以下の条件で、第1の絶縁層5を異方性エッチングする。

圧力：50mTorr

高周波電力：500W

$\text{CH}_2\text{F}_2/\text{Ar}/\text{O}_2 = 40/30/15 \text{ sccm}$

【0053】

図1（D）と図2（E）を参照して、アッシング装置を用いてレジストパターン6を除去する。

【0054】

図2（E）と（F）を参照して、残存している第1の絶縁層5をエッチングマスクとして、それ以外の部分のポリシリコン層4とゲート絶縁膜3をエッチングし、ゲート電極10を形成する。次にトランジスタのLDD領域1aを形成するためのイオン注入を行う。

【0055】

図2（G）を参照して、半導体基板1上に形成されたゲート電極10と残存している第1の絶縁層5を覆うように第2の絶縁層7としてシリコン酸化膜を堆積する。図2（G）と（H）を参照して、第2の絶縁層7をエッチングバックすることにより、ゲート電極10の側壁に、シリコン酸化膜のサイドウォールスペーサ11を残す。エッチングバックして得られるサイドウォールスペーサ11の幅（加工されたゲート絶縁膜3に接する付近のサイドウォールスペーサ11の幅）は、第2の絶縁層7にシリコン酸化膜のみを使用した場合17～20nm程度となる。サイドウォールスペーサ11の高さは、サイドウォールスペーサ11の幅の5倍程度で、ゲート電極10（第1絶縁層5の膜厚を含む）の高さとは略等しい。

【0056】

図2（H）と図3（I）を参照して、残存している第1の絶縁層5を除去する。次にトランジスタのソース・ドレイン領域1bを形成する高濃度のN領域を形成するために、砒素等のイオン注入し、注入された砒素イオンの活性化のために熱処理を行う。

【0057】

図3（J）を参照して、高融点金属のTi（チタン）、Co（コバルト）、Ni（ニッケル）等をスパッタ法、メッキ法、CVD法により堆積することにより、高融点金属膜8を半導体基板1の全面に形成する。次に図3（K）を参照して、適当な熱処理を行うことによってシリサイド化アニール処理を行い、ゲート電極10の表面およびソース・ドレイン領域1bの表面と高融点金属膜8を反応させ、シリサイド化層9を形成する。

【0058】

図3（K）と図4（L）を参照して、選択エッチングにより高融点金属膜8の内の未反応の高融点金属膜を除去する。以上の工程により、シリサイド化領域と非シリサイド化領域とが同時に形成できる。

【0059】

図4（M）を参照して、半導体基板1の上に、第1の層間絶縁膜13および第2の層間絶縁膜16を形成し、第1および第2層間絶縁膜13，16中に、シリサイド化層9の表面を露出させるコンタクトホール15を形成し、メタル配線14を設けることにより、半

10

20

30

40

50

導体装置が完成する。

【0060】

本実施例によれば、図3（K）の工程のシリサイド化アニール処理に際して、サイドウォールスペーサ11の表面上の高融点金属膜中にソース・ドレイン領域からのシリコンの拡散が起きても、サイドウォールスペーサ11の幅が十分にあるため、ゲート電極10とソース・ドレイン領域1bの間がシリサイド化層で短絡されるのを抑えることができる。

【実施例2】

【0061】

本実施例は、ゲート電極の表面のシリサイド化と、ソース・ドレイン領域のシリサイド化を別工程で行う場合である。

【0062】

図5（A）を参照して、実施例1と同様に、半導体基板1の表面に、素子分離領域2を形成することにより、区画された複数の素子領域を形成する。半導体基板1の上に、ゲート絶縁膜3、ポリシリコン層4を堆積する。

【0063】

次に図5（B）を参照して、ポリシリコン層4の上に、第1の絶縁層5を堆積する。第1の絶縁層5としては、シリコン酸化膜またはシリコン窒化膜またはシリコン窒酸化物膜を使用する。第1の絶縁層5は、また、ポリシリコン層4上にシリコン酸化膜を5～50nm程度成長させ、その上にシリコン窒化膜またはシリコン窒酸化物膜を70～190nm成長した積層構造としてもよい。

【0064】

次に図5（C）と（D）を参照して、第1の絶縁層5の上の、ゲート電極部分に対応する部分にリソグラフィ技術によりレジストパターン6を形成する。次に、一例としてマグネトロンRIE（Reactive Ion Etching）装置を用いて、第1の絶縁層5をレジストパターン6をマスクにして、異方性エッチングする。

【0065】

その後、図5（D）と図6（E）を参照して、アッシング装置と洗浄装置を用いてレジストパターン6を除去する。

【0066】

つぎに図6（E）と（F）を参照して、残存している第1の絶縁層5をエッチングマスクとして、それ以外の部分のポリシリコン層4とゲート絶縁膜3をエッチングしゲート電極10を形成する。次にトランジスタのLDD領域1aを形成するためのイオン注入を行う。

【0067】

更に、図6（G）を参照して、半導体基板1の上に、ゲート電極10および残存している第1の絶縁層5を覆うように、第2の絶縁層7としてシリコン酸窒化膜またはシリコン窒化膜またはシリコン酸窒化膜を堆積する。

【0068】

図6（G）と（H）を参照して、第2の絶縁層7をエッチングバックし、ゲート電極10の側壁にサイドウォールスペーサ11を形成する。第2の絶縁層7はシリコン酸窒化膜またはシリコン窒化膜を含むので、エッチングバックしてもサイドウォールスペーサ11の幅（加工されたゲート絶縁膜3に接する付近のサイドウォールスペーサ11の幅）も、第2の絶縁層7にシリコン酸化膜のみを使用したときより大きく形成できる。

【0069】

次に図6（H）に示すようにトランジスタのソース・ドレイン領域1bの高濃度のN領域を形成するために、砒素等のイオンを注入し、注入された砒素イオンの活性化のために熱処理を行う。

【0070】

この後、図7（I）に示すように高融点金属のTi（チタン）、Co（コバルト）、Ni（ニッケル）等を用いて、スパッタ法、メッキ法、CVD法により、10～100nm

10

20

30

40

50

程度の高融点金属膜 8 を全面に堆積する。次に 450～650℃の熱処理工程によって第 1 のシリサイド化アニール処理を行うことにより半導体基板 1 と高融点金属膜 8 を反応させ、トランジスタのソース・ドレイン領域 1 b にシリサイド化層 9 を形成する。その後、選択エッチングにより高融点金属膜 8 の内の未反応の高融点金属膜を除去する。

【0071】

次に図 7 (J) を参照して、第 1 の層間絶縁膜 13 を半導体基板 1 上に 300～800 nm 程度を形成する。図 7 (K) を参照して、第 1 の層間絶縁膜 13 を研磨して平坦化処理を行う。研磨のストッパー膜として、素子形成領域ではゲート電極上に形成されている第 1 の絶縁層 5 がその効果を発揮する。ストッパー膜は第 1 の絶縁層 5 と同様の材料で、半導体基板 1 の周辺部や素子分離領域上にも形成されている。このときの第 1 の絶縁層 5 の研磨量はその膜厚の 2～20% 程度にコントロールされる。

10

【0072】

続いて、図 7 (K) と図 7 (L) を参照して、第 1 の絶縁層 5 を除去する。この結果、ゲート電極 10 より高い高さを有するサイドウォールスペーサ 11 が残された半導体装置が形成される。なお、第 1 の絶縁層 5 をシリコン酸化膜単独で形成すると、ゲート電極 10 より高さが低いサイドウォールスペーサ 11 が形成される。その後ゲート電極 10 に高濃度の N 領域を形成するために、砒素等のイオン注入し、注入された砒素イオンの活性化のために熱処理を行う。

【0073】

次に図 8 (M) に示すように、高融点金属の Ti (チタン)、Co (コバルト)、Ni (ニッケル) 等をスパッタ法、メッキ法、CVD 法により堆積すると、高融点金属膜 8 が半導体基板 1 の上全面に形成される。次に 450～650℃の熱処理工程によってシリサイド化アニール処理を行うことにより、ゲート電極 10 のポリシリコン層と高融点金属膜 8 を反応させると、ゲート電極 10 の表面にシリサイド化層 9 が形成される。次に、選択エッチングにより高融点金属膜 8 の内の未反応の高融点金属膜を除去する。

20

【0074】

トランジスタのゲート電極表面のシリサイド化は、従来では、ソース・ドレイン領域のシリサイド化と同時に進んでおり、ソース・ドレイン領域の深さを浅くするため、シリサイド化が十分に行うことができなかった。そのためゲート電極のポリシリコンの低抵抗化が不十分だった。本実施例に拠れば、単独で高融点金属膜の膜厚を選べ、かつ熱処理温度を高めを選ぶので、今後の微細化に伴うポリシリコンゲート電極の低抵抗化が容易に達成できる。

30

【0075】

また、従来のシリサイド処理は、サイドウォールスペーサの表面上の高融点金属膜内に、熱処理時、ソース・ドレインからシリコンが拡散移動し、シリサイド化層を生成し、ひいては、サイドウォールスペーサの表面上を電流経路として、ゲート電極表面とソース・ドレイン領域との間のショートの原因を引き起こしていた。しかし、本実施例 2 の方法によれば、サイドウォールスペーサ 11 の表面上を第 1 層間絶縁膜 13 で覆って、ゲート電極上面のシリサイド処理ができるので、ゲート電極表面とソース・ドレイン領域のショートの発生をより効率よく防止できるという効果がある。

40

【0076】

次に、図 8 (N) を参照して、第 2 層間絶縁膜 16 を半導体基板 1 上に 50～250 nm の厚みで形成する。

【0077】

次に、図 8 (O) を参照して、第 1 層間絶縁膜 13 と第 2 層間絶縁膜 16 中にコンタクトホール 15 を形成後、メタル配線 14 を形成してトランジスタが形成される。以後さらに層間絶縁膜を形成してもよいし、または表面保護膜を形成し半導体装置を完成させてもよい。

【実施例 3】

【0078】

50

実施例 3 は実施例 2 の変形例にかかる。実施例 2 では、層間絶縁膜に 2 層構造を用いた場合を例示したが、図 9 に示すように 1 層構造であってもよい。このような半導体装置は、図 8 (M) 工程において、未反応の高融点金属膜を除去した後、直接、第 1 層間絶縁膜 13 にコンタクトホール 15 を形成し、メタル配線 14 を形成することによって形成される。

【実施例 4】

【0079】

実施例 4 は、実施例 2 のさらなる変形例にかかる。まず、図 5 (A) ~ (D) 工程、図 6 (E) ~ (H) 工程、図 7 (I) ~ (J) 工程までと同様の工程を経る。次に図 7 (J) と図 10 (A) を参照して、第 1 の絶縁層 5 が、その厚みの 20 ~ 80 % が研磨されるように、第 1 の層間絶縁膜 13 を研磨し、平坦化処理する。 10

【0080】

本実施例によれば、第 1 の層間絶縁膜 13 の平坦化処理時に、サイドウォールスペーサ 11 の上部の突起部が除去され、ひいては第 1 のシリサイド化アニール処理時にサイドウォールスペーサ 11 の上部の表面に残存した導電性の高融点金属膜 8 の片やシリサイド粒が除去される。ひいては、これらが原因となる、ゲート電極の表面部のシリサイド化層 9 とトランジスタのソース領域またはドレイン領域とのショートを防止できる。

【0081】

その後、図 7 (L)、図 8 (M) (N) と同じ工程を経る。図 10 (B) を参照して、第 2 層間絶縁膜 16 を半導体基板 1 上に 50 ~ 250 nm の厚みで形成する。次に、第 1 層間絶縁膜 13 と第 2 層間絶縁膜 16 中にコンタクトホール 15 を形成後、メタル配線 14 を形成してトランジスタが完成する。 20

【実施例 5】

【0082】

本実施例は、実施例 2 のさらなる変形例にかかる。本実施例は、サイドウォールスペーサを 2 層構造にしたものである。まず、図 5 (A) ~ (D) 工程、図 6 (E) ~ (F) 工程までと同様の工程を経る。

【0083】

次に、図 11 (A) を参照して、半導体基板 1 上に、ゲート電極 10 と残存している第 1 の絶縁層 5 を覆うように、シリコン酸化膜 7a を形成し、さらにその上にシリコン酸窒化膜 (またはシリコン窒化膜) 7b を堆積する。下層のシリコン酸化膜 7a の膜厚は 5 ~ 25 nm であり、上層のシリコン酸窒化膜 (またはシリコン窒化膜) 7b の膜厚は 70 ~ 190 nm である。 30

【0084】

図 11 (A) と (B) を参照して、シリコン酸窒化膜 (またはシリコン窒化膜) 7b およびシリコン酸化膜 7a をエッチングバックし、ゲート電極 10 の側壁にサイドウォールスペーサ 11 を形成する。サイドウォールスペーサ 11 は、シリコン酸窒化膜 (またはシリコン窒化膜) を含むので、エッチングバックしてもサイドウォールスペーサ 11 の幅 (加工されたゲート絶縁膜 3 に接する付近のサイドウォールスペーサ 11 の幅) を、図 6 (G) に示すような第 2 の絶縁層 7 にシリコン酸化膜のみを使用したときより大きく形成できる。次に、トランジスタのソース・ドレイン領域 1b の高濃度の N 領域を形成するために、砒素等のイオン注入し、注入された砒素イオンの活性化のために熱処理を行う。 40

【0085】

この後、図 11 (C) に示すように高融点金属の Ti (チタン)、Co (コバルト)、Ni (ニッケル) 等を用いて、スパッタ法、メッキ法、CVD 法により、10 ~ 100 nm 程度の高融点金属膜 8 を全面に堆積する。次に 450 ~ 650 °C の熱処理工程によって第 1 のシリサイド化アニール処理を行うことにより半導体基板 1 と高融点金属膜 8 を反応させ、トランジスタのソース・ドレイン領域 1b にシリサイド化層 9 を形成する。その後、選択エッチングにより高融点金属膜 8 の内の未反応の高融点金属膜を除去する。

【0086】

次に図 1 1 (D) を参照して、第 1 の層間絶縁膜 1 3 を半導体基板 1 上に 3 0 0 ~ 8 0 0 n m 程度を形成する。図 1 2 (E) を参照して、第 1 の層間絶縁膜 1 3 を研磨して平坦化処理を行う。研磨のストッパー膜として、素子形成領域ではゲート電極上に形成されている第 1 の絶縁層 5 がその効果を発揮する。図示しないが、ストッパー膜は第 1 の絶縁層 5 と同様の材料で、半導体基板 1 の周辺部や素子分離領域上にも形成されている。このときの第 1 の絶縁層 5 の研磨量はその膜厚の 2 ~ 2 0 % 程度にコントロールされる。

【0 0 8 7】

続いて、図 1 2 (E) と図 1 2 (F) を参照して、第 1 の絶縁層 5 を除去する。この結果、ゲート電極 1 0 より高さの高いサイドウォールスペーサ 1 1 が残された半導体装置が形成される。その後図 7 (L)、図 8 (M) および図 8 (N) と同様の工程を経て、シリ

10

【実施例 6】

【0 0 8 8】

本実施例は実施例 5 の変形例にかかる。図 1 3 (A) は、図 1 1 (D) に相当する図である。図 1 3 (A) と図 1 3 (B) を参照して、第 1 の絶縁層 5 が、その厚みの 2 0 ~ 8 0 % が研磨されるように、第 1 の層間絶縁膜 1 3 を研磨し、平坦化処理する。その後、図 1 3 (B) と (C) を参照して、第 1 の絶縁層 5 を除去する。

【0 0 8 9】

20

本実施例によれば、第 1 の層間絶縁膜 1 3 の平坦化処理時に、サイドウォールスペーサ 1 1 の上部の突起部が除去され、ひいては第 1 のシリサイド化アニール処理時にサイドウォールスペーサ 1 1 の上部に残存した導電性の高融点金属膜 8 の片やシリサイド粒が除去される。ひいては、これらが原因となる、ゲート電極の表面部のシリサイド化層 9 とトランジスタのソース領域またはドレイン領域とのショートを防止できる。

【0 0 9 0】

その後、図 7 (L)、図 8 (M) および図 8 (N) と同じ工程を経て、シリサイド化層 9 を形成する。図 1 3 (D) を参照して、第 2 層間絶縁膜 1 6 を半導体基板 1 上に 5 0 ~ 2 5 0 n m を形成する。次に、第 1 層間絶縁膜 1 3 と第 2 層間絶縁膜 1 6 中にコンタクトホール 1 5 を形成後、メタル配線 1 4 を形成してトランジスタが形成される。

30

【0 0 9 1】

今回開示された実施例はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【産業上の利用可能性】

【0 0 9 2】

本発明は、ゲート電極の薄膜化が可能になり、素子構造の微細化に対応することができ、半導体装置の高集積化を可能にする。

【図面の簡単な説明】

【0 0 9 3】

40

【図 1】実施例 1 にかかる半導体装置の製造方法の順序の (A) - (D) の工程における半導体装置の断面図である。

【図 2】実施例 1 にかかる半導体装置の製造方法の順序の (E) - (H) の工程における半導体装置の断面図である。

【図 3】実施例 1 にかかる半導体装置の製造方法の順序の (I) - (K) の工程における半導体装置の断面図である。

【図 4】実施例 1 にかかる半導体装置の製造方法の順序の (L) - (M) の工程における半導体装置の断面図である。

【図 5】実施例 2 にかかる半導体装置の製造方法の順序の (A) - (D) の工程における半導体装置の断面図である。

50

【図 6】実施例 2 にかかる半導体装置の製造方法の順序の (E) - (H) の工程における半導体装置の断面図である。

【図 7】実施例 2 にかかる半導体装置の製造方法の順序の (I) - (L) の工程における半導体装置の断面図である。

【図 8】実施例 2 にかかる半導体装置の製造方法の順序の (M) - (O) の工程における半導体装置の断面図である。

【図 9】実施例 3 にかかる半導体装置の断面図である。

【図 10】実施例 4 にかかる半導体装置の製造方法の順序の (A) - (B) の工程における半導体装置の断面図である。

【図 11】実施例 5 にかかる半導体装置の製造方法の順序の (A) - (D) の工程における半導体装置の断面図である。 10

【図 12】実施例 5 にかかる半導体装置の製造方法の順序の (E) - (G) の工程における半導体装置の断面図である。

【図 13】実施例 6 にかかる半導体装置の製造方法の順序の (A) - (D) の工程における半導体装置の断面図である。

【図 14】従来の半導体装置の製造方法の順序の (A) - (D) の工程における半導体装置の断面図である。

【図 15】従来の半導体装置の製造方法の順序の (E) - (H) の工程における半導体装置の断面図である。

【図 16】他の従来の半導体装置の製造方法の順序の (A) - (D) の工程における半導体装置の断面図である。 20

【図 17】他の従来の半導体装置の製造方法の順序の (E) - (H) の工程における半導体装置の断面図である。

【図 18】さらに他の従来の半導体装置の製造方法の順序の (A) - (D) の工程における半導体装置の断面図である。

【符号の説明】

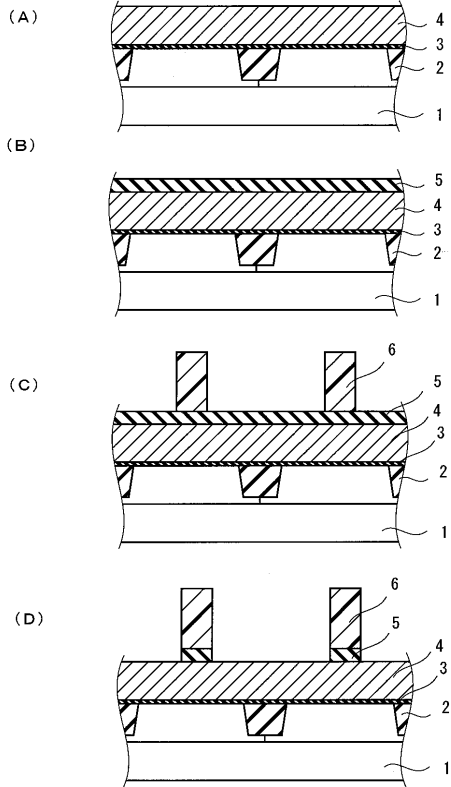
【0094】

- 1 半導体基板
- 2 素子分離領域
- 3 ゲート絶縁層
- 4 ポリシリコン層
- 5 第 1 の絶縁層
- 6 レジストパターン
- 7 第 2 の絶縁層
- 8 高融点金属膜
- 9 シリサイド化層
- 10 ゲート電極
- 11 サイドウォールスペーサ
- 13 第 1 層間絶縁膜
- 14 メタル配線
- 15 コンタクトホール
- 16 第 2 層間絶縁膜

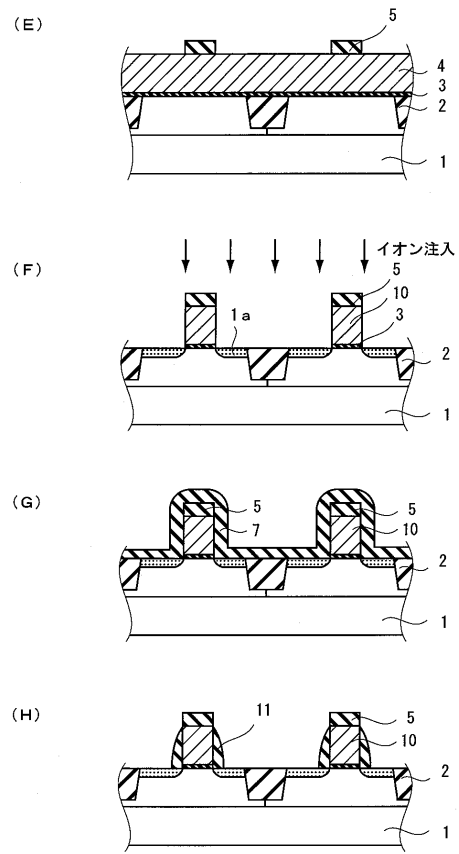
30

40

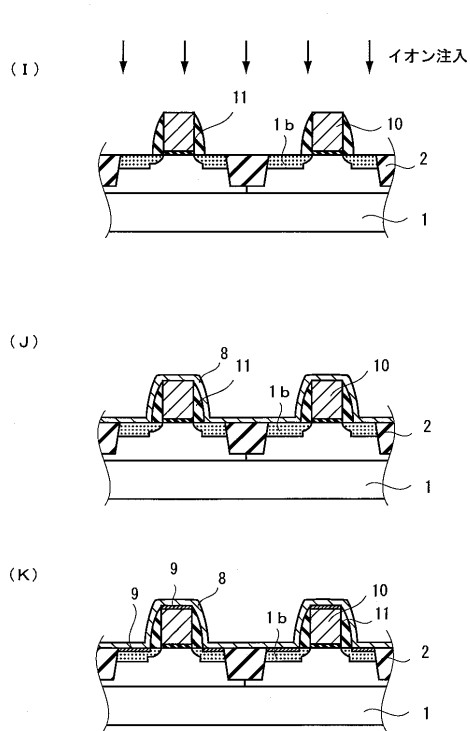
【図 1】



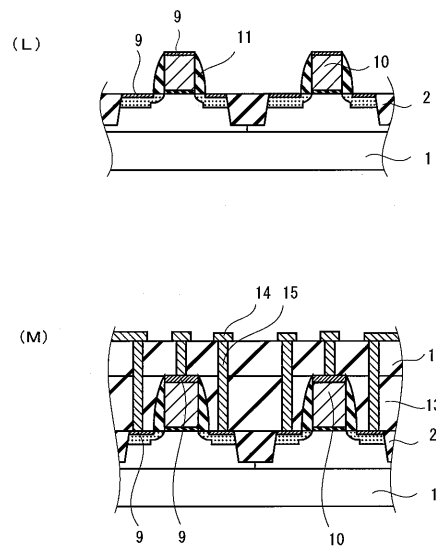
【図 2】



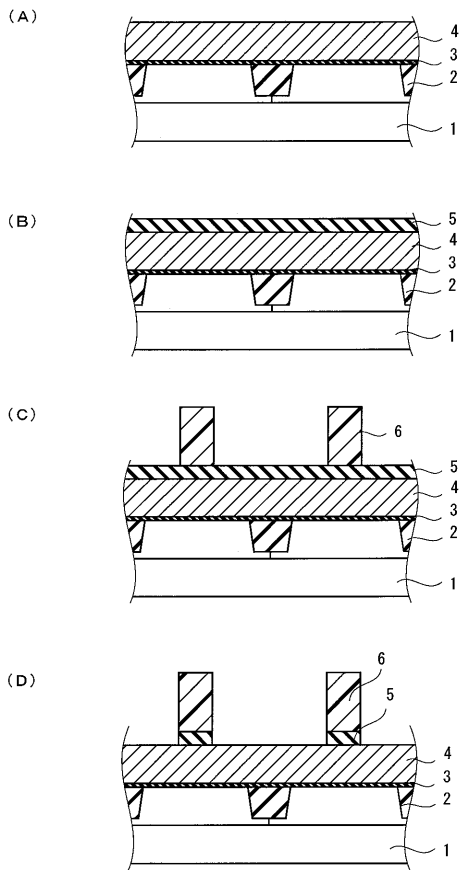
【図 3】



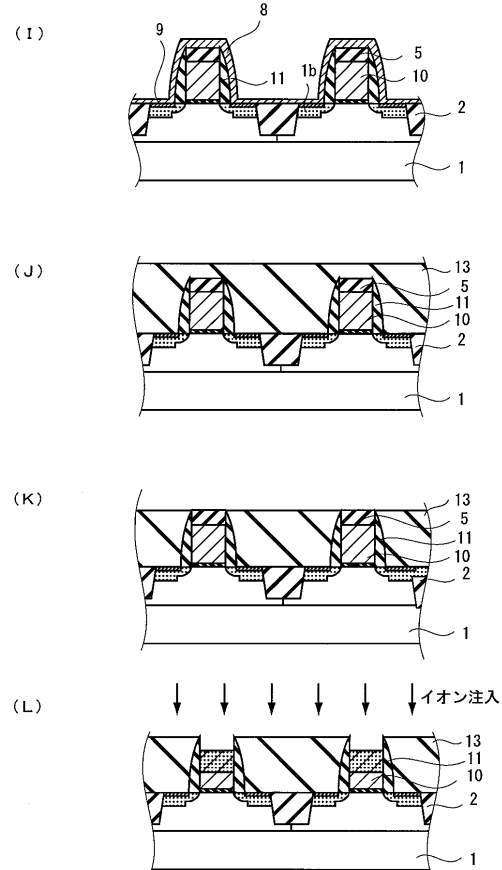
【図 4】



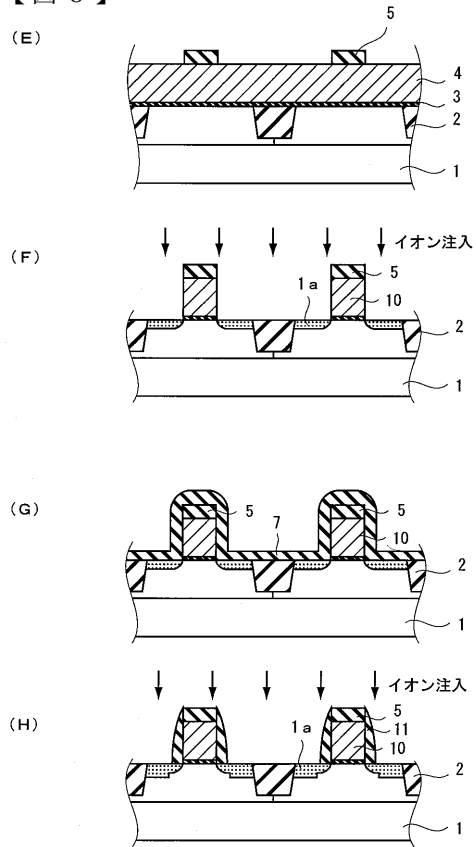
【図 5】



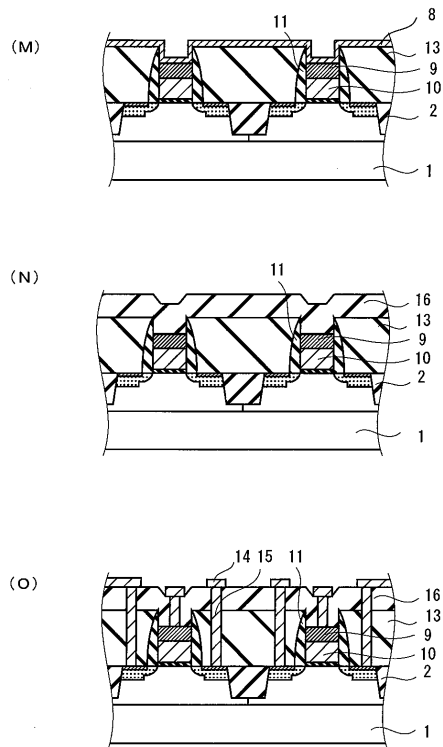
【図 7】



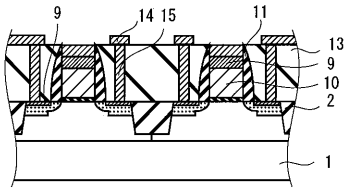
【図 6】



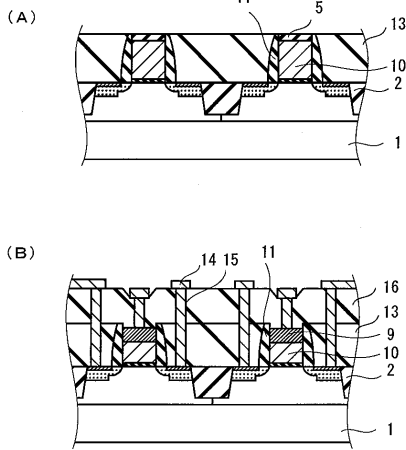
【図 8】



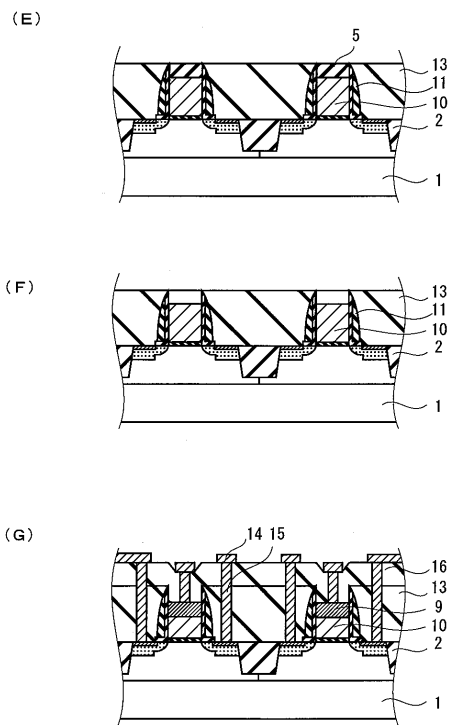
【図 9】



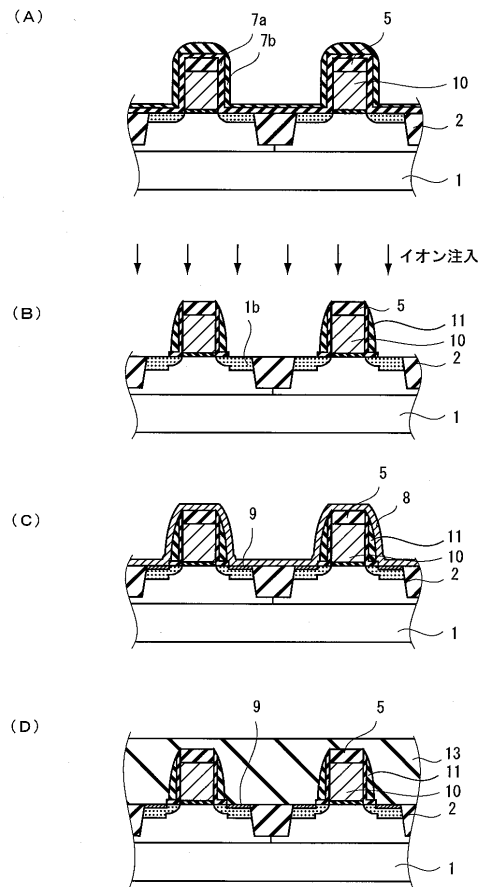
【図 10】



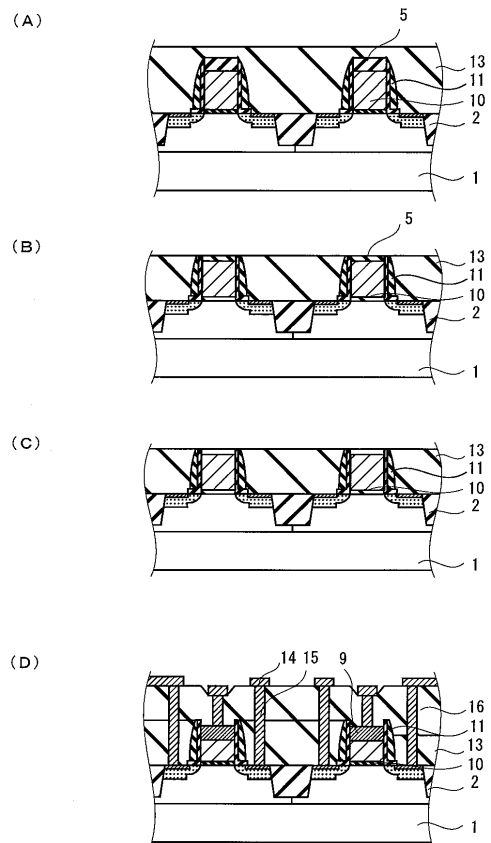
【図 12】



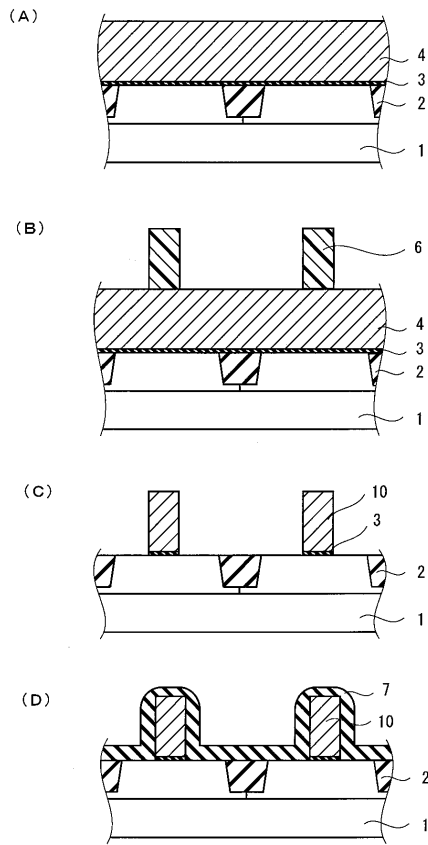
【図 11】



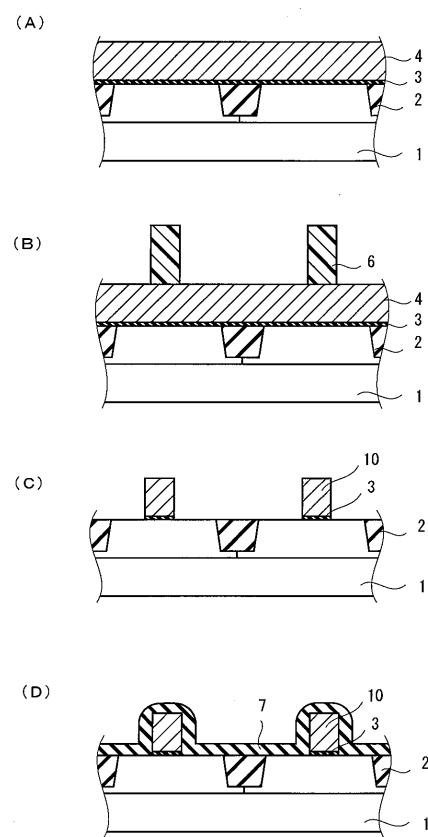
【図 13】



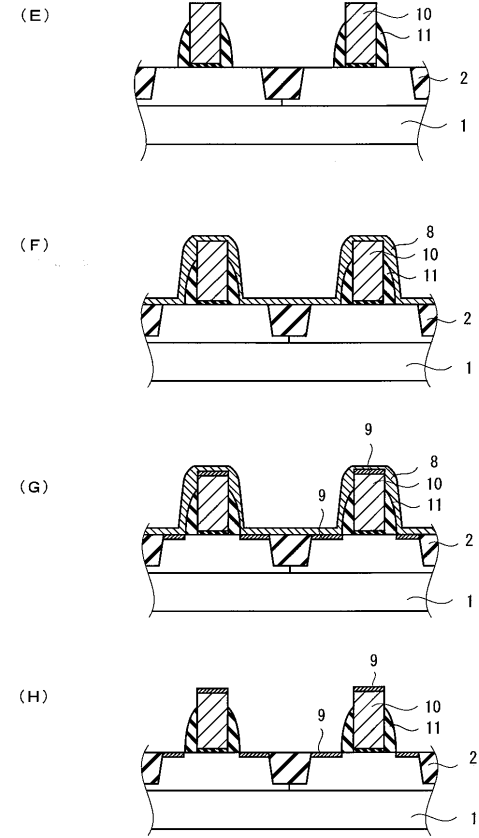
【図 1 4】



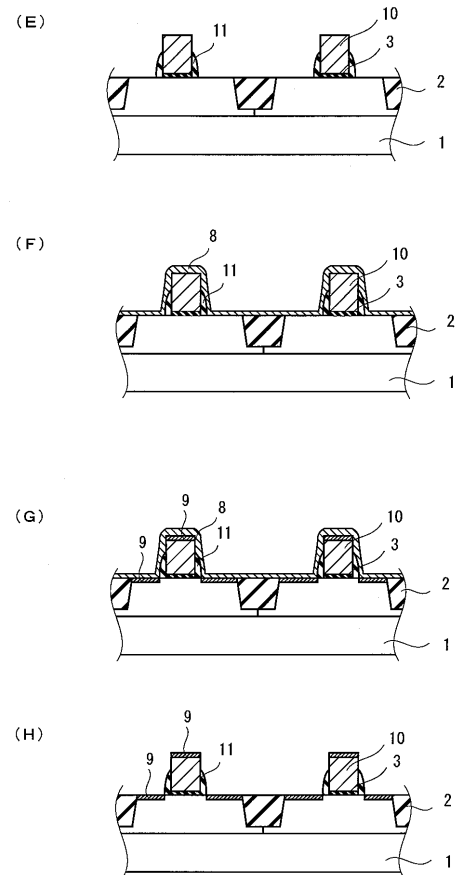
【図 1 6】



【図 1 5】

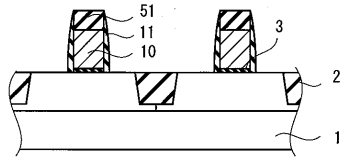


【図 1 7】

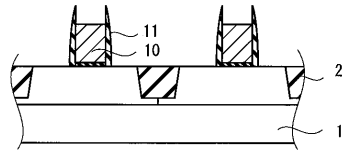


【図 18】

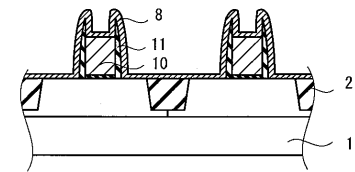
(A)



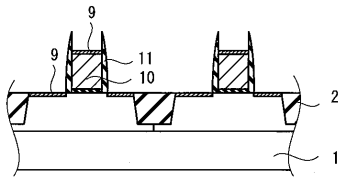
(B)



(C)



(D)



フロントページの続き

(51)Int.Cl.

F I

テーマコード (参考)

H01L 29/49 (2006.01)

Fターム(参考) 4M104 AA01 BB01 BB20 BB21 BB25 CC05 DD04 DD37 DD43 DD51
DD63 DD71 DD84 EE05 EE09 EE14 EE17 HH20
5F140 AA01 AA14 BA01 BF04 BF11 BF18 BG08 BG11 BG12 BG14
BG19 BG20 BG22 BG32 BG33 BG34 BG37 BG39 BG45 BG51
BG53 BH15 BJ01 BJ08 BK02 BK13 BK21 BK25 BK28 BK29
BK30 BK34 BK39 CB04 CE07 CF04