



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I752556 B

(45)公告日：中華民國 111 (2022) 年 01 月 11 日

(21)申請案號：109124223

(22)申請日：中華民國 107 (2018) 年 08 月 22 日

(51)Int. Cl. : G06F12/12 (2016.01)

G06F13/14 (2006.01)

(30)優先權：2017/08/23 美國

15/684,792

(71)申請人：美商美光科技公司(美國) MICRON TECHNOLOGY, INC. (US)

美國

(72)發明人：米爾斯 朵恩 R MILLS, DUANE R. (US)；費肯薩爾 李察 E FACKENTHAL,

RICHARD E. (US)

(74)代理人：陳長文

(56)參考文獻：

US 6154823

US 8195916B2

US 9600410B1

US 2009/0216937A1

US 2010/0157641A1

US 2011/0087855A1

US 2013/0111147A1

US 2017/0017434A1

審查人員：蕭明椿

申請專利範圍項數：20 項 圖式數：6 共 41 頁

(54)名稱

按需求之記憶體頁面大小

(57)摘要

本發明描述有關於按需求之記憶體頁面大小之系統、裝置及方法。一記憶體系統可採用支援按需求之可變記憶體頁面大小之一協定。一記憶體系統可包含一或多個非揮發性記憶體裝置，其等可各包含經組態以支援可變記憶體頁面大小操作之一局部記憶體控制器。該記憶體系統可包含介接於該等非揮發性記憶體裝置與一處理器之間之一系統記憶體控制器。該系統記憶體控制器可(例如)使用促進按需求之記憶體頁面大小之一協定，其中用於一操作中之一特定頁面大小之一判定可基於記憶體命令及記憶體命令所涉及之資料之特性。

Systems, devices, and methods related to on demand memory page size are described. A memory system may employ a protocol that supports on demand variable memory page sizes. A memory system may include one or more non-volatile memory devices that may each include a local memory controller configured to support variable memory page size operation. The memory system may include a system memory controller that interfaces between the non-volatile memory devices and a processor. The system memory controller may, for instance, use a protocol that facilitates on demand memory page size where a determination of a particular page size to use in an operation may be based on characteristics of memory commands and data involved in the memory command.

指定代表圖：

符號簡單說明：

300: 電路

300-a: 電路

300-b: 電路

310-a: 鐵電記憶體單元

310-b: 線性/仿線性記憶體單元

320-a: 鐵電電容器

320-b: 線性/仿線性電容器

330-a: 選擇組件

330-b: 選擇組件

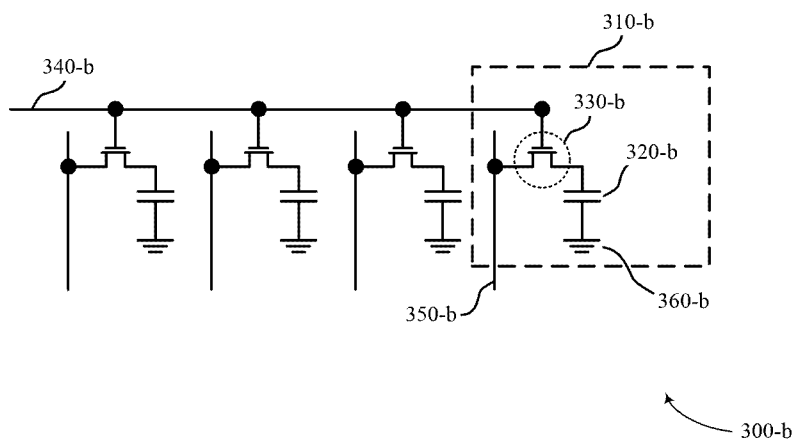
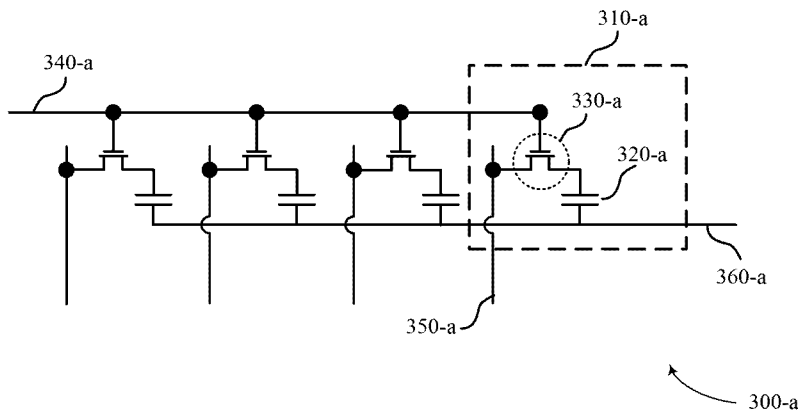
340-a: 字線

340-b: 字線

350-a: 位元線

350-b: 位元線

360-a: 極板線



【圖3】

300

I752556

【發明摘要】**【中文發明名稱】**

按需求之記憶體頁面大小

【英文發明名稱】

ON DEMAND MEMORY PAGE SIZE

【中文】

本發明描述有關於按需求之記憶體頁面大小之系統、裝置及方法。一記憶體系統可採用支援按需求之可變記憶體頁面大小之一協定。一記憶體系統可包含一或多個非揮發性記憶體裝置，其等可各包含經組態以支援可變記憶體頁面大小操作之一局部記憶體控制器。該記憶體系統可包含介接於該等非揮發性記憶體裝置與一處理器之間之一系統記憶體控制器。該系統記憶體控制器可(例如)使用促進按需求之記憶體頁面大小之一協定，其中用於一操作中之一特定頁面大小之一判定可基於記憶體命令及記憶體命令所涉及之資料之特性。

【英文】

Systems, devices, and methods related to on demand memory page size are described. A memory system may employ a protocol that supports on demand variable memory page sizes. A memory system may include one or more non-volatile memory devices that may each include a local memory controller configured to support variable memory page size operation. The memory system may include a system memory controller that interfaces between the non-volatile memory devices and a processor. The system memory controller may, for instance, use a

protocol that facilitates on demand memory page size where a determination of a particular page size to use in an operation may be based on characteristics of memory commands and data involved in the memory command.

【指定代表圖】

圖3

【代表圖之符號簡單說明】

300: 電路

300-a: 電路

300-b: 電路

310-a: 鐵電記憶體單元

310-b: 線性/仿線性記憶體單元

320-a: 鐵電電容器

320-b: 線性/仿線性電容器

330-a: 選擇組件

330-b: 選擇組件

340-a: 字線

340-b: 字線

350-a: 位元線

350-b: 位元線

360-a: 極板線

【發明說明書】

【中文發明名稱】

按需求之記憶體頁面大小

【英文發明名稱】

ON DEMAND MEMORY PAGE SIZE

【技術領域】

【0001】 技術領域係關於按需求之記憶體頁面大小。

【先前技術】

【0002】 下文大體上係關於記憶體系統，且更明確而言，下文係關於按需求之記憶體頁面大小。

【0003】 記憶體系統可包含各種記憶體裝置及控制器，其等經由一或多個匯流排耦合以管理諸如電腦、無線通信裝置、物聯網、攝影機、數位顯示器等等之諸多電子裝置中之資訊。匯流排可使記憶體裝置及控制器能夠根據一特定協定來交換資訊。記憶體裝置廣泛用於儲存此等電子裝置中之資訊。藉由程式化一記憶體單元之不同狀態來儲存資訊。例如，二進位記憶體單元具有通常由一邏輯「1」或一邏輯「0」表示之兩種狀態。可將兩種以上狀態儲存於一記憶體單元中。

【0004】 存在各種類型之記憶體裝置，其包含磁性硬碟、隨機存取記憶體(RAM)、唯讀記憶體(ROM)、動態RAM (DRAM)、同步動態RAM (SDRAM)、鐵電RAM (FeRAM)、磁性RAM (MRAM)、電阻式RAM (RRAM)、快閃記憶體、相變記憶體(PCM)等等。記憶體裝置可為揮發性或非揮發性的。非揮發性記憶體單元(例如FeRAM單元)可長時間保存其儲存邏輯狀態，即使缺乏一外部電源。揮發性記憶體單元(例如DRAM單

元)會隨時間損失其儲存狀態，除非其由一外部電源週期性地再新。FeRAM可使用類似於揮發性記憶體之記憶體裝置架構，但可具有相較於其他非揮發性及揮發性記憶體裝置之改良效能。

【0005】 改良記憶體系統一般可包含提高記憶體系統效能(諸如減少系統電力消耗)、增加記憶體系統容量、提高讀取/寫入速度、藉由使用永久主記憶體來提供非揮發性或降低一特定效能點處之製造成本及其他度量。對一記憶體陣列頁面大小之限制或對調整頁面大小之約束會影響改良上述度量之效能或能力。

【發明內容】

【圖式簡單說明】

【0006】 本發明涉及且包含以下圖式：

【0007】 圖1展示支援根據本發明之實施例之按需求之記憶體頁面大小之一系統之一圖式。

【0008】 圖2繪示支援根據本發明之實施例之按需求之記憶體頁面大小之非線性電性質之一實例。

【0009】 圖3繪示支援根據本發明之實施例之按需求之記憶體頁面大小之電路之一實例。

【0010】 圖4繪示支援根據本發明之實施例之按需求之記憶體頁面大小之一例示性系統。

【0011】 圖5展示繪示用於操作根據本發明之實施例之按需求之記憶體頁面大小之一方法的一流程圖。

【0012】 圖6展示繪示用於操作根據本發明之實施例之按需求之記憶體頁面大小之一方法的一流程圖。

【實施方式】

【0013】 本專利申請案主張Mills等人於2017年8月23日申請之名稱為「On Demand Memory Page Size」之美國專利申請案第15/684,792號之優先權，該案讓與其受讓人且其全文以引用的方式明確併入。

【0014】 一記憶體系統可支援按需求或可變記憶體頁面大小，其可改良系統靈活性、電力消耗等等。當需要記憶體系統操縱比固定頁面大小之資料量時，按需求或可變頁面大小可有益於提高記憶體系統之效能，而一固定頁面大小(例如2048個位元組)會導致不必要能量消耗。另外，若記憶體系統經組態以與一固定小頁面大小一起操作，則可變頁面大小可有益於避免操縱多個資料頁面時之不必要損失。因此，按需求之記憶體頁面大小可有益於提高記憶體系統之效能。

【0015】 舉例而言，一記憶體系統可包含根據一匯流排協定經由一或多個匯流排與一系統記憶體控制器通信之各種類型之記憶體裝置。匯流排協定可用於存取各種大小之資料。可將記憶體系統中之資料大小描述為一頁面大小，例如64個位元組、512個位元組、2048個位元組等等。例如，匯流排協定可包含用於存取記憶體之一頁面及指示頁面大小之一命令。一些類型之記憶體(諸如DRAM)可具有2048個位元組之一固定頁面大小，例如，可與一頁面啟用命令一起存取。在一些情況中，當記憶體系統產生之資料之淨含量可小於2048個位元組時，利用DRAM之一記憶體系統要在頁面啟用命令期間消耗與啟用資料之固定頁面大小相關聯之一定量之能量。可在利用經組態以根據待操縱之資料之淨含量來支援按需求或可變記憶體頁面大小之記憶體裝置之一記憶體系統中減少此不必要能量消耗。另外，匯流排協定可促進在執行一存取操作時判定待使用之記憶體裝

置之一記憶體頁面大小。各種參數可用於指示包含一資料大小之記憶體頁面大小、記憶體裝置之一開始位址及一結束位址或與一預定記憶體頁面大小選項等等相關聯之一位址。

【0016】 一非揮發性記憶體裝置可用於一記憶體系統中且可支援按需求之記憶體頁面大小設定。此類型之記憶體系統可提供相較於採用一揮發性記憶體陣列之系統之益處，其包含高系統效能、高面密度及低系統電力消耗。可在諸如FeRAM、快閃記憶體或三維交叉點記憶體(3D XPoint™記憶體)之記憶體系統中使用各種類型之非揮發性記憶體裝置。不同於DRAM裝置，非揮發性記憶體裝置可經組態以與多個不同頁面大小一起操作。例如，FeRAM技術可實現經組態以支援包含64個、128個、256個、512個、1024個或2048個位元組之多個頁面大小之一記憶體裝置。用於一特定操作中之頁面大小可取決於記憶體命令及與命令相關聯之資料之各種特性。例如，可將一頁面大小判定為2048個位元組以支援一舊有DRAM類操作或判定為比2048個位元組小很多(例如64個位元組)以有效操縱小量資料。因此，利用能夠支援多個不同頁面大小之非揮發性記憶體裝置之記憶體系統可實施可允許使用記憶體命令(例如頁面啟用命令)來指定一頁面大小之一協定。此可允許記憶體系統在需要小量資料時請求打開一小資料頁面及在請求大量資料時請求打開一大資料頁面。

【0017】 例如，本發明包含一記憶體系統中之一系統記憶體控制器，記憶體系統包含能夠支援多個不同頁面大小之一或多個記憶體裝置。各記憶體裝置可包含與使用記憶體命令指定之不同頁面大小一起操作之一局部記憶體控制器，其與系統記憶體控制器合作。本發明包含使用記憶體陣列(其使用FeRAM技術)之實例，但可利用能夠支援多個不同頁面大小

之任何記憶體裝置，例如3D XPoint™記憶體陣列。本文中所揭示之記憶體系統或子系統可支援其中電力消耗可為一重要設計因數之行動環境中之各種電子設備。

【0018】 如下文將詳細描述，記憶體系統可利用使用由記憶體裝置提供之按需求頁面大小性能之各種替代選項。例如，記憶體系統可組態記憶體陣列中之不同記憶體位置以透過組態暫存器來具有不同頁面大小。隨後，記憶體系統可儲存通常循序存取於經組態以具有一大頁面大小之記憶體位置中之大資料區塊。在另一實例中，記憶體系統可指示一資料大小但不指定一特定頁面大小，使得局部記憶體控制器可組態一最佳頁面大小用於處置資料。在另一實例中，記憶體系統可包含特定數目個位元以及記憶體命令，其中位元組合可用作局部記憶體控制器待使用之一特定頁面大小之一指示。

【0019】 上述討論提供本發明之一概述。下文將在記憶體系統或子系統架構及相關協定之背景下進一步描述上文所引入之特徵及技術。接著，結合支援按需求之記憶體頁面大小之控制器及匯流排協定來描述一記憶體系統或子系統之特定實例。藉由有關於按需求之記憶體頁面大小之設備圖、系統圖及流程圖來進一步繪示且參考該等圖來描述本發明之此等及其他特徵。

【0020】 圖1展示支援根據本發明之實施例之按需求之記憶體頁面大小之一系統100之一圖式。系統100包含一裝置105。裝置105可包含一處理器130、一系統記憶體控制器120及各種記憶體裝置170、175及180。裝置105亦可包含輸入/輸出控制器135、基本輸入/輸出系統(BIOS)組件125、板支援封裝(BSP) 126、(若干)周邊組件140、直接記憶體存取控制

器(DMAC) 160。裝置105之組件可透過匯流排110來彼此電子通信。

【0021】 裝置105可為一運算裝置、電子裝置、行動運算裝置或無線裝置。裝置105可為一可攜式電子裝置。裝置105可為一電腦、一膝上型電腦、一平板電腦、一智慧型電話、一蜂巢式電話、一穿戴式裝置、一網際網路連接裝置等等。在一些實例中，裝置105經組態以經由一基地台或存取點來雙向無線通信。在一些實例中，裝置105能夠進行機器型通信(MTC)、機器間(M2M)通信或裝置間(D2D)通信。裝置105可指稱一使用者設備(UE)、站台(STA)、行動終端機等等。

【0022】 處理器130可經組態以直接或經由系統記憶體控制器120與各種記憶體裝置170、175、180或其等之任何組合一起操作。在一些情況中，處理器130可執行系統記憶體控制器120之功能。處理器130可為一通用處理器、一數位信號處理器(DSP)、一專用積體電路(ASIC)、一場可程式化閘陣列(FPGA)或其他可程式化邏輯裝置、離散閘或電晶體邏輯、離散硬體組件，或其可為此等類型之組件之一組合。

【0023】 系統記憶體控制器120可經組態以與處理器130一起操作。系統記憶體控制器120亦可經組態以與各種記憶體裝置170、175、180或其等之任何組合一起操作。

【0024】 記憶體裝置170可各包含用於儲存數位資訊之一或多個記憶體單元陣列。記憶體裝置170可經組態以與處理器130或系統記憶體控制器120一起操作。在一些實例中，記憶體裝置170可經組態以充當處理器130或系統記憶體控制器120之一緩衝記憶體或一記憶體庫。在一些實例中，一或多個記憶體裝置170可存在於裝置105中。

【0025】 記憶體裝置175可包含經組態以與結構化為兩個或兩個以

上層之一記憶體單元陣列一起操作之一局部記憶體控制器。記憶體裝置175之局部記憶體控制器亦可經組態以與處理器130一起操作。記憶體裝置175之局部記憶體控制器可經組態以處置記憶體單元之不同特性以與處理器130一起高效率操作。在一些實例中，第一層記憶體單元可為3D XPoint™記憶體，其可在一短回應時間內提供大量每秒輸入/輸出操作(IOPS)以處置各種工作量。在一些實例中，第二層記憶體單元可為三維「反及」(NAND)記憶體，其可以相對低於第一層記憶體單元之一成本提供大容量資料儲存。在一些情況中，記憶體裝置175可包含記憶體陣列之其他類型或組合。

【0026】 記憶體裝置180可各包含經組態以與一記憶體陣列182一起操作之一局部記憶體控制器181。記憶體裝置180之局部記憶體控制器181亦可經組態以與處理器130或系統記憶體控制器120一起操作。在一些實例中，記憶體陣列182可包含非揮發性或揮發性記憶體單元或非揮發性記憶體單元及揮發性記憶體單元兩者之一組合。在一些實例中，記憶體裝置180之局部記憶體控制器181可經組態以處置一記憶體陣列之各種頁面大小，其中記憶體陣列182包含非揮發性記憶體單元(例如FeRAM單元)。FeRAM技術可使一記憶體裝置能夠支援包含64個、128個、256個、512個、1024個或2048個位元組之多個頁面大小。在一些實例中，一頁面大小可固定為一記憶體陣列之一特定大小，其中記憶體陣列包含揮發性記憶體單元(例如舊有DRAM單元)。在一些實例中，一或多個記憶體裝置180可存在於裝置105中。

【0027】 DMAC 160可使處理器130能夠執行與記憶體裝置170、175或180之直接記憶體存取。例如，DMAC 160可在不涉及或操作系統

記憶體控制器120的情況下支援處理器直接存取一記憶體裝置170、175或180。

【0028】 (若干)周邊組件140可為可整合至裝置105中之任何輸入或輸出裝置或此等裝置之一介面。實例可包含磁碟控制器、聲音控制器、圖形控制器、乙太網路控制器、數據機、通用串列匯流排(USB)控制器、一串列或並列埠或周邊卡槽(諸如周邊組件互連(PCI)或加速圖形埠(AGP)槽)。(若干)周邊組件140可為熟悉技術者所瞭解之其他周邊組件。

【0029】 BIOS組件125或板支援封裝(BSP) 126可為包含操作為韌體之一基本輸入/輸出系統(BIOS)之一軟體組件，其可初始化且運行系統100之各種硬體組件。BIOS組件125或BSP 126亦可管理處理器130與各種組件(例如周邊組件140、輸入/輸出控制器135等等)之間之資料流。BIOS組件125或BSP 126可包含儲存於唯讀記憶體(ROM)、快閃記憶體或任何其他非揮發性記憶體中之一程式或軟體。

【0030】 輸入/輸出控制器135可管理處理器130與(若干)周邊組件140、輸入裝置145或輸出裝置150之間之資料通信。輸入/輸出控制器135亦可管理未整合至裝置105中之周邊裝置。在一些情況中，輸入/輸出控制器135可表示至外部周邊裝置之一實體連接或埠。

【0031】 輸入145可表示向裝置105或其組件提供輸入之裝置105外之一裝置或信號。此可包含一使用者介面或與其他裝置介接或介接於其他裝置之間。在一些情況中，輸入145可為經由(若干)周邊組件140與裝置105介接之一周邊裝置或可由輸入/輸出控制器135管理。

【0032】 輸出150可表示經組態以自裝置105或其任何組件接收輸出之裝置105外之一裝置或信號。輸出150之實例可包含一顯示器、音訊揚

聲器、一印刷裝置或電路板上之另一處理器等等。在一些情況中，輸出150可為經由(若干)周邊組件140與裝置105介接之一周邊裝置或可由輸入/輸出控制器135管理。

【0033】 裝置105之組件可由經設計以實施其功能之電路系統組成。此可包含經組態以實施本文中所描述之功能之各種電路元件，例如導線、電晶體、電容器、電感器、電阻器、放大器或其他主動或被動元件。

【0034】 在一些情況中，一種系統可包含一系統記憶體控制器及與該系統記憶體控制器電子通信之一局部記憶體控制器，該局部記憶體控制器與一記憶體陣列耦合且經組態以判定該記憶體陣列之一記憶體頁面大小。在一些情況中，該系統可包含與該系統記憶體控制器及該局部記憶體控制器電子通信之一處理器及與該處理器電子通信之一或多個組件，其中該處理器經組態以經由該系統記憶體控制器及該局部記憶體控制器存取該記憶體陣列以操作該一或多個組件，其中該一或多個組件包含一輸入及輸出(I/O)控制器、一周邊組件或一基本輸入輸出系統(BIOS)組件之至少一者。

【0035】 在一些情況中，該處理器可操作以將包含指示該記憶體頁面大小之一第一組參數之一記憶體存取請求發送至該系統記憶體控制器。在一些情況中，該處理器可操作以自該局部記憶體控制器接收資料。在一些情況中，該處理器可操作以將資料發送至該局部記憶體控制器。在一些情況中，該系統記憶體控制器可操作以自該處理器接收包含指示該記憶體頁面大小之一第一組參數之一記憶體存取請求。在一些情況中，該系統記憶體控制器可操作以至少部分基於接收該記憶體存取請求來組態一記憶體存取命令，其中該記憶體存取命令包含指示該記憶體頁面大小及該記憶體

陣列之一識別符之一第二組參數，該第二組參數至少部分基於該第一組參數。在一些情況中，該系統記憶體控制器可操作以將具有該第二組參數之該記憶體存取命令發送至該局部記憶體控制器。

【0036】 圖2繪示支援根據本發明之實施例之按需求之記憶體頁面大小之一記憶體單元之電性質之一實例。提供曲線圖200來繪示支援本文中所描述之特徵及技術之實例性特性。其他特性及材料性質可支援此等特徵或類似特徵。曲線圖200-a繪示使用一鐵電材料之一電容器之一實例性磁滯曲線。曲線圖200-b繪示使用線性材料250或一順電材料240之一電容器之一實例性極化。曲線圖200描繪依據跨電容器之一電壓差 V 而變化之電荷 Q ，其儲存於利用鐵電、線性或仿線性材料之一記憶體單元之一電容器上。

【0037】 一鐵電材料以一自發電極化為特徵，即，其在缺乏一電場的情況下維持一非零電極化。相比而言，一線性或順電材料僅在存在一外加電場的情況下展現極化。由於可在缺乏一外加電場的情況下相對較長時間(甚至無限期)維持一鐵電材料之電極化，所以可相較於(例如)用於DRAM陣列中之順電電容器而顯著減少電荷洩漏。因此，鐵電記憶體單元可相較於DRAM單元而減少或消除執行再新操作之要求。

【0038】 如曲線圖200-a中所描繪，鐵電材料可在一零電壓差處維持一正或負電荷以導致以下兩種可能充電狀態：電荷狀態205及電荷狀態210。根據圖2之實例，電荷狀態205表示一邏輯0且電荷狀態210表示一邏輯1。在一些實例中，各自電荷狀態之邏輯值可相反。電荷狀態205及210亦可指稱剩餘極化(P_r)值，即，移除外加偏壓(例如電壓)之後之剩餘極化(及因此電荷)。本文中所討論之鐵電材料可為包含鉛、鋅或氧或其等之任

何組合之一化合物。例如，其可包含氧化鉛或氧化鋅。由於利用鐵電材料之記憶體單元在缺乏外加偏壓/電壓的情況下維持儲存電荷，所以鐵電記憶體單元可被稱為「非揮發性記憶體」。

【0039】 曲線圖200-b繪示一線性材料250及一順電材料240之實例性極化曲線。如圖中所展示，線性材料250之電荷Q與施加電壓V成線性關係。順電材料240展現與電壓之一非線性電荷。然而，與曲線圖200-a中所展示之一鐵電材料相比，線性材料250及順電材料240兩者在零電壓處具有零電荷。可藉由將一非零電壓施加至利用線性材料250或順電材料240之一電容器來儲存不同邏輯狀態。例如，對應於一正電壓270之電荷狀態205-b及205-c可分別表示順電材料240及線性材料250之一邏輯0。亦可使用負電壓。一零電荷(電荷狀態260)可表示線性材料250及順電材料240之一邏輯1。由於線性或仿線性電容器在被充電時具有跨電容器之一非零電壓，所以其可積極促使電子自電容器漏掉。因此，儲存電荷可洩漏，直至儲存於線性或仿線性電容器中之電荷達到不再被視為邏輯0之一位準且儲存邏輯狀態變為被破壞或損失。因此，利用線性材料250或順電材料240之記憶體單元可被稱為「揮發性記憶體」。

【0040】 圖3繪示支援根據本發明之實施例之按需求之記憶體頁面大小之電路之一實例。提供電路300來繪示支援本文中所描述之特徵及技術之實例性特性。其他電路組態可支援此等特徵或類似特徵。電路300-a可表示具有支援按需求頁面大小記憶體系統匯流排協定之鐵電記憶體單元之鐵電記憶體陣列之一列。電路300-b可表示具有一舊有DRAM陣列之線性/仿線性電記憶體單元之揮發性記憶體陣列之一列。電路300可繪示參考圖1所描述之記憶體陣列之態樣或部分。

【0041】 電路300-a可包含一列鐵電記憶體單元310-a、一字線340-a、位元線350-a及一極板線360-a。各鐵電記憶體單元310-a可包含一選擇組件330-a及一鐵電電容器320-a。在一些實例中，選擇組件330-a可為一場效電晶體(FET)。具有一鐵電電容器之記憶體單元310-a可指稱一FeRAM單元。在一些實例中，極板線360-a可分割成數目個電隔離極板線(圖中未展示)且可在一存取操作期間選擇性地加偏壓於各極板線。作為一實例，極板線360-a可經組態以具有兩個電隔離極板線(例如，在電路300-a中，一極板線連接至兩個最左電容器且另一極板線連接至兩個最右電容器)，使得共用一共同字線340-a之記憶體單元之一子集(例如四個記憶體單元中之兩個)可被存取。一般技術者應瞭解，可藉由重複多列電路300-a來配置鐵電記憶體單元之二維陣列，其中延伸位元線350-a由多列記憶體單元共用。

【0042】 電路300-b可包含一列線性/仿線性記憶體單元310-b、一字線340-b及位元線350-b。各線性/仿線性記憶體單元可包含一選擇組件330-b及一線性/仿線性電容器320-b。在一些實例中，選擇組件330-b可為一場效電晶體(FET)。具有一線性或仿線性電容器之記憶體單元310-b可指稱一DRAM單元。線性/仿線性電容器之一端子連接至接地或虛擬接地。一般技術者應瞭解，可藉由重複多列電路300-b來配置線性/仿線性記憶體單元之二維陣列，其中延伸位元線350-b由多列記憶體單元共用。

【0043】 在記憶體存取操作期間，可藉由啟用與一列記憶體單元相關聯之一字線來啟用列。當啟用電路300-b中之一列DRAM單元時，啟用各選擇組件330-b以將DRAM電容器320-b之一端子連接至一位元線350-b，同時使DRAM電容器320-b之另一端子接地或虛擬接地。因此，儲存於

DRAM電容器320-b中之電荷將「流動」且此流動或缺乏此流動(即，當無電荷儲存於DRAM電容器320-b中時)必須由各位元線350-b偵測。因此，需要在啟用一字線時感測連接至字線之各DRAM單元。可至少部分基於此DRAM操作性質來判定DRAM頁面大小。為避免與重複執行相對較小資料區塊之感測、鎖存及控制之數位邏輯電路系統相關聯之不合理負擔，一典型DRAM頁面大小趨向為相當大的。例如，一典型DRAM頁面大小可為2048個位元組。

【0044】相反地，當啟用電路300-a中之一列FeRAM單元時，啟用各選擇組件330-a以將鐵電電容器320-a之一端子連接至一位元線350-a，同時將鐵電電容器320-a之另一端子連接至極板線360-a。極板線360-a可結合電容器320-a之極板之間之鐵電材料之性質來防止電容器320-a在連接至位元線350-a之後放電。藉由變動至極板線360-a之電壓來操作FeRAM單元310-a可指稱「移動單元極板」。在一些實例中，極板線360-a可分割成數目個電隔離極板線(圖中未展示)且可在一存取操作期間選擇性地加偏壓於各極板線。由於同時操作不同數目個極板線360-a，所以可在記憶體存取操作期間存取不同數目個記憶體單元(例如一不同頁面大小)。因此，可一次感測連接至一字線340-a之FeRAM單元之一子集，而無需感測連接至字線340-a之全部FeRAM單元。FeRAM單元操作之此性質可用於提供小於一典型DRAM頁面大小之一FeRAM頁面大小。例如，一典型FeRAM頁面大小可為64個位元組。較小頁面大小可允許FeRAM單元高效率操作，其通常需要高於DRAM單元之操作之電力。較小頁面大小可促進在FeRAM裝置之操作期間有效使用能量，此係因為可在資訊之相關聯變化較小時僅需啟用FeRAM陣列之一小部分。此外，FeRAM單元陣列之頁面

大小可取決於利用FeRAM操作之資料及命令之性質而變動。

【0045】 在包含DRAM之一些記憶體裝置架構中，記憶體單元會隨時間損失其儲存狀態，除非其由一外部電源週期性地再新。例如，具有線性/仿線性材料之一帶電電容器會變成透過洩漏電流隨時間放電以導致儲存資訊損失。此等揮發性記憶體裝置之再新率可相對較高(例如，DRAM陣列每秒進行數十次再新操作)，其會導致大量系統電力消耗。隨著記憶體陣列不斷增大，增加之電力消耗會抑制一記憶體系統或子系統內之記憶體陣列之部署或操作(例如電力供應、發熱、材料極限等等)，依賴諸如電池之一有限電源之行動裝置尤其如此。

【0046】 如上文所討論，鐵電記憶體裝置可提供歸因於其節能可變頁面大小操作及鐵電電容器之非揮發性(諸如歸因於無再新操作之近零待機電力)之益處，其可增加電池壽年且允許諸如一待機或未供電(例如「切斷」)狀態後之即時啟用操作或較高記憶體面密度及低系統電力消耗之特徵。非揮發性記憶體系統或子系統之此等特徵可(例如)支援其中電力消耗可為一重要設計因數之行動環境中之各種電子設備。

【0047】 圖4繪示支援根據本發明之實施例之按需求之記憶體頁面大小之一例示性系統400。系統400可為參考圖1所描述之系統100之一實例且可包含一裝置405。裝置405可為參考圖1所描述之裝置105之一實例。裝置405可包含處理器430、系統記憶體控制器420及記憶體裝置480。處理器430可經組態以經由匯流排410-a與系統記憶體控制器420一起操作。系統記憶體控制器420可經組態以經由匯流排410與處理器430及記憶體裝置480一起操作。處理器430可為參考圖1所描述之處理器130之一實例。系統記憶體控制器420可為參考圖1所描述之系統記憶體控制器

120之一實例。記憶體裝置480可為參考圖1所描述之記憶體裝置180之一實例。匯流排410可為參考圖1所描述之匯流排110之一實例。

【0048】 在一些實例中，記憶體裝置480可包含一局部記憶體控制器481及記憶體陣列482。局部記憶體控制器481可為參考圖1所描述之局部記憶體控制器181之一實例。記憶體陣列482可為參考圖1所描述之記憶體陣列182之一實例。在一些實例中，記憶體陣列482可包含FeRAM單元或採用不同於FeRAM之非揮發性記憶體技術之其他種類之非揮發性記憶體單元。如上文所討論，FeRAM陣列可歸因於鐵電電容器之節能可變頁面大小操作及非揮發性而提供相較於DRAM陣列之益處，尤其在其中電池電力消耗可為一主要考量因數之行動系統中。在一些實例中，局部記憶體控制器481可經組態以處置與記憶體命令及記憶體命令所涉及之資料之特性相關之可變頁面大小。局部記憶體控制器481可經組態以與記憶體陣列482一起操作。另外，局部記憶體控制器481可經組態以經由匯流排410-b與系統記憶體控制器420一起操作。

【0049】 在一些情況中，一種系統可包含一處理器、與一記憶體陣列相關聯之一局部記憶體控制器及與該處理器及該局部記憶體控制器電子通信之一系統記憶體控制器，其中該系統記憶體控制器可操作以：自該處理器接收包含指示一記憶體頁面大小之一第一組參數之一記憶體存取請求；至少部分基於接收該記憶體存取請求來組態一記憶體存取命令，其中該記憶體存取命令包含指示該記憶體頁面大小及該記憶體陣列之一識別符之一第二組參數，該第二組參數至少部分基於該第一組參數；及將具有該第二組參數之該記憶體存取命令發送至該局部記憶體控制器，其中該局部記憶體控制器經組態以至少部分基於該第二組參數來判定該記憶體頁面大

小。

【0050】 在一些情況中，該第一組參數包含一存取操作之資料之一指示及該資料之一大小，且該第二組參數包含該記憶體陣列之該識別符、與該記憶體陣列相關聯之一位址及該資料之該大小。在一些情況中，該第一組參數包含該記憶體陣列之一開始位址及一結束位址，且該第二組參數包含該記憶體陣列之該識別符、與該記憶體陣列相關聯之該開始位址及該結束位址。在一些情況中，該第一組參數包含指示待存取資料之一位置之一位址及判定該記憶體頁面大小之一位元數，且該第二組參數包含該記憶體陣列之該識別符、與該記憶體陣列相關聯之該位址及該局部記憶體控制器之該記憶體頁面大小。在一些情況中，該第一組參數包含該等位元之內容與該記憶體頁面大小之間之一關係之一指標。在一些情況中，該第一組參數包含與一預定記憶體頁面大小相關聯之一位址，且該第二組參數包含該記憶體陣列之該識別符、與該記憶體陣列相關聯之該位址及該局部記憶體控制器之該預定記憶體頁面大小。在一些情況中，至少部分基於該位址來自複數個記憶體頁面大小選擇該預定記憶體頁面大小，且該第一組參數包括該位址與該預定記憶體頁面大小之間之一關係之一指示。

【0051】 在一些情況中，一種系統可包含一系統記憶體控制器、與一記憶體陣列相關聯之一局部記憶體控制器及與該系統記憶體控制器及該局部記憶體控制器電子通信之一處理器，其中該處理器可操作以：將包含指示一記憶體頁面大小之一第一組參數之一記憶體存取請求發送至該系統記憶體控制器，該系統記憶體控制器耦合至經組態以判定該記憶體陣列之該記憶體頁面大小之該局部記憶體控制器；及根據該記憶體存取請求來執行一或多個操作。在一些情況中，該記憶體存取請求包含一或多個讀取指

令且該一或多個操作包含自該局部記憶體控制器接收資料。在一些情況中，該記憶體存取請求包含一或多個寫入指令且該一或多個操作包含將資料發送至該局部記憶體控制器。

【0052】 在一些實施例中，描述一種設備。該設備可包含：用於自一處理器接收包括指示一記憶體頁面大小之一第一組參數之一記憶體存取請求之構件；用於至少部分基於接收該記憶體存取請求來組態一記憶體存取命令之構件，其中該記憶體存取命令包括指示該記憶體頁面大小及一記憶體陣列之一識別符之一第二組參數，該第二組參數至少部分基於該第一組參數；及用於將具有該第二組參數之該記憶體存取命令發送至一局部記憶體控制器之構件，其中該局部記憶體控制器經組態以至少部分基於該第二組參數來判定該記憶體頁面大小。

【0053】 在一些實施例中，描述一種設備。該設備可包含：用於將包括指示一記憶體頁面大小之一第一組參數之一記憶體存取請求發送至一系統記憶體控制器之構件，該系統記憶體控制器耦合至經組態以判定一記憶體陣列之該記憶體頁面大小之一局部記憶體控制器；及用於根據該記憶體存取請求來執行一或多個操作之構件。

【0054】 在一些實施例中，描述一種設備。該設備可包含用於經由一系統記憶體控制器及一局部記憶體控制器存取一記憶體陣列以操作一或多個組件之構件，其中該一或多個組件包括一輸入及輸出(I/O)控制器、一周邊組件或一基本輸入輸出系統(BIOS)組件之至少一者。在一些情況中，該設備可進一步包含用於將包括指示一記憶體頁面大小之一第一組參數之一記憶體存取請求發送至該系統記憶體控制器之構件。在一些情況中，該設備可進一步包含用於自該局部記憶體控制器接收資料之構件。在

一些情況中，該設備可進一步包含用於將資料發送至該局部記憶體控制器之構件。

【0055】 在一些情況中，該設備可進一步包含用於自一處理器接收包括指示一記憶體頁面大小之一第一組參數之一記憶體存取請求之構件。在一些情況中，該設備可進一步包含用於至少部分基於接收該記憶體存取請求來組態一記憶體存取命令之構件，其中該記憶體存取命令包括指示該記憶體頁面大小及該記憶體陣列之一識別符之一第二組參數，該第二組參數至少部分基於該第一組參數。在一些情況中，該設備可進一步包含用於將具有該第二組參數之該記憶體存取命令發送至該局部記憶體控制器之構件。

【0056】 圖5展示繪示用於操作根據本發明之實施例之按需求之記憶體頁面大小之一方法500的一流程圖。方法500之操作可由本文中所描述之一控制器或其組件以及其他裝置實施。例如，方法500之操作可由參考圖1所描述之系統記憶體控制器120或參考圖4所描述之系統記憶體控制器420執行。在一些實例中，一系統記憶體控制器可執行一組程式碼以控制裝置之功能元件執行下文將描述之功能。另外或替代地，系統記憶體控制器可使用專用硬體來執行下文將描述之功能之態樣。

【0057】 在區塊505中，系統記憶體控制器可自處理器接收包含指示一記憶體頁面大小之一第一組參數之一記憶體存取請求。可根據參考圖1至圖4所描述之方法來執行區塊505之操作。

【0058】 在區塊510中，系統記憶體控制器可至少部分基於接收記憶體存取請求來組態一記憶體存取命令，其中記憶體存取命令包含指示記憶體頁面大小及記憶體陣列之一識別符之一第二組參數，第二組參數至少

部分基於第一組參數。可根據參考圖1至圖4所描述之方法來執行區塊510之操作。

【0059】 在區塊515中，系統記憶體控制器可將具有第二組參數之記憶體存取命令發送至局部記憶體控制器，其中局部記憶體控制器經組態以至少部分基於第二組參數來判定記憶體頁面大小。可根據參考圖1至圖4所描述之方法來執行區塊515之操作。

【0060】 描述一種用於執行方法500之設備。該設備可包含：用於在一系統記憶體控制器處自一處理器接收包括指示一記憶體頁面大小之一第一組參數之一記憶體存取請求之構件，其中該系統記憶體控制器耦合至該處理器及與一記憶體陣列相關聯之一局部記憶體控制器；用於至少部分基於接收該記憶體存取請求來組態一記憶體存取命令之構件，其中該記憶體存取命令包括指示該記憶體頁面大小及該記憶體陣列之一識別符之一第二組參數，該第二組參數至少部分基於該第一組參數；及用於將具有該第二組參數之該記憶體存取命令發送至該局部記憶體控制器之構件，其中該局部記憶體控制器經組態以至少部分基於該第二組參數來判定該記憶體頁面大小。

【0061】 描述另一種用於執行方法500之設備。該設備可包含與一處理器及與一記憶體陣列相關聯之一局部記憶體控制器電子通信之一系統記憶體控制器，其中該系統記憶體控制器可操作以：自該處理器接收包括指示一記憶體頁面大小之一第一組參數之一記憶體存取請求；至少部分基於接收該記憶體存取請求來組態一記憶體存取命令，其中該記憶體存取命令包括指示該記憶體頁面大小及該記憶體陣列之一識別符之一第二組參數，該第二組參數至少部分基於該第一組參數；及將具有該第二組參數之

該記憶體存取命令發送至該局部記憶體控制器，其中該局部記憶體控制器經組態以至少部分基於該第二組參數來判定該記憶體頁面大小。

【0062】 在本文中所描述之方法500及設備之一些實例中，該第一組參數可包含一存取操作之資料之一指示及該資料之一大小，且該第二組參數可包含該記憶體陣列之該識別符、與該記憶體陣列相關聯之一位址及該資料之該大小。在本文中所描述之方法500及設備之一些實例中，該第一組參數可包含該記憶體陣列之一開始位址及一結束位址，且該第二組參數可包含該記憶體陣列之該識別符、與該記憶體陣列相關聯之該開始位址及該結束位址。在本文中所描述之方法500及設備之一些實例中，該第一組參數可包含指示待存取資料之一位置之一位址及判定該記憶體頁面大小之一位元數，且該第二組參數可包含該記憶體陣列之該識別符、與該記憶體陣列相關聯之該位址及該局部記憶體控制器之該記憶體頁面大小。在本文中所描述之方法500及設備之一些實例中，該第一組參數可包含該等位元之內容與該記憶體頁面大小之間之一關係之一指標。在本文中所描述之方法500及設備之一些實例中，該第一組參數可包含與一預定記憶體頁面大小相關聯之一位址，且該第二組參數可包含該記憶體陣列之該識別符、與該記憶體陣列相關聯之該位址及該局部記憶體控制器之該預定記憶體頁面大小。在本文中所描述之方法500及設備之一些實例中，可至少部分基於該位址來自複數個記憶體頁面大小選擇該預定記憶體頁面大小，且該第一組參數可包含該位址與該預定記憶體頁面大小之間之一關係之一指示。

【0063】 圖6展示繪示用於操作根據本發明之實施例之按需求之記憶體頁面大小之一方法600的一流程圖。方法600之操作可由本文中所描述之一處理器及其組件以及其他裝置實施。例如，方法600之操作可由參

考圖1所描述之處理器130或參考圖4所描述之處理器430執行。在一些實例中，一處理器可執行一組程式碼以控制裝置之功能元件執行下文將描述之功能。另外或替代地，處理器可使用專用硬體來執行下文將描述之功能之態樣。

【0064】 在區塊605中，處理器可將包含指示一記憶體頁面大小之一第一組參數之一記憶體存取請求發送至一系統記憶體控制器，其中系統記憶體控制器耦合至處理器及與一記憶體陣列相關聯之一局部記憶體控制器，局部記憶體控制器經組態以判定記憶體陣列之記憶體頁面大小。可根據參考圖1至圖4所描述之方法來執行區塊605之操作。

【0065】 在區塊610中，處理器可根據記憶體存取請求來執行一或多個操作。可根據參考圖1至圖4所描述之方法來執行區塊610之操作。

【0066】 描述一種用於執行方法600之設備。該設備可包含：用於將包括指示一記憶體頁面大小之一第一組參數之一記憶體存取請求自一處理器發送至一系統記憶體控制器之構件，其中該系統記憶體控制器耦合至該處理器及與一記憶體陣列相關聯之一局部記憶體控制器，該局部記憶體控制器經組態以判定該記憶體陣列之該記憶體頁面大小；及用於根據該記憶體存取請求來執行一或多個操作之構件。

【0067】 描述另一種用於執行方法600之設備。該設備可包含與一系統記憶體控制器電子通信之一處理器，該系統記憶體控制器耦合至與一記憶體陣列相關聯之一局部記憶體控制器，該局部記憶體控制器經組態以判定該記憶體陣列之一記憶體頁面大小，其中該處理器可操作以將包括指示該記憶體頁面大小之一第一組參數之一記憶體存取請求發送至該系統記憶體控制器且根據該記憶體存取請求來執行一或多個操作。

【0068】 在本文中所描述之方法600及設備之一些實例中，該記憶體存取請求可包含一或多個讀取指令，且該一或多個操作可包含自該局部記憶體控制器接收資料。在本文中所描述之方法600及設備之一些實例中，該記憶體存取請求可包含一或多個寫入指令，且該一或多個操作可包含將資料發送至該局部記憶體控制器。

【0069】 應注意，上述方法描述可行實施方案，且可重新配置或否則修改操作及步驟，且其他實施方案係可行的。此外，可組合來自兩種或兩種以上方法之特徵。

【0070】 可使用各種不同技術之任何者來表示本文中所描述之資訊及信號。例如，可在以上描述中涉及之資料、指令、命令、資訊、信號、位元、符號及晶片可由電壓、電流、電磁波、磁場或磁粒子、光場或光粒子或其等之任何組合表示。一些圖式可將信號繪示為一單一信號；然而，一般技術者應瞭解，信號可表示信號之一匯流排，其中匯流排可具有各種位元寬度。

【0071】 如本文中所使用，術語「虛擬接地」係指使電壓保持為約零伏特(0 V)但不與地面直接連接之一電路之一節點。因此，一虛擬接地之電壓會暫時波動且在穩定狀態中恢復至約0 V。可使用各種電子電路元件(諸如由運算放大器及電阻器組成之一分壓器)來實施一虛擬接地。其他實施方案亦係可行的。「虛擬接地」意謂連接至約0 V。

【0072】 術語「電子通信」及「耦合」係指支援組件之間之電子流動之組件之間之一關係。此可包含組件之間之一直接連接或可包含中間組件。彼此電子通信或耦合之組件可主動交換電子或信號(例如，在一賦能電路中)或可不主動交換電子或信號(例如，在一去能電路中)但可經組態

及操作以在賦能給一電路之後交換電子或信號。舉例而言，經由一開關(例如一電晶體)實體連接之兩個組件係電子通信的或可為耦合的，不論開關之狀態如何(即，接通或切斷)。

【0073】 本文中所討論之一或若干電晶體可表示一場效電晶體(FET)且包括具有源極、汲極及閘極之三端子裝置。端子可透過導電材料(例如金屬)連接至其他電子元件。源極及汲極可為導電的且可包括一重摻雜(例如簡併)半導體區域。源極及汲極可由一輕摻雜半導體區域或通道分離。若通道係n型(即，多數載子係電子)，則FET可指稱一n型FET。若通道係p型(即，多數載子係電洞)，則FET可指稱一p型FET。通道可由一絕緣閘極氧化物帽蓋。可藉由將一電壓施加至閘極來控制通道導電性。例如，將一正電壓或負電壓分別施加至一n型FET或一p型FET可導致通道變成導電的。當將大於或等於電晶體臨限電壓之一電壓施加至電晶體閘極時，電晶體可「接通」或「被啟用」。當將小於電晶體臨限電壓之一電壓施加至電晶體閘極時，電晶體可「切斷」或「被停用」。

【0074】 本文結合附圖所闡述之[實施方式]描述實例性組態且不表示可被實施或在申請專利範圍之範疇內之全部實例。本文中所使用之術語「例示性」意謂「充當一實例、例項或說明」而非「較佳的」或「優於其他實例」。[實施方式]包含用於促進描述技術之理解之特定細節。然而，可在無此等特定細節的情況下實踐此等技術。在一些例項中，依方塊圖形式展示熟知結構及裝置以免使描述實例之概念不清楚。

【0075】 在附圖中，類似組件或特徵可具有相同元件符號。此外，可藉由使元件符號後接一短劃線及區別類似組件之一第二符號來區別相同類型之各種組件。若說明書中僅使用第一元件符號，則不管第二元件符號

如何，描述可應用於具有相同第一元件符號之類似組件之任一者。

【0076】 可使用各種不同技術之任何者來表示本文中所描述之資訊及信號。例如，可在以上描述中涉及之資料、指令、命令、資訊、信號、位元、符號及碼片可由電壓、電流、電磁波、磁場或磁粒子、光場或光粒子或其等之任何組合表示。

【0077】 結合本文揭示內容所描述之各種說明性區塊及模組可使用經設計以執行本文中所描述之功能之一通用處理器、一DSP、一ASIC、一FPGA或其他可程式化邏輯裝置、離散閘或電晶體邏輯、離散硬體組件或其等之任何組合來實施或執行。一通用處理器可為一微處理器，但替代地，處理器可為任何習知處理器、控制器、微控制器或狀態機。一處理器亦可實施為運算裝置之一組合(例如一數位信號處理器(DSP)及一微處理器之一組合、多個微處理器、一或多個微處理器與一DSP核心之結合或任何其他此類組態)。

【0078】 本文中所描述之功能可實施於硬體、由一處理器執行之軟體、韌體或其等之任何組合中。若實施於由一處理器執行之軟體中，則功能可作為一或多個指令或程式碼儲存於一電腦可讀媒體上或透過一電腦可讀媒體傳輸。其他實例及實施方案係在本發明及隨附申請專利範圍之範疇內。例如，歸因於軟體之性質，上述功能可使用由一處理器執行之軟體、硬體、韌體、硬連線或此等之任何者之組合來實施。實施功能之特徵亦可實體定位於各種位置處，其包含經分佈使得部分功能實施於不同實體位置處。此外，如包含申請專利範圍之本文中所使用，一項目清單(例如以諸如「…之至少一者」或「…之一或多者」之一片語開始之一項目清單)中所使用之「或」指示一包含性清單，使得(例如) A、B或C之至少一者之

一清單意謂A或B或C或AB或AC或BC或ABC (即，A及B及C)。此外，如本文中所使用，片語「基於…」不應被解釋為參考一組封閉條件。例如，描述為「基於條件A」之一例示性步驟可在不背離本發明之範疇的情況下基於一條件A及一條件B兩者。換言之，如本文中所使用，應依相同於片語「至少部分基於…」之方式解釋片語「基於…」。

【0079】 電腦可讀媒體包含非暫時性電腦儲存媒體及通信媒體兩者，其包含促進一電腦程式自一位置轉移至另一位置之任何媒體。一非暫時性儲存媒體可為可由一通用或專用電腦存取之任何可用媒體。舉例而言(但不限於)，非暫時性電腦可讀媒體可包括RAM、ROM、電可抹除可程式化唯讀記憶體(EEPROM)、光碟(CD) ROM或其他光碟儲存器、磁碟儲存器或其他磁性儲存裝置或可用於載送或儲存呈指令或資料結構之形式之所要程式碼構件且可由一通用或專用電腦或一通用或專用處理器存取之任何其他非暫時性媒體。此外，任何連接可被適當稱為一電腦可讀媒體。例如，若使用同軸電纜、光纖纜線、雙絞線、數位用戶線(DSL)或無線技術(諸如紅外線、無線電及微波)來自網站、伺服器或其他遠端源傳輸軟體，則同軸電纜、光纖纜線、雙絞線、數位用戶線(DSL)或無線技術(諸如紅外線、無線電及微波)包含於媒體之定義中。如本文中所使用，磁碟及光碟包含CD、雷射光碟、光學碟片、數位多功能光碟(DVD)、軟碟及藍光光碟，其中磁碟通常磁性地複製資料，而光碟使用雷射來光學地複製資料。上述之組合亦包含於電腦可讀媒體之範疇內。

【0080】 提供[實施方式]來使熟悉技術者能夠製造或使用本發明。熟悉技術者將容易明白本發明之各種修改，且可在不背離本發明之範疇的情況下將本文中界定之一般原理應用於其他變體。因此，本發明不受限於

本文中所描述之實例及設計，而是被給予與本文中所揭示之原理及新穎特徵一致之最廣範疇。

【符號說明】

【0081】

100:系統

105:裝置

110:匯流排

120:系統記憶體控制器

125:基本輸入/輸出系統(BIOS)組件

126:板支援封裝(BSP)

130:處理器

135:輸入/輸出控制器

140:周邊組件

145:輸入裝置

150:輸出裝置

160:直接記憶體存取控制器(DMAC)

170:記憶體裝置

175:記憶體裝置

180:記憶體裝置

181:局部記憶體控制器

182:記憶體陣列

200:曲線圖

200-a:曲線圖

- 200-b:曲線圖
- 205:電荷狀態
- 205-b:電荷狀態
- 205-c:電荷狀態
- 210:電荷狀態
- 240:順電材料
- 250:線性材料
- 260:電荷狀態
- 270:正電壓
- 300:電路
- 300-a:電路
- 300-b:電路
- 310-a:鐵電記憶體單元
- 310-b:線性/仿線性記憶體單元
- 320-a:鐵電電容器
- 320-b:線性/仿線性電容器
- 330-a:選擇組件
- 330-b:選擇組件
- 340-a:字線
- 340-b:字線
- 350-a:位元線
- 350-b:位元線
- 360-a:極板線

400:系統
405:裝置
410:匯流排
410-a:匯流排
410-b:匯流排
420:系統記憶體控制器
430:處理器
480:記憶體裝置
481:局部記憶體控制器
482:記憶體陣列
500:方法
505:區塊
510:區塊
515:區塊
600:方法
605:區塊
610:區塊

【發明申請專利範圍】

【請求項1】

一種系統，其包括：

一局部記憶體控制器，其與一記憶體陣列相關聯且經組態以判定，該記憶體陣列之對應至該記憶體陣列之記憶體單元之一可變數目之一可變記憶體頁面大小；

一系統記憶體控制器，其與該局部記憶體控制器耦合；及

一處理器，其與該系統記憶體控制器及該局部記憶體控制器電子通信，其中該處理器經組態以：

發送包括指示對應至該記憶體陣列之記憶體單元之該可變數目之該可變記憶體頁面大小之一組參數之一記憶體存取請求至該系統記憶體控制器，其中該局部記憶體控制器經組態以至少部分基於該組參數來判定該可變記憶體頁面大小；及

根據該記憶體存取請求及該可變記憶體頁面大小來執行一或多個操作。

【請求項2】

如請求項1之系統，其中：

該記憶體存取請求包括一或多個讀取指令，及

該一或多個操作包括自該局部記憶體控制器接收資料。

【請求項3】

如請求項1之系統，其中：

該記憶體存取請求包括一或多個寫入指令，及

該一或多個操作包括將資料發送至該局部記憶體控制器。

【請求項4】

如請求項1之系統，其中：

該組參數包括指示待存取資料之一位置之一位址及判定該可變記憶體頁面大小之一位元數之至少一者。

【請求項5】

如請求項1之系統，其中：

該系統記憶體控制器經組態以至少部分基於該組參數來發送一第二組參數至該局部記憶體控制器，及

該第二組參數包括該記憶體陣列之一識別符、與該記憶體陣列相關聯之一位址、及該可變記憶體頁面大小。

【請求項6】

一種操作記憶體裝置之方法，其包括：

自一處理器發送包括指示一記憶體陣列之一可變記憶體頁面大小之一組參數之一記憶體存取請求至一系統記憶體控制器，該可變記憶體頁面大小對應至該記憶體陣列之記憶體單元之一可變數目，其中該系統記憶體控制器耦合至該處理器及與該記憶體陣列相關聯之一局部記憶體控制器，該局部記憶體控制器經組態以至少部分基於該組參數而判定該記憶體陣列之該可變記憶體頁面大小；及

根據該記憶體存取請求及該可變記憶體頁面大小來執行一或多個操作。

【請求項7】

如請求項6之方法，其中：

該記憶體存取請求包括一或多個讀取指令，及

該一或多個操作包括自該局部記憶體控制器接收資料。

【請求項8】

如請求項6之方法，其中：

該記憶體存取請求包括一或多個寫入指令，及

該一或多個操作包括將資料發送至該局部記憶體控制器。

【請求項9】

如請求項6之方法，其中：

該組參數包括待存取資料之一位置之一位址及判定該可變記憶體頁面大小之一位元數之至少一者。

【請求項10】

如請求項6之方法，其中：

該系統記憶體控制器經組態以至少部分基於該組參數來發送一第二組參數至該局部記憶體控制器，及

該第二組參數包括該記憶體陣列之一識別符、與該記憶體陣列相關聯之一位址、及該可變記憶體頁面大小。

【請求項11】

一種系統，其包括：

一系統記憶體控制器；

一局部記憶體控制器，其與該系統記憶體控制器電子通信，該局部記憶體控制器與一記憶體陣列耦合且可操作以判定，該記憶體陣列之對應至該記憶體陣列之記憶體單元之一可變數目之一可變記憶體頁面大小；

一處理器，其與該系統記憶體控制器及該局部記憶體控制器電子通信，該處理器可操作以發送指示對應至該記憶體陣列之記憶體單元之該可

變數目之該可變記憶體頁面大小之一組參數至該系統記憶體控制器，其中該局部記憶體控制器可操作以至少部分基於該組參數來判定該可變記憶體頁面大小；及

一或多個組件，其等與該處理器電子通信，其中該處理器可操作以經由該系統記憶體控制器及該局部記憶體控制器存取該記憶體陣列以操作該一或多個組件，其中該一或多個組件包括以下之至少一者：

- 一輸入及輸出(I/O)控制器；
- 一周邊組件；或
- 一基本輸入輸出系統(BIOS)組件。

【請求項12】

如請求項11之系統，其中：

該處理器可操作以發送包括指示該可變記憶體頁面大小之該組參數之一記憶體存取請求至該系統記憶體控制器。

【請求項13】

如請求項11之系統，其中：

該處理器可操作以自該局部記憶體控制器接收資料。

【請求項14】

如請求項11之系統，其中：

該處理器可操作以將資料發送至該局部記憶體控制器。

【請求項15】

如請求項11之系統，其中：

該系統記憶體控制器可操作以自該處理器接收包括指示該可變記憶體頁面大小之該組參數之一記憶體存取請求。

【請求項16】

如請求項15之系統，其中：

該系統記憶體控制器可操作以至少部分基於接收該記憶體存取請求來組態一記憶體存取命令，

該記憶體存取命令包括指示該可變記憶體頁面大小之一第二組參數及該記憶體陣列之一識別符，及

該第二組參數係至少部分基於該組參數。

【請求項17】

如請求項16之系統，其中：

該第二組參數包括該記憶體陣列之一識別符、與該記憶體陣列相關聯之一位址、及該可變記憶體頁面大小之至少一者。

【請求項18】

如請求項16之系統，其中：

該系統記憶體控制器可進一步操作以將具有該第二組參數之該記憶體存取命令發送至該局部記憶體控制器。

【請求項19】

如請求項16之系統，其中：

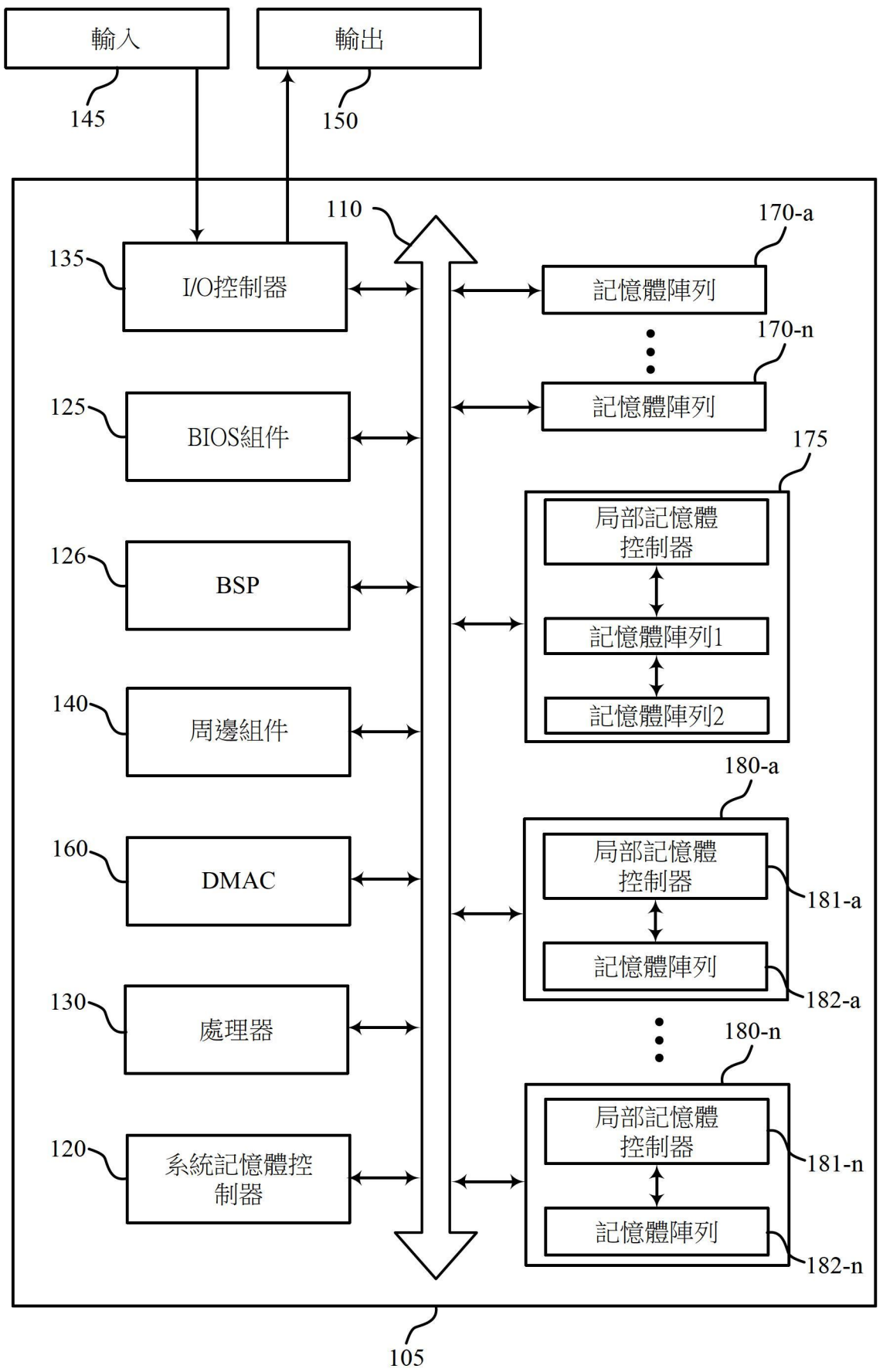
該處理器可操作以根據該記憶體存取請求及該可變記憶體頁面大小來執行一或多個操作。

【請求項20】

如請求項11之系統，其中：

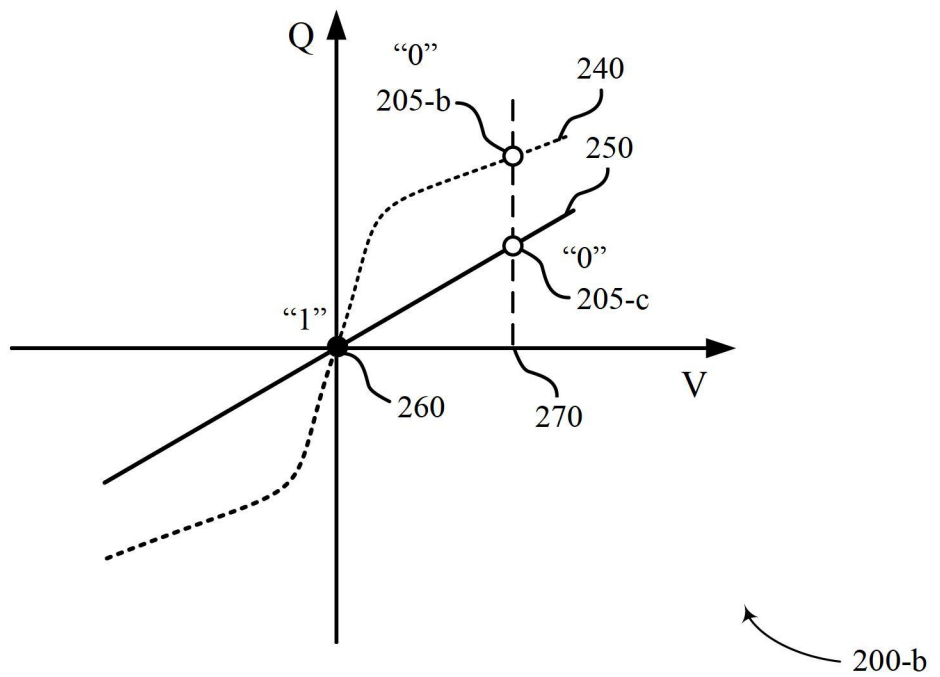
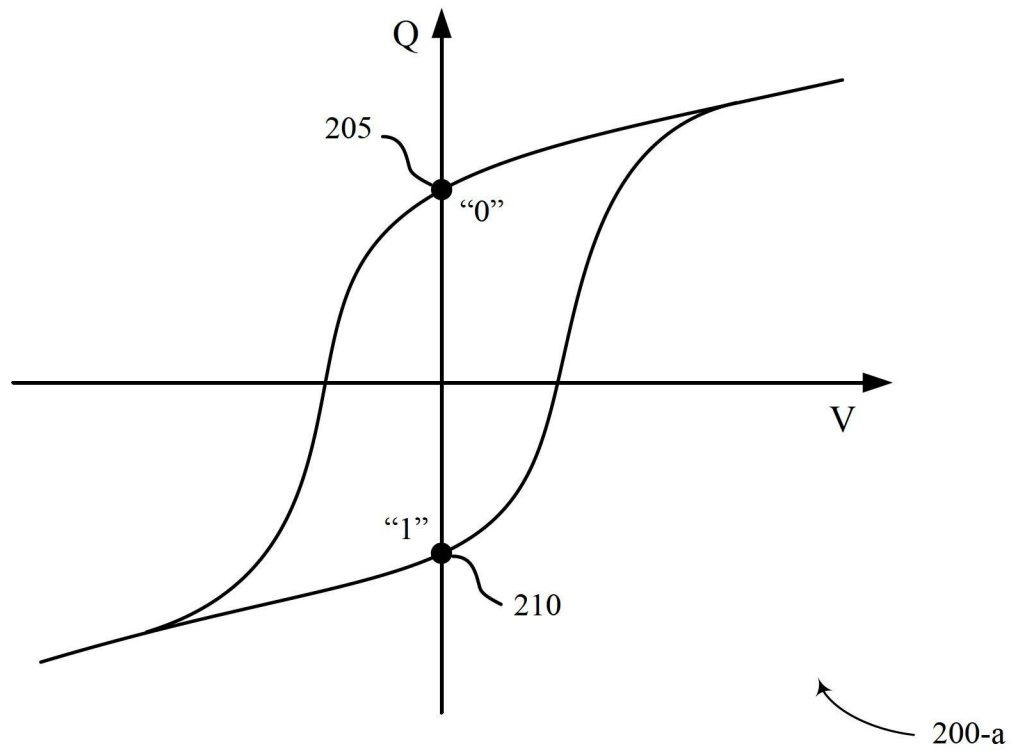
該組參數包括指示待存取資料之一位置之一位址及判定該可變記憶體頁面大小之一位元數之至少一者。

【發明圖式】

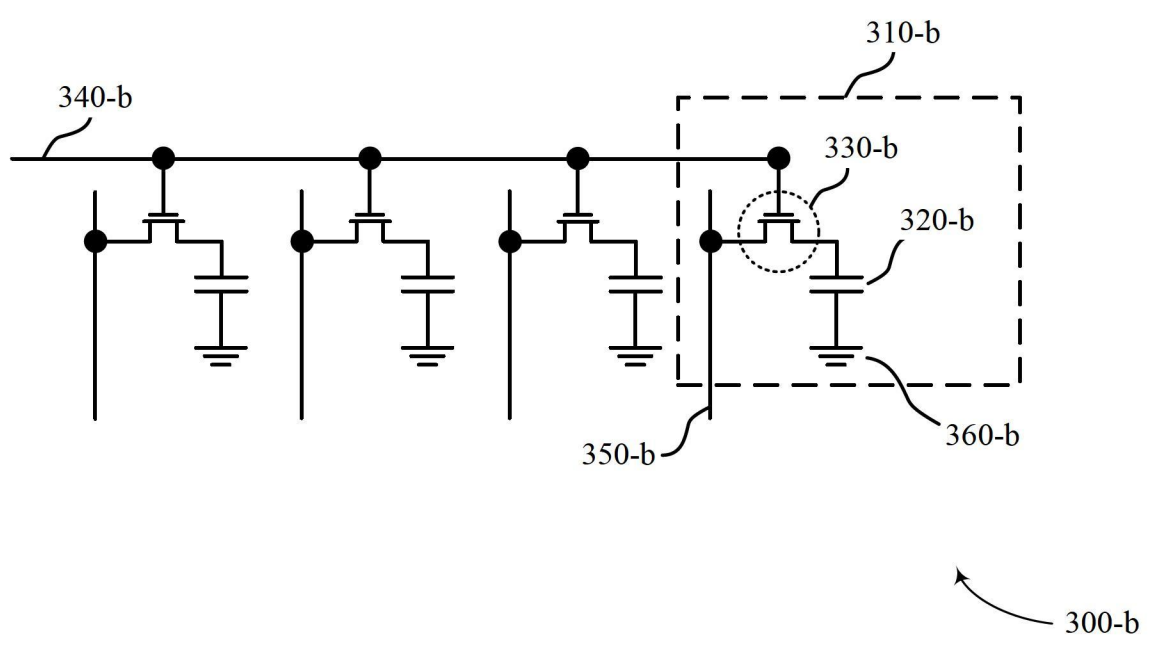
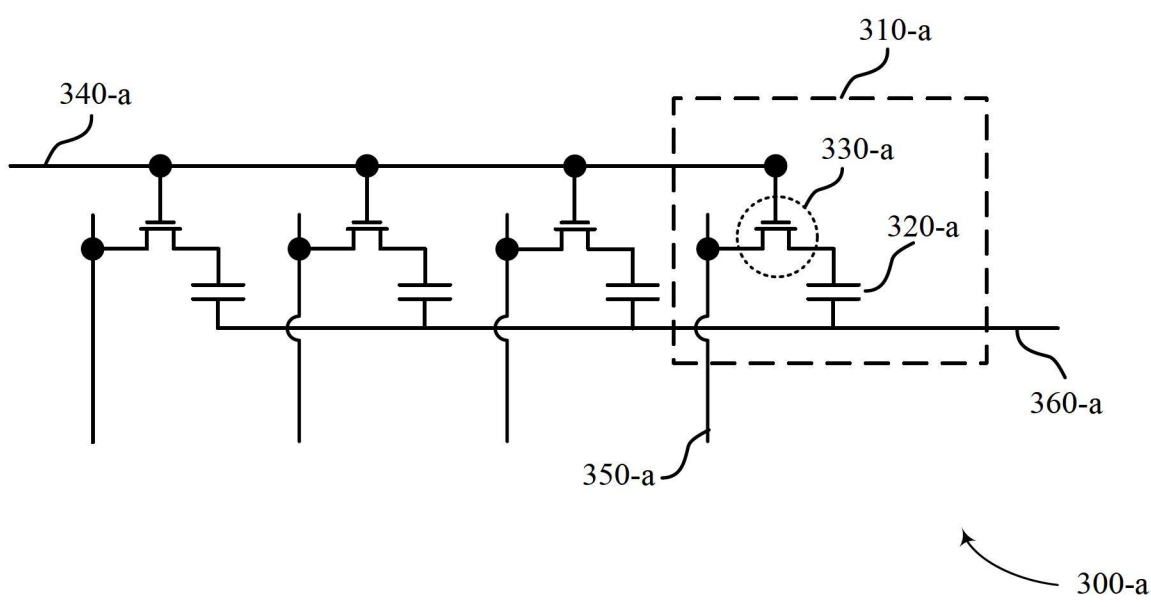


【圖1】

100

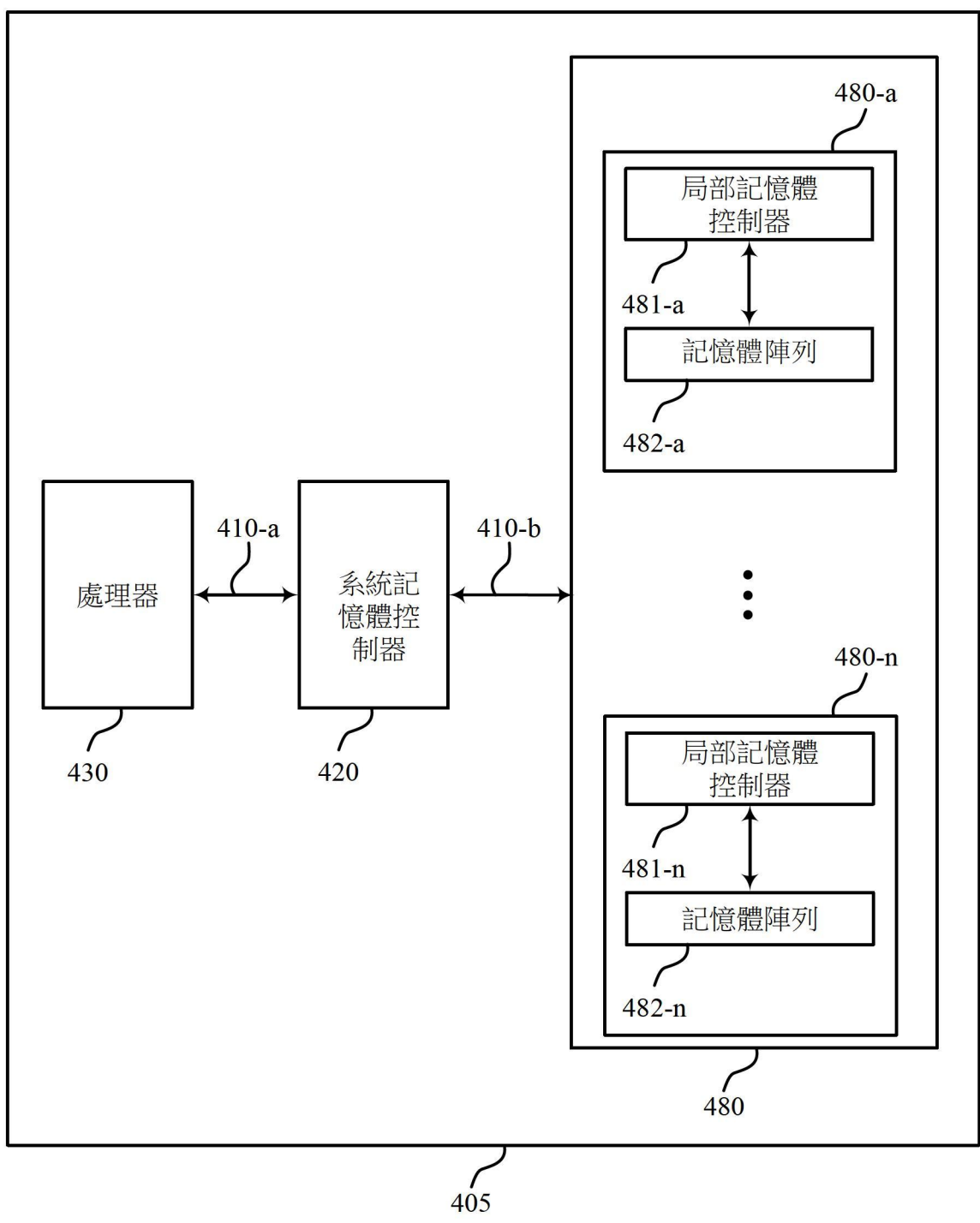


【圖2】



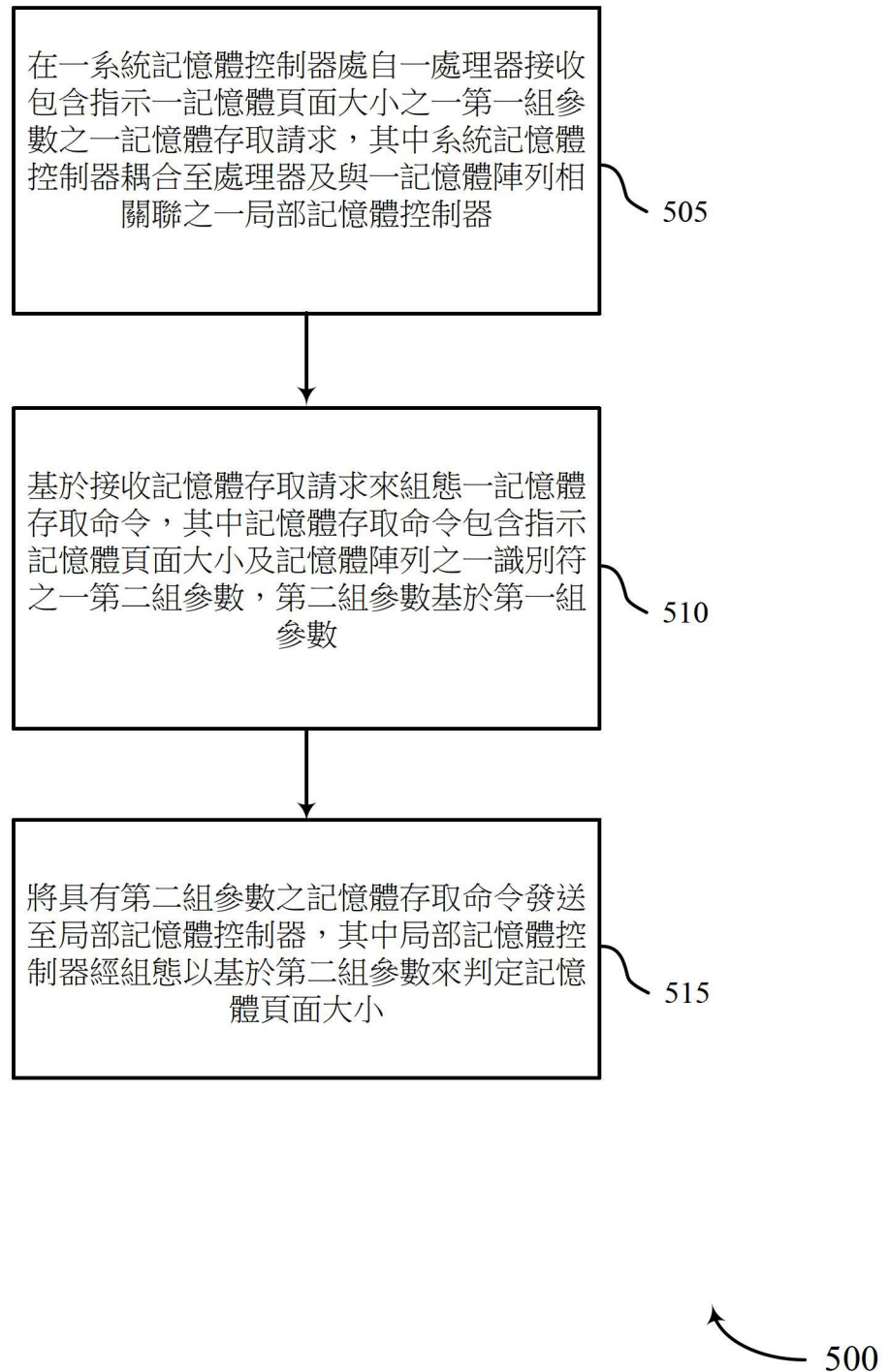
【圖3】

300

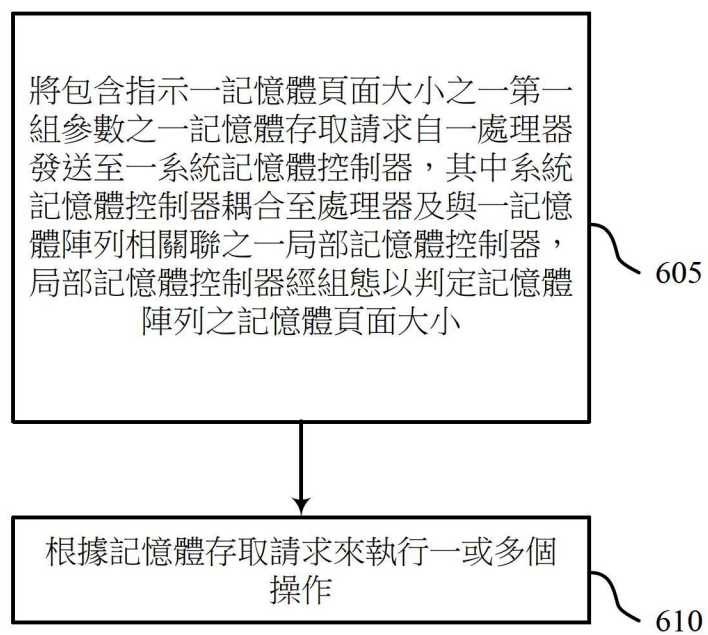


【圖4】

400



【圖5】



【圖6】

600