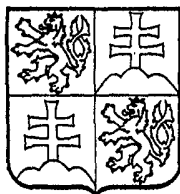


ČESKÁ A SLOVENSKÁ
FEDERATIVNÁ
REPUBLIKA
(19)



FEDERÁLNÝ ÚRAD
PRE VYNÁLEZY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍU

(21) PV 6903-88.K
(22) Prihlášené 20 10 88

(40) Zverejnené 14 03 90
(45) Vydané 24 09 91

271 917

(11)

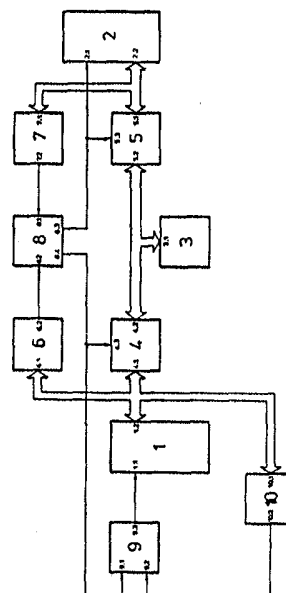
(13) B1

(51) Int. Cl. ⁵
G 11 C 7/00

(75) Autor vynálezu OTÝS VÁCLAV ing.,
DLAUHÝ MILAN ing., PLZEŇ,
KOČA JOSEF ing., DOLNÍ BĚLÁ

(54) Řídicí logika dvoubránové paměti

(57) Používá zapojení obvodu, připojeného na bitový vstup jednočipového mikropočítače za současné programové podpory. Dále umožňuje využití dvoubránové sdílené paměti v systémech s jednočipovými mikropočítači, které nejsou vybaveny vstupem READY. Řídicí logika sestává z jednočipového mikropočítače (1), nadřazeného mikropočítače (2), paměti (3) RAM, sběrnicových zesilovačů (4, 5), dále sestává z adresových dekodérů (6, 7) klopných obvodů (8, 9) a z generátoru (10) vzorkového signálu.



Vynález se týká řídicí logiky dvoubránové paměti, určené pro komunikaci mezi jednočipovým mikropočítačem a nadřazeným mikropočítačem prostřednictvím sdílené paměti RAM.

Dosavadní známé řídicí logiky dvoubránových pamětí používané pro komunikaci mezi dvěma mikropočítači, vyžadují, aby oba mikropočítače byly vybaveny obvyklými synchronizačními vstupy READY, umožňujícími prodloužení paměťového cyklu mikropočítače při výskytu kolize v přístupu obou mikropočítačů ke společné sdílené paměti RAM. Vzhledem k tomu, že některé jednočipové mikropočítače nejsou vybaveny synchronizačním vstupem READY, musí být u nich používány jiné prostředky pro komunikaci s ostatními mikropočítači, např. pomocí vstup-výstupních obvodů nebo s použitím speciálních paměťových obvodů typu FIFO. Nevýhodou těchto řešení je menší rychlost komunikace a potřeba speciálních, těžko dostupných a drahých paměťových obvodů typu FIFO.

Výše uvedené nedostatky odstraňuje řídicí logika dvoubránové paměti podle vynálezu, jehož podstata spočívá v tom, že sběrníkový vývod paměti RAM je spojen s druhými sběrníkovými vývody prvního a druhého sběrníkového zesilovače, přičemž první sběrníkový vývod prvního sběrníkového zesilovače je spojen jednak se sběrníkovým vývodem jednočipového mikropočítače, jednak se vstupem prvního adresového dekodéru a jednak se vstupem generátoru vzorkovacího signálu. První sběrníkový vývod druhého sběrníkového zesilovače je spojen se sběrníkovým vývodem nadřazeného mikropočítače a současně se vstupem druhého adresového dekodéru. Výstup je spojen s nastavovacím vstupem prvního klopného obvodu, jehož nulovací vstup je spojen s výstupem prvního adresového dekodéru, přičemž přímý výstup prvního klopného obvodu je spojen s řídicím vstupem druhého sběrníkového zesilovače a současně se synchronizačním vstupem nadřazeného mikropočítače a negovaný výstup prvního klopného obvodu je spojen s řídicím vstupem prvního sběrníkového zesilovače a současně s datovým vstupem druhého klopného obvodu, jehož výstup je spojen s bitovým vstupem jednočipového mikropočítače a jehož hodinový vstup je spojen s výstupem generátoru vzorkovacího signálu.

Hlavní výhodou řídicí logiky dvoubránové paměti podle vynálezu je, že umožňuje využití dvoubránové paměti v mikropočítačových systémech, obsahujících jednočipové mikropočítače, které nejsou vybaveny synchronizačním vstupem READY. To přináší podstatné zvýšení rychlosti a dalších parametrů při komunikaci s jednočipovými mikropočítači.

Příklad praktického provedení řídicí logiky dvoubránové paměti podle vynálezu je znázorněn blokovým schématem na přiloženém obrázku.

Řídicí logika dvoubránové paměti podle vynálezu sestává z paměti 3 RAM, jejíž sběrníkový vývod 3.2 je spojen s druhými sběrníkovými vývody 4.2 a 5.2 prvního a druhého sběrníkového zesilovače 4, 5. První sběrníkový vývod 4.1 prvního sběrníkového zesilovače 4 je spojen jednak se sběrníkovým vývodem 1.2 jednočipového mikropočítače 1, jednak se vstupem 6.1 prvního adresového dekodéru 6 a jednak se vstupem 10.1 generátoru 10 vzorkovacího signálu. První sběrníkový vývod 5.1 druhého sběrníkového zesilovače 5 je spojen se sběrníkovým vývodem 2.2 nadřazeného mikropočítače 2 a současně se vstupem 7.1 druhého adresového dekodéru 7. Výstup 7.2 druhého adresového dekodéru 7 je spojen s nastavovacím vstupem 8.1 prvního klopného obvodu 8 a výstup 6.2 prvního adresového dekodéru 6 je spojen s nulovým vstupem 8.2 prvního klopného obvodu 8, jehož přímý výstup 8.3 je spojen s řídicím vstupem 5.3 druhého sběrníkového zesilovače 5 a současně se synchronizačním vstupem 2.1 nadřazeného mikropočítače 2. Negovaný výstup 8.4 prvního klopného obvodu 8 je spojen s řídicím

vstupem 4.3 prvního sběrnicevého zesilovače 4 a současně s datovým vstupem 9.1 druhého klopného obvodu 9, jehož výstup 9.3 je spojen s bitovým vstupem 1.1 jednočipového mikropočítače 1. Hodinový vstup 9.2 druhého klopného obvodu 9 je spojen s výstupem 10.2 generátoru 10 vzorkového signálu.

Řídící logika dvoubřánové paměti podle vynálezu pracuje tak, že paměť 3 RAM je přes sběrnicevé zesilovače 4 a 5 střídavě připojována na sběrnicevé vývody 1.2 a 2.2 jednočipového mikropočítače 1 nebo nadřazeného mikropočítače 2. Přepínání je ovládáno z výstupů 8.3 a 8.4 prvního klopného obvodu 8, který je překlápěn v závislosti na požadavcích obou mikropočítačů 1.2, vyhodnocovaných pomocí prvního a druhého adresového dekodéru 6, 7. Po dobu přidělení paměti 3 RAM jednočipovému mikropočítači 1 a při současném požadavku nadřazeného mikropočítače 2, je tento udržován ve stavu čekání pomocí jeho synchronizačního vstupu 2.1. Podobnou funkci splňuje u jednočipového mikropočítače 1 druhý klopný obvod 9 spolu s generátorem 10 vzorkovacího signálu. Jejich činnost je následující.

Na výstupu 9.3 druhého klopného obvodu 9 je zaznamenáván stav prvního klopného obvodu 8 v okamžiku začátku paměťového cyklu jednočipového mikropočítače 1. Tento stav je pomocí bitového vstupu 1.1 jednočipového mikropočítače 1 programově testován bezprostředně po každém přístupu jednočipového mikropočítače 1 k paměti 3 RAM. Pokud testovaný bit není nastaven, znamená to, že paměť 3 RAM nebyla jednočipovému mikropočítači 1 včas přidělena a paměťová operace musí být automaticky zopakována. Programově lze tuto funkci nejsnáze realizovat pomocí instrukcí typu INB, kterou je nutno zařadit za každou instrukci, vyvolávající přístup k dvoubřánové paměti.

Řídící logika dvoubřánové paměti podle vynálezu může být využita např. v rozsáhlejších mikropočítačových systémech, pro funkci "inteligentních" vstup-výstupních jednotek, vybavených vlastními jednočipovými mikropočítači. Řídící logiku je možno výhodně realizovat pomocí integrovaných obvodů typu programovatelných logických polí nebo hradlových polí.

PŘEDMĚT VYNÁLEZU

Řídící logika dvoubřánové paměti sestávající z jednočipového mikropočítače, nadřazeného mikropočítače, paměti RAM, adresových dekodérů, klopných obvodů, dále z generátoru vzorkovacího signálu a ze sběrnicevých zesilovačů, vyznačená tím, že sběrnicevý vývod (3.1) paměti (3) RAM je spojen s druhými sběrnicevými vývody (4.2 a 5.2) prvního sběrnicevého zesilovače (4) a druhého sběrnicevého zesilovače (5), přičemž první sběrnicevý vývod (4.1) prvního sběrnicevého zesilovače (4) je spojen jednak se sběrnicevým vývodem (1.2) jednočipového mikropočítače (1), jednak se vstupem (6.1) prvního adresového dekodéru (6) a jednak se vstupem (10.1) generátoru (10) vzorkovacího signálu, zatímco první sběrnicevý vývod (5.1) druhého sběrnicevého zesilovače (5) je spojen se sběrnicevým vývodem (2.2) nadřazeného mikropočítače (2) a současně se vstupem (7.1) druhého adresového dekodéru (7), jehož výstup (7.2) je spojen s nastavovacím vstupem (8.1) prvního klopného obvodu (8), jehož nulovací vstup (8.2) je spojen s výstupem (6.2) prvního adresového dekodéru (6), přičemž přímý výstup (8.3) prvního klopného obvodu (8) je spojen s řídícím vstupem (5.3) druhého sběrnicevého zesilovače (5) a současně se synchronizačním vstupem (2.1) nadřazeného mikropočítače (2) a negovaný výstup (8.4) prvního

klopného obvodu (8) je spojen s řídicím vstupem (4.3) prvního sběrnicového zesilovače (4) a současně s datovým vstupem (9.1) druhého klopného obvodu (9), jehož výstup (9.3) je spojen s bitovým vstupem (1.1) jednočipového mikropočítače (1) a jehož hodinový vstup (9.2) je spojen s výstupem (10.2) generátoru (10) vzorkovacího signálu.

1 výkres

