



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 202345406 A

(43)公開日：中華民國 112 (2023) 年 11 月 16 日

(21)申請案號：112117038

(22)申請日：中華民國 112 (2023) 年 05 月 08 日

(51)Int. Cl. : H01L29/78 (2006.01)

H01L29/06 (2006.01)

(30)優先權：2022/05/10 南韓

10-2022-0057076

(71)申請人：南韓商三星電子股份有限公司 (南韓) SAMSUNG ELECTRONICS CO., LTD. (KR)
南韓

(72)發明人：金景洙 KIM, KYUNG SOO (KR) ; 金成玟 KIM, SUNG MIN (KR)

(74)代理人：林孟閱；盧珮君；陳怡如

申請實體審查：無 申請專利範圍項數：10 項 圖式數：36 共 85 頁

(54)名稱

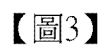
半導體裝置

(57)摘要

提供一種半導體裝置，在半導體裝置中，在其中上部奈米片材堆疊於下部奈米片材上的結構中對隔離層的形狀進行控制，以改善裝置的可靠性。所述半導體裝置包括：主動圖案，位於基板上且在第一方向上延伸；下部奈米片材，在與第一方向相交的第二方向上彼此間隔開且位於主動圖案上；隔離層，位於下部奈米片材上且在第二方向上與下部奈米片材間隔開；上部奈米片材，在第二方向上彼此間隔開且位於隔離層上；以及閘極電極，位於基板上且環繞下部奈米片材、隔離層及上部奈米片材中的每一者，其中隔離層的側壁具有彎曲的形狀。

There is provided a semiconductor device in which a shape of an isolation layer in a structure in which upper nanosheets are stacked on lower nanosheets is controlled to improve reliability of the device. The semiconductor device includes an active pattern on a substrate and extending in a first direction, lower nanosheets spaced apart from each other in a second direction intersecting the first direction and on the active pattern, an isolation layer on the lower nanosheets and spaced apart from the lower nanosheets in the second direction, upper nanosheets spaced apart from each other in the second direction and on the isolation layer, and a gate electrode on the substrate and surrounding each of the lower nanosheets, the isolation layer, and the upper nanosheets, wherein a sidewall of the isolation layer has a curved shape.

指定代表圖：



W2:寬度

【發明摘要】

【中文發明名稱】半導體裝置

【英文發明名稱】SEMICONDUCTOR DEVICE

【中文】提供一種半導體裝置，在半導體裝置中，在其中上部奈米片材堆疊於下部奈米片材上的結構中對隔離層的形狀進行控制，以改善裝置的可靠性。所述半導體裝置包括：主動圖案，位於基板上且在第一方向上延伸；下部奈米片材，在與第一方向相交的第二方向上彼此間隔開且位於主動圖案上；隔離層，位於下部奈米片材上且在第二方向上與下部奈米片材間隔開；上部奈米片材，在第二方向上彼此間隔開且位於隔離層上；以及閘極電極，位於基板上且環繞下部奈米片材、隔離層及上部奈米片材中的每一者，其中隔離層的側壁具有彎曲的形狀。

【英文】There is provided a semiconductor device in which a shape of an isolation layer in a structure in which upper nanosheets are stacked on lower nanosheets is controlled to improve reliability of the device. The semiconductor device includes an active pattern on a substrate and extending in a first direction, lower nanosheets spaced apart from each other in a second direction intersecting the first direction and on the active pattern, an isolation layer on the lower nanosheets and spaced apart from the lower nanosheets in the second direction, upper nanosheets spaced apart from each other in the

second direction and on the isolation layer, and a gate electrode on the substrate and surrounding each of the lower nanosheets, the isolation layer, and the upper nanosheets, wherein a sidewall of the isolation layer has a curved shape.

【指定代表圖】圖3。

【代表圖之符號簡單說明】

100:基板

105:場絕緣膜

111:第一隔離層

122:閘極絕緣膜

124:頂蓋圖案

160:蝕刻停止膜

170:第三層間絕緣膜

B-B':線

BNW1:第一多個下部奈米片材/下部奈米片材

CB1:第一閘極接觸件

DR1:第一方向

DR2:第二方向

DR3:第三方向

F:主動圖案

G1:第一閘極電極/閘極電極

P1:區域

UNW1:第一多個上部奈米片材/上部奈米片材

V1:第一通孔

W2:寬度

【特徵化學式】

無

【發明說明書】

【中文發明名稱】半導體裝置

【英文發明名稱】SEMICONDUCTOR DEVICE

【技術領域】

[相關申請案的相交參考]

【0001】 本申請案主張於在 2022 年 5 月 10 日在韓國智慧財產局提出申請的韓國專利申請案第 10-2022-0057076 號的優先權，所述韓國專利申請案的內容全文併入本案供參考。

【0002】 本揭露是有關於一種半導體裝置。更具體而言，本揭露是有關於一種包括多橋通道的半導體裝置且是有關於一種製造所述半導體裝置的方法。

【先前技術】

【0003】 用於增大半導體裝置的積體度的按比例縮放方案中的一者包括多閘極電晶體，在多閘極電晶體中，在基板上形成有處於鰭或奈米配線的形狀的矽本體且在矽本體的表面上形成有閘極。

【0004】 由於多閘極電晶體使用三維通道，因此易於對多閘極電晶體進行按比例縮放。此外，可在不增大多閘極電晶體的閘極長度的條件下改善多閘極電晶體的電流控制能力。另外，多閘極電晶體可有效地抑制短通道效應(short-channel effect, SCE)，在 SCE 中，通道區域的電位受到汲極電壓的影響。

【發明內容】

【0005】 本揭露的目的是提供一種半導體裝置，在所述半導體裝置中，在其中多個上部奈米片材堆疊於多個下部奈米片材上的結構中對隔離層的形狀進行控制，以改善裝置的可靠性。

【0006】 根據本揭露的目的並不限於以上提及的目的。根據本揭露的未提及的其他目的及優點可基於以下說明進行理解且可基於根據本揭露的實施例來更清楚地進行理解。此外，將易於理解，根據本揭露的目的及優點可使用申請專利範圍及其組合中所示的手段來達成。

【0007】 根據本揭露的態樣，提供一種半導體裝置，所述半導體裝置包括：主動圖案，位於基板上且在第一方向上延伸；多個下部奈米片材，在與第一方向相交的第二方向上彼此間隔開且位於主動圖案上；隔離層，位於所述多個下部奈米片材上且在第二方向上與所述多個下部奈米片材間隔開；多個上部奈米片材，在第二方向上彼此間隔開且位於隔離層上；以及閘極電極，位於基板上且環繞所述多個下部奈米片材、隔離層及所述多個上部奈米片材中的每一者，其中隔離層的側壁具有彎曲的形狀。

【0008】 根據本揭露的另一態樣，提供一種半導體裝置，所述半導體裝置包括：主動圖案，位於基板上且在第一水平方向上延伸；多個下部奈米片材，相對於基板在垂直方向上彼此間隔開且位於主動圖案上；隔離層，位於所述多個下部奈米片材上且在垂直方向上與所述多個下部奈米片材間隔開；多個上部奈米片材，在垂

直方向上彼此間隔開且位於隔離層上；以及閘極電極，位於基板上且在與第一水平方向相交的第二水平方向上延伸，其中閘極電極環繞所述多個下部奈米片材、隔離層及所述多個上部奈米片材中的每一者，其中隔離層在第二水平方向上的寬度在隔離層的最靠近所述多個下部奈米片材的堆疊的第一垂直水平高度處最小或最大，及/或在隔離層的最靠近所述多個上部奈米片材的堆疊的第二垂直水平高度處最小或最大。

【0009】 根據本揭露的又一態樣，提供一種半導體裝置，所述半導體裝置包括：基板；主動圖案，位於基板上且在第一水平方向上延伸，其中主動圖案在垂直方向上自基板突出；第一多個下部奈米片材，在垂直方向上彼此間隔開且位於主動圖案上；第二多個下部奈米片材，在垂直方向上彼此間隔開且位於主動圖案上，其中第一多個下部奈米片材在第一水平方向上與第二多個下部奈米片材間隔開；第一多個上部奈米片材，在垂直方向上彼此間隔開且位於第一多個下部奈米片材上，其中第一多個上部奈米片材在垂直方向上與第一多個下部奈米片材間隔開；第二多個上部奈米片材，在垂直方向上彼此間隔開且位於第二多個下部奈米片材上，其中第二多個上部奈米片材在垂直方向上與第二多個下部奈米片材間隔開；第一隔離層，位於第一多個下部奈米片材與第一多個上部奈米片材之間；第二隔離層，位於第二多個下部奈米片材與第二多個上部奈米片材之間，其中第一隔離層與第二隔離層在第一水平方向上彼此間隔開；第一閘極電極，位於主動圖案上

且在與第一水平方向不同的第二水平方向上延伸，其中第一閘極電極環繞第一多個下部奈米片材、第一隔離層及第一多個上部奈米片材中的每一者；以及第二閘極電極，位於主動圖案上且在第二水平方向上延伸，其中第二閘極電極在第一水平方向上與第一閘極電極間隔開，其中第二閘極電極環繞第二多個下部奈米片材、第二隔離層及第二多個上部奈米片材中的每一者，其中第一隔離層的側壁的傾斜角度與第二隔離層的側壁的傾斜角度不同。

【圖式簡單說明】

【0010】

藉由參照附圖詳細闡述本揭露的例示性實施例，本揭露的以上及其他態樣及特徵將變得更加顯而易見，在附圖中：

圖 1 是用於示出根據本揭露一些實施例的半導體裝置的佈局圖。

圖 2 是沿著圖 1 中的線 A-A'切割的剖視圖。

圖 3 是沿著圖 1 中的線 B-B'切割的剖視圖。

圖 4 是圖 3 所示區域 P1 的放大視圖。

圖 5 是用於示出根據本揭露一些實施例的半導體裝置的剖視圖。

圖 6 是用於示出根據本揭露一些實施例的半導體裝置的剖視圖。

圖 7 是用於示出根據本揭露一些實施例的半導體裝置的剖視圖。

圖 8 是用於示出根據本揭露一些實施例的半導體裝置的剖視圖。

圖 9 是用於示出根據本揭露一些實施例的半導體裝置的剖視圖。

圖 10 是用於示出根據本揭露一些實施例的半導體裝置的剖視圖。

圖 11 是圖 10 所示區域 P2 的放大視圖。

圖 12 是用於示出根據本揭露一些實施例的半導體裝置的剖視圖。

圖 13 是用於示出根據本揭露一些實施例的半導體裝置的剖視圖。

圖 14 是用於示出根據本揭露一些實施例的半導體裝置的剖視圖。

圖 15 是用於示出根據本揭露一些實施例的半導體裝置的剖視圖。

圖 16 至圖 34 是用於示出根據本揭露一些實施例的製造半導體裝置的方法的步驟的中間結構的圖。

圖 35 是用於示出根據本揭露一些實施例的半導體裝置的佈局圖。

圖 36 是沿著圖 35 所示線 B-B'及 C-C'切割的剖視圖。

【實施方式】

【0011】 在下文中，將參照圖 1 至圖 4 闡述根據本揭露一些實施

例的半導體裝置。

【0012】 圖 1 是用於示出根據本揭露一些實施例的半導體裝置的佈局圖。圖 2 是沿著圖 1 中的線 A-A'切割的剖視圖。圖 3 是沿著圖 1 中的線 B-B'切割的剖視圖。圖 4 是圖 3 所示區域 P1 的放大視圖。

【0013】 參照圖 1 至圖 4，根據本揭露一些實施例的半導體裝置包括基板 100、主動圖案 F、場絕緣膜 105、第一多個下部奈米片材 BNW1 及第二多個下部奈米片材 BNW2、第一多個上部奈米片材 UNW1 及第二多個上部奈米片材 UNW2、第一隔離層 111、第二隔離層 112、第一閘極電極 G1 及第二閘極電極 G2、閘極絕緣膜 122、閘極間隔件 123、頂蓋圖案 124、下部源極/汲極區 BSD、上部源極/汲極區 USD、第一層間絕緣膜 130、第二層間絕緣膜 140、第一閘極接觸件 CB1 及第二閘極接觸件 CB2、源極/汲極接觸件 CA、矽化物層 150、蝕刻停止膜 160、第三層間絕緣膜 170 以及第一通孔 V1、第二通孔 V2 及第三通孔 V3。

【0014】 基板 100 可為矽基板或絕緣體上矽 (silicon-on-insulator, SOI)。作為另外一種選擇，基板 100 可包含矽鍺、絕緣體上矽鍺 (silicon germanium on insulator, SGOI)、銻化銮、碲化鉛化合物、砷化銮、磷化銮、砷化鎵或銻化鎵。然而，本揭露並不限於此。

【0015】 主動圖案 F 可在第三方向 DR3 上自基板 100 突出。就此而言，第一方向 DR1 及第二方向 DR2 可分別指在基板 100 上彼

此相交的第一水平方向與第二水平方向。第三方向 DR3 可被定義為與由第一方向 DR1 和第二方向 DR2 界定的平面垂直的方向。主動圖案 F 可為基板 100 的一部分，或者可包括自基板 100 生長的磊晶層。主動圖案 F 可在第一方向 DR1 上延伸。

【0016】 場絕緣膜 105 可設置於基板 100 上。場絕緣膜 105 可環繞主動圖案 F 的側壁。舉例而言，主動圖案 F 的上表面可在第三方向 DR3 上突出超過場絕緣膜 105 的上表面。然而，本揭露並不限於此。在一些其他實施例中，主動圖案 F 的上表面可與場絕緣膜 105 的上表面共面。

【0017】 第一多個下部奈米片材 BNW1 可設置於主動圖案 F 上。第一多個下部奈米片材 BNW1 可包括在第三方向 DR3 上彼此間隔開且堆疊於主動圖案 F 上的多個奈米片材。第二多個下部奈米片材 BNW2 可設置於主動圖案 F 上。第二多個下部奈米片材 BNW2 可在第一方向 DR1 上與第一多個下部奈米片材 BNW1 間隔開。第二多個下部奈米片材 BNW2 可包括在第三方向 DR3 上彼此間隔開且堆疊於主動圖案 F 上的多個奈米片材。

【0018】 在圖 2 及圖 3 中，第一多個下部奈米片材 BNW1 及第二多個下部奈米片材 BNW2 中的每一者被示出為包括在第三方向 DR3 上堆疊的兩個奈米片材。然而，此是為了便於例示。在一些其他實施例中，第一多個下部奈米片材 BNW1 及第二多個下部奈米片材 BNW2 中的每一者可包括在第三方向 DR3 上堆疊的三或更多個奈米片材。第一多個下部奈米片材 BNW1 中的每一者可包含

例如矽 (Si)。第二多個下部奈米片材 BNW2 中的每一者可包含例如矽 (Si)。

【0019】 第一多個上部奈米片材 UNW1 可設置於第一多個下部奈米片材 BNW1 上。第一多個上部奈米片材 UNW1 可在第三方向 DR3 上與第一多個下部奈米片材 BNW1 間隔開。第一多個上部奈米片材 UNW1 可包括在第三方向 DR3 上彼此間隔開且堆疊於第一多個下部奈米片材 BNW1 上的多個奈米片材。

【0020】 第二多個上部奈米片材 UNW2 可設置於第二多個下部奈米片材 BNW2 上。第二多個上部奈米片材 UNW2 可在第三方向 DR3 上與第二多個下部奈米片材 BNW2 間隔開。第二多個上部奈米片材 UNW2 可在第一方向 DR1 上與第一多個上部奈米片材 UNW1 間隔開。第二多個上部奈米片材 UNW2 可包括在第三方向 DR3 上彼此間隔開且堆疊於第二多個下部奈米片材 BNW2 上的多個奈米片材。

【0021】 在圖 2 及圖 3 中，第一多個上部奈米片材 UNW1 及第二多個上部奈米片材 UNW2 中的每一者被示出為包括在第三方向 DR3 上堆疊的兩個奈米片材。然而，此是為了便於例示。在一些其他實施例中，第一多個上部奈米片材 UNW1 及第二多個上部奈米片材 UNW2 中的每一者可包括在第三方向 DR3 上堆疊的三或更多個奈米片材。第一多個上部奈米片材 UNW1 中的每一者可包含例如矽 (Si)。第二多個上部奈米片材 UNW2 中的每一者可包含例如矽 (Si)。

【0022】 第一隔離層 111 可設置於第一多個下部奈米片材 BNW1 與第一多個上部奈米片材 UNW1 之間。第一隔離層 111 可在第三方向 DR3 上與第一多個下部奈米片材 BNW1 及第一多個上部奈米片材 UNW1 間隔開。

【0023】 第一隔離層 111 的相對的側壁中的每一者的輪廓可具有凹形形狀。第一隔離層 111 的相對的側壁中的每一者可向第一隔離層 111 的內部凹陷。

【0024】 參照圖 3 及圖 4，第一隔離層 111 可更包括最靠近第一多個下部奈米片材 BNW1 的底面 111_B、最靠近第一多個上部奈米片材 UNW1 且與底面 111_B 相對的頂面 111_T、以及將底面 111_B 與頂面 111_T 連接至彼此的側壁 111_S。

【0025】 假設與第一隔離層 111 的側壁 111_S 相關的假想線 IL1、IL2 及 IL3。第一隔離層 111 的頂面 111_T 與第二假想線 IL2 之間在逆時針方向上的角度 a_2 小於第一隔離層 111 的頂面 111_T 與第一假想線 IL1 之間在逆時針方向上的角度 a_1 。第一隔離層 111 的頂面 111_T 與第三假想線 IL3 之間在逆時針方向上的角度 a_3 小於第一隔離層 111 的頂面 111_T 與第二假想線 IL2 之間在逆時針方向上的角度 a_2 。

【0026】 第一隔離層 111 的側壁 111_S 的傾斜度（角度）可自與所述多個上部奈米片材 UNW1 相鄰的區域至與所述多個下部奈米片材 BNW1 相鄰的區域減小。第一隔離層 111 的側壁 111_S 的傾斜度可相對於第三方向 DR3 連續地減小。舉例而言，當自與所述

多個上部奈米片材 UNW1 相鄰的區域移動至與所述多個下部奈米片材 BNW1 相鄰的區域時，側壁 111_S 相對於第一隔離層 111 的頂面 111_T 的傾斜度可在第三方向 DR3 上連續地減小。相反，當自與所述多個下部奈米片材 BNW1 相鄰的區域移動至與所述多個上部奈米片材 UNW1 相鄰的區域時，第一隔離層 111 的側壁 111_S 相對於第一隔離層 111 的頂面 111_T 的傾斜度可在第三方向 DR3 上連續地增大。第一隔離層 111 的側壁 111_S 的輪廓可具有彎曲的形狀。舉例而言，第一隔離層 111 的側壁 111_S 可具有凹形輪廓。

【0027】 參照圖 2 及圖 3，第一隔離層 111 分別在第一方向 DR1 及第二方向 DR2 上的寬度 W1 及 W2 中的每一者可在距第一多個下部奈米片材 BNW1 及第一多個上部奈米片材 UNW1 二者最遠的垂直水平高度處最小。舉例而言，第一隔離層 111 分別在第一方向 DR1 及第二方向 DR2 上的寬度 W1 及 W2 中的每一者可在第三方向 DR3 上的位於第一多個下部奈米片材 BNW1 與第一多個上部奈米片材 UNW1 之間的水平高度處最小。舉例而言，第三方向 DR3 上的水平高度可位於第一多個下部奈米片材 BNW1 與第一多個上部奈米片材 UNW1 之間的中間。然而，本揭露並不限於此。第一隔離層 111 分別在第一方向 DR1 及第二方向 DR2 上的寬度 W1 及 W2 中的每一者可在第三方向 DR3 上遠離第一多個下部奈米片材 BNW1 及第一多個上部奈米片材 UNW1 而減小。舉例而言，當在第三方向 DR3 上朝向位於第一多個下部奈米片材 BNW1 與第一多

個上部奈米片材 UNW1 之間的點移動時，第一隔離層 111 分別在第一方向 DR1 及第二方向 DR2 上的寬度 W1 及 W2 中的每一者可減小。舉例而言，所述點可位於第一多個下部奈米片材 BNW1 與第一多個上部奈米片材 UNW1 之間的中間。然而，本揭露並不限於此。

【0028】 第二隔離層 112 可設置於第二多個下部奈米片材 BNW2 與第二多個上部奈米片材 UNW2 之間。第二隔離層 112 可在第三方向 DR3 上與第二多個下部奈米片材 BNW2 及第二多個上部奈米片材 UNW2 間隔開。第二隔離層 112 可在第一方向 DR1 上與第一隔離層 111 間隔開。

【0029】 在一個實例中，如上所述的關於第一隔離層 111 的形狀、第一隔離層 111 的側壁 111_S 的傾斜度以及第一隔離層 111 的寬度 W1 及 W2 中的每一者的說明可同樣適用於第二隔離層 112。

【0030】 第一隔離層 111 及第二隔離層 112 中的每一者可包含例如以下中的至少一者：氮化矽 (SiN)、碳氮氧化矽 (SiOCN)、碳氮化矽硼 (SiBCN)、碳氮化矽 (SiCN)、氮氧化矽 (SiON) 及/或其組合。如本文中所使用，用語「及/或」包括相關聯列出項中的一或多者的任意及所有組合。

【0031】 第一閘極電極 G1 可在第二方向 DR2 上延伸且可設置於主動圖案 F 及場絕緣膜 105 上。第一閘極電極 G1 可環繞第一多個下部奈米片材 BNW1、第一隔離層 111 及第一多個上部奈米片材

UNW1 中的每一者。第二閘極電極 G2 可在第二方向 DR2 上延伸且可設置於主動圖案 F 及場絕緣膜 105 上。第二閘極電極 G2 可在第一方向 DR1 上與第一閘極電極 G1 間隔開。第二閘極電極 G2 可環繞第二多個下部奈米片材 BNW2、第二隔離層 112 及第二多個上部奈米片材 UNW2 中的每一者。

【0032】 第一閘極電極 G1 及第二閘極電極 G2 中的每一者可包含例如以下中的至少一者：氮化鈦 (TiN)、碳化鈦 (TaC)、氮化鈦 (TaN)、氮化鈦矽 (TiSiN)、氮化鈦矽 (TaSiN)、氮化鈦鈦 (TaTiN)、氮化鈦鋁 (TiAlN)、氮化鈦鋁 (TaAlN)、氮化鎢 (WN)、鈦 (Ru)、鈦鋁 (TiAl)、碳氮化鈦鋁 (TiAlC-N)、碳化鈦鋁 (TiAlC)、碳化鈦 (TiC)、碳氮化鈦 (TaCN)、鎢 (W)、鋁 (Al)、銅 (Cu)、鈷 (Co)、鈦 (Ti)、鈦 (Ta)、鎳 (Ni)、鉑 (Pt)、鎳鉑 (Ni-Pt)、鈮 (Nb)、氮化鈮 (NbN)、碳化鈮 (NbC)、鉬 (Mo)、氮化鉬 (MoN)、碳化鉬 (MoC)、碳化鎢 (WC)、銠 (Rh)、鈀 (Pd)、銱 (Ir)、鐵 (Os)、銀 (Ag)、金 (Au)、鋅 (Zn)、釩 (V) 及/或其組合。然而，本揭露並不限於此。第一閘極電極 G1 及第二閘極電極 G2 中的每一者可包含導電金屬氧化物或導電金屬氮氧化物。導電金屬氧化物及導電金屬氮氧化物中的每一者可包含以上提及材料的氧化產物。本揭露並不限於此。

【0033】 在圖 2 及圖 3 中，第一多個下部奈米片材 BNW1 及第一多個上部奈米片材 UNW1 中的每一者被示出為被一個閘極電極 G1 環繞。然而，本揭露並不限於此。儘管未具體示出，但閘極隔

離層可將第一閘極電極 G1 劃分成其下部閘極電極及上部閘極電極，且可將第二閘極電極 G2 劃分成其下部閘極電極及上部閘極電極。

【0034】 下部源極/汲極區 BSD 可設置於主動圖案 F 上以及第一閘極電極 G1 及第二閘極電極 G2 中的每一者的至少一個側上。舉例而言，下部源極/汲極區 BSD 可設置於主動圖案 F 上以及第一閘極電極 G1 及第二閘極電極 G2 中的每一者的兩個相對的側上。下部源極/汲極區 BSD 可設置於第一多個下部奈米片材 BNW1 及第二多個下部奈米片材 BNW2 中的每一者的側壁上。下部源極/汲極區 BSD 可接觸第一多個下部奈米片材 BNW1 及第二多個下部奈米片材 BNW2 中的每一者的側壁。

【0035】 下部源極/汲極區 BSD 的上表面的垂直水平高度可高於第一多個下部奈米片材 BNW1 之中的最上部奈米片材的上表面的垂直水平高度。下部源極/汲極區 BSD 的上表面的垂直水平高度可高於第二多個下部奈米片材 BNW2 之中的最上部奈米片材的上表面的垂直水平高度。下部源極/汲極區 BSD 的上表面的垂直水平高度可低於第一隔離層 111 及第二隔離層 112 中的每一者的底表面的垂直水平高度。下部源極/汲極區 BSD 可不與第一隔離層 111 及第二隔離層 112 中的每一者接觸。然而，本揭露並不限於此。

【0036】 第一多個下部奈米片材 BNW1 與第一閘極電極 G1 的部分可彼此交替堆疊，以構成第一下部結構 BST1。第二多個下部奈米片材 BNW2 與第二閘極電極 G2 的部分可彼此交替堆疊，以構

成第二下部結構 BST2。第一多個上部奈米片材 UNW1 與第一閘極電極 G1 的部分可彼此交替堆疊，以構成第一上部結構 UST1。第二多個上部奈米片材 UNW2 與第二閘極電極 G2 的部分可彼此交替堆疊，以構成第二上部結構 UST2。

【0037】 參照圖 2，第一下部結構 BST1 在第三方向 DR3 上的高度 H1 可大於第一上部結構 UST1 在第三方向 DR3 上的高度 H2。類似地，第二下部結構 BST2 在第三方向 DR3 上的高度可大於第二上部結構 UST2 在第三方向 DR3 上的高度。如本文中所使用，第一下部結構 BST1、第一上部結構 UST1、第二下部結構 BST2 及/或第二上部結構 UST2 的高度亦可指該些相應結構中的每一者的厚度。

【0038】 第一層間絕緣膜 130 可覆蓋位於場絕緣膜 105 上的下部源極/汲極區 BSD。儘管未示出，但第一層間絕緣膜 130 可在場絕緣膜 105 上環繞第一閘極電極 G1 及第二閘極電極 G2 中的每一者的下部側壁的一部分。此外，第一層間絕緣膜 130 可在場絕緣膜 105 上環繞第一閘極電極 G1 及第二閘極電極 G2 中的每一者的上部側壁的一部分。第一層間絕緣膜 130 可在下部源極/汲極區 BSD 上接觸第一隔離層 111 及第二隔離層 112 中的每一者的在第一方向 DR1 上的兩個相對的側壁。

【0039】 第一層間絕緣膜 130 可包含例如氧化矽、氮化矽、氮氧化矽及/或低介電常數材料中的至少一者。低介電常數材料可包括例如以下中的至少一者：氟化正矽酸四乙酯（Fluorinated

TetraEthylOrthoSilicate，FTEOS）、氫矽倍半氧烷（Hydrogen SilsesQuioxane，HSQ）、雙苯並環丁烯（Bis-benzoCycloButene BCB）、正矽酸四甲酯（TetraMethylOrthoSilicate，TMOS）、八甲基環四矽氧烷（OctaMethyleyCloTetraSiloxane，OMCTS）、六甲基二矽氧烷（HexaMethylDiSiloxane，HMDS）、硼酸三甲基矽烷基（TriMethylSilyl Borate，TMSB）、二乙醯氧基第三丁基矽氧烷（DiAcetoxyDitertiaryButoSiloxane，DADBS）、磷酸三甲基矽烷基（TriMethylSilyl Phosphate，TMSP）、聚四氟乙烯（PolyTetraFluoroEthylene，PTFE）、東燃矽氮烷（Tonen SilaZen，TOSZ）、氟矽酸鹽玻璃（Fluoride Silicate Glass，FSG）、聚醯亞胺奈米泡沫（例如聚丙烯氧化物）、經碳摻雜氧化矽（Carbon Doped silicon Oxide，CDO）、有機矽酸鹽玻璃（Organo Silicate Glass，OSG）、西奧克（SiLK）、非晶氟化碳、二氧化矽氣凝膠、二氧化矽乾凝膠、介孔二氧化矽或其組合。然而，本揭露並不限於此。

【0040】上部源極/汲極區 USD 可設置於第一層間絕緣膜 130 上以及第一閘極電極 G1 及第二閘極電極 G2 中的每一者的至少一個側上。舉例而言，上部源極/汲極區 USD 可設置於第一層間絕緣膜 130 上以及第一閘極電極 G1 及第二閘極電極 G2 中的每一者的兩個相對的側上。上部源極/汲極區 USD 可設置於第一多個上部奈米片材 UNW1 及第二多個上部奈米片材 UNW2 中的每一者的側壁上。上部源極/汲極區 USD 可接觸第一多個上部奈米片材 UNW1 及第二多個上部奈米片材 UNW2 中的每一者的側壁。上部源極/

汲極區 USD 可在第三方向 DR3 上與下部源極/汲極區 BSD 交疊。

【0041】 上部源極/汲極區 USD 的上表面的垂直水平高度可高於第一多個上部奈米片材 UNW1 之中的最上部奈米片材的上表面的垂直水平高度。上部源極/汲極區 USD 的上表面的垂直水平高度可高於第二多個上部奈米片材 UNW2 之中的最上部奈米片材的上表面的垂直水平高度。然而，本揭露並不限於此。

【0042】 上部源極/汲極區 USD 可不與第一隔離層 111 及第二隔離層 112 中的每一者接觸。然而，本揭露並不限於此。

【0043】 閘極間隔件 123 可在主動圖案 F 上設置於第一閘極電極 G1 及第二閘極電極 G2 中的每一者的兩個相對的側壁上且可在第二方向 DR2 上延伸。閘極間隔件 123 可在第一多個上部奈米片材 UNW1 之中的最上部奈米片材上設置於第一閘極電極 G1 的兩個相對的側壁上。此外，閘極間隔件 123 可在第二多個上部奈米片材 UNW2 之中的最上部奈米片材上設置於第二閘極電極 G2 的兩個相對的側壁上。閘極間隔件 123 可設置於場絕緣膜 105 上以及第一閘極電極 G1 及第二閘極電極 G2 中的每一者的兩個相對的側壁上且可在第二方向 DR2 上延伸。

【0044】 閘極間隔件 123 可包含例如以下中的至少一者：氮化矽 (SiN)、氮氧化矽 (SiON)、碳氮化矽 (SiCN)、碳氮氧化矽 (SiOCN)、氮化矽硼 (SiBN)、硼氮氧化矽 (SiOBN)、碳氧化矽 (SiOC) 及/或其組合。

【0045】 閘極絕緣膜 122 可設置於第一閘極電極 G1 與閘極間隔

件 123 之間、以及第二閘極電極 G2 與閘極間隔件 123 之間。閘極絕緣膜 122 可設置於第一閘極電極 G1 與下部源極/汲極區 BSD 之間、以及第二閘極電極 G2 與下部源極/汲極區 BSD 之間。閘極絕緣膜 122 可設置於第一閘極電極 G1 與上部源極/汲極區 USD 之間、以及第二閘極電極 G2 與上部源極/汲極區 USD 之間。閘極絕緣膜 122 可設置於第一閘極電極 G1 及第二閘極電極 G2 中的每一者與主動圖案 F 之間。閘極絕緣膜 122 可設置於第一閘極電極 G1 及第二閘極電極 G2 中的每一者與場絕緣膜 105 之間。

【0046】 此外，閘極絕緣膜 122 可設置於第一閘極電極 G1 與第一多個下部奈米片材 BNW1 之間。閘極絕緣膜 122 可設置於第一閘極電極 G1 與第一多個上部奈米片材 UNW1 之間。閘極絕緣膜 122 可設置於第二閘極電極 G2 與第二多個下部奈米片材 BNW2 之間。閘極絕緣膜 122 可設置於第二閘極電極 G2 與第二多個上部奈米片材 UNW2 之間。

【0047】 此外，閘極絕緣膜 122 可設置於第一閘極電極 G1 與第一隔離層 111 之間。閘極絕緣膜 122 可設置於第二閘極電極 G2 與第二隔離層 112 之間。

【0048】 閘極絕緣膜 122 可包含氧化矽、氮氧化矽、氮化矽或具有較氧化矽的介電常數高的介電常數的高介電常數材料。高介電常數材料可包括例如以下中的至少一者：氧化鉛、氧化鉛矽、氧化鉛鋁、氧化鏷、氧化鏷鋁、氧化鋯、氧化鋯矽、氧化鈮、氧化鈮、氧化鋇鋇鈦、氧化鋇鈦、氧化鋇鈦、氧化鈮、氧化鋁、氧化

鉛銦鉍或銻酸鉛銦。

【0049】 根據一些實例性實施例的半導體裝置可包括使用負電容器的負電容（negative capacitance，NC）FET。在一個實例中，閘極絕緣膜 122 可包括具有鐵電特性的鐵電材料膜及具有順電特性的順電材料膜。

【0050】 鐵電材料膜可具有負電容，且順電材料膜可具有正電容。舉例而言，當二或更多個電容器可串聯連接至彼此，且電容器中的每一者的電容具有正值時，總電容小於每一個別電容器的電容。相反，當串聯連接至彼此的二或更多個電容器的電容中的至少一者具有負值時，總電容可具有正值且可大於每一個別電容的絕對值。

【0051】 當具有負電容的鐵電材料膜與具有正電容的順電材料膜串聯連接至彼此時，串聯連接至彼此的鐵電材料膜與順電材料膜的總電容值可增大。利用總電容值的增大，包括鐵電材料膜的電晶體在室溫下可具有低於約 60 毫伏/十倍漏電流（mV/decade）的亞臨限值擺幅（subthreshold swing，SS）。

【0052】 鐵電材料膜可具有鐵電性質。鐵電材料膜可包含例如以下中的至少一者：氧化鈣、氧化鈣銦、氧化鋇銦鈦、氧化鋇鈦及氧化鈣銦鈦。此處，在一個實例中，氧化鈣銦可指藉由使用銦（Zr）對氧化鈣進行摻雜而獲得的材料。作為另一實例，氧化鈣銦可指鈣（Hf）、銦（Zr）及氧（O）的化合物。

【0053】 鐵電材料膜可更包含經摻雜的摻雜劑。舉例而言，摻雜

劑可包括以下中的至少一者：鋁 (Al)、鈦 (Ti)、鈮 (Nb)、鐳 (La)、釔 (Y)、鎂 (Mg)、矽 (Si)、鈣 (Ca)、銻 (Ce)、鐳 (Dy)、鉕 (Er)、釓 (Gd)、鍺 (Ge)、釷 (Sc)、銦 (Sr) 及錫 (Sn)。鐵電材料膜中所包含的摻雜劑的類型可端視鐵電材料膜中所包含的鐵電材料的類型而變化。

【0054】 當鐵電材料膜包含氧化鉛時，鐵電材料膜中所包含的摻雜劑可包括例如釓 (Gd)、矽 (Si)、鍺 (Zr)、鋁 (Al) 及/或釔 (Y) 中的至少一者。

【0055】 當摻雜劑是鋁 (Al) 時，鐵電材料膜可包含約 3 原子% (at.%) 至約 8 at.% 的鋁。此處，摻雜劑的含量可為鋁基於鉛與鋁之和的含量。

【0056】 當摻雜劑是矽 (Si) 時，鐵電材料膜可包含約 2 at.% 至約 10 at.% 的矽。當摻雜劑是釔 (Y) 時，鐵電材料膜可包含約 2 at.% 至約 10 at.% 的釔。當摻雜劑是釓 (Gd) 時，鐵電材料膜可包含約 1 at.% 至約 7 at.% 的釓。當摻雜劑是鍺 (Zr) 時，鐵電材料膜可包含約 50 at.% 至約 80 at.% 的鍺。

【0057】 順電材料膜可具有順電性質。順電材料膜可包含例如氧化矽及具有高介電常數的金屬氧化物中的至少一者。順電材料膜中所包含的金屬氧化物可包括但並不限於例如氧化鉛、氧化鍺及氧化鋁中的至少一者。然而，本揭露並不限於此。

【0058】 鐵電材料膜與順電材料膜可包含相同的材料。鐵電材料膜可具有鐵電性質，但順電材料膜可不具有鐵電性質。舉例而言，

當鐵電材料膜及順電材料膜中的每一者包含氧化鉛時，鐵電材料膜中所包含的氧化鉛的晶體結構可與順電材料膜中所包含的氧化鉛的晶體結構不同。

【0059】 鐵電材料膜的厚度大小可被設計成呈現鐵電性質。儘管鐵電材料膜的厚度可例如介於約 0.5 奈米至約 10 奈米的範圍內。然而，本揭露並不限於此。由於呈現鐵電性質的臨界厚度可基於鐵電材料的類型而變化，因此鐵電材料膜的厚度可端視鐵電材料的類型而變化。

【0060】 在一個實例中，閘極絕緣膜 122 可包括一個鐵電材料膜。在另一實例中，閘極絕緣膜 122 可包括彼此間隔開的多個鐵電材料膜。閘極絕緣膜 122 可具有其中多個鐵電材料膜與多個順電材料膜彼此交替堆疊的堆疊結構。

【0061】 頂蓋圖案 124 可設置於第一閘極電極 G1、第二閘極電極 G2、閘極絕緣膜 122 及閘極間隔件 123 上且在第二方向 DR2 上延伸。舉例而言，頂蓋圖案 124 可與閘極間隔件 123 的上表面接觸。然而，本揭露並不限於此。在一些其他實施例中，頂蓋圖案 124 可設置於閘極間隔件 123 之間。在此種情形中，頂蓋圖案 124 的上表面可與閘極間隔件 123 的上表面共面。頂蓋圖案 124 可包含例如以下中的至少一者：氮化矽 (SiN)、氮氧化矽 (SiON)、氧化矽 (SiO₂)、碳氮化矽 (SiCN)、碳氮氧化矽 (SiOCN) 及/或其組合。

【0062】 第二層間絕緣膜 140 可覆蓋位於第一層間絕緣膜 130 上

的上部源極/汲極區 USD。儘管未示出，但第二層間絕緣膜 140 可在場絕緣膜 105 上環繞第一閘極電極 G1 及第二閘極電極 G2 中的每一者的側壁的一部分。

【0063】 舉例而言，第二層間絕緣膜 140 的上表面可與頂蓋圖案 124 的上表面共面。然而，本揭露並不限於此。在一些其他實施例中，第二層間絕緣膜 140 可覆蓋頂蓋圖案 124 的上表面。舉例而言，第二層間絕緣膜 140 可包含與第一層間絕緣膜 130 的材料相同的材料。第二層間絕緣膜 140 可包含例如氧化矽、氮化矽、氮氧化矽及/或低介電常數材料中的至少一者。

【0064】 源極/汲極接觸件 CA 可在第三方向 DR3 上延伸穿過第二層間絕緣膜 140 且電性連接至上部源極/汲極區 USD。源極/汲極接觸件 CA 的至少一部分可延伸至上部源極/汲極區 USD 中。舉例而言，源極/汲極接觸件 CA 的上表面可與第二層間絕緣膜 140 的上表面共面。然而，本揭露並不限於此。儘管在圖 2 中示出源極/汲極接觸件 CA 被形成為單個膜，但此是為了便於例示，且本揭露並不限於此。舉例而言，源極/汲極接觸件 CA 可被形成為多層膜。源極/汲極接觸件 CA 可包含導電材料。

【0065】 矽化物層 150 可設置於上部源極/汲極區 USD 與源極/汲極接觸件 CA 之間。矽化物層 150 可包含例如金屬矽化物材料。

【0066】 第一閘極接觸件 CB1 可設置於第一閘極電極 G1 上。第一閘極接觸件 CB1 可在第三方向 DR3 上延伸穿過頂蓋圖案 124 且可電性連接至第一閘極電極 G1。第二閘極接觸件 CB2 可設置於第

二閘極電極 G2 上。第二閘極接觸件 CB2 可在第三方向 DR3 上延伸穿過頂蓋圖案 124 且可電性連接至第二閘極電極 G2。

【0067】舉例而言，第一閘極接觸件 CB1 及第二閘極接觸件 CB2 中的每一者的上表面可與第二層間絕緣膜 140 的上表面共面。然而，本揭露並不限於此。在圖 2 及圖 3 中，第一閘極接觸件 CB1 及第二閘極接觸件 CB2 中的每一者被示出形成為單個膜，但此是為了便於例示，且本揭露並不限於此。舉例而言，第一閘極接觸件 CB1 及第二閘極接觸件 CB2 中的每一者可被形成為多層接觸件（例如，多層膜）。第一閘極接觸件 CB1 及第二閘極接觸件 CB2 中的每一者可包含導電材料。

【0068】蝕刻停止膜 160 可設置於第二層間絕緣膜 140 及頂蓋圖案 124 中的每一者的上表面上。蝕刻停止膜 160 可例如共形地形成於上面。儘管圖 2 及圖 3 示出蝕刻停止膜 160 被形成為單個膜，但本揭露並不限於此。在一些其他實施例中，蝕刻停止膜 160 可被形成為多層膜。蝕刻停止膜 160 可包含例如氧化鋁、氮化鋁、氧化鉛、氧化鋅、氧化矽、氮化矽、氮氧化矽及/或低介電常數材料中的至少一者。

【0069】第三層間絕緣膜 170 可設置於蝕刻停止膜 160 上。第三層間絕緣膜 170 可包含例如氧化矽、氮化矽、氮氧化矽及/或低介電常數材料中的至少一者。

【0070】第一通孔 V1 可在第三方向 DR3 上延伸穿過第三層間絕緣膜 170 及蝕刻停止膜 160 且可電性連接至第一閘極接觸件

CB1。第二通孔 V2 可在第三方向 DR3 上延伸穿過第三層間絕緣膜 170 及蝕刻停止膜 160 且可電性連接至第二閘極接觸件 CB2。第三通孔 V3 可在第三方向 DR3 上延伸穿過第三層間絕緣膜 170 及蝕刻停止膜 160 且可電性連接至源極/汲極接觸件 CA。在圖 2 及圖 3 中，第一通孔 V1、第二通孔 V2 及第三通孔 V3 中的每一者被示出形成為單個膜。然而，此是為了便於例示，且本揭露並不限於此。舉例而言，第一通孔 V1、第二通孔 V2 及第三通孔 V3 中的每一者可被形成為多層通孔（例如，多層膜）。第一通孔 V1、第二通孔 V2 及第三通孔 V3 中的每一者可包含導電材料。

【0071】 在根據本揭露一些實施例的具有其中所述多個上部奈米片材 UNW1 及 UNW2 堆疊於所述多個下部奈米片材 BNW1 及 BNW2 上的結構的半導體裝置中，隔離層 111 及 112 中的每一者的形狀可為凹形的。舉例而言，相較於隔離層 111 及 112 中的每一者的底部部分及頂部部分的寬度，隔離層 111 及 112 中的每一者的中心部分的寬度可更小。因此，可降低半導體裝置的短通道效應（SCE），使得可改善半導體裝置的可靠性。

【0072】 圖 5 對應於圖 2 且是用於示出根據本揭露一些實施例的半導體裝置的剖視圖。圖 6 對應於圖 2 且是用於示出根據本揭露一些實施例的半導體裝置的剖視圖。圖 7 對應於圖 2 且是用於示出根據本揭露一些實施例的半導體裝置的剖視圖。為了便於說明，可省略對與以上參照圖 1 至圖 4 闡述的內容重複的內容的說明。

【0073】 參照圖 5，第一下部結構（圖 2 中的 BST1）在第三方向 DR3 上的高度 H1 可小於第一上部結構（圖 2 中的 UST1）在第三方向 DR3 上的高度 H2。第二下部結構（圖 2 中的 BST2）在第三方向 DR3 上的高度亦可小於第二上部結構（圖 2 中的 UST2）在第三方向 DR3 上的高度。

【0074】 舉例而言，第一多個下部奈米片材 BNW1 及第二多個下部奈米片材 BNW2 中的每一者可包括在第三方向 DR3 上堆疊的兩個奈米片材，而第一多個上部奈米片材 UNW1 及第二多個上部奈米片材 UNW2 中的每一者可包括在第三方向 DR3 上堆疊的三個奈米片材。然而，本揭露並不限於此。

【0075】 參照圖 6，可不形成下部源極/汲極區 BSD，且可在主動圖案 F 上形成上部源極/汲極區 USD。

【0076】 上部源極/汲極區 USD 可設置於主動圖案 F 上以及第一閘極電極 G1 及第二閘極電極 G2 中的每一者的至少一個側上。上部源極/汲極區 USD 可設置於主動圖案 F 上以及第一多個上部奈米片材 UNW1 及第二多個上部奈米片材 UNW2 中的每一者的側壁上。

【0077】 上部源極/汲極區 USD 可不接觸第一隔離層 111 及第二隔離層 112 中的每一者。第一層間絕緣膜 130 可夾置於上部源極/汲極區 USD 與主動圖案 F 之間。然而，本揭露並不限於此，且第一層間絕緣膜 130 及另一絕緣材料層可夾置於上部源極/汲極區 USD 與主動圖案 F 之間。

【0078】 此外，主動圖案 F 可構成下部結構 BST。第一多個上部奈米片材 UNW1 與第一閘極電極 G1 的部分可彼此交替堆疊，以構成第一上部結構（圖 2 中的 UST1）。第二多個上部奈米片材 UNW2 與第二閘極電極 G2 的部分可彼此交替堆疊，以構成第二上部結構（圖 2 中的 UST2）。

【0079】 下部結構 BST 在第三方向 DR3 上的高度 H1 可大於第一上部結構（圖 2 中的 UST1）在第三方向 DR3 上的高度 H2。下部結構 BST 在第三方向 DR3 上的高度 H1 可大於第二上部結構（圖 2 中的 UST2）在第三方向 DR3 上的高度。如本文中所使用，下部結構 BST 的高度亦可指下部結構 BST 的厚度。

【0080】 參照圖 7，與圖 6 不同，下部結構 BST 在第三方向 DR3 上的高度 H1 可小於第一上部結構（圖 2 中的 UST1）在第三方向 DR3 上的高度 H2。下部結構 BST 在第三方向 DR3 上的高度 H1 可小於第二上部結構（圖 2 中的 UST2）在第三方向 DR3 上的高度。

【0081】 圖 8 對應於圖 3 且是用於示出根據本揭露一些實施例的半導體裝置的剖視圖。為了便於說明，可省略對與以上參照圖 1 至圖 4 闡述的內容重複的內容的說明。

【0082】 參照圖 8，第一隔離層 111 在第二方向 DR2 上的寬度可在與第一多個下部奈米片材 BNW1 相鄰的區域及與第一多個上部奈米片材 UNW1 相鄰的區域中的每一者中最大。第一隔離層 111 在第二方向 DR2 上的寬度可在與第一多個下部奈米片材 BNW1 及

第一多個上部奈米片材 UNW1 間隔開最大間距的區域中最小。舉例而言，第一隔離層 111 在第二方向 DR2 上的寬度可在第三方向 DR3 上的位於第一多個下部奈米片材 BNW1 與第一多個上部奈米片材 UNW1 之間的中間的區域中最小。

【0083】 第一隔離層 111 可具有 I 形狀。在此種情形中，與圖 3 中所示不同，第一隔離層 111 可不包括彎曲的部分。

【0084】 如上所述的關於第一隔離層 111 的形狀的說明可同樣適用於第二隔離層 112 的形狀。

【0085】 圖 9 對應於圖 2 且是用於示出根據本揭露一些實施例的半導體裝置的剖視圖。圖 10 對應於圖 3 且是用於示出根據本揭露一些實施例的半導體裝置的剖視圖。圖 11 是圖 10 所示區域 P2 的放大視圖。為了便於說明，可省略對與以上參照圖 1 至圖 8 闡述的內容重複的內容的說明。

【0086】 參照圖 9，第一隔離層 111 的相對的側壁中的每一者的輪廓可具有凸形形狀。第一隔離層 111 的每一側壁可向第一隔離層 111 的外部突出。

【0087】 參照圖 10 及圖 11，第一隔離層 111 可具有最靠近第一多個下部奈米片材 BNW1 的底面 111_B、最靠近第一多個上部奈米片材 UNW1 且與底面 111_B 相對的頂面 111_T、以及將底面 111_B 與頂面 111_T 連接至彼此的側壁 111_S。

【0088】 假設與第一隔離層 111 的側壁 111_S 相關的假想線 IL1、IL2 及 IL3。第一隔離層 111 的頂面 111_T 與第二假想線 IL2

之間界定的逆時針方向上的角度 a_2 可大於第一隔離層 111 的頂面 111_T 與第一假想線 IL1 之間界定的逆時針方向上的角度 a_1 。第一隔離層 111 的頂面 111_T 與第三假想線 IL3 之間界定的逆時針方向上的角度 a_3 可大於第一隔離層 111 的頂面 111_T 與第二假想線 IL2 之間界定的逆時針方向上的角度 a_2 。

【0089】 第一隔離層 111 的側壁 111_S 的傾斜度（角度）可自與所述多個上部奈米片材 UNW1 相鄰的區域至與所述多個下部奈米片材 BNW1 相鄰的區域增大。第一隔離層 111 的側壁 111_S 的傾斜度可相對於第三方向 DR3 連續地增大。舉例而言，當自與所述多個上部奈米片材 UNW1 相鄰的區域移動至與所述多個下部奈米片材 BNW1 相鄰的區域時，第一隔離層 111 的側壁 111_S 相對於第一隔離層 111 的頂面 111_T 的傾斜度可在第三方向 DR3 上連續地增大。相反，當自與所述多個下部奈米片材 BNW1 相鄰的區域移動至與所述多個上部奈米片材 UNW1 相鄰的區域時，第一隔離層 111 的側壁 111_S 相對於第一隔離層 111 的頂面 111_T 的傾斜度可在第三方向 DR3 上連續地減小。第一隔離層 111 的側壁 111_S 的輪廓可具有彎曲的形狀。舉例而言，第一隔離層 111 的側壁 111_S 可具有凸形輪廓。

【0090】 參照圖 9 及圖 10，第一隔離層 111 分別在第一方向 DR1 及第二方向 DR2 上的寬度 W1 及 W2 中的每一者可在距第一多個下部奈米片材 BNW1 及第一多個上部奈米片材 UNW1 二者最遠的垂直水平高度處最大。舉例而言，第一隔離層 111 分別在第一方

向 DR1 及第二方向 DR2 上的寬度 W1 及 W2 中的每一者可在第三方向 DR3 上的位於第一多個下部奈米片材 BNW1 與第一多個上部奈米片材 UNW1 之間的水平高度處最大。舉例而言，第三方向 DR3 上的水平高度可位於第一多個下部奈米片材 BNW1 與第一多個上部奈米片材 UNW1 之間的中間。然而，本揭露並不限於此。第一隔離層 111 分別在第一方向 DR1 及第二方向 DR2 上的寬度 W1 及 W2 中的每一者可在第三方向 DR3 上遠離第一多個下部奈米片材 BNW1 及第一多個上部奈米片材 UNW1 中的每一者而增大。舉例而言，當在第三方向 DR3 上朝向位於第一多個下部奈米片材 BNW1 與第一多個上部奈米片材 UNW1 之間的點移動時，第一隔離層 111 分別在第一方向 DR1 及第二方向 DR2 上的寬度 W1 及 W2 中的每一者可增大。舉例而言，所述點可位於第一多個下部奈米片材 BNW1 與第一多個上部奈米片材 UNW1 之間的中間。然而，本揭露並不限於此。

【0091】 在一個實例中，如上所述的關於第一隔離層 111 的形狀、第一隔離層 111 的側壁 111_S 的傾斜度以及第一隔離層 111 的寬度 W1 及 W2 中的每一者的說明可同樣適用於第二隔離層 112。

【0092】 在根據本揭露一些實施例的具有其中所述多個上部奈米片材 UNW1 及 UNW2 堆疊於所述多個下部奈米片材 BNW1 及 BNW2 上的結構的半導體裝置中，隔離層 111 及 112 中的每一者的形狀可為凸形的。舉例而言，隔離層 111 及 112 中的每一者

的中心部分的寬度可最大。因此，可降低閘極電極與鰭結構之間的寄生電容，使得可改善半導體裝置的可靠性。

【0093】 參照圖 9，第一下部結構（圖 2 中的 BST1）沿著第三方向 DR3 的高度 H1 可大於第一上部結構（圖 2 中的 UST1）沿著第三方向 DR3 的高度 H2。第二下部結構（圖 2 中的 BST2）沿著第三方向 DR3 的高度可大於第二上部結構（圖 2 中的 UST2）沿著第三方向 DR3 的高度。

【0094】 參照圖 12，第一下部結構（圖 2 中的 BST1）在第三方向 DR3 上的高度 H1 可小於第一上部結構（圖 2 中的 UST1）在第三方向 DR3 上的高度 H2。第二下部結構（圖 2 中的 BST2）在第三方向 DR3 上的高度可小於第二上部結構（圖 2 中的 UST2）在第三方向 DR3 上的高度。

【0095】 參照圖 13，可不形成下部源極/汲極區 BSD，且可在主動圖案 F 上形成上部源極/汲極區 USD。

【0096】 下部結構 BST 在第三方向 DR3 上的高度 H1 可大於第一上部結構（圖 2 中的 UST1）在第三方向 DR3 上的高度 H2。下部結構 BST 在第三方向 DR3 上的高度 H1 可大於第二上部結構（圖 2 中的 UST2）在第三方向 DR3 上的高度。

【0097】 參照圖 14，與圖 13 不同，下部結構 BST 在第三方向 DR3 上的高度 H1 可小於第一上部結構（圖 2 中的 UST1）在第三方向 DR3 上的高度 H2。下部結構 BST 在第三方向 DR3 上的高度 H1 可小於第二上部結構（圖 2 中的 UST2）在第三方向 DR3 上的

高度。

【0098】 參照圖 15，第一隔離層 111 在第二方向 DR2 上的寬度可在與第一多個下部奈米片材 BNW1 相鄰的區域及與第一多個上部奈米片材 UNW1 相鄰的區域中的每一者處最小。第一隔離層 111 在第二方向 DR2 上的寬度可在與第一多個下部奈米片材 BNW1 及第一多個上部奈米片材 UNW1 二者間隔開最大間距的區域處最大。舉例而言，隔離層 111 在第二方向 DR2 上的寬度可在第三方向 DR3 上的位於第一多個下部奈米片材 BNW1 與第一多個上部奈米片材 UNW1 之間的中間的區域處最大。

【0099】 第一隔離層 111 可具有十字形狀。在此種情形中，與圖 9 中所示不同，第一隔離層 111 可不包括彎曲的部分。

【0100】 在一個實例中，如上所述的關於第一隔離層 111 的形狀的說明可同樣適用於第二隔離層 112 的形狀。

【0101】 在下文中，將參照圖 16 至圖 34 闡述根據本揭露一些實施例的用於製造半導體裝置的方法。

【0102】 圖 16 至圖 34 是用於示出根據本揭露一些實施例的製造半導體裝置的方法的步驟的中間結構的圖。

【0103】 參照圖 16 及圖 17，可在基板 100 上依序堆疊第一堆疊結構 10、第二犧牲層 20 及第三堆疊結構 30。第一堆疊結構 10 可包括在基板 100 上彼此交替堆疊的第一犧牲層 11 與第一半導體層 12。舉例而言，可在第一堆疊結構 10 的最下部部分上形成第一犧牲層 11，而可在第一堆疊結構 10 的最上部部分上形成第一半導體

層 12。舉例而言，可在基板 100 上形成第一犧牲層 11，可在第一犧牲層 11 上形成第一半導體層 12，且可上面交替堆疊其餘的第一犧牲層 11 與第一半導體層 12。然而，本揭露並不限於此。在一些其他實施例中，可在第一堆疊結構 10 的最上部部分上形成第一犧牲層 11。第一犧牲層 11 可包含例如矽鍺 (SiGe)。第一半導體層 12 可包含例如矽 (Si)。

【0104】 隨後，可在第一堆疊結構 10 上堆疊第二犧牲層 20。第二犧牲層 20 在第三方向 DR3 上的厚度可大於第一犧牲層 11 在第三方向 DR3 上的厚度。第二犧牲層 20 可包含例如矽鍺 (SiGe)。舉例而言，第二犧牲層 20 中所包含的鍺 (Ge) 的濃度可大於第一犧牲層 11 中所包含的鍺 (Ge) 的濃度。

【0105】 第三堆疊結構 30 可包括在第二犧牲層 20 上彼此交替堆疊的第三犧牲層 31 與第二半導體層 32。舉例而言，可在第三堆疊結構 30 的最下部部分上形成第三犧牲層 31，而可在第三堆疊結構 30 的最上部部分上形成第二半導體層 32。舉例而言，可在第二犧牲層 20 上形成第三犧牲層 31，可在第三犧牲層 31 上形成第二半導體層 32，且可在上面交替堆疊其餘的第三犧牲層 31 與第二半導體層 32。然而，本揭露並不限於此。在一些其他實施例中，亦可在第三堆疊結構 30 的最上部部分上形成第三犧牲層 31。第三犧牲層 31 可包含例如矽鍺 (SiGe)。舉例而言，第三犧牲層 31 中所包含的鍺 (Ge) 的濃度可小於第二犧牲層 20 中所包含的鍺 (Ge) 的濃度。第二半導體層 32 可包含例如矽 (Si)。

【0106】 參照圖 18 及圖 19，可藉由對第一堆疊結構 10、第二犧牲層 20、第三堆疊結構 30 及基板 100 中的每一者的一部分進行蝕刻而在基板 100 上形成主動圖案 F。主動圖案 F 可在第一方向 DR1 上延伸。主動圖案 F 可在第三方向 DR3 上自基板 100 突出。

【0107】 參照圖 20 及圖 21，隨後可在基板 100 上形成環繞主動圖案 F 的側壁的場絕緣膜 105。舉例而言，主動圖案 F 可在第三方向 DR3 上突出超過場絕緣膜 105 的上表面。

【0108】 可形成接墊氧化物膜 40，以覆蓋場絕緣膜 105、第一堆疊結構 10、第二犧牲層 20 及第三堆疊結構 30 中的每一者。舉例而言，可在上面共形地形成接墊氧化物膜 40。接墊氧化物膜 40 可包含例如氧化矽（ SiO_2 ）。

【0109】 可在第一堆疊結構 10、第二犧牲層 20 及第三堆疊結構 30 上的接墊氧化物膜 40 上形成第一虛設閘極 DG1 及第二虛設閘極 DG2。第一虛設閘極 DG1 及第二虛設閘極 DG2 中的每一者可在第二方向 DR2 上延伸。第二虛設閘極 DG2 可在第一方向 DR1 上與第一虛設閘極 DG1 間隔開。此外，可在第一虛設閘極 DG1 及第二虛設閘極 DG2 中的每一者上形成虛設頂蓋圖案 50。

【0110】 舉例而言，除了接墊氧化物膜 40 的在第三方向 DR3 上與第一虛設閘極 DG1 及第二虛設閘極 DG2 中的每一者交疊的一部分之外，可移除接墊氧化物膜 40 的其餘部分。

【0111】 參照圖 22 及圖 23，可移除第二犧牲層 20。可使用濕式蝕刻製程移除第二犧牲層 20。可移除第二犧牲層 20，以形成空的

空間 P。

【0112】 參照圖 24 及圖 25，可形成間隔件材料層 SM，以覆蓋第一虛設閘極 DG1 及第二虛設閘極 DG2 中的每一者的側壁、以及虛設頂蓋圖案 50 的側壁及上表面。儘管未示出，但亦可在場絕緣膜 105 的被暴露的上表面、第一堆疊結構 10 的側壁以及第三堆疊結構 30 的側壁及上表面上形成間隔件材料層 SM。此外，間隔件材料層 SM 可對其中已移除第二犧牲層（圖 20 及圖 21 中的 20）的區域 P 進行填充。舉例而言，可在上面共形地形成間隔件材料層 SM。間隔件材料層 SM 可包含例如以下中的至少一者：氮化矽（SiN）、碳氮氧化矽（SiOCN）、碳氮化矽硼（SiBCN）、碳氮化矽（SiCN）、氮氧化矽（SiON）及/或其組合。

【0113】 參照圖 26，可藉由使用虛設頂蓋圖案 50 以及第一虛設閘極 DG1 及第二虛設閘極 DG2 作為罩幕對第三堆疊結構 30 的至少一部分進行蝕刻而形成上部源極/汲極溝渠 U_{ST}。

【0114】 舉例而言，上部源極/汲極溝渠 U_{ST} 可朝向主動圖案 F 延伸。即，可在主動圖案 F 上且在第一虛設閘極 DG1 與第二虛設閘極 DG2 之間形成上部源極/汲極溝渠 U_{ST}。

【0115】 此後，可在上部源極/汲極溝渠 U_{ST} 中形成襯墊材料層 LM。襯墊材料層 LM 可沿著上部源極/汲極溝渠 U_{ST} 的側壁及底表面共形地形成於上部源極/汲極溝渠 U_{ST} 的側壁及底表面上。可在間隔件材料層 SM 的上表面的至少一部分上形成襯墊材料層 LM。

【0116】 參照圖 27，可使用乾式蝕刻製程來局部地移除襯墊材料層 LM。在此種情形中，可移除襯墊材料層 LM 的底部部分及上部部分，以暴露出間隔件材料層 SM 的上表面的至少一部分。

【0117】 參照圖 28，可使用襯墊材料層 LM 形成下部源極/汲極溝渠 B_{ST}。舉例而言，可使用襯墊材料層 LM 對間隔件材料層 SM 的位於第一堆疊結構 10 與第三堆疊結構 30 之間的一部分以及第一堆疊結構 10 的一部分進行蝕刻，以形成下部源極/汲極溝渠 B_{ST}。在此種情形中，襯墊材料層 LM 的側壁的輪廓與下部源極/汲極溝渠 B_{ST} 的側壁的輪廓可在第三方向 DR3 上彼此在實質上對準。然而，本揭露並不限於此。

【0118】 在形成下部源極/汲極溝渠 B_{ST} 的同時，可移除虛設頂蓋圖案 50 的一部分及間隔件材料層 SM 的形成於虛設頂蓋圖案 50 的上表面上的一部分。間隔件材料層 SM 的保留於第一虛設閘極 DG1 及第二虛設閘極 DG2 中的每一者的側壁上的一部分以及保留的虛設頂蓋圖案 50 可被定義為閘極間隔件 123。

【0119】 在已形成下部源極/汲極溝渠 B_{ST} 之後，保留於第一虛設閘極 DG1 之下的第一半導體層 12 及第二半導體層 32 可分別被定義為第一多個下部奈米片材 BNW1 及第一多個上部奈米片材 UNW1。此外，在已形成下部源極/汲極溝渠 B_{ST} 之後，保留於第二虛設閘極 DG2 之下的第一半導體層 12 及第二半導體層 32 可分別被定義為第二多個下部奈米片材 BNW2 及第二多個上部奈米片材 UNW2。

【0120】 此外，在已形成下部源極/汲極溝渠 B_{ST} 之後，間隔件材料層 SM 的保留於第一虛設閘極 DG1 之下的一部分可被定義為第一隔離層 111，而間隔件材料層 SM 的保留於第二虛設閘極 DG2 之下的一部分可被定義為第二隔離層 112。即，第一隔離層 111 可形成於第一多個下部奈米片材 BNW1 與第一多個上部奈米片材 UNW1 之間，而第二隔離層 112 可形成於第二多個下部奈米片材 BNW2 與第二多個上部奈米片材 UNW2 之間。

【0121】 可在濕式蝕刻製程中移除間隔件材料層 SM 的至少一部分。因此，可形成如圖 1 至圖 8 中所示的具有第一隔離層 111 及第二隔離層 112 的半導體裝置。

【0122】 作為另外一種選擇，間隔件材料層 SM 的局部區域可不被移除，而是可保留。因此，可形成如圖 9 至圖 15 中所示的具有第一隔離層 111 及第二隔離層 112 的半導體裝置。

【0123】 參照圖 29，可在下部源極/汲極溝渠（圖 28 中的 B_{ST}）內部依序形成下部源極/汲極區 BSD 及第一層間絕緣膜 130。

【0124】 舉例而言，在下部源極/汲極溝渠（圖 28 中的 B_{ST}）中，可在第一多個下部奈米片材 BNW1 及第二多個下部奈米片材 BNW2 中的每一者的側壁上形成下部源極/汲極區 BSD。舉例而言，下部源極/汲極區 BSD 的上表面在第三方向 DR3 上的垂直水平高度可低於第一隔離層 111 及第二隔離層 112 中的每一者的上表面的垂直水平高度。

【0125】 隨後，可形成第一層間絕緣膜 130，以覆蓋下部源極/

汲極區 BSD。

【0126】 參照圖 30，可移除襯墊材料層 LM，且可在第一多個上部奈米片材 UNW1 及第二多個上部奈米片材 UNW2 中的每一者的側壁上形成上部源極/汲極區 USD。

【0127】 在一個實例中，夾置前述襯墊材料層 LM，使得下部源極/汲極區 BSD 的體積與上部源極/汲極區 USD 的體積可彼此不同。然而，本揭露並不限於此，且下部源極/汲極區 BSD 的體積與上部源極/汲極區 USD 的體積可彼此在實質上相等。

【0128】 參照圖 31 及圖 32，可形成第二層間絕緣膜 140，以覆蓋上部源極/汲極區 USD、閘極間隔件 123 及虛設頂蓋圖案（圖 30 中的 50）中的每一者。隨後，可藉由平坦化製程暴露出第一虛設閘極及第二虛設閘極（圖 30 中的 DG1 及 DG2）中的每一者的上表面。隨後，可移除第一虛設閘極及第二虛設閘極（圖 30 中的 DG1 及 DG2）、接墊氧化物膜（圖 30 中的 40）、第一犧牲層（圖 30 中的 11）及第三犧牲層（圖 30 中的 31）。藉由移除第一虛設閘極（圖 30 中的 DG1）而界定的空間可被定義為第一閘極溝渠 GT1。藉由移除第二虛設閘極（圖 30 中的 DG2）而界定的空間可被定義為第二閘極溝渠 GT2。

【0129】 參照圖 32 至圖 34，可在其中已分別移除第一虛設閘極及第二虛設閘極（圖 30 中的 DG1 及 DG2）、第一犧牲層（圖 30 中的 11）及第三犧牲層（圖 30 中的 31）的區域中形成閘極絕緣膜 122。舉例而言，可在上面共形地形成閘極絕緣膜 122。

【0130】 隨後，可在第一閘極溝渠 GT1 的內部空間中以及在於第三方向 DR3 上與第一閘極溝渠 GT1 交疊的區域中形成環繞第一多個下部奈米片材 BNW1 及第一多個上部奈米片材 UNW1 的第一閘極電極 G1。此外，可第二閘極溝渠 GT2 的內部空間中以及在於第三方向 DR3 上與第二閘極溝渠 GT2 交疊的區域中形成環繞第二多個下部奈米片材 BNW2 及第二多個上部奈米片材 UNW2 的第二閘極電極 G2。隨後，可在第一閘極電極 G1 及第二閘極電極 G2 中的每一者上形成頂蓋圖案 124。

【0131】 參照圖 2 及圖 3，可形成源極/汲極接觸件 CA，源極/汲極接觸件 CA 在第三方向 DR3 上延伸穿過第二層間絕緣膜 140 且可電性連接至上部源極/汲極區 USD。可在上部源極/汲極區 USD 與源極/汲極接觸件 CA 之間形成矽化物層 150。此外，可形成第一閘極接觸件 CB1，第一閘極接觸件 CB1 在第三方向 DR3 上延伸穿過頂蓋圖案 124 且可電性連接至第一閘極電極 G1。可形成第二閘極接觸件 CB2，第二閘極接觸件 CB2 在第三方向 DR3 上延伸穿過頂蓋圖案 124 且可電性連接至第二閘極電極 G2。

【0132】 隨後，可在第二層間絕緣膜 140、頂蓋圖案 124、源極/汲極接觸件 CA 以及第一閘極接觸件 CB1 及第二閘極接觸件 CB2 中的每一者上依序形成蝕刻停止膜 160 及第三層間絕緣膜 170。然後，可形成第一通孔 V1、第二通孔 V2 及第三通孔 V3，第一通孔 V1、第二通孔 V2 及第三通孔 V3 可在第三方向 DR3 上延伸穿過第三層間絕緣膜 170 及蝕刻停止膜 160 且可分別電性連接至第一

閘極接觸件 CB1、第二閘極接觸件 CB2 及源極/汲極接觸件 CA。

在此製造製程中，可製造如圖 2 及圖 3 中所示的半導體裝置。

【0133】 在下文中，將參照圖 35 及圖 36 闡述根據本揭露一些實施例的半導體裝置。為了便於說明，可省略對與以上參照圖 1 至圖 34 闡述的說明重複的內容的說明。此外，在圖 35 及圖 36 中，為了便於說明，可省略對第一閘極接觸件 CB1、第一通孔 V1、頂蓋圖案 124、蝕刻停止膜 160 及第三層間絕緣膜 170 的說明。

【0134】 圖 35 是用於示出根據本揭露一些實施例的半導體裝置的佈局圖。圖 36 是沿著圖 35 所示線 B-B'及 C-C'切割的剖視圖。

【0135】 參照圖 35 及圖 36，基板 100 可包括第一區域 I 及在第一方向 DR1 上與第一區域 I 間隔開的第二區域 II。

【0136】 在第一區域 I 中可設置有第一多個下部奈米片材 BNW1、第一多個上部奈米片材 UNW1、設置於第一多個下部奈米片材 BNW1 與第一多個上部奈米片材 UNW1 之間的第一隔離層 111、第一閘極電極 G1 以及第一閘極絕緣膜 122。

【0137】 在第二區域 II 中可設置有第一多個下部奈米片材 BNW1a、第一多個上部奈米片材 UNW1a、設置於第一多個下部奈米片材 BNW1a 與第一多個上部奈米片材 UNW1a 之間的第一隔離層 111a、第一閘極電極 G1a 以及第一閘極絕緣膜 122a。

【0138】 第一隔離層 111 的側壁的傾斜度可與第一隔離層 111a 的側壁的傾斜度不同。第一隔離層 111 的側壁的輪廓可為凹形的，而第一隔離層 111a 的側壁的輪廓可為凸形的。然而，本揭露並不

限於此。

【0139】 第一隔離層 111 的側壁可向第一隔離層 111 的內部凹陷，而第一隔離層 111a 的側壁可向第一隔離層 111a 的外部突出。

【0140】 第一隔離層 111 的寬度可在最靠近第一多個下部奈米片材 BNW1 的堆疊及第一多個上部奈米片材 UNW1 的堆疊中的每一者的垂直水平高度處最大。舉例而言，第一隔離層 111 的寬度可在第三方向 DR3 上的在第一隔離層 111 的最靠近第一多個下部奈米片材 BNW1 的堆疊的第一水平高度處及/或在第三方向 DR3 的在第一隔離層 111 的最靠近第一多個上部奈米片材 UNW1 的堆疊的第二水平高度處最大。舉例而言，第一隔離層 111 的寬度可在第三方向 DR3 上的第一隔離層 111 的位於第一多個下部奈米片材 BNW1 的堆疊與第一多個上部奈米片材 UNW1 的堆疊之間的中間的第三水平高度處最小。

【0141】 第一隔離層 111a 的寬度可在最靠近第一多個下部奈米片材 BNW1a 的堆疊及第一多個上部奈米片材 UNW1a 的堆疊中的每一者的垂直水平高度處最小。舉例而言，第一隔離層 111a 的寬度可在第三方向 DR3 上的第一隔離層 111a 的最靠近第一多個下部奈米片材 BNW1a 的堆疊的第四水平高度處、及/或在第三方向 DR3 上的第一隔離層 111a 的最靠近第一多個上部奈米片材 UNW1a 的堆疊的第五水平高度處最小。舉例而言，第一隔離層 111a 的寬度可在第三方向 DR3 上的第一隔離層 111a 的位於第一多個下部奈米片材 BNW1a 的堆疊與第一多個上部奈米片材 UNW1a 的堆疊之間

的中間的第六水平高度處最大。

【0142】 第三方向 DR3 上的第一水平高度可與第三方向 DR3 上的第四水平高度相同。第三方向 DR3 上的第二水平高度可與第三方向 DR3 上的第五水平高度相同。第三方向 DR3 上的第三水平高度可與第三方向 DR3 上的第六水平高度相同。然而，本揭露並不限於此。

【0143】 儘管以上已參照附圖闡述根據本揭露的實施例，但本揭露並不限於所述實施例，而是可以各種不同的形式來實施。此項技術中具有通常知識者將能夠理解，可在不改變本發明的範圍的條件下以其他特定形式實施本揭露。因此，應理解，上述實施例在所有態樣中均不是限制性的，而是例示性的。

【符號說明】

【0144】

- 10:第一堆疊結構
- 11:第一犧牲層
- 12:第一半導體層
- 20:第二犧牲層
- 30:第三堆疊結構
- 31:第三犧牲層
- 32:第二半導體層
- 40:接墊氧化物膜
- 50:虛設頂蓋圖案

100:基板

105:場絕緣膜

111、111a:第一隔離層

111_B:底面

111_S:側壁

111_T:頂面

112:第二隔離層

122、122a:閘極絕緣膜/第一閘極絕緣膜

123:閘極間隔件

124:頂蓋圖案

130:第一層間絕緣膜

140:第二層間絕緣膜

150:矽化物層

160:蝕刻停止膜

170:第三層間絕緣膜

A-A'、B-B'、C-C':線

a1、a2、a3:角度

BNW1:第一多個下部奈米片材/下部奈米片材

BNW1a:第一多個下部奈米片材

BNW2:第二多個下部奈米片材/下部奈米片材

BSD:下部源極/汲極區

BST:下部結構

BST1:第一下部結構

BST2:第二下部結構

B_ST:下部源極/汲極溝渠

CA:源極/汲極接觸件

CB1:第一閘極接觸件

CB2:第二閘極接觸件

DG1:第一虛設閘極

DG2:第二虛設閘極

DR1:第一方向

DR2:第二方向

DR3:第三方向

F:主動圖案

G1:第一閘極電極/閘極電極

G1a:第一閘極電極

G2:第二閘極電極

GT1:第一閘極溝渠

GT2:第二閘極溝渠

H1、H2:高度

IL1:第一假想線/假想線

IL2:第二假想線/假想線

IL3:第三假想線/假想線

LM:襯墊材料層

- P:空的空間
- P1、P2、I、II:區域
- SM:間隔件材料層
- UNW1:第一多個上部奈米片材/上部奈米片材
- UNW1a:第一多個上部奈米片材
- UNW2:第二多個上部奈米片材/上部奈米片材
- USD:上部源極/汲極區
- UST1:第一上部結構
- UST2:第二上部結構
- U_ST:上部源極/汲極溝渠
- V1:第一通孔
- V2:第二通孔
- V3:第三通孔
- W1、W2:寬度

【發明申請專利範圍】

【請求項1】 一種半導體裝置，包括：

主動圖案，位於基板上且在第一方向上延伸；

多個下部奈米片材，在與所述第一方向相交的第二方向上彼此間隔開且位於所述主動圖案上；

隔離層，位於所述多個下部奈米片材上且在所述第二方向上與所述多個下部奈米片材間隔開；

多個上部奈米片材，在所述第二方向上彼此間隔開且位於所述隔離層上；以及

閘極電極，位於所述基板上且環繞所述多個下部奈米片材、所述隔離層及所述多個上部奈米片材中的每一者，

其中所述隔離層的側壁具有彎曲的形狀。

【請求項2】 如請求項 1 所述的半導體裝置，其中當在所述第二方向上朝向位於所述多個下部奈米片材的堆疊與所述多個上部奈米片材的堆疊之間的中間的點移動時，所述隔離層的寬度減小。

【請求項3】 如請求項 1 所述的半導體裝置，其中當在所述第二方向上朝向位於所述多個下部奈米片材的堆疊與所述多個上部奈米片材的堆疊之間的中間的點移動時，所述隔離層的寬度增大。

【請求項4】 如請求項 1 所述的半導體裝置，其中所述隔離層的所述側壁相對於所述隔離層的頂面的傾斜角度隨著所述隔離層在所述第二方向上自與所述多個上部奈米片材相鄰的區域延伸至與所述多個下部奈米片材相鄰的區域而連續地減小。

【請求項5】 如請求項 1 所述的半導體裝置，其中所述隔離層的所述側壁相對於所述隔離層的頂面的傾斜角度隨著所述隔離層在所述第二方向上自與所述多個上部奈米片材相鄰的區域延伸至與所述多個下部奈米片材相鄰的區域而連續地增大。

【請求項6】 如請求項 1 所述的半導體裝置，其中所述隔離層的所述側壁具有凹形形狀。

【請求項7】 如請求項 1 所述的半導體裝置，其中所述隔離層的所述側壁具有凸形形狀。

【請求項8】 如請求項 1 所述的半導體裝置，更包括：

下部源極/汲極區，位於所述主動圖案及所述多個下部奈米片材的側壁上；以及

上部源極/汲極區，位於所述多個上部奈米片材的側壁上且在所述第二方向上與所述下部源極/汲極區間隔開，

其中所述下部源極/汲極區及所述上部源極/汲極區中的每一者不接觸所述隔離層。

【請求項9】 如請求項 1 所述的半導體裝置，更包括位於所述主動圖案及所述多個上部奈米片材的側壁上的源極/汲極區。

【請求項10】 一種半導體裝置，包括：

主動圖案，位於基板上且在第一水平方向上延伸；

多個下部奈米片材，相對於所述基板在垂直方向上彼此間隔開且位於所述主動圖案上；

隔離層，位於所述多個下部奈米片材上且在所述垂直方向上

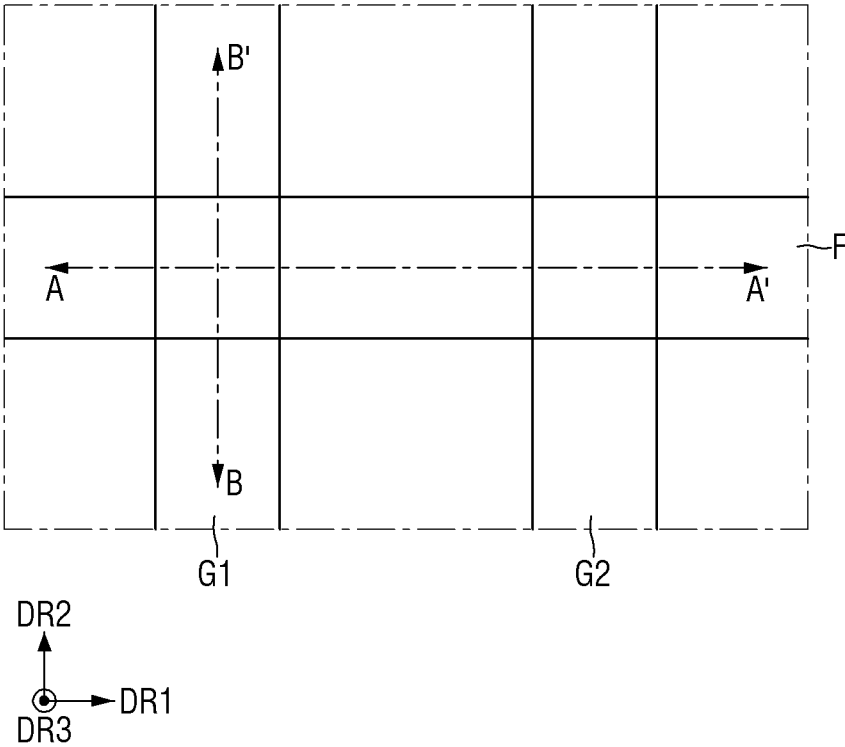
與所述多個下部奈米片材間隔開；

多個上部奈米片材，在所述垂直方向上彼此間隔開且位於所述隔離層上；以及

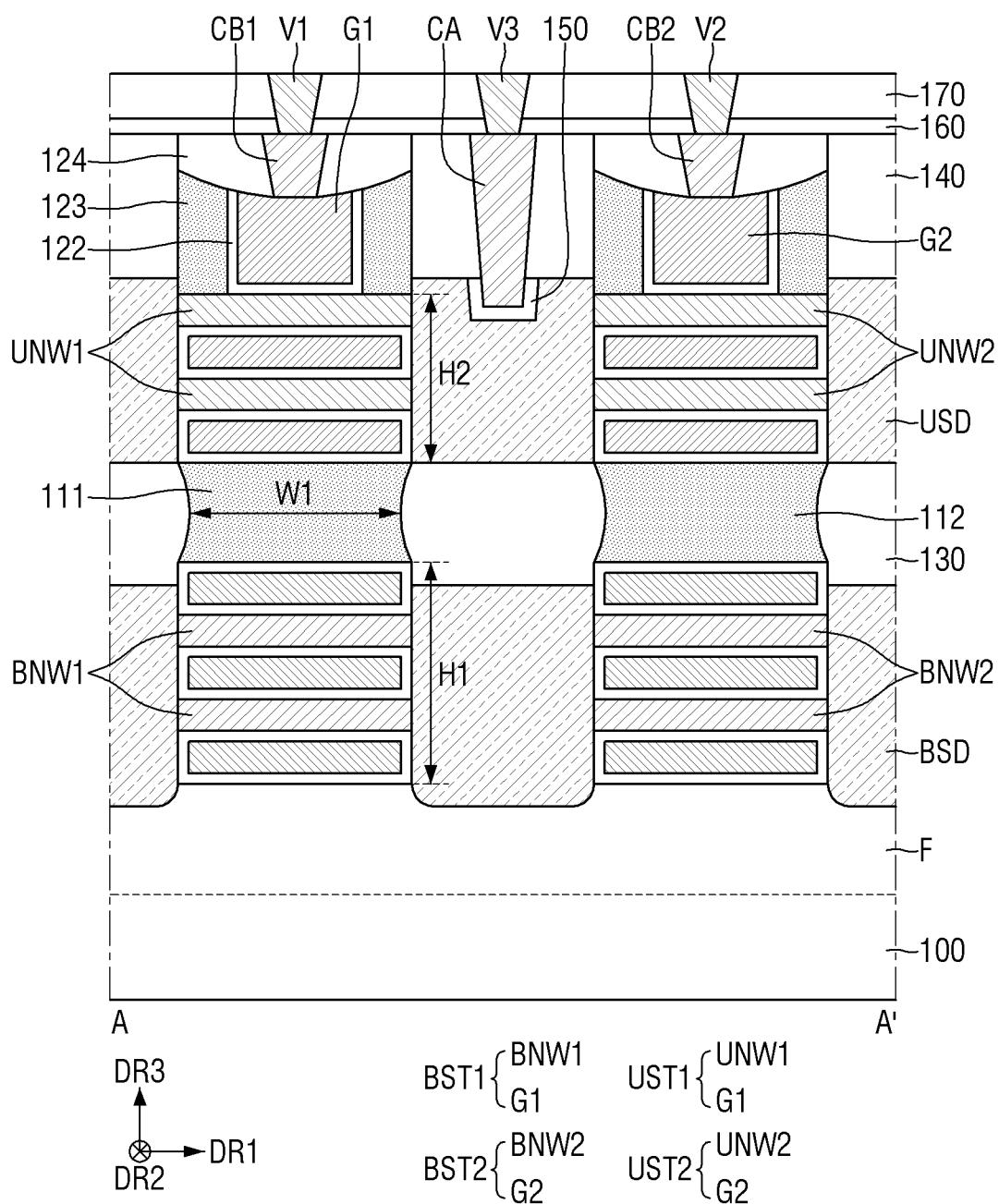
閘極電極，位於所述基板上且在與所述第一水平方向相交的第二水平方向上延伸，其中所述閘極電極環繞所述多個下部奈米片材、所述隔離層及所述多個上部奈米片材中的每一者，

其中所述隔離層在所述第二水平方向上的寬度在所述隔離層的最靠近所述多個下部奈米片材的堆疊的第一垂直水平高度處最小或最大，及/或在所述隔離層的最靠近所述多個上部奈米片材的堆疊的第二垂直水平高度處最小或最大。

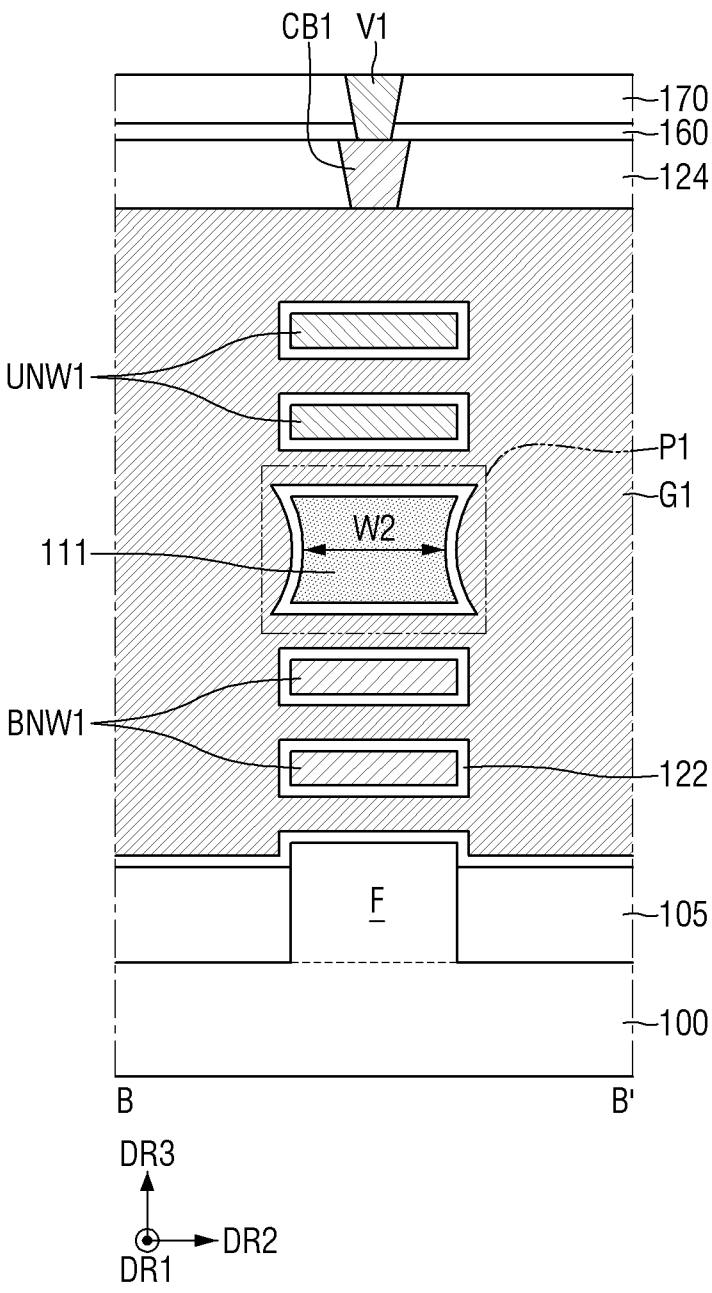
【發明圖式】



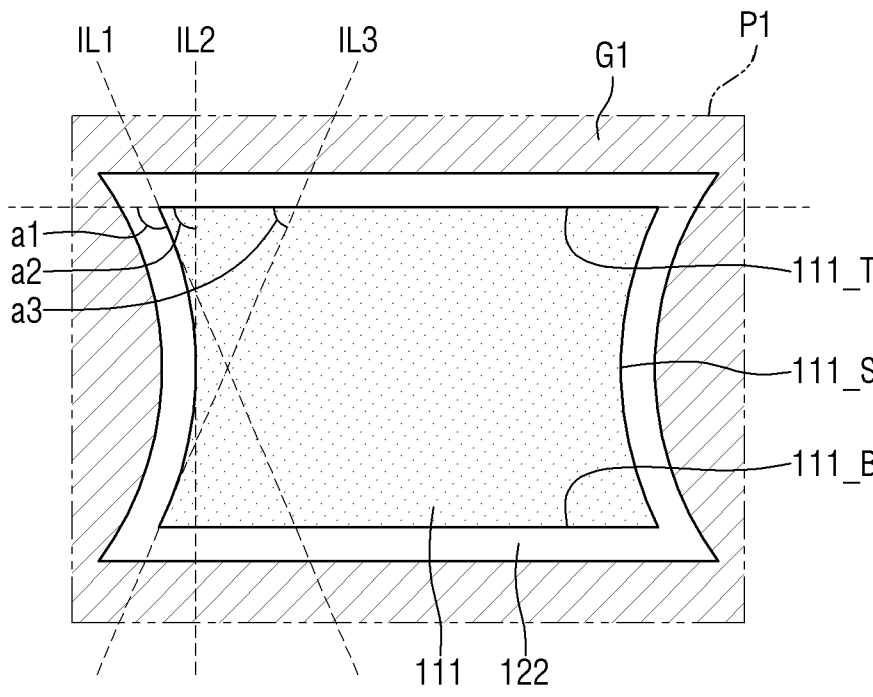
【圖1】



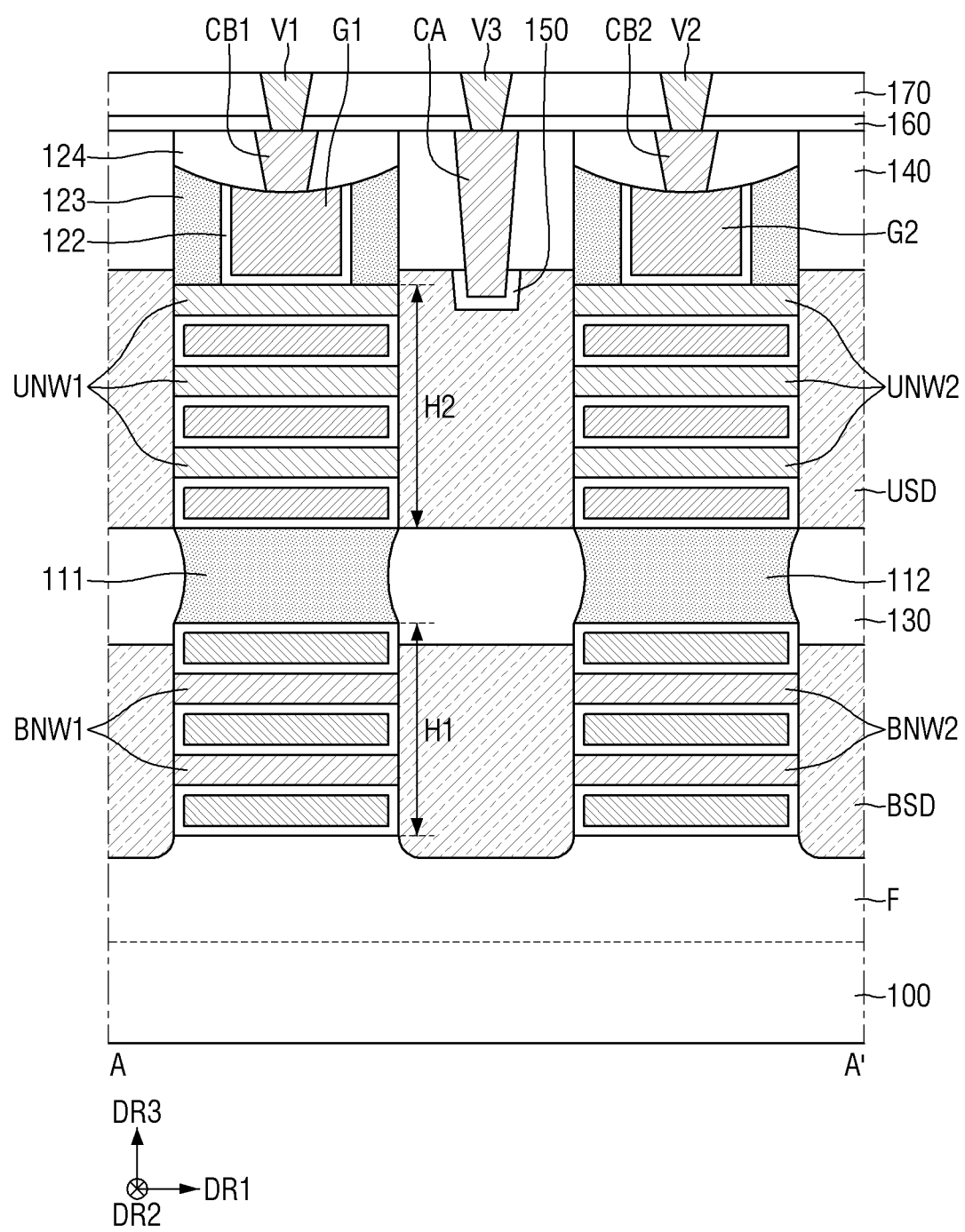
【圖2】



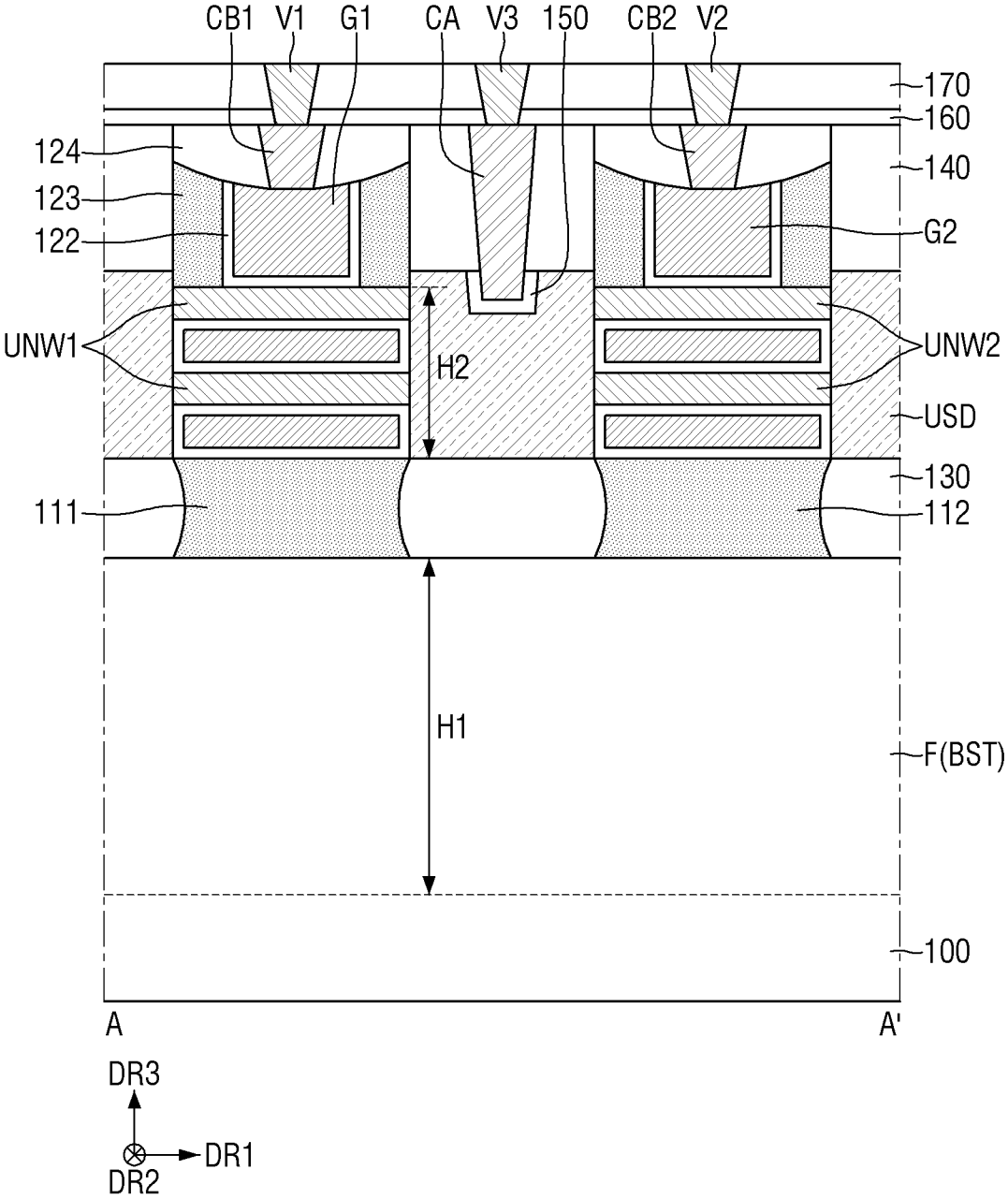
【圖3】



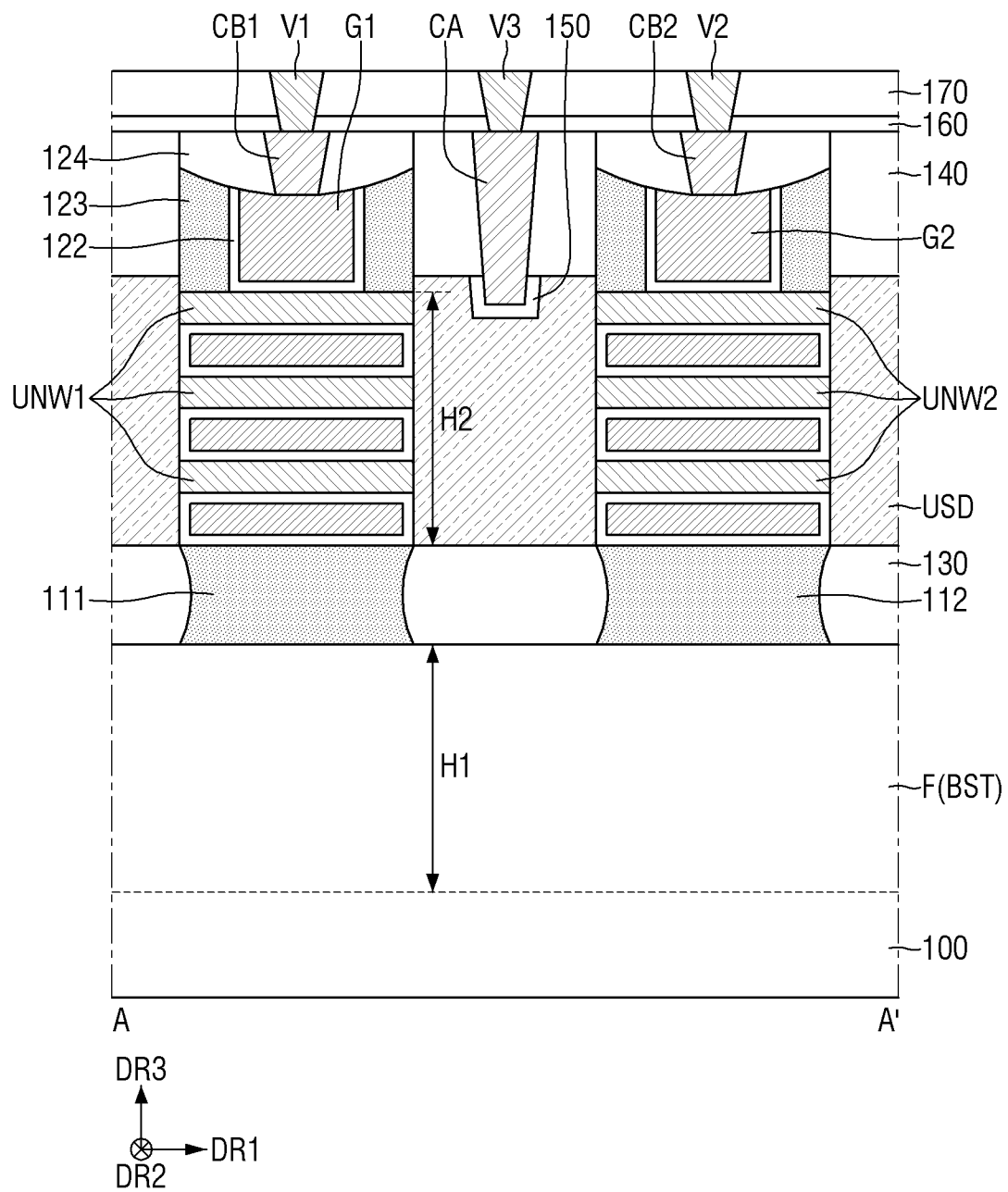
【圖4】



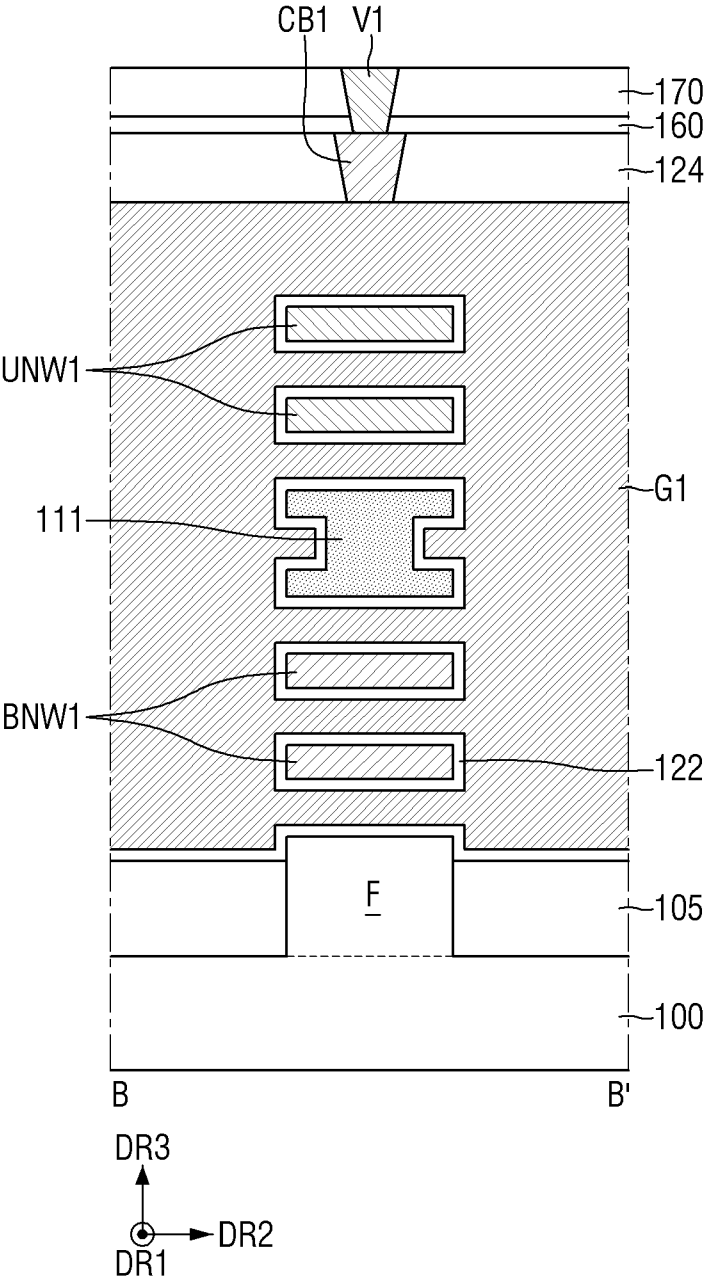
【圖5】



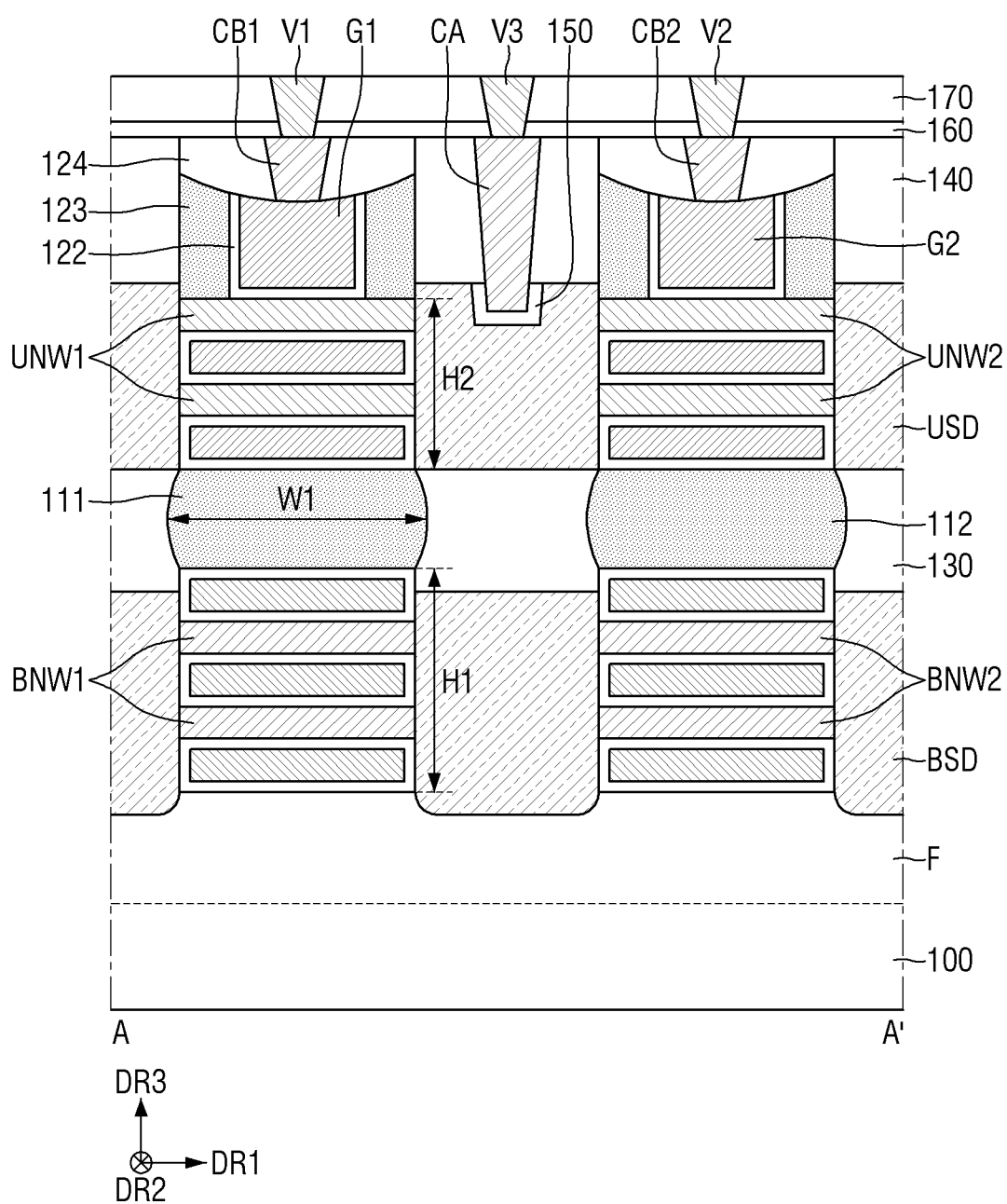
【圖6】



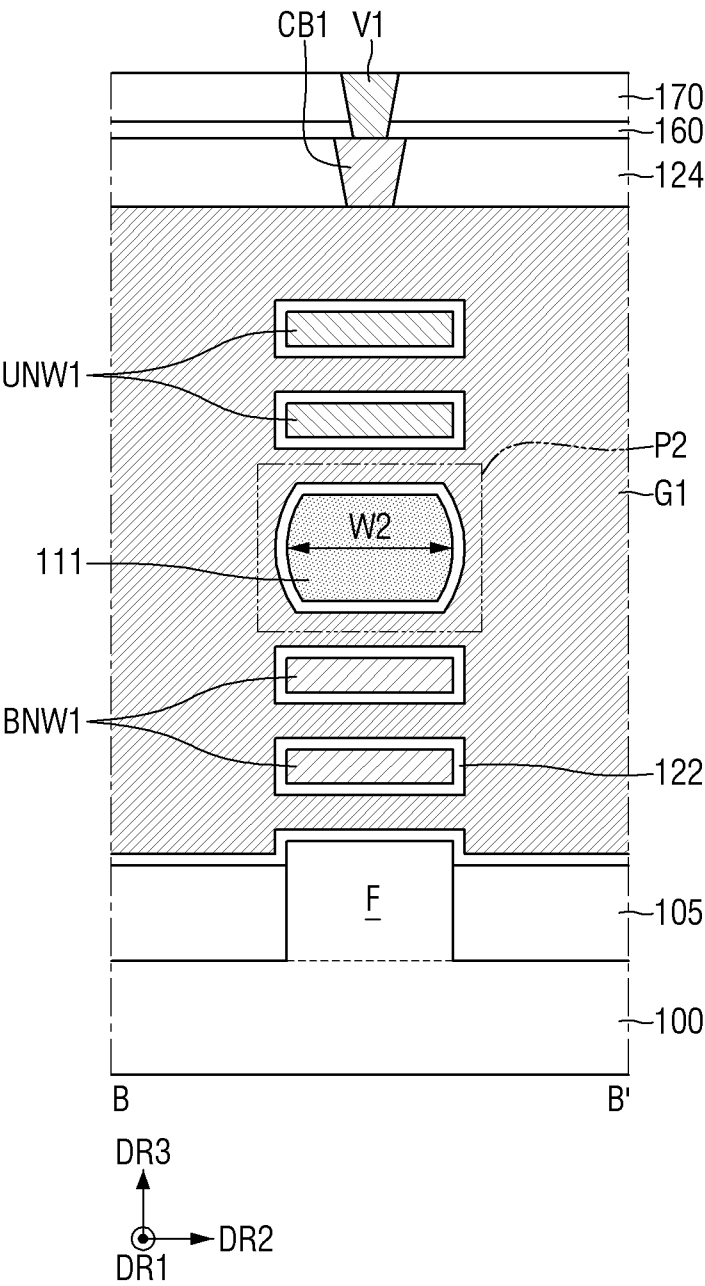
【圖7】



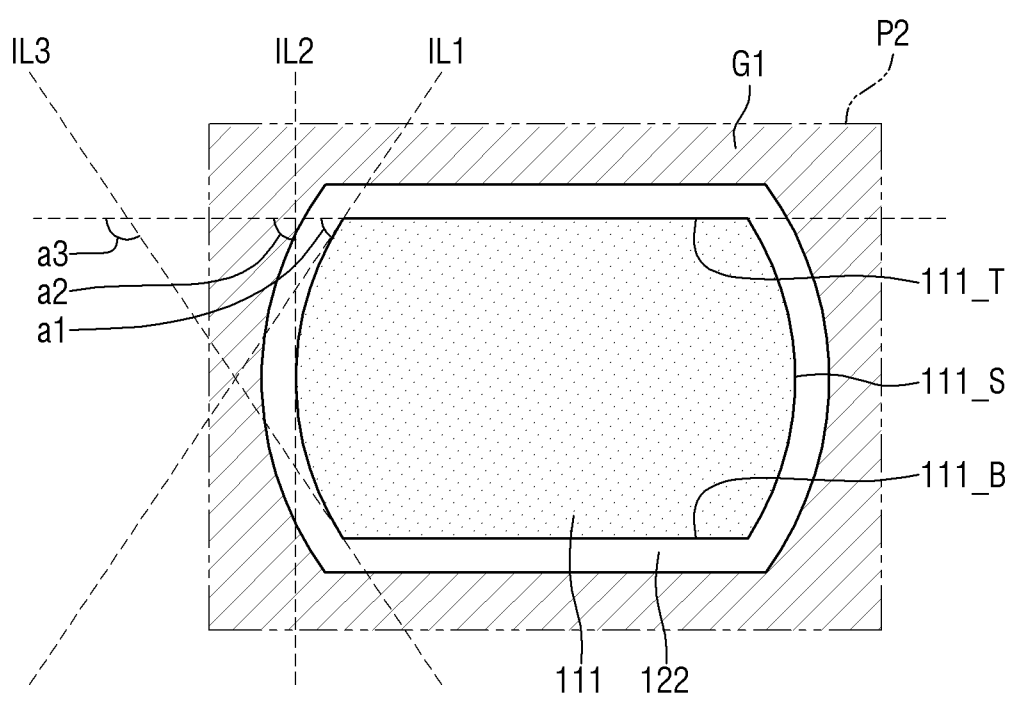
【圖8】



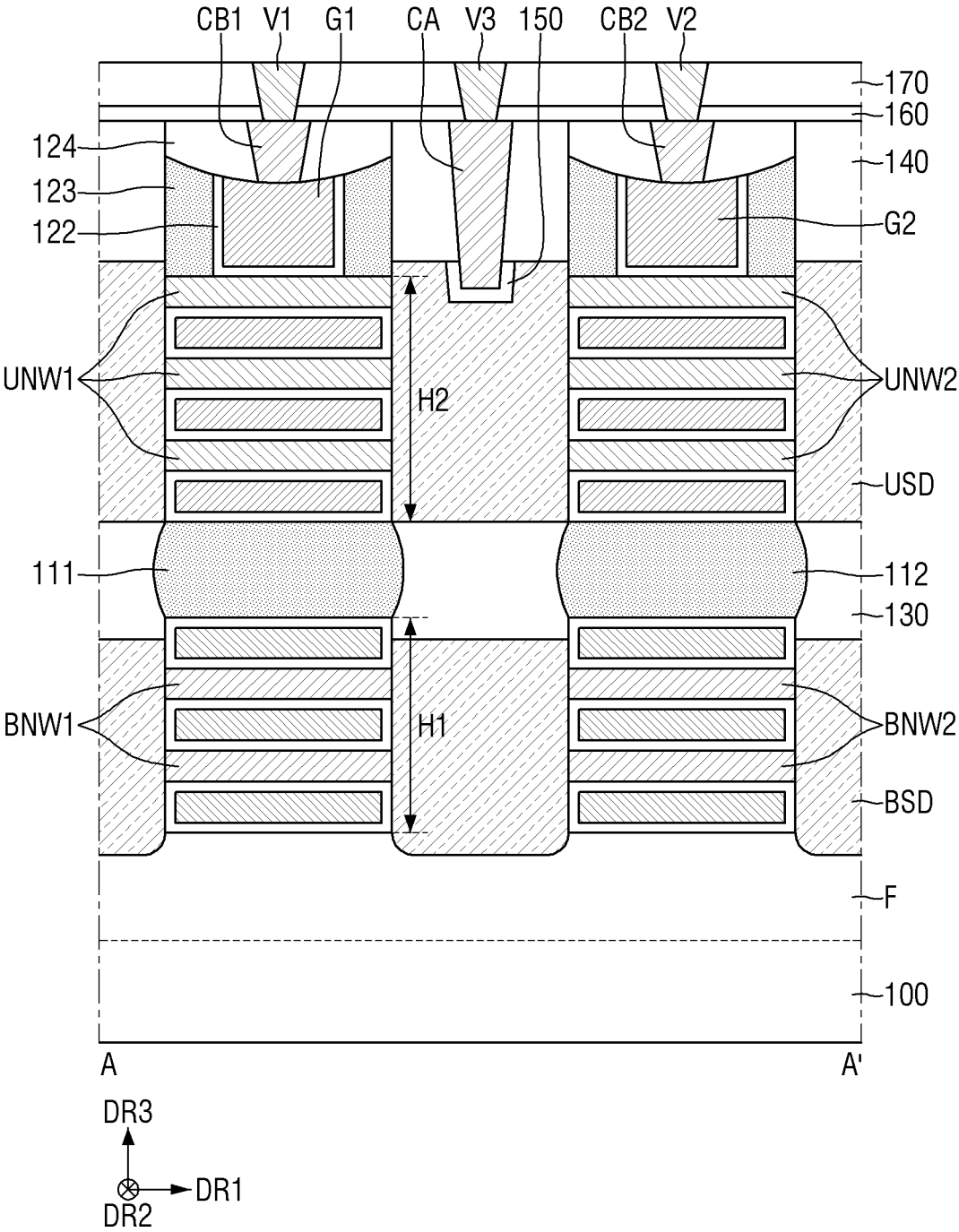
【圖9】



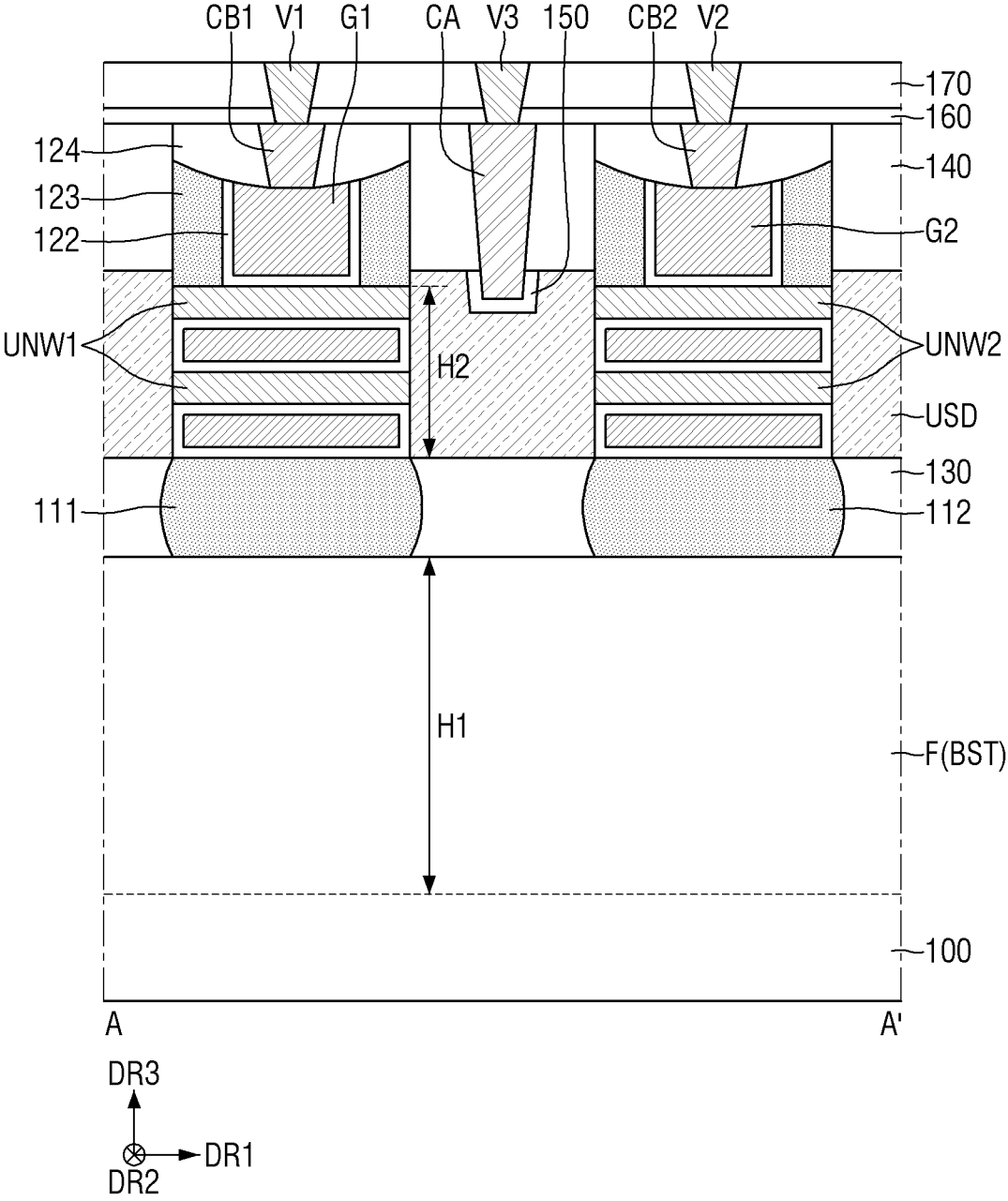
【圖10】



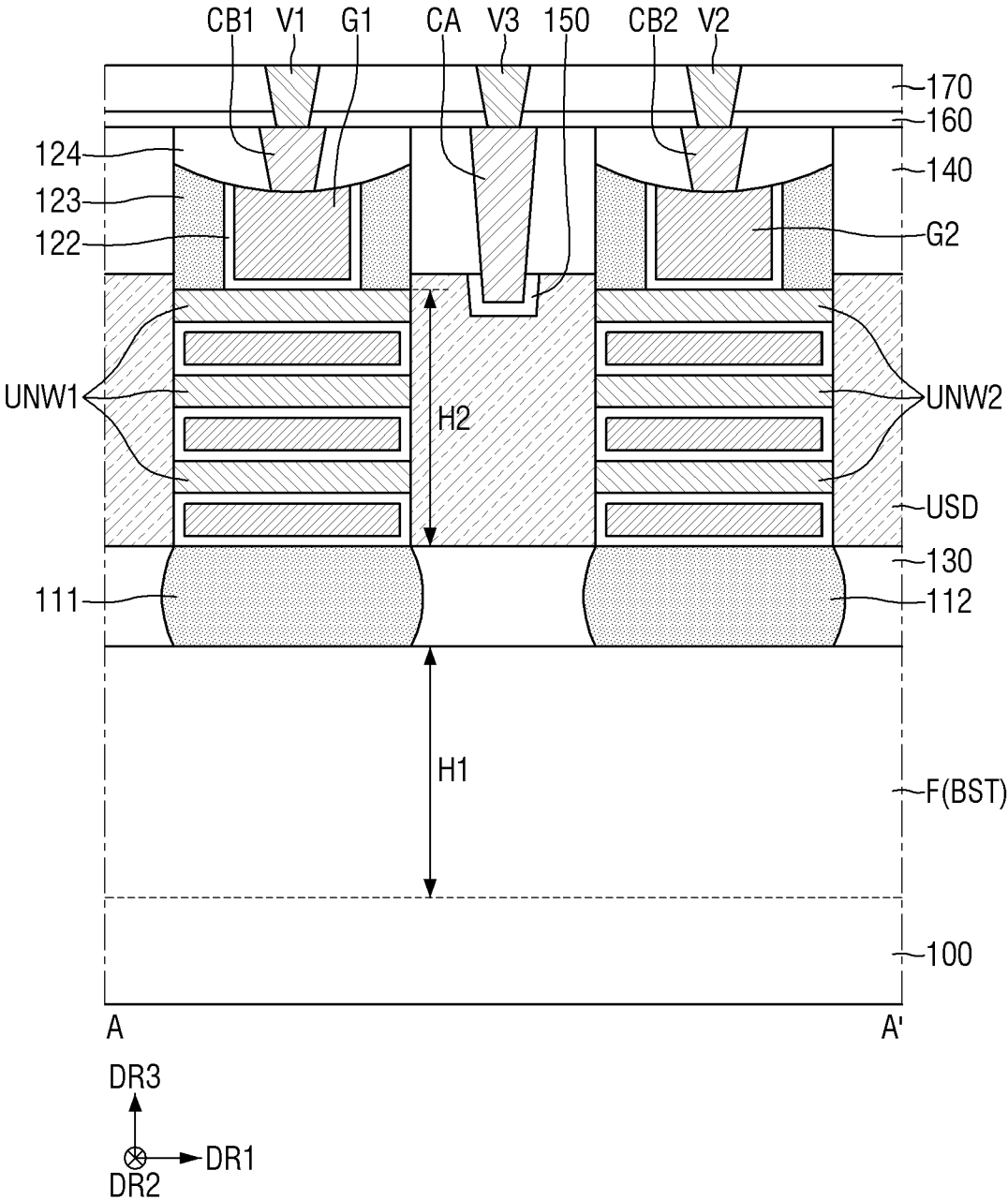
【圖11】



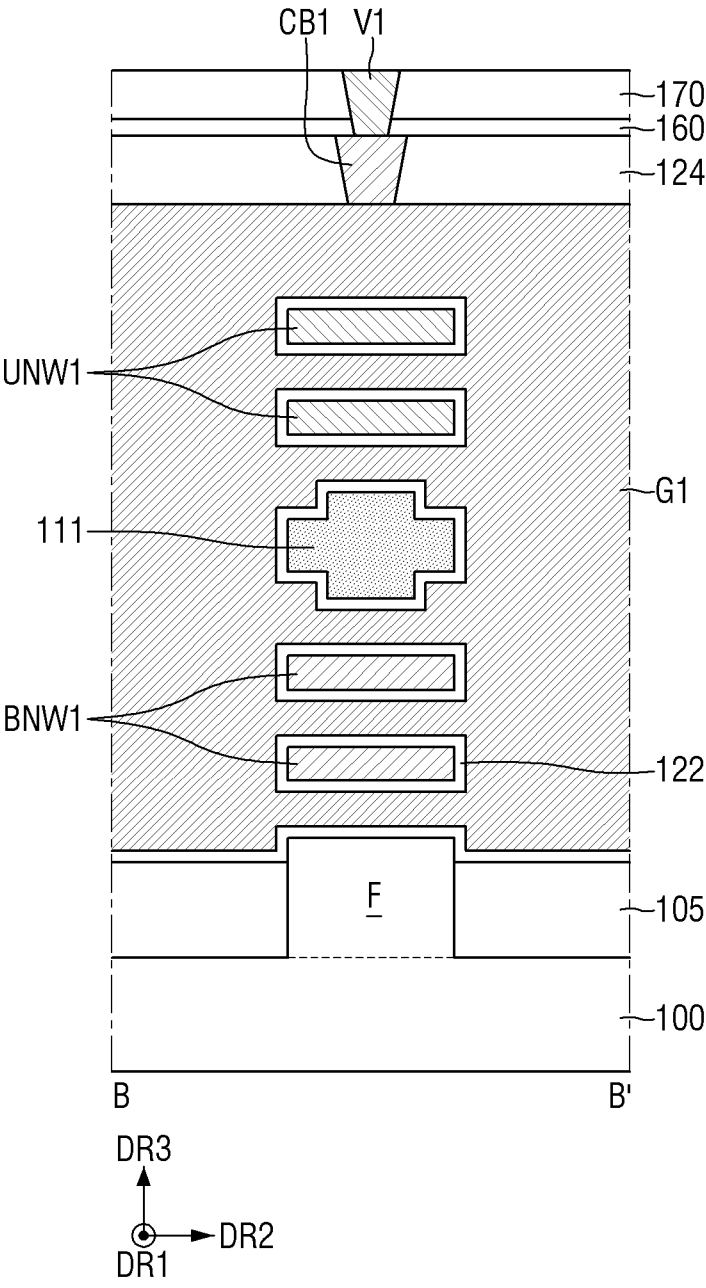
【圖12】



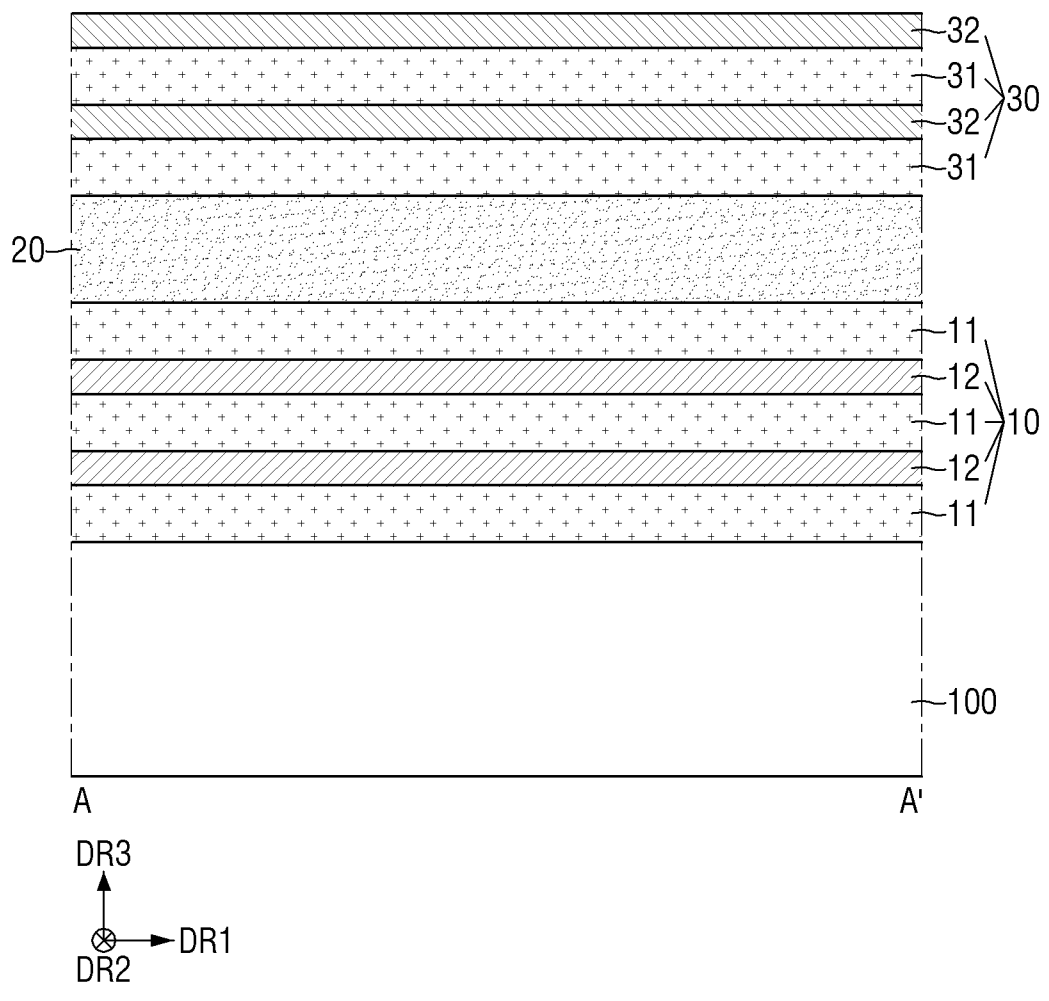
【圖13】



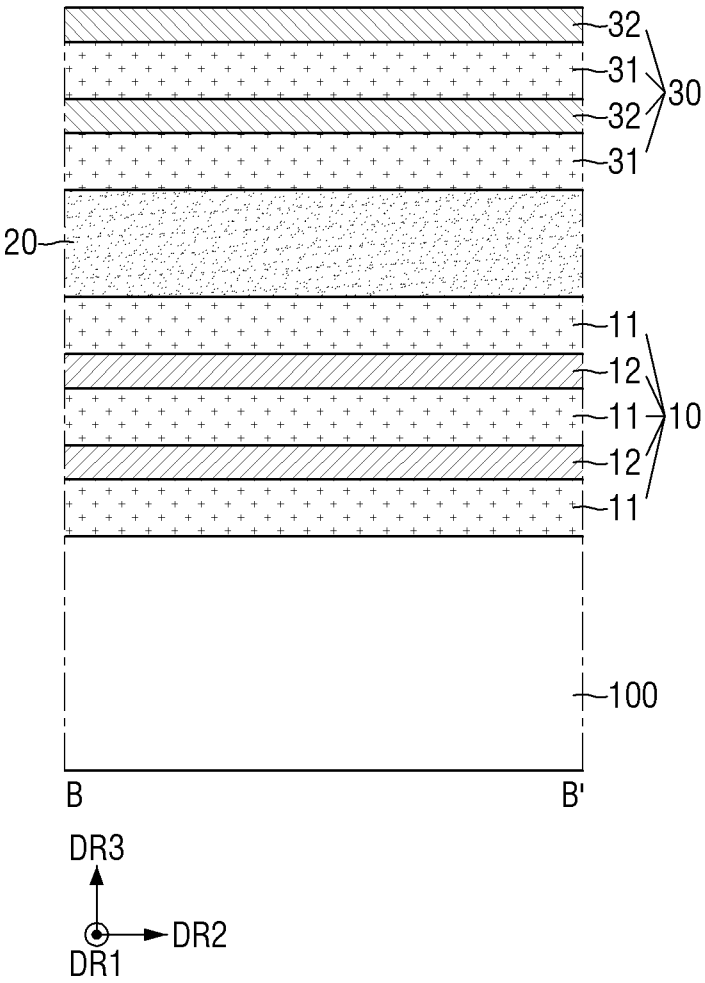
【圖14】



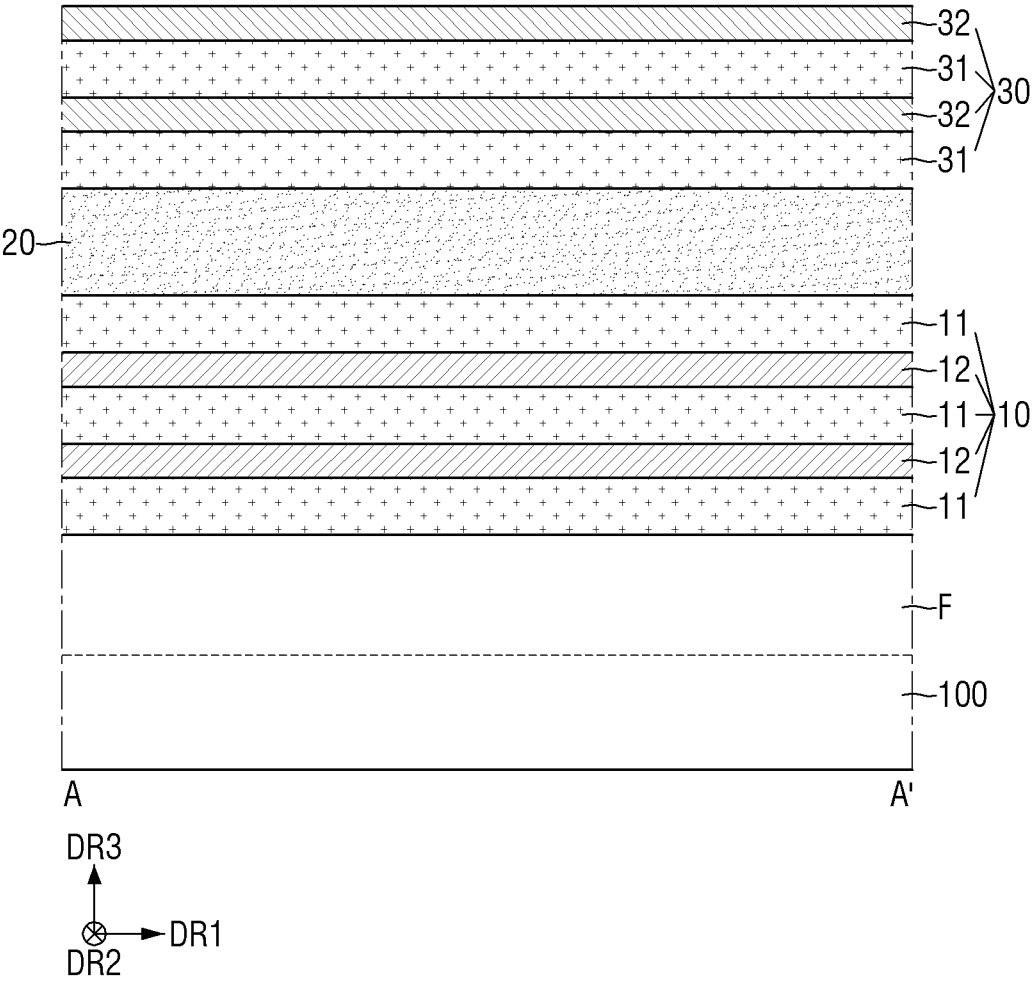
【圖15】



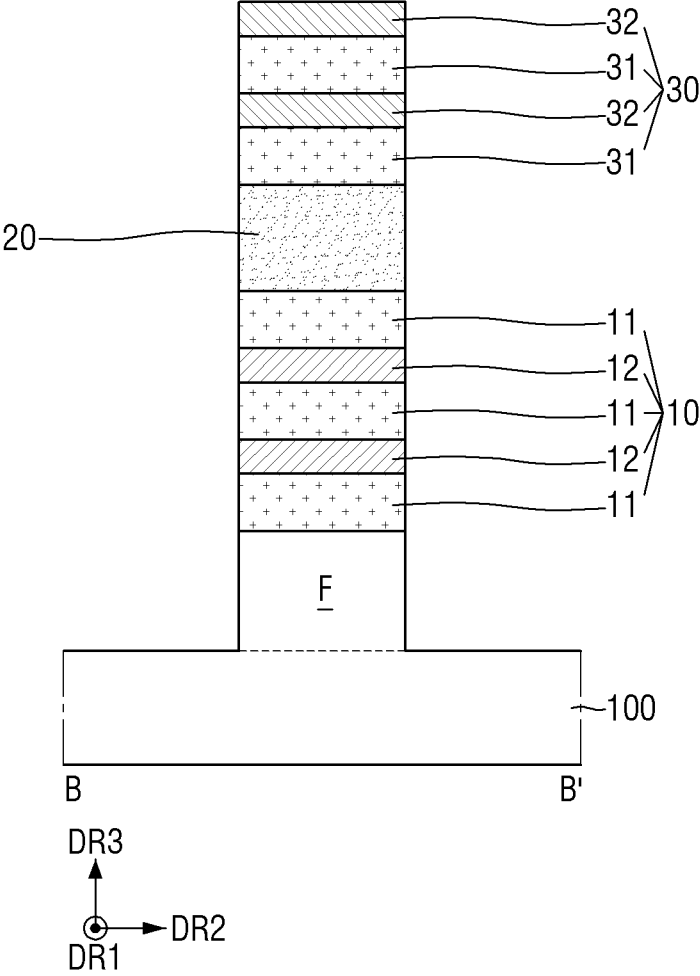
【圖16】



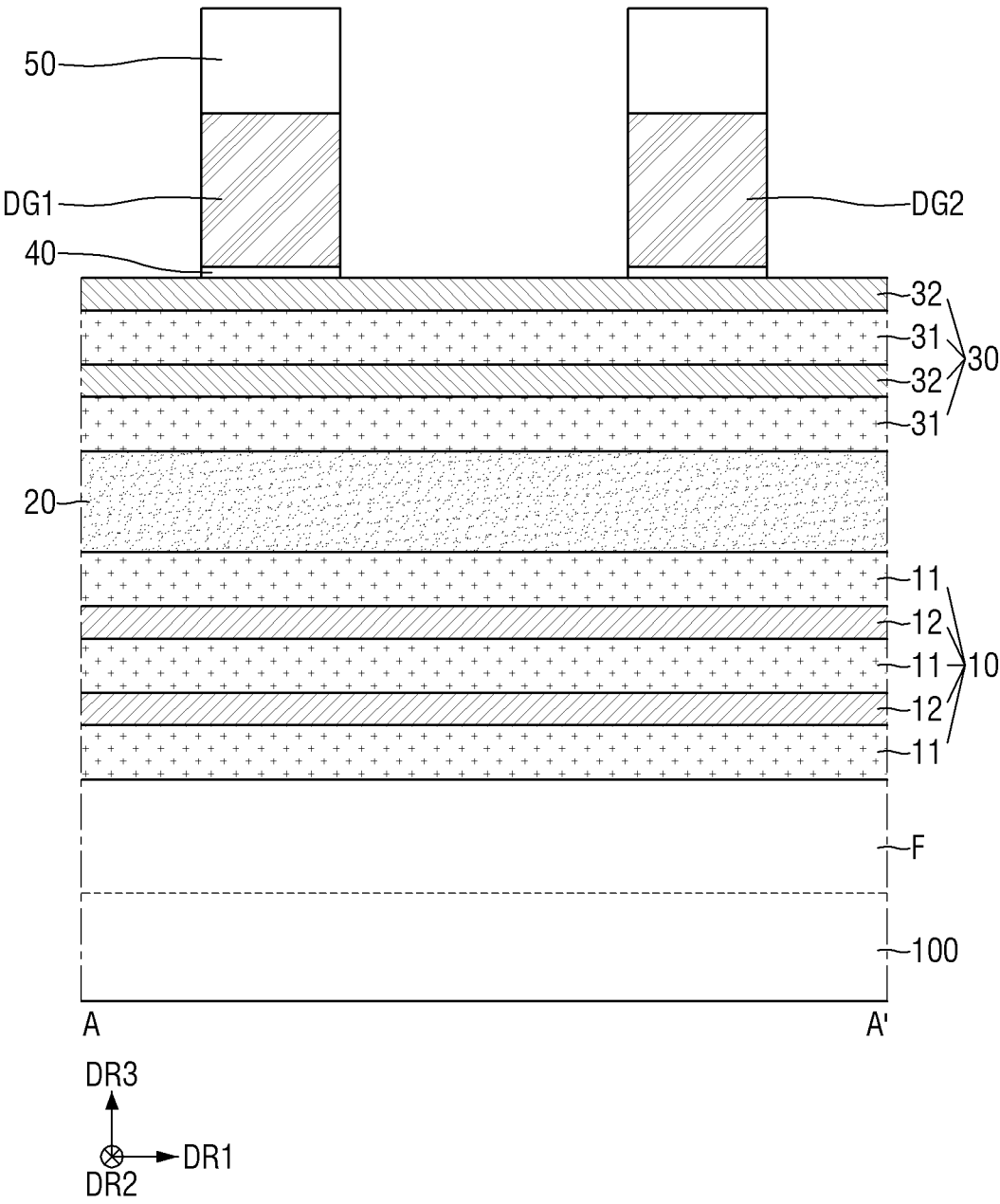
【圖17】



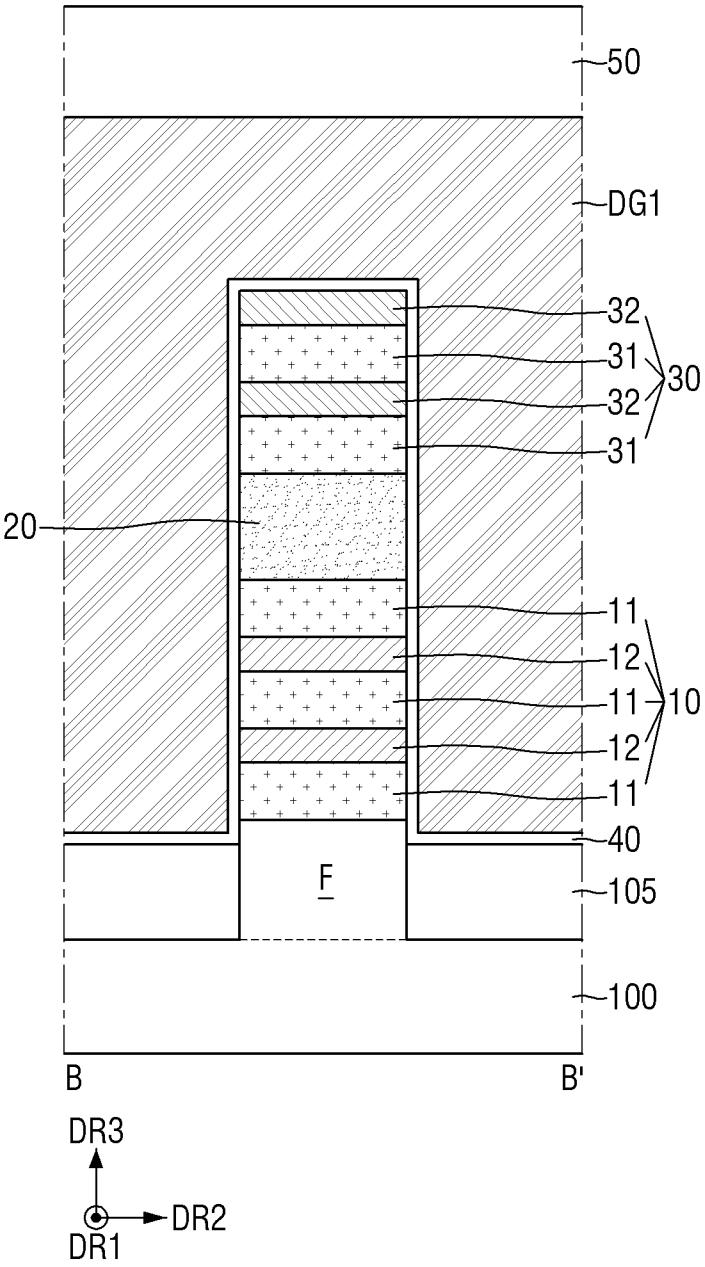
【圖18】



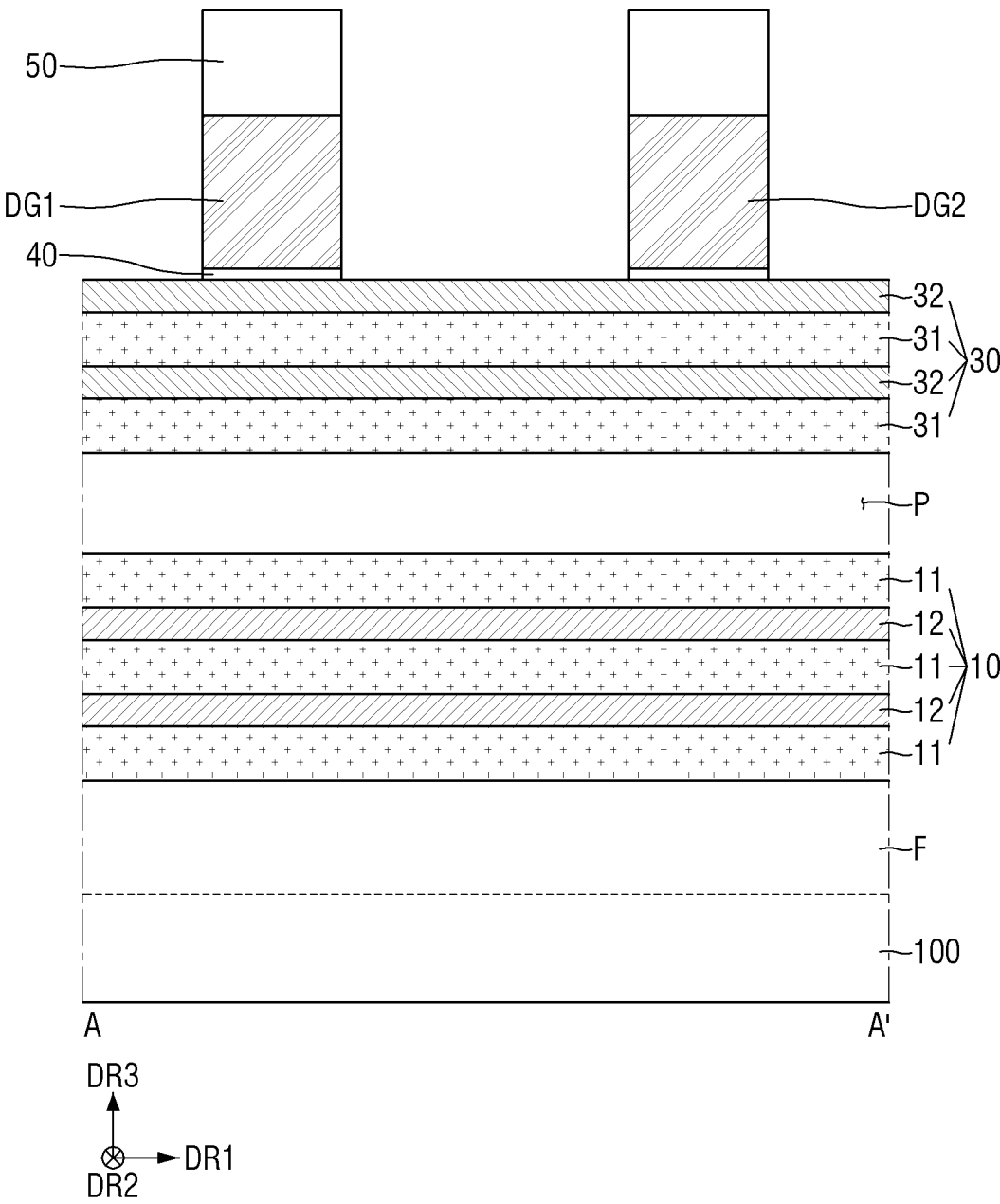
【圖19】



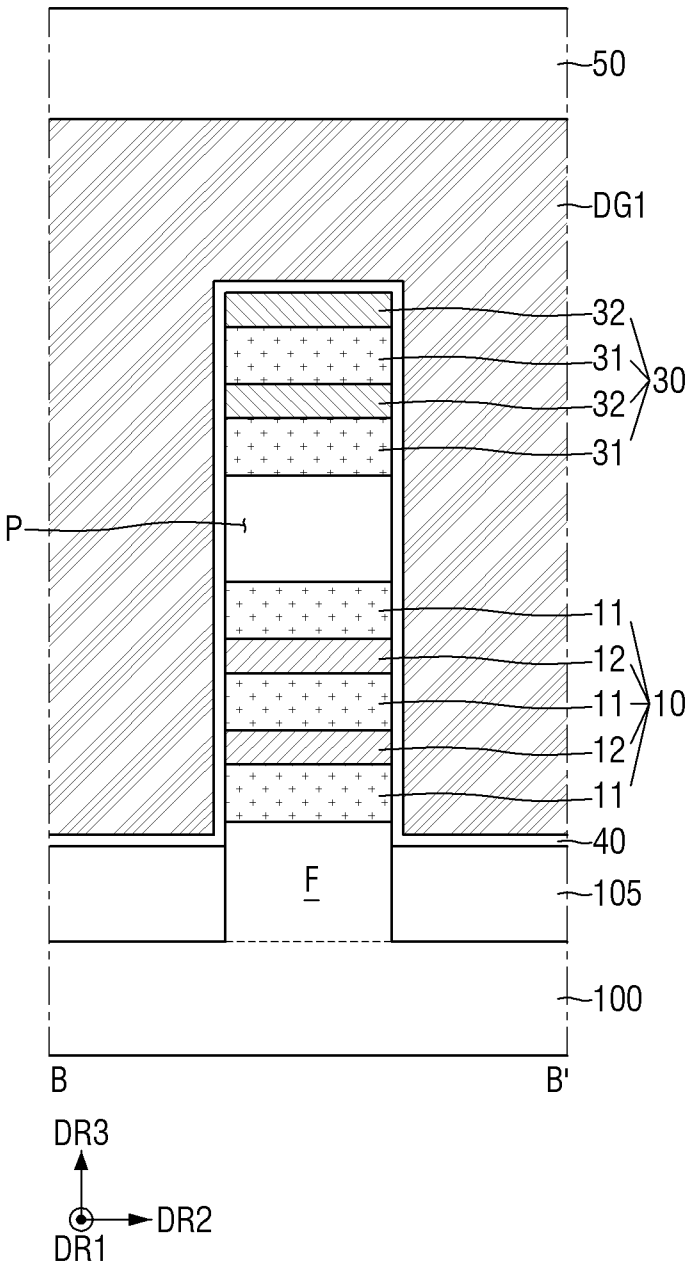
【圖20】



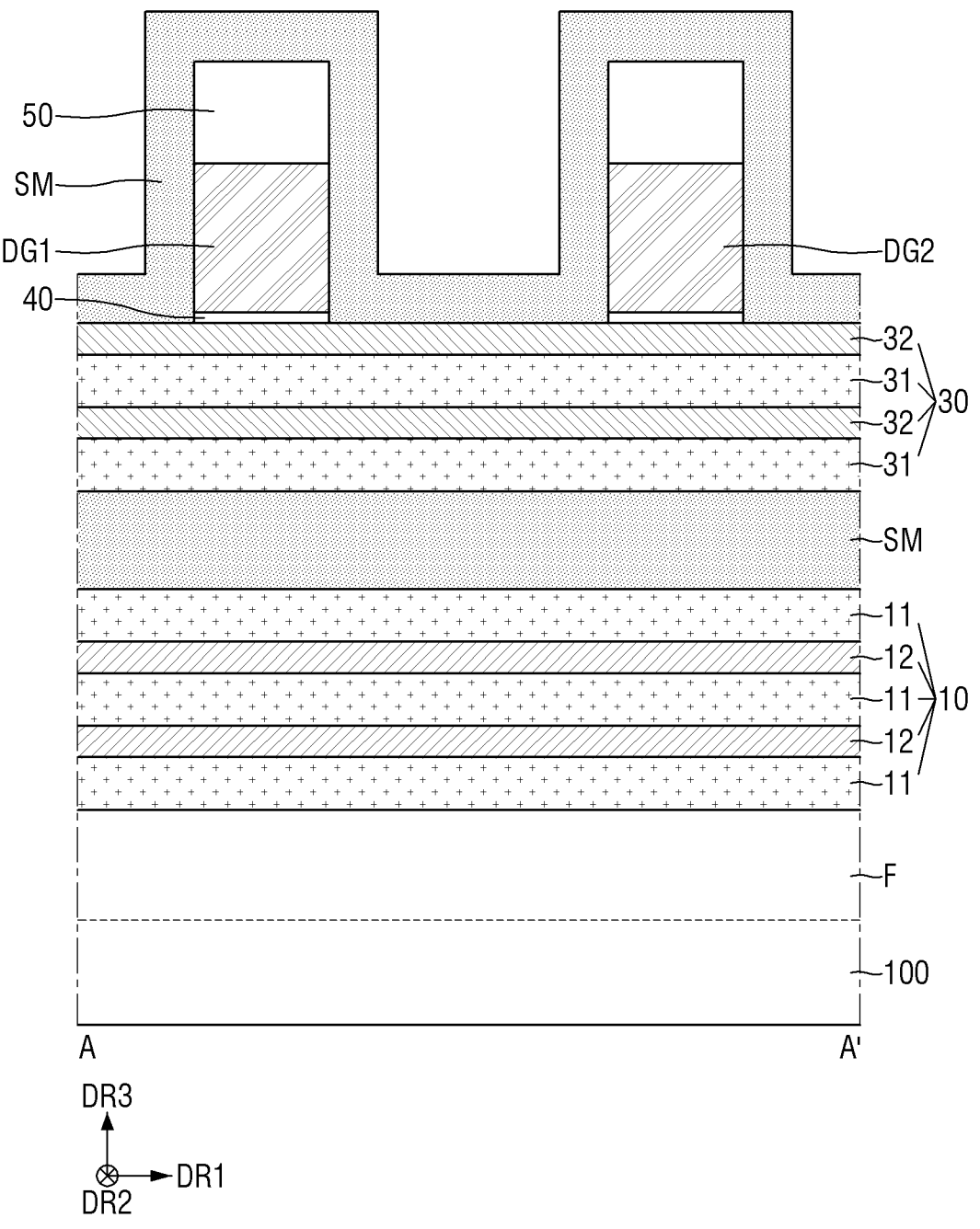
【圖21】



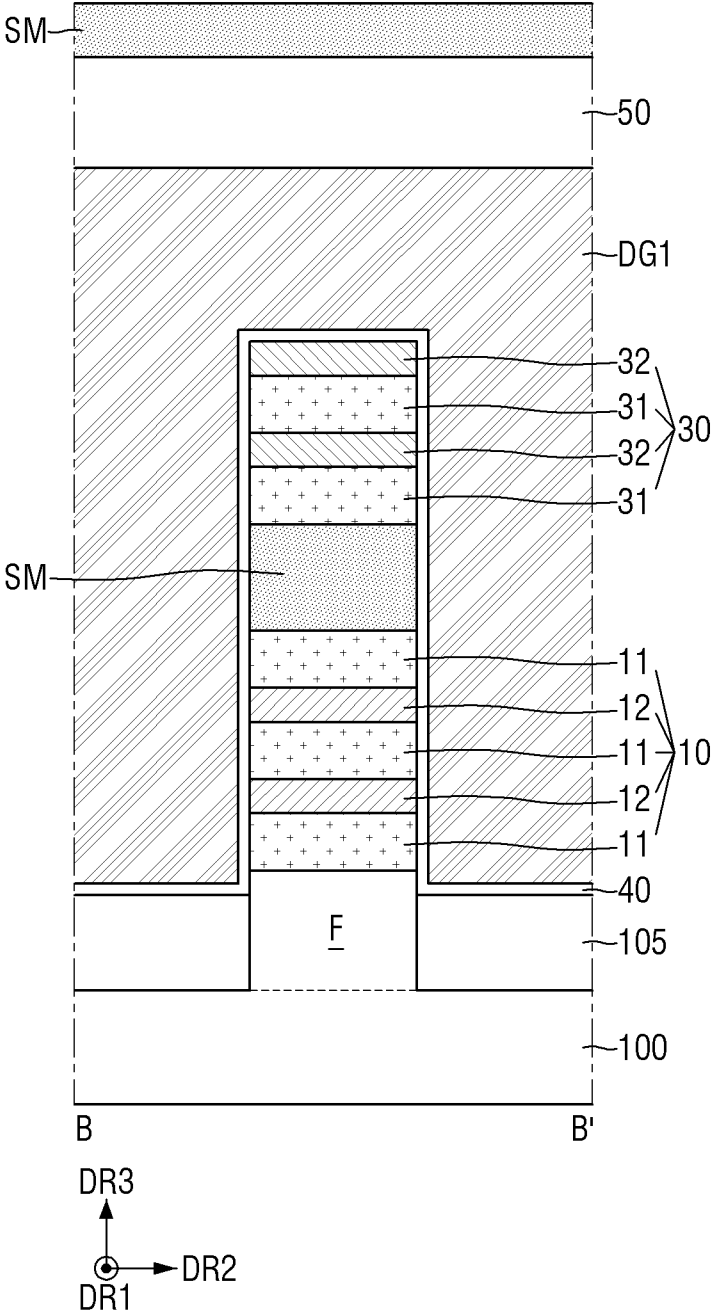
【圖22】



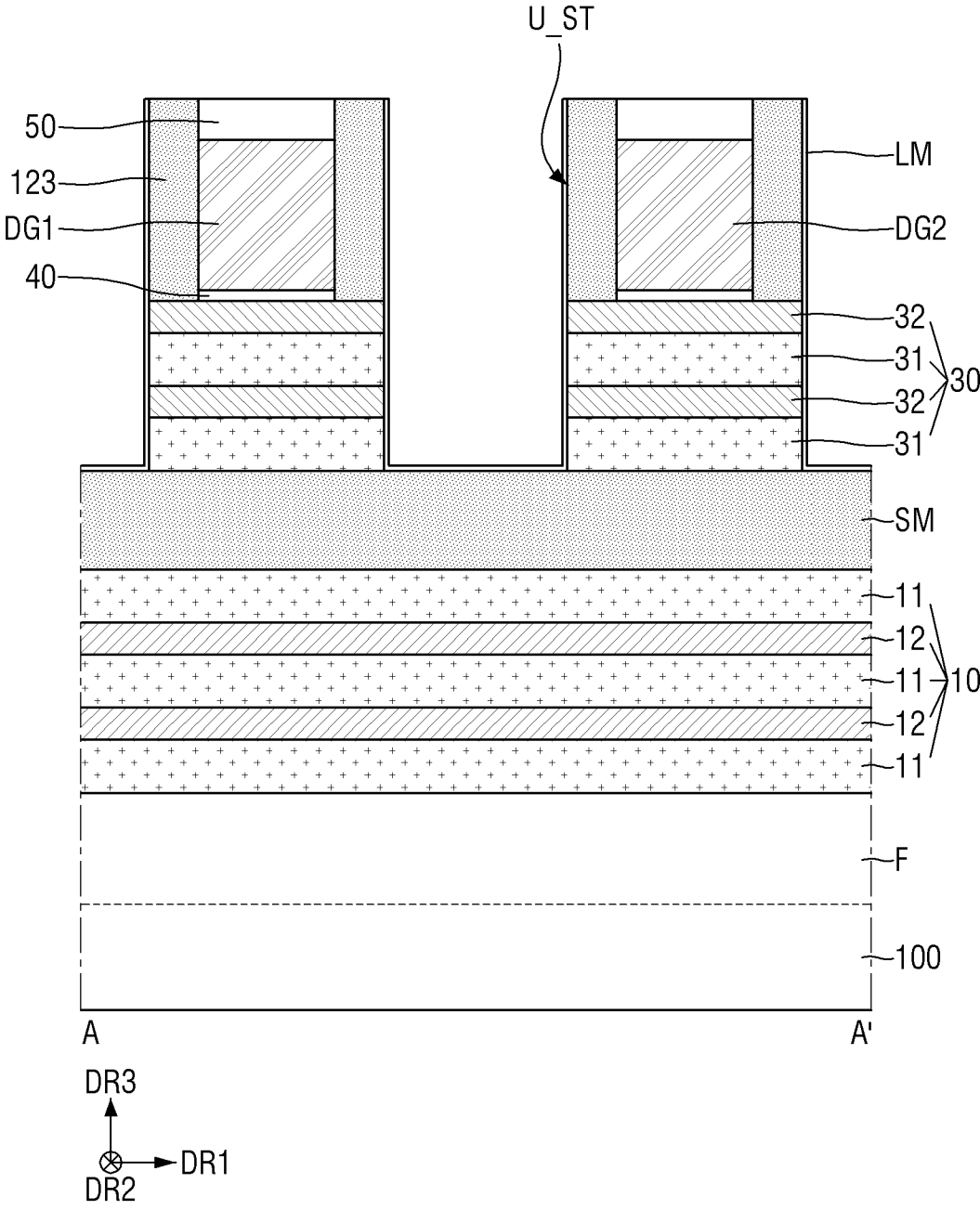
【圖23】



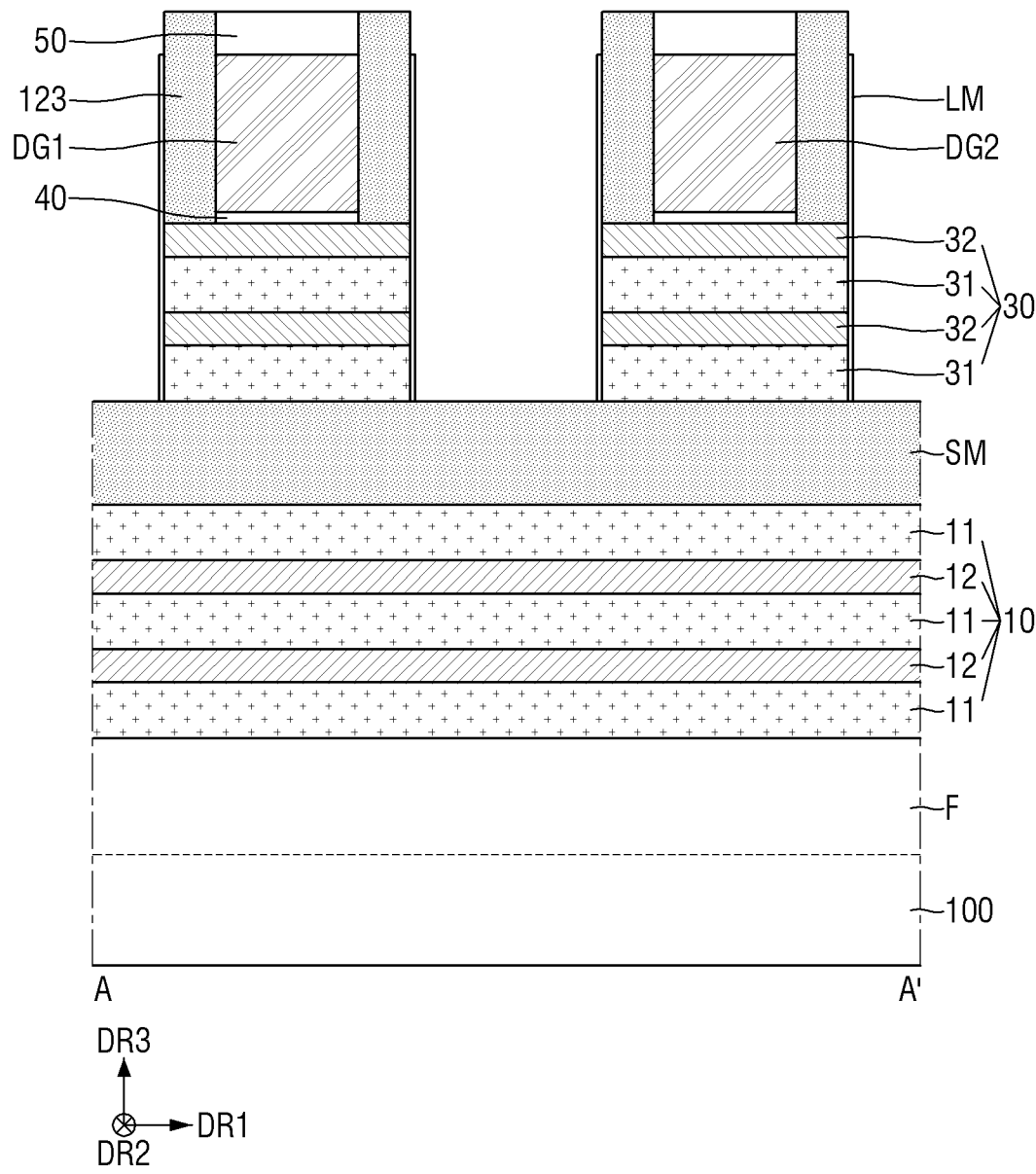
【圖24】



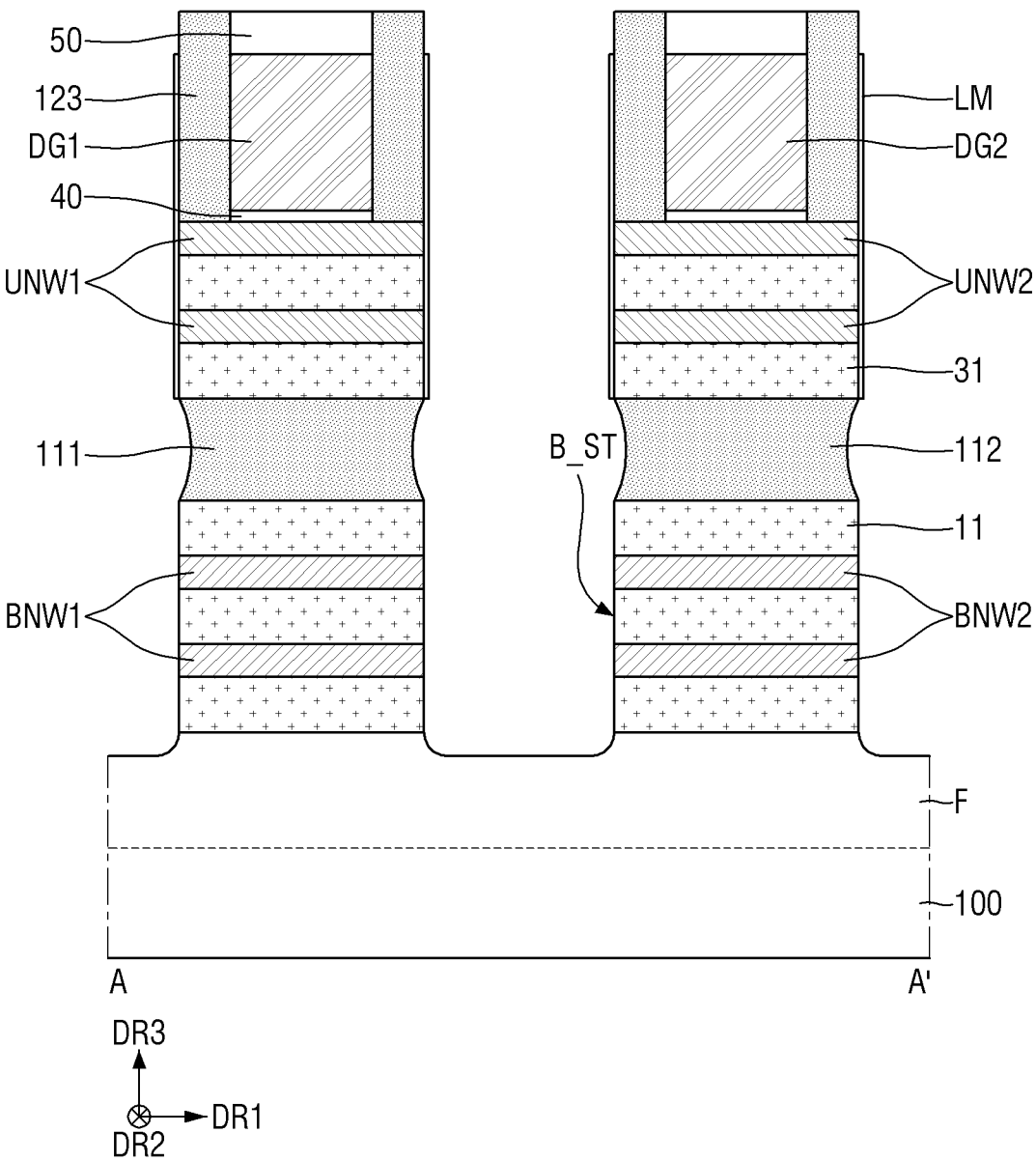
【圖25】



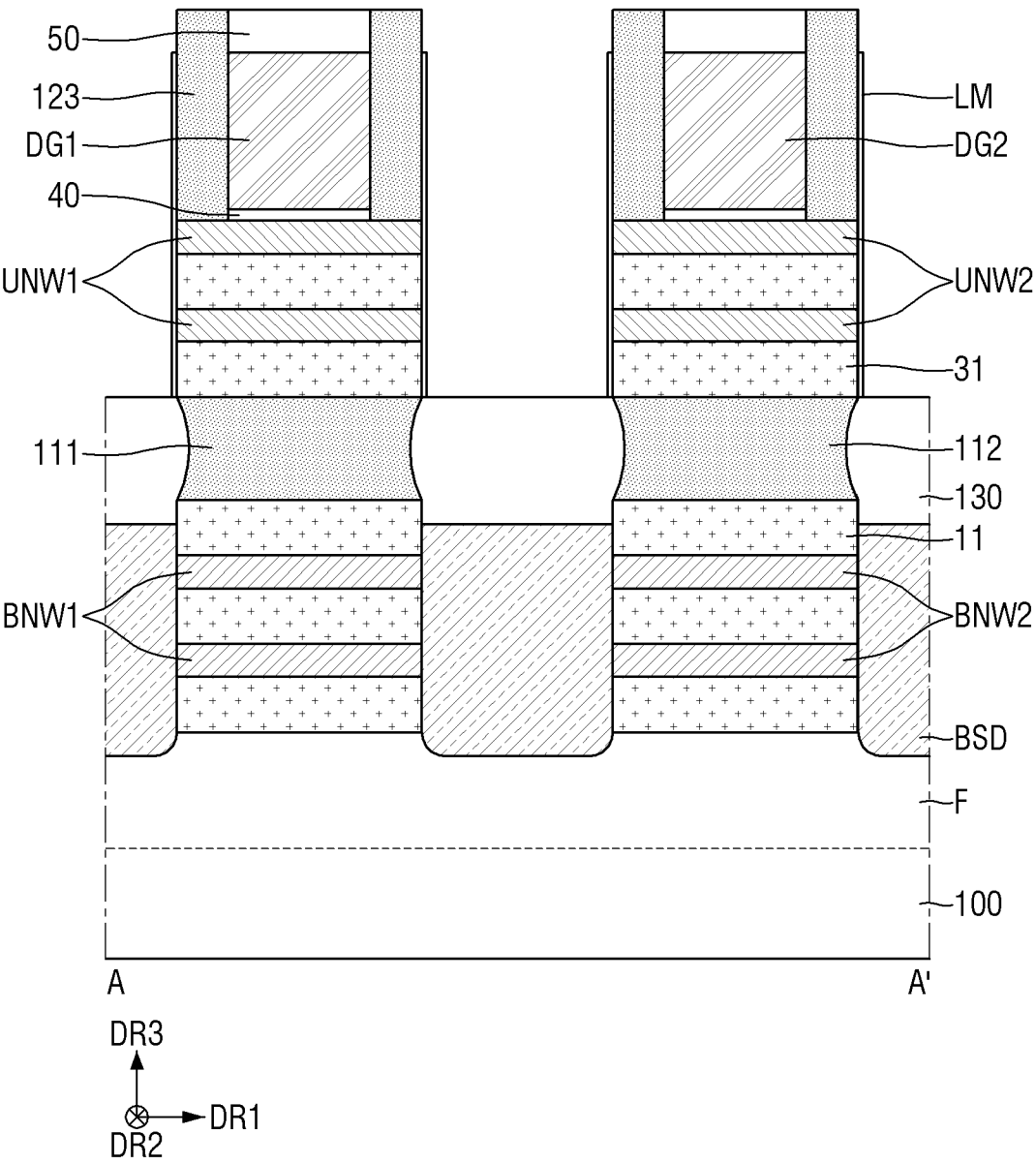
【圖26】



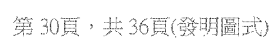
【圖27】

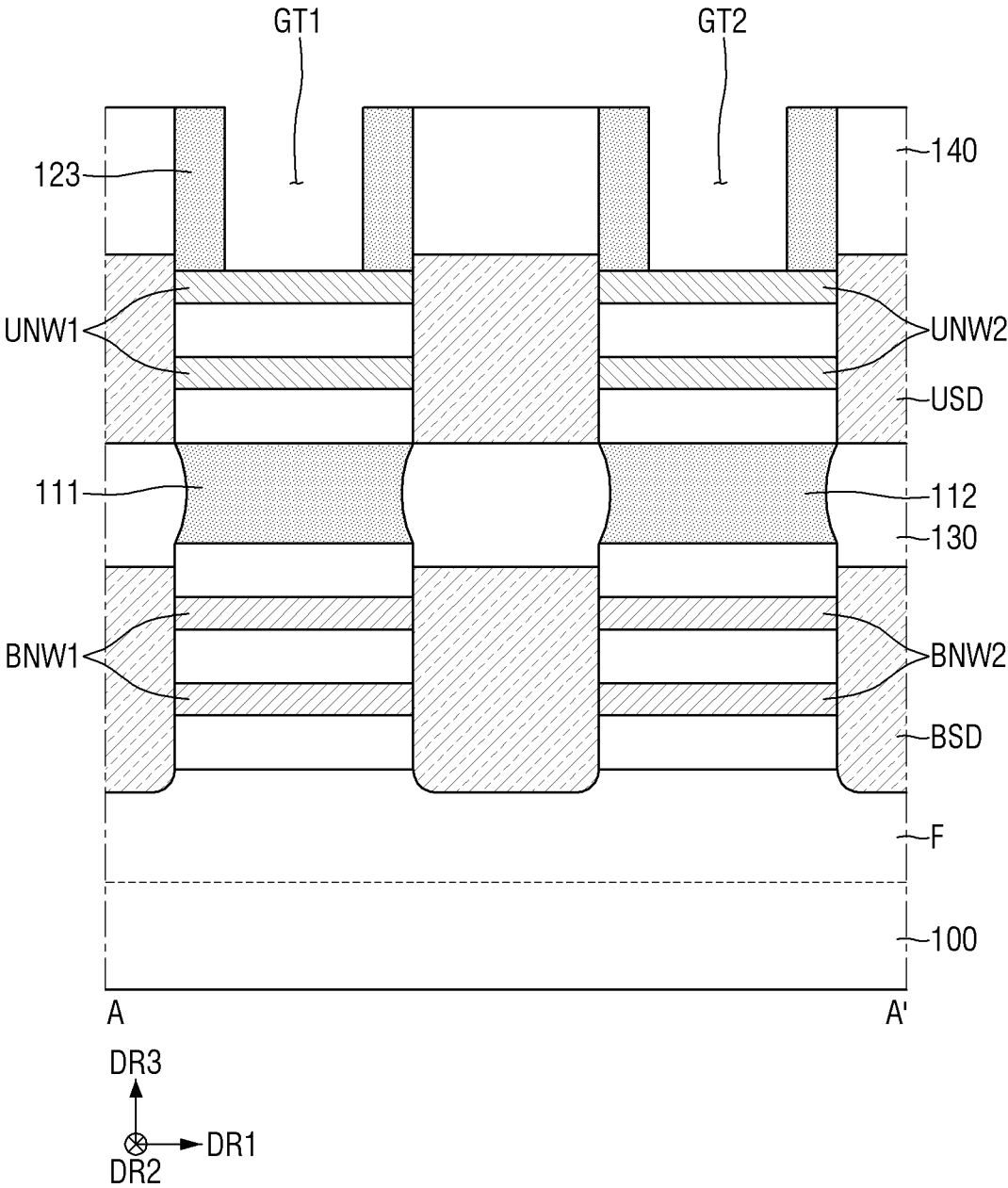


【圖28】

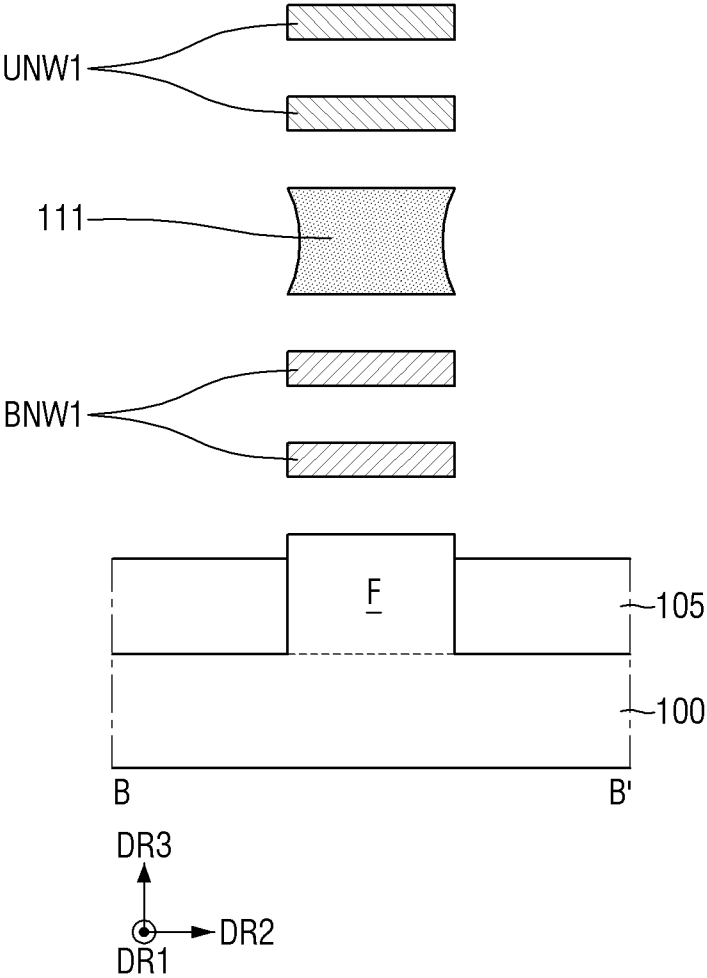


【圖29】

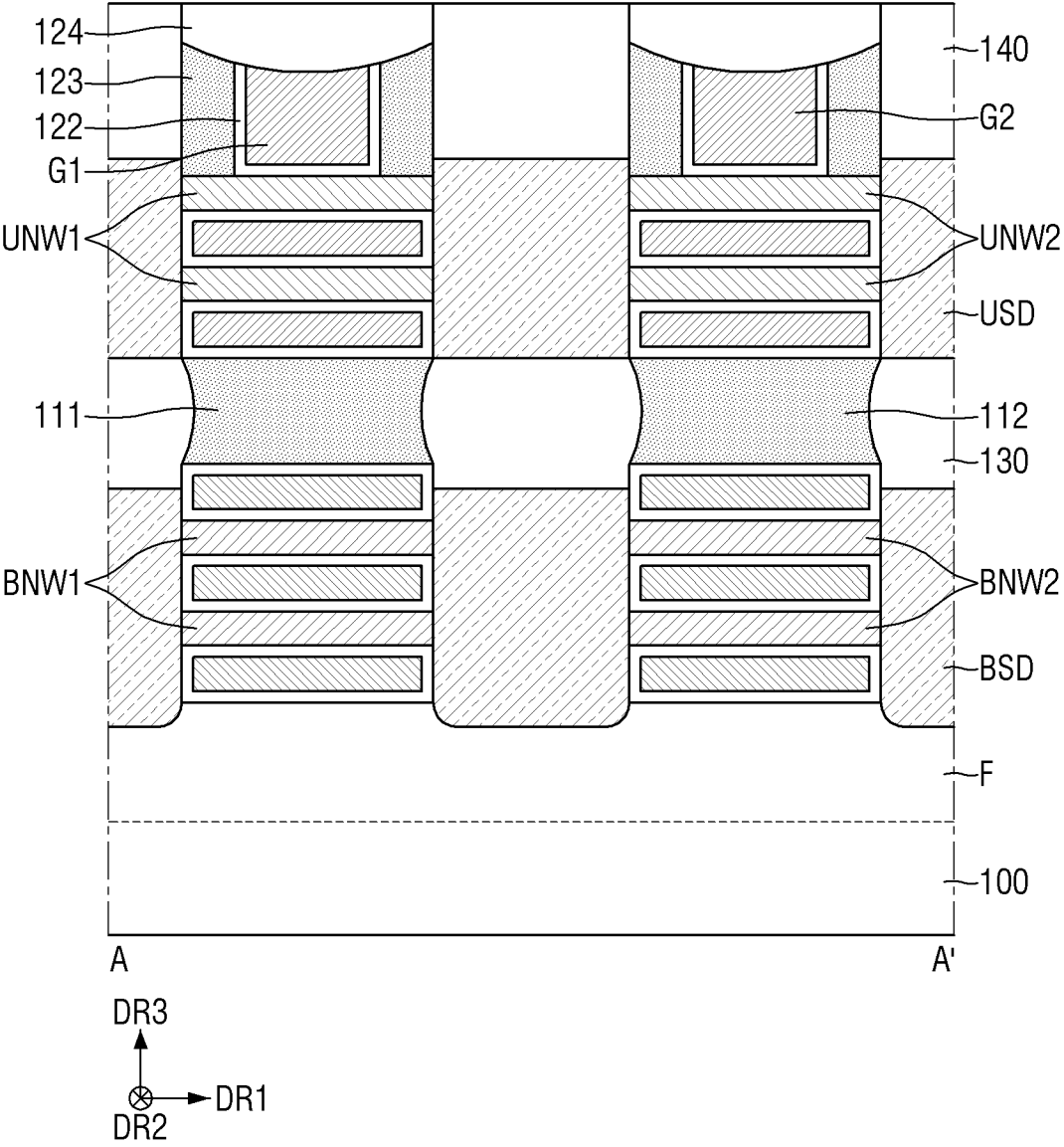




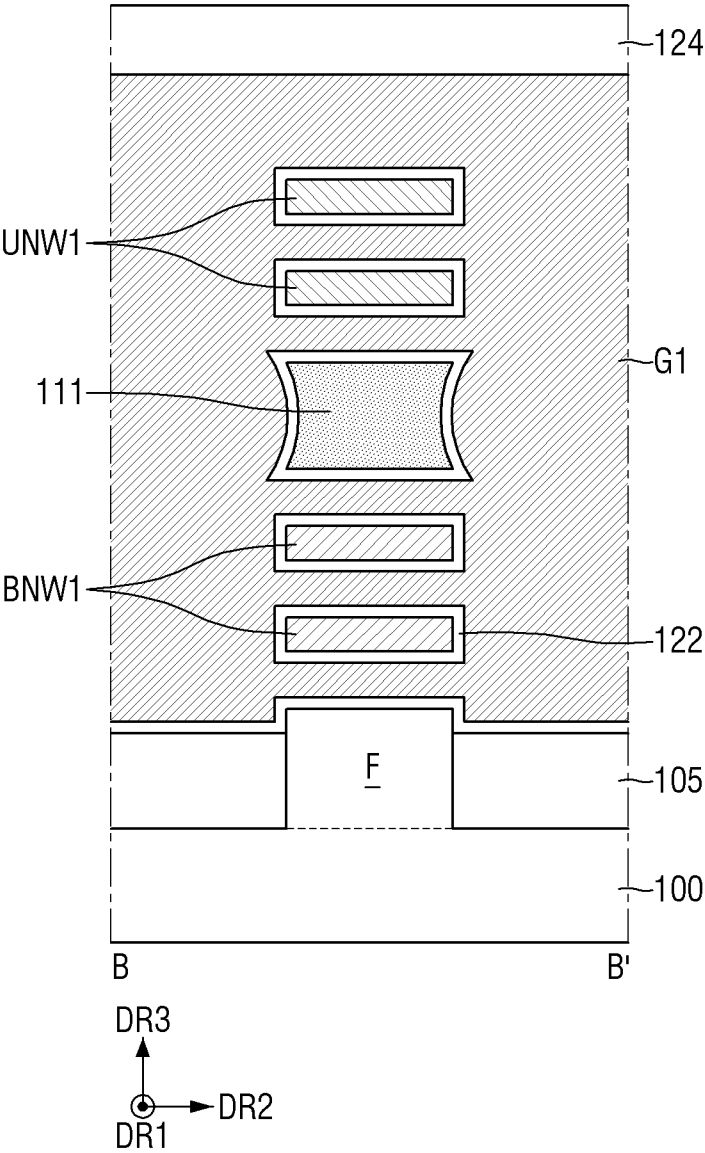
【圖31】



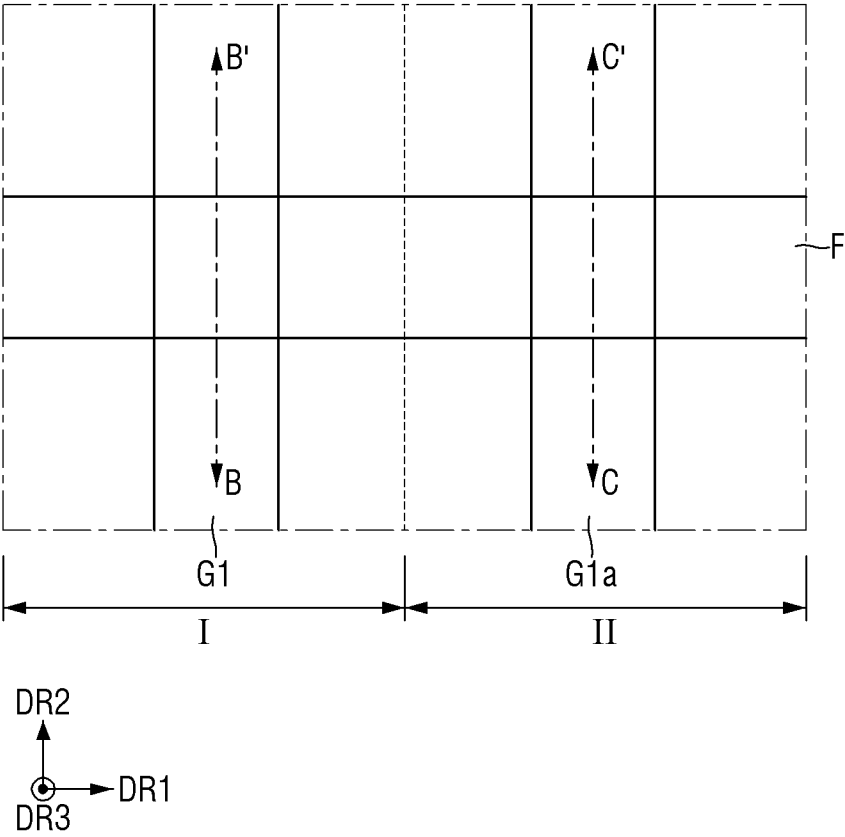
【圖32】



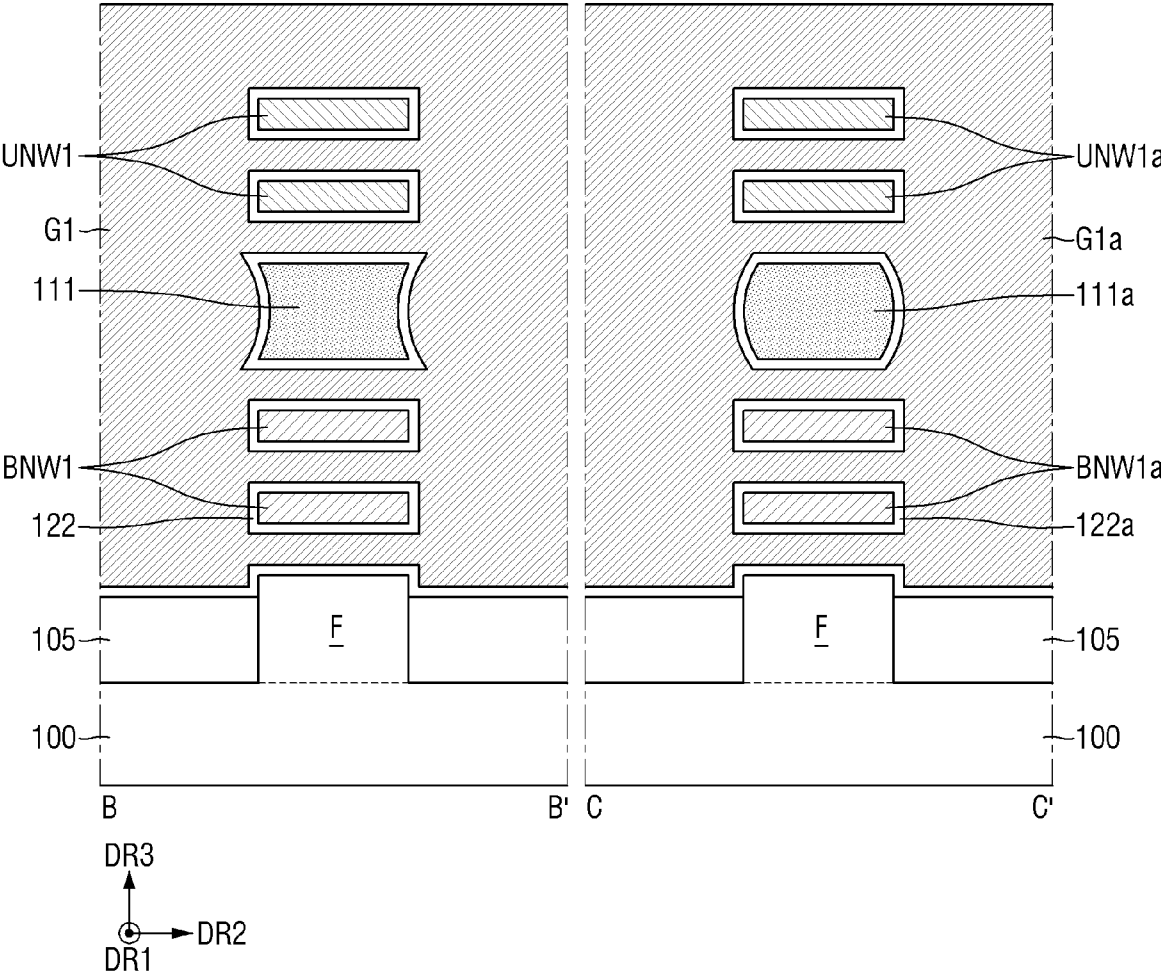
【圖33】



【圖34】



【圖35】



【圖36】