

(12) 发明专利申请

(10) 申请公布号 CN 102044291 A

(43) 申请公布日 2011. 05. 04

(21) 申请号 201010178501. 0

(22) 申请日 2010. 05. 13

(30) 优先权数据

10-2009-0101950 2009. 10. 26 KR

(71) 申请人 海力士半导体有限公司

地址 韩国京畿道利川市

(72) 发明人 崔勋 罗光振

(74) 专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 杨林森 康建峰

(51) Int. Cl.

G11C 11/4193(2006. 01)

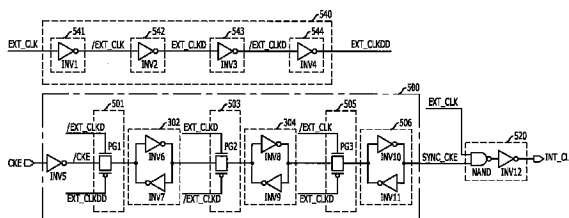
权利要求书 3 页 说明书 8 页 附图 4 页

(54) 发明名称

半导体器件及其操作方法

(57) 摘要

本申请公开了一种半导体器件及其操作方法。所述半导体器件包括：时钟延迟部分，其被配置成接收外部时钟信号，在所述外部时钟信号上反映不同延迟量，并产生多个同步时钟信号；时钟同步部分，被配置成以其上反映最大延迟量的同步时钟信号开始、到其上反映最小延迟量的同步时钟信号为止的顺序，将时钟使能信号与所述多个同步时钟信号中的每个同步，并产生经同步的时钟使能信号；以及内部时钟产生部分，被配置成产生对应于外部时钟信号的内部时钟信号，并响应于所述经同步的时钟使能信号而在其操作中受到通/断控制。



1. 一种半导体器件,包括:

时钟延迟部分,被配置成接收外部时钟信号,在所述外部时钟信号上反映不同延迟量,并产生多个同步时钟信号;

时钟同步部分,被配置成以其上反映最大延迟量的同步时钟信号开始、到其上反映最小延迟量的同步时钟信号为止的顺序,将时钟使能信号与所述多个同步时钟信号中的每个同步,并产生经同步的时钟使能信号;以及

内部时钟产生部分,被配置成产生对应于外部时钟信号的内部时钟信号,并响应于所述经同步的时钟使能信号而在其操作中受到通/断控制。

2. 根据权利要求1的半导体器件,其中,所述时钟延迟部分包括:

第一延迟单元,被配置成接收所述外部时钟信号,将所述外部时钟信号延迟第一预定延迟量,并产生在所述多个同步时钟信号中包括的第一同步时钟信号;

第二延迟单元,被配置成接收所述第一同步时钟信号,将所述第一同步时钟信号延迟第二预定延迟量,并产生在所述多个同步时钟信号中包括的第二同步时钟信号;以及

第三延迟单元,被配置成接收所述第二同步时钟信号,将所述第二同步时钟信号延迟第三预定延迟量,并产生在所述多个同步时钟信号中包括的第三同步时钟信号。

3. 根据权利要求2的半导体器件,其中,所述第一延迟量、所述第二延迟量和所述第三延迟量是相同的延迟量。

4. 根据权利要求2的半导体器件,其中,所述第一延迟量、所述第二延迟量和所述第三延迟量是不同的延迟量。

5. 根据权利要求2的半导体器件,其中,所述时钟同步部分包括:

第一同步单元,被配置成接收所述时钟使能信号,并将所述时钟使能信号与所述第三同步时钟信号同步;

第二同步单元,被配置成接收所述第一同步单元的输出信号,并将所述第一同步单元的输出信号与所述第二同步时钟信号同步;以及

第三同步单元,被配置成接收所述第二同步单元的输出信号,并将所述第二同步单元的输出信号与所述第一同步时钟信号同步。

6. 根据权利要求1的半导体器件,其中,所述内部时钟产生部分被配置成在所述同步的时钟使能信号的激活时段中对应于所述外部时钟信号的跳变而使所述内部时钟信号跳变,并在所述经同步的时钟使能信号的失活时段中不管所述外部时钟信号的跳变如何而将所述内部时钟信号锁定到预定逻辑电平。

7. 根据权利要求1的半导体器件,其中,所述时钟延迟部分包括:

第一反相器,被配置成接收所述外部时钟信号,将所述外部时钟信号的相位反转,并产生第一时钟信号,所述第一时钟信号与所述外部时钟信号相比较被延迟预定延迟量,并包括在所述多个同步时钟信号中;

第二反相器,被配置成接收所述第一时钟信号,将所述第一时钟信号的相位反转,并产生第二时钟信号,所述第二时钟信号与所述第一时钟信号相比较被延迟预定延迟量,并包括在所述多个同步时钟信号中;

第三反相器,被配置成接收所述第二时钟信号,将所述第二时钟信号的相位反转,并产生第三时钟信号,所述第三时钟信号与所述第二时钟信号相比较被延迟预定延迟量,并包

括在所述多个同步时钟信号中；以及

第四反相器，被配置成接收所述第三时钟信号，将所述第三时钟信号的相位反转，并产生第四时钟信号，所述第四时钟信号与所述第三时钟信号相比较被延迟预定延迟量，并包括在所述多个同步时钟信号中。

8. 根据权利要求 7 的半导体器件，其中，所述时钟同步部分包括：

第一通门，被配置成响应于通过正输入端输入的所述第三时钟信号和通过负输入端输入的所述第四时钟信号而控制通过信号输入端施加的所述时钟使能信号向信号输出端的发送；

第二通门，被配置成响应于通过正输入端输入的所述第二时钟信号和通过负输入端输入的所述第三时钟信号而控制通过信号输入端施加的所述第一通门的输出信号向信号输出端的发送；以及

第三通门，被配置成响应于通过正输入端输入的所述第一时钟信号和通过负输入端输入的所述第二时钟信号而控制通过信号输入端施加的所述第二通门的输出信号向信号输出端的发送。

9. 根据权利要求 8 的半导体器件，其中，所述时钟同步部分还包括：

第一、第二和第三锁存器，分别连接到所述第一、第二和第三通门的信号输出端，并被配置成防止在所述信号输出端的输出信号浮动。

10. 根据权利要求 9 的半导体器件，其中，所述内部时钟产生部分被配置成在被加载到所述第三通门的信号输出端的所述经同步的时钟使能信号与所述外部时钟信号之间执行与非操作，并产生所述内部时钟信号。

11. 一种用于操作半导体器件的方法，包括：

产生第一同步时钟信号，所述第一同步时钟信号在与外部时钟信号的跳变相比较延迟了第一时段时刻跳变；

产生第二同步时钟信号，所述第二同步时钟信号在与外部时钟信号的跳变相比较延迟了比所述第一时段更大的第二时段时刻跳变；

通过将时钟使能信号与所述第二同步时钟信号同步而产生第一经同步的时钟使能信号；

通过将第一经同步的时钟使能信号与所述第一同步时钟信号同步而产生第二经同步的时钟使能信号；以及

通过响应于所述第二经同步的时钟使能信号而执行通 / 断控制操作，来产生对应于所述外部时钟信号的内部时钟信号。

12. 根据权利要求 11 的方法，其中，所述通 / 断控制操作包括：

当所述第二经同步的时钟使能信号处于激活状态时，对应于所述外部时钟信号的跳变而使所述内部时钟信号跳变；以及

当所述第二经同步的时钟使能信号处于失活状态时，不管所述外部时钟信号的跳变如何而将所述内部时钟信号锁定到预定逻辑电平。

13. 一种半导体器件，包括：

时钟缓冲块，被配置成接收外部时钟信号，缓冲所述外部时钟信号，输出内部时钟信号，并响应于时钟使能信号而在其操作中受到通 / 断控制；

延迟复制模型块,被配置成在所述内部时钟信号上反映实际输出路径的延迟时间,并输出延迟复制时钟信号;以及

延迟锁定块,被配置成将所述内部时钟信号和所述延迟复制时钟信号的相位相比较,将所述内部时钟信号延迟对应于比较结果的时间,并输出经延迟锁定的时钟信号,

所述时钟缓冲块包括:

时钟延迟部分,被配置成接收所述外部时钟信号,在所述外部时钟信号上反映不同延迟量,并产生多个同步时钟信号;

时钟同步部分,被配置成以其上反映最大延迟量的同步时钟信号开始、到其上反映最小延迟量的同步时钟信号为止的顺序将所述时钟使能信号与所述多个同步时钟信号中的每个同步,并产生经同步的时钟使能信号;以及

内部时钟产生部分,被配置成产生对应于所述外部时钟信号的所述内部时钟信号,并响应于所述经同步的时钟使能信号而在其操作中受到通/断控制。

14. 根据权利要求 13 的半导体器件,其中,所述时钟延迟部分包括:

第一延迟单元,被配置成接收所述外部时钟信号,将所述外部时钟信号延迟第一预定延迟量,并产生在所述多个同步时钟信号中包括的第一同步时钟信号;

第二延迟单元,被配置成接收所述第一同步时钟信号,将所述第一同步时钟信号延迟第二预定延迟量,并产生在所述多个同步时钟信号中包括的第二同步时钟信号;以及

第三延迟单元,被配置成接收所述第二同步时钟信号,将所述第二同步时钟信号延迟第三预定延迟量,并产生在所述多个同步时钟信号中包括的第三同步时钟信号。

15. 根据权利要求 14 的半导体器件,其中,所述时钟同步部分包括:

第一同步单元,被配置成接收所述时钟使能信号,并将所述时钟使能信号与所述第三同步时钟信号同步;

第二同步单元,被配置成接收所述第一同步单元的输出信号,并将所述第一同步单元的输出信号与所述第二同步时钟信号同步;以及

第三同步单元,被配置成接收所述第二同步单元的输出信号,并将所述第二同步单元的输出信号与所述第一同步时钟信号同步。

16. 根据权利要求 13 的半导体器件,其中,所述内部时钟产生部分被配置成在所述经同步的时钟使能信号的激活时段中对应于所述外部时钟信号的跳变而使所述内部时钟信号跳变,并在所述经同步的时钟使能信号的失活时段中不管所述外部时钟信号的跳变如何而将所述内部时钟信号锁定到预定逻辑电平。

## 半导体器件及其操作方法

[0001] 相关申请的交叉引用

[0002] 本申请要求在 2009 年 10 月 26 日提交的韩国专利申请 No. 10-2009-0101950 的优先权,通过引用将该韩国专利申请整体包含在此。

### 技术领域

[0003] 本发明的示范性实施例涉及半导体器件,更具体而言,涉及通过缓冲外部时钟信号而产生内部时钟信号的电路。

### 背景技术

[0004] 通常,在诸如同步 DRAM(SDRAM) 的同步半导体器件中,通过缓冲外部时钟信号来产生内部时钟信号,并利用所产生的内部时钟信号来执行预定操作。

[0005] 此时,在通过缓冲外部时钟信号来产生内部时钟信号的过程中,应当能够根据时钟使能信号对缓冲操作进行通/断控制。这是因为大多数半导体器件支持用于产生相应于外部时钟信号的内部时钟信号的操作模式,例如掉电模式,以便减少电流消耗。

[0006] 图 1 是详细地图示用于通过缓冲外部时钟信号来产生内部时钟信号的传统电路的电路图。

[0007] 参考图 1,用于通过缓冲外部时钟信号来产生内部时钟信号的传统电路包括:同步部分 100,其被配置成响应于外部时钟信号 EXT\_CLK 而同步时钟使能信号 CKE;以及内部时钟产生部分 120,其被配置成产生对应于外部时钟信号 EXT\_CLK 的内部时钟信号 INT\_CLK,并响应于从同步部分 100 输出的同步的时钟使能信号 SYNC\_CKE 而在其操作上受到通/断控制。

[0008] 同步部分 100 包括通门 PG 和反相器 INV1。通门 PG 被配置成通过负输入端接收外部时钟信号 EXT\_CLK,并通过正输入端接收通过将外部时钟信号 EXT\_CLK 的相位反转而获得的时钟信号 /EXT\_CLK。而且,通门 PG 被配置成控制向信号输出端发送通过信号输入端施加的时钟使能信号 CKE,作为同步的时钟使能信号 SYNC\_CKE。

[0009] 内部时钟产生部分 120 包括与非门 NAND 和反相器 INV2。与非门 NAND 被配置成通过第一输入端接收外部时钟信号 EXT\_CLK,并通过第二输入端接收从同步部分 100 输出的同步的时钟使能信号 SYNC\_CKE,以执行与非操作并输出内部时钟信号 INT\_CLK。

[0010] 图 2 是图示在图 1 中所示的用于通过缓冲外部时钟信号来产生内部时钟信号的传统电路的操作的时序图。

[0011] 参考图 2,应当明白,外部时钟信号 EXT\_CLK 周期性地跳变 (toggle),而时钟使能信号 CKE 随即从逻辑低电平的失活状态转变到逻辑高电平的激活状态。

[0012] 在这一点上,如图 2 中所示,如果时钟使能信号 CKE 从逻辑低电平向逻辑高电平转变时的时刻接近外部时钟信号 EXT\_CLK 的沿(即下降沿或者上升沿),则产生关于可能在从同步部分 100 输出的同步的时钟使能信号 SYNC\_CKE 中出现的假信号的问题。

[0013] 在利用如图所示的出现假信号的同步的时钟使能信号 SYNC\_CKE 来操作内部时钟

产生部分 120 的情况下,不能正确地产生内部时钟信号 INT\_CLK。换句话说,当经同步的时钟使能信号 SYNC\_CKE 具有假信号时,产生出现假信号的内部时钟信号 INT\_CLK,如图 2 中所示。

[0014] 随着外部时钟信号 EXT\_CLK 的频率变高,这些假信号可能显著地影响整个半导体器件的操作。

[0015] 图 3 是图示在图 1 中所示的传统时钟缓冲电路的操作的时序图。

[0016] 图 3 示出了在时钟使能信号 CKE 从逻辑高电平的激活状态向逻辑低电平的失活状态转变的情况下的缓冲操作。

[0017] 如图 3 中所示,如果时钟使能信号 CKE 与在外部时钟信号 EXT\_CLK 从逻辑低电平的失活状态向逻辑高电平的激活状态转变(即在上升沿)时基本上同时地从逻辑高电平的激活状态转变到逻辑低电平的失活状态(即在下降沿),则出现关于内部时钟信号 INT\_SIGNAL 的产生的问题。如图中的圈起的数①所示,由于下述假信号,因此所产生的内部时钟信号 INT\_CLK 不能具有精确的逻辑电平:在通过将时钟使能信号 CKE 与通过将外部时钟信号 EXT\_CLK 的相位反转而获得的时钟信号  $\overline{\text{EXT\_CLK}}$  同步来产生同步的时钟使能信号 SYNC\_CKE 的过程中产生的假信号;以及在通过在同步的时钟使能信号 SYNC\_CKE 和外部时钟信号 EXT\_CLK 之间执行与非操作而产生内部时钟信号 INT\_CLK 的过程中出现的假信号。

[0018] 更具体而言,由于出现所述假信号,同步的时钟使能信号 SYNC\_CKE 从逻辑高电平的激活状态向逻辑低电平的失活状态转变的时刻(即在下降沿时)比外部时钟信号 EXT\_CLK 从逻辑低电平的失活状态转变到逻辑高电平的激活状态时(即在上升沿时)的时刻滞后不可预知的时间量。由于这种情况,在内部时钟信号 INT\_CLK 与外部时钟信号 EXT\_CLK 一致地从逻辑低电平的失活状态转变到逻辑高电平的激活状态后,内部时钟信号 INT\_CLK 从逻辑高电平的激活状态向逻辑低电平的失活状态转变。因此,内部时钟信号 INT\_CLK 不能保持正常的跳变时段。

[0019] 以这种方式,在传统的时钟缓冲电路中,如果外部时钟信号 EXT\_CLK 的逻辑电平转变时的时刻和时钟使能信号 CKE 跳变的时刻彼此接近,则可能产生脉冲,使得内部时钟信号 INT\_CLK 不能被识别为正常的时钟信号,并且由于这种情况,整个半导体器件可能故障。

[0020] 图 4 是图示在图 1 中所示的传统时钟缓冲电路的另一个操作的时序图。

[0021] 图 4 示出了时钟使能信号 CKE 从逻辑低电平的失活状态向逻辑高电平的失活状态转变的情况下的缓冲操作。

[0022] 如图 4 中所示,如果时钟使能信号 CKE 与外部时钟信号 EXT\_CLK 从逻辑电平的失活状态向逻辑高电平的激活状态转变(即在上升沿)时基本上同时地从逻辑低电平的失活状态向逻辑高电平的激活状态转变(即在上升沿),则产生关于内部时钟信号 INT\_CLK 的产生的问题。如图中的圈起的数①所示,由于下述假信号,所产生的内部时钟信号 INT\_CLK 不能具有正常的激活时段:在通过将时钟使能信号 CKE 与通过将外部时钟信号 EXT\_CLK 的相位反转而获得的时钟信号  $\overline{\text{EXT\_CLK}}$  同步来产生同步的时钟使能信号 SYNC\_CKE 的过程中产生的假信号;以及在通过执行同步的时钟使能信号 SYNC\_CKE 与外部时钟信号 EXT\_CLK 的与非操作而产生内部时钟信号 INT\_CLK 的过程中出现的假信号。

[0023] 更具体而言,由于假信号的出现,经同步的时钟使能信号 SYNC\_CKE 从逻辑低电平

的失活状态向逻辑高电平的激活状态转变的时刻（即在上升沿时）比外部时钟信号 EXT\_CLK 从逻辑低电平的失活状态转变到逻辑高电平的激活状态时（即在上升沿时）的时刻滞后不可预知的时间量。由于这种情况，内部时钟信号 INT\_CLK 与外部时钟信号 EXT\_CLK 一致地从逻辑低电平的失活状态转变到逻辑高电平的激活状态的时刻被后移。因此，内部时钟信号 INT\_CLK 不能保持正常的跳变时段。

[0024] 以这种方式，在传统的时钟缓冲电路中，如果外部时钟信号 EXT\_CLK 的逻辑电平转变时的时刻和时钟使能信号 CKE 跳变的时刻彼此接近，则可能产生脉冲，使得内部时钟信号 INT\_CLK 不能被识别为正常的时钟信号，并且由于这种情况，整个半导体器件可能故障。

## 发明内容

[0025] 本发明的一个实施例涉及半导体器件的时钟缓冲电路，其在通过缓冲外部时钟信号产生内部时钟信号时，可以利用与外部时钟信号异步的时钟使能信号来防止在通 / 断控制缓冲操作的过程中产生假信号。

[0026] 根据本发明的一个实施例，一种半导体器件包括：时钟延迟部分，被配置成接收外部时钟信号，在所述外部时钟信号上反映不同延迟量，并产生多个同步时钟信号；时钟同步部分，被配置成以其上反映最大延迟量的同步时钟信号开始、到其上反映最小延迟量的同步时钟信号为止的顺序，将时钟使能信号与所述多个同步时钟信号中的每个同步，并产生经同步的时钟使能信号；以及内部时钟产生部分，被配置成产生对应于外部时钟信号的内部时钟信号，并响应于所述经同步的时钟使能信号而在其操作中受到通 / 断控制。

[0027] 根据本发明的另一个实施例，一种用于操作半导体器件的方法包括：产生第一同步时钟信号，所述第一同步时钟信号在与外部时钟信号的跳变相比较延迟了第一时段时刻跳变；产生第二同步时钟信号，所述第二同步时钟信号在与外部时钟信号的跳变相比较延迟了比所述第一时段更大的第二时段时刻跳变；通过将时钟使能信号与所述第二同步时钟信号同步而产生第一经同步的时钟使能信号；以及通过响应于所述第二经同步的时钟使能信号而执行通 / 断控制操作，来产生对应于所述外部时钟信号的内部时钟信号。

[0028] 根据本发明的另一个实施例，一种半导体器件包括：时钟缓冲块，被配置成接收外部时钟信号，缓冲所述外部时钟信号，输出内部时钟信号，并响应于时钟使能信号而在其操作中受到通 / 断控制；延迟复制模型块，被配置成在所述内部时钟信号上反映实际输出路径的延迟时间，并输出延迟复制时钟信号；以及延迟锁定块，被配置成将所述内部时钟信号和所述延迟复制时钟信号的相位相比较，将所述内部时钟信号延迟对应于比较结果的时间，并输出经延迟锁定的时钟信号。

[0029] 而且，所述时钟缓冲块包括：时钟延迟部分，被配置成接收所述外部时钟信号，在所述外部时钟信号上反映不同延迟量，并产生多个同步时钟信号；时钟同步部分，被配置成以其上反映最大延迟量的同步时钟信号开始、到其上反映最小延迟量的同步时钟信号为止的顺序将所述时钟使能信号与所述多个同步时钟信号中的每个同步，并产生经同步的时钟使能信号；以及内部时钟产生部分，被配置成产生对应于所述外部时钟信号的所述内部时钟信号，并响应于所述经同步的时钟使能信号而在其操作中受到通 / 断控制。

## 附图说明

[0030] 图 1 是详细图示一种用于通过缓冲外部时钟信号而产生内部时钟信号的传统电路的电路图。

[0031] 图 2 是图示在图 1 中所示的用于通过缓冲外部时钟信号而产生内部时钟信号的传统电路的操作的时序图。

[0032] 图 3 是图示在图 1 中所示的传统时钟缓冲电路的操作的时序图。

[0033] 图 4 是图示在图 1 中所示的传统时钟缓冲电路的另一个操作的时序图。

[0034] 图 5 是图示根据本发明的一个实施例的一种通过缓冲外部时钟信号来产生内部时钟信号的电路的电路图。

[0035] 图 6 是图示在图 5 中所示的根据本发明的实施例的时钟缓冲电路的操作的时序图。

[0036] 图 7 是图示在图 5 中所示的根据本发明的实施例的时钟缓冲电路的另一个操作的时序图。

## 具体实施方式

[0037] 下面将参考附图更详细地描述本发明的示例性实施例。然而，本发明可以以不同的形式来体现，并且不应当被理解为限于在此给出的实施例。相反，所述实施例被提供以使得本申请是详尽和完整的，并且将向本领域内的技术人员充分地传达本发明的范围。在本申请中，在本发明的各个附图和实施例中，相似的附图标号表示相似的部件。

[0038] 图 5 是图示根据本发明的一个实施例的一种通过缓冲外部时钟信号来产生内部时钟信号的电路的电路图。

[0039] 参考图 5，根据本发明的一个实施例的通过缓冲外部时钟信号来产生内部时钟信号的电路包括时钟延迟部分 540、同步部分 500 和内部时钟产生部分 520。时钟延迟部分 540 被配置成接收外部时钟信号 EXT\_CLK，反映不同的延迟量，并产生多个同步时钟信号 /EXT\_CLK、EXT\_CLKD、/EXT\_CLKD 和 EXT\_CLKDD。同步部分 500 被配置成以其上反映最大延迟量的同步时钟信号 EXT\_CLKDD 开始、到其上反映最小延迟量的同步时钟信号 /EXT\_CLK 为止的顺序，将时钟使能信号 CKE 与同步时钟信号 /EXT\_CLK、EXT\_CLKD、/EXT\_CLKD 和 EXT\_CLKDD 同步。此外，同步部分 500 被配置成产生经同步的时钟使能信号 SYNC\_CKE。内部时钟产生部分 520 被配置成产生对应于外部时钟信号 EXT\_CLK 的内部时钟信号 INT\_CLK，并且响应于经同步的时钟使能信号 SYNC\_CKE 而在其操作中受通 / 断控制。

[0040] 时钟延迟部分 540 包括第一延迟单元 541 和 542、第二延迟单元 542 和 543 以及第三延迟单元 543 和 544。第一延迟单元 541 和 542 被配置成接收外部时钟信号 EXT\_CLK，将外部时钟信号 EXT\_CLK 延迟第一预定延迟量，并产生在多个同步时钟信号 /EXT\_CLK、EXT\_CLKD、/EXT\_CLKD 和 EXT\_CLKDD 中包括的第一同步时钟信号 /EXT\_CLK 和 EXT\_CLKD。第二延迟单元 542 和 543 被配置成接收第一同步时钟信号 /EXT\_CLK 和 EXT\_CLKD，将第一同步时钟信号 /EXT\_CLK 和 EXT\_CLKD 延迟第二预定延迟量，并产生在多个同步时钟信号 /EXT\_CLK、EXT\_CLKD、/EXT\_CLKD 和 EXT\_CLKDD 中包括的第二同步时钟信号 EXT\_CLKD 和 /EXT\_CLKD。第三延迟单元 543 和 544 被配置成接收第二同步时钟信号 EXT\_CLKD 和 /EXT\_CLKD，将第二同步时钟信号 EXT\_CLKD 和 /EXT\_CLKD 延迟第三预定延迟量，并产生在多个同步时钟



信号 /EXT\_CLK、EXT\_CLKD、/EXT\_CLKD 和 EXT\_CLKDD 中包括的第三同步时钟信号 /EXT\_CLKD 和 EXT\_CLKDD。

[0041] 作为参考,应当明白,反相器 INV1 和 INV2 在第一延迟单元 541 和 542 中彼此交叠,反相器 INV2 和 INV3 在第二延迟单元 542 和 543 中彼此交叠,而反相器 INV3 和 INV4 在第三延迟单元 543 和 544 中彼此交叠,并且在时钟延迟部分 540 中提供了反相器 INV1、INV2、INV3 和 INV4 的全部。因此,根据本发明的实施例,使用时钟延迟部分 540 中的多个反相器 INV1、INV2、INV3 和 INV4 来延迟时钟信号。可以设想,可以以使得组成元件不交叠的方式来配置具有与图 5 中所示的结构不同的结构的电路。

[0042] 也就是说,图中所示的时钟延迟部分 540 表示一个实施例,并且应当注意,具有与图 5 中所示的结构不同的结构的电路也落在本发明的范围内。

[0043] 详细而言,图中所示的时钟延迟部分 540 的组成元件可以按如下所述地划分。

[0044] 时钟延迟部分 540 包括第一反相器 INV1、第二反相器 INV2、第三反相器 INV3 和第四反相器 INV4。第一反相器 INV1 被配置成接收外部时钟信号 EXT\_CLK,将外部时钟信号 EXT\_CLK 的相位反转,并产生与外部时钟信号 EXT\_CLK 相比较被延迟预定延迟量的第一时钟信号 /EXT\_CLK。第二反相器 INV2 被配置成接收第一时钟信号 /EXT\_CLK,将第一时钟信号 /EXT\_CLK 的相位反转,并产生与第一时钟信号 /EXT\_CLK 相比较被延迟预定延迟量的第二时钟信号 EXT\_CLKD。第三反相器 INV3 被配置成接收第二时钟信号 EXT\_CLKD,将第二时钟信号 EXT\_CLKD 的相位反转,并产生与第二时钟信号 EXT\_CLKD 相比较被延迟预定延迟量的第三时钟信号 /EXT\_CLKD。第四反相器 INV4 被配置成接收第三时钟信号 /EXT\_CLKD,将第三时钟信号 /EXT\_CLKD 的相位反转,并产生与第三时钟信号 /EXT\_CLKD 相比较被延迟预定延迟量的第四时钟信号 EXT\_CLKDD。总之,反相器 INV1、INV2、INV3 和 INV4 产生多个同步时钟信号 /EXT\_CLK、EXT\_CLKD、/EXT\_CLKD 和 EXT\_CLKDD。

[0045] 在图 5 中所示的时钟延迟部分 540 中,下述延迟量是相同的延迟量:第一延迟量,用于延迟第一延迟单元 541 和 542 中输入的时钟信号 EXT\_CLK 和 /EXT\_CLK,并输出时钟信号 /EXT\_CLK 和 EXT\_CLKD;第二延迟量,用于延迟输入到第二延迟单元 542 和 543 的时钟信号 /EXT\_CLK 和 EXT\_CLKD,并输出时钟信号 EXT\_CLK 和 /EXT\_CLKD;以及第三延迟量,用于延迟输入到第三延迟单元 543 和 544 的时钟信号 EXT\_CLKD 和 /EXT\_CLKD,并输出时钟信号 /EXT\_CLKD 和 EXT\_CLKDD。也就是说,第一反相器 INV1 到第四反相器 INV4 具有相同的大小,因此向它们输入的时钟信号可以在被延迟相同延迟量后被输出。

[0046] 但是,应当注意,在具有与图中所示的结构不同的结构的电路中,第一到第三延迟量可以分别是不同的延迟量,或者第一到第三延迟量中的两个可以是相同的延迟量,而剩余的延迟量可以是不同的延迟量。

[0047] 时钟同步部分 500 包括第一同步单元 501、第二同步单元 503 和第三同步单元 505。第一同步单元 501 被配置成接收时钟使能信号 CKE,并将时钟使能信号 CKE 与第三同步时钟信号 /EXT\_CLKD 和 EXT\_CLKDD 同步。第二同步单元 503 被配置成接收第一同步单元 501 的输出信号,并将第一同步单元 501 的输出信号与第二同步时钟信号 EXT\_CLKD 和 /EXT\_CLKD 同步。第三同步单元 505 被配置成接收第二同步单元 503 的输出信号,并将第二同步单元 503 的输出与第一同步时钟信号 /EXT\_CLK 和 EXT\_CLKD 同步。

[0048] 作为参考,图 5 中所示的时钟同步部分 500 不仅包括用于执行时钟同步操作的多

个通门 PG1、PG2 和 PG3,而且包括用于防止时钟信号的逻辑电平浮动的多个反相器 INV5、INV6、INV7、INV8、INV9、INV10 和 INV11。这些通门 PG1、PG2 和 PG3 以及反相器 INV5、INV6、INV7、INV8、INV9、INV10 和 INV11 被表达为第一到第三同步单元 501、503 和 505 的原因是要提供简化的解释。根据本发明的实施例的时钟同步部分 500 的最重要的特征是,所输入的时钟使能信号 CKE 通过以其上反映了最大延迟量的同步时钟信号开始、到其上反映了最小延迟量的同步时钟信号为止的顺序(即,以同步时钟信号 EXT\_CLKDD、/EXT\_CLKD、EXT\_CLKD 和 /EXT\_CLK 的顺序)与多个同步时钟信号 /EXT\_CLK、EXT\_CLKD、/EXT\_CLKD 和 EXT\_CLKDD 同步,而被输出。图中所示的电路可以被详细说明如下。

[0049] 时钟同步部分 500 包括第一通门 PG1、第二通门 PG2 和第三通门 PG3。第一通门 PG1 被配置成响应于通过正输入端输入的第三同步时钟信号 /EXT\_CLKD 和通过负输入端输入的第四同步时钟信号 EXT\_CLKDD 来控制通过信号输入端施加的反相时钟使能信号 /CKE 向信号输出端的发送。第二通门 PG2 被配置成响应于通过正输入端输入的第二同步时钟信号 EXT\_CLKD 和通过负输入端输入的第三同步时钟信号 /EXT\_CLKD 来控制通过信号输入端施加的第一通门 PG1 的输出信号向信号输出端的发送。第三通门 PG3 被配置成响应于通过正输入端输入的第一同步时钟信号 /EXT\_CLK 和通过负输入端输入的第二同步时钟信号 EXT\_CLKD 来控制通过信号输入端施加的第二通门 PG2 的输出信号向信号输出端的发送。

[0050] 时钟同步部分 500 还包括第一锁存器 502、第二锁存器 504 和第三锁存器 506,它们分别连接到第一通门 PG1、第二通门 PG2 和第三通门 PG3 的信号输出端,并防止输出信号浮动。

[0051] 内部时钟产生部分 520 被配置成在经同步的时钟使能信号 SYNC\_CKE 的激活时段中对应于外部时钟信号 EXT\_CLK 的跳变而使内部时钟信号 INT\_CLK 跳变,并在经同步的时钟使能信号 SYNC\_CKE 的失活时段中不管外部时钟信号 EXT\_CLK 的跳变如何而将内部时钟信号 INT\_CLK 锁定到预定逻辑电平。

[0052] 为此,内部时钟产生部分 520 包括与非门 NAND 和反相器 INV12。与非门 NAND 被配置成执行在被加载到第三通门 PG3 的信号输出端子的经同步的时钟使能信号 SYNC\_CKE 与外部时钟信号 EXT\_CLK 之间的与非操作,并产生内部时钟信号 INT\_CLK。

[0053] 图 6 是图示在图 5 中所示的根据本发明的实施例的时钟缓冲电路的操作的时序图。

[0054] 如图 6 中所示,即使时钟使能信号 CKE 在与外部时钟信号 EXT\_CLK 从逻辑高电平的激活状态向逻辑低电平的失活状态转变基本上相同的时刻从逻辑高电平的激活状态向逻辑低电平的失活状态转变(即在下降沿),通过将时钟使能信号 CKE 与多个经同步的时钟信号 /EXT\_CLK、EXT\_CLKD、/EXT\_CLKD 和 EXT\_CLKDD 同步,在产生经同步的时钟使能信号 SYNC\_CKE 的过程中也基本上不出现假信号。

[0055] 而且,在本发明的实施例中,通过以其上反映了最大延迟量的同步时钟信号开始、到其上反映了最小延迟量的同步时钟信号为止的顺序(即,以同步时钟信号 EXT\_CLKDD、/EXT\_CLKD、EXT\_CLKD 和 /EXT\_CLK 的顺序)将时钟使能信号 CKE 与多个经同步时钟信号 /EXT\_CLK、EXT\_CLKD、/EXT\_CLKD 和 EXT\_CLKDD 同步,来产生经同步的时钟使能信号 SYNC\_CKE。因此,总是在执行了通过将外部时钟信号 EXT\_CLK 的相位反转而获得的时钟信号 /EXT\_CLK 从逻辑低电平的失活状态向逻辑高电平的激活状态转变的操作后,才执行经同步

的时钟使能信号 SYNC\_CKE 从逻辑高电平的激活状态向逻辑低电平的失活状态转变的操作。由于这个情况,应当明白,在通过执行在外部时钟信号 EXT\_CLK 与经同步的时钟使能信号 SYNC\_CKE 之间的与非操作而产生内部时钟信号 INT\_CLK 的过程中,内部时钟信号 INT\_CLK 可以总是具有由图中的圈起的数②所示的精确逻辑电平。

[0056] 换句话说,在根据本发明的实施例的时钟缓冲电路中,由于经同步的时钟使能信号 SYNC\_CKE 总是在外部时钟信号 EXT\_CLK 从逻辑高电平的激活状态向逻辑低电平的失活状态转变后才从逻辑高电平的激活状态向逻辑低电平的失活状态转变,因此对应于外部时钟信号 EXT\_CLK 而产生的内部时钟信号 INT\_CLK 可以总是具有正常的跳变时段。

[0057] 以这种方式,在根据本发明的实施例的时钟缓冲电路中,即使当外部时钟信号 EXT\_CLK 的逻辑电平改变的時刻和时钟使能信号 CKE 跳变的時刻彼此接近时,内部时钟信号 INT\_CLK 也可以总是具有正常的跳变时段,并且由于这个事实,也可能防止半导体器件故障。

[0058] 图 7 是图示在图 5 中所示的根据本发明的实施例的时钟缓冲电路的另一个操作的时序图。

[0059] 如图 7 中所示,在本发明的实施例中,通过以其上反映了最大延迟量的同步时钟信号开始、到其上反映了最小延迟量的同步时钟信号为止的顺序(即,以同步时钟信号 EXT\_CLKDD、/EXT\_CLKD、EXT\_CLKD 和 /EXT\_CLK 的顺序)将时钟使能信号 CKE 与多个同步时钟信号 /EXT\_CLK、EXT\_CLKD、/EXT\_CLKD 和 EXT\_CLKDD 同步,来产生经同步的时钟使能信号 SYNC\_CKE。因此,总是在执行了通过将外部时钟信号 EXT\_CLK 的相位反转而获得的时钟信号 /EXT\_CLK 从逻辑低电平的失活状态向逻辑高电平的激活状态转变的操作后,才执行经同步的时钟使能信号 SYNC\_CKE 从逻辑低电平的失活状态向逻辑高电平的激活状态转变的操作。由于这个情况,应当明白,在通过执行外部时钟信号 EXT\_CLK 与经同步的时钟使能信号 SYNC\_CKE 之间的与非操作而产生内部时钟信号 INT\_CLK 的过程中,内部时钟信号 INT\_CLK 可以总是具有由图中的圈起的数②所示的精确逻辑电平。

[0060] 换句话说,在根据本发明的实施例的时钟缓冲电路中,由于经同步的时钟使能信号 SYNC\_CKE 总是在外部时钟信号 EXT\_CLK 从逻辑高电平的激活状态向逻辑低电平的失活状态转变后才从逻辑低电平的失活状态向逻辑高电平的激活状态转变,因此对应于外部时钟信号 EXT\_CLK 而产生的内部时钟信号 INT\_CLK 可以总是具有正常的跳变时段。

[0061] 以这种方式,在根据本发明的实施例的时钟缓冲电路中,即使当外部时钟信号 EXT\_CLK 的逻辑电平改变的時刻与时钟使能信号 CKE 跳变的時刻彼此接近时,内部时钟信号 INT\_CLK 也可以总是具有正常的跳变时段,并且由于这个事实,也可能防止半导体器件故障。

[0062] 如上所述,在本发明的实施例中,当通过缓冲外部时钟信号 EXT\_CLK 而产生内部时钟信号 INT\_CLK 时,在利用与外部时钟信号 EXT\_CLK 异步的时钟使能信号 CKE 来对缓冲操作进行通/断控制的过程中,时钟使能信号 CKE 与通过以预设顺序逐步延迟外部时钟信号 EXT\_CLK 而获得的多个同步时钟信号 /EXT\_CLK、EXT\_CLKD、/EXT\_CLKD 和 EXT\_CLKDD 同步,由此有可能防止出现假信号,所述预设顺序是从其上反映了最大延迟量的同步时钟信号到其上反映了最小延迟量的同步时钟信号(即,以同步时钟信号 EXT\_CLKDD、/EXT\_CLKD、EXT\_CLKD 和 /EXT\_CLK 的顺序)。因此,有可能产生内部时钟信号 INT\_CLK,其具有与外部时

钟信号 EXT\_CLK 的跳变时段精确地对应的跳变时段,而与时钟使能信号 CKE 的逻辑电平改变的时刻无关。

[0063] 作为参考,根据本发明的实施例的时钟缓冲电路可以不仅适用于用于通过缓冲外部时钟信号而控制内部时钟信号的产生的电路,而且适用于用于控制在延迟锁定环电路中对掉电模式的引入的元件。

[0064] 也就是说,根据本发明的实施例的时钟缓冲电路可以适用于响应于不与时钟信号的周期同步的控制信号而控制以特定周期跳变的时钟信号的发送的任何电路。

[0065] 从上述说明中可以明白,本发明提供了下述优点:当通过缓冲外部时钟信号而产生内部时钟信号时,利用与外部时钟信号异步的时钟使能信号,以预先确定的顺序将时钟使能信号与通过对缓冲操作进行通/断控制的过程中逐步地延迟外部时钟信号而获得的多个相应的经同步的时钟信号同步,由此有可能防止出现假信号。

[0066] 虽然已经相对于特定实施例而描述了本发明,但是对于本领域内的技术人员将明显的是,在不脱离在所附的权利要求中限定的本发明的精神和范围的情况下,可以进行各种改变和修改。

[0067] 例如,应当认识到,在上述实施例中例举的逻辑门和晶体管可以根据向其输入信号的极性而具有不同的位置和种类。

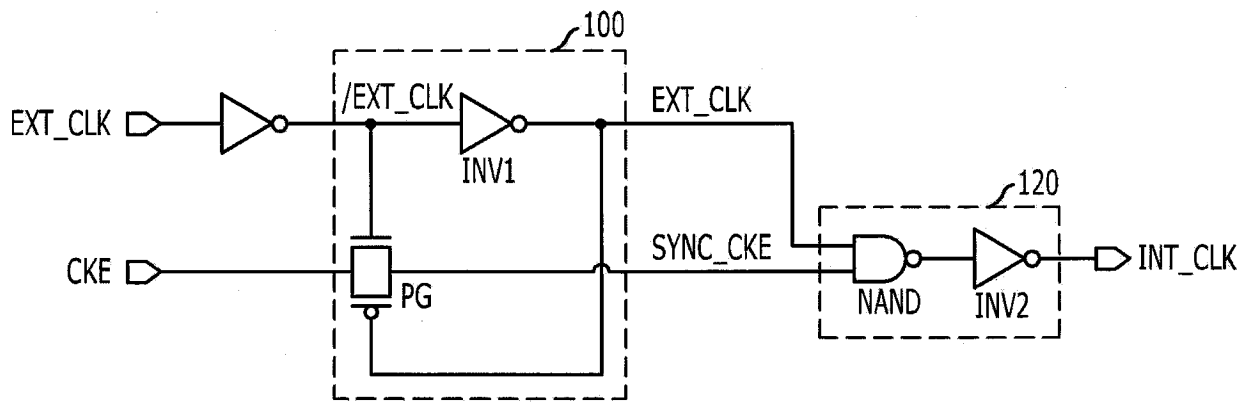


图 1

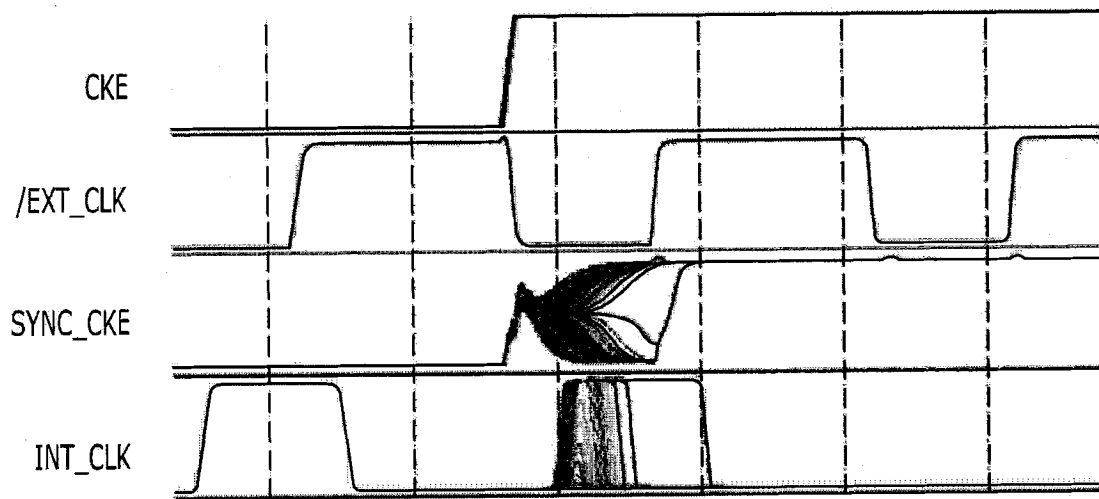


图 2

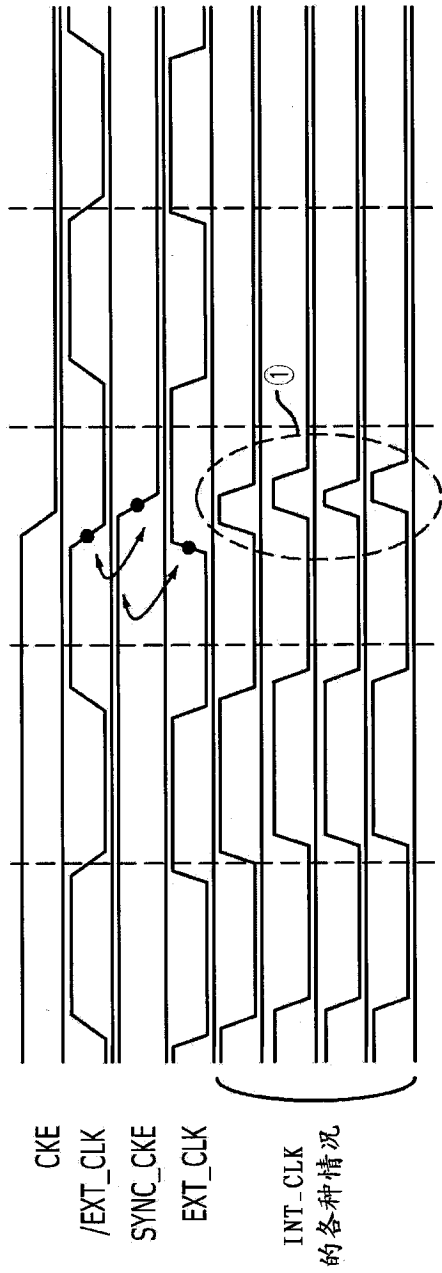
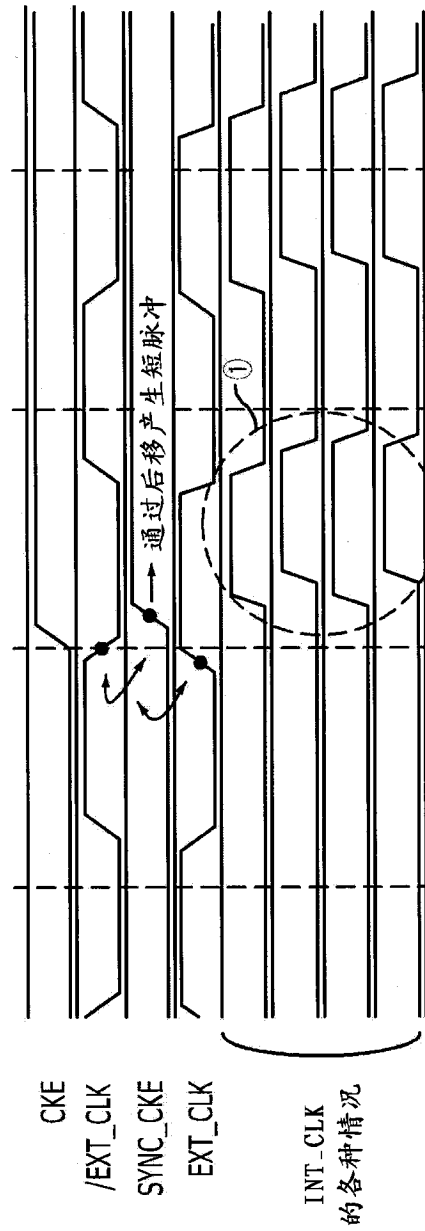


图 3

根据现有技术的时钟缓冲电路的操作



根据现有技术的时钟缓冲电路的操作

图 4

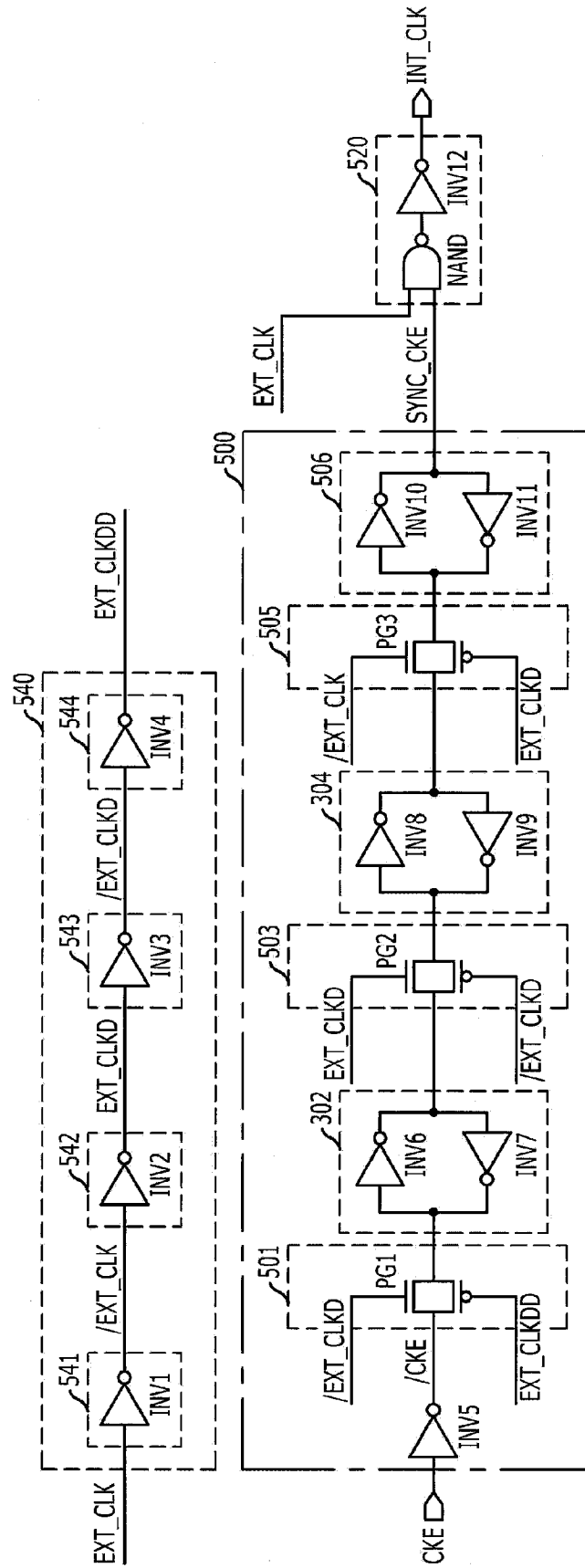
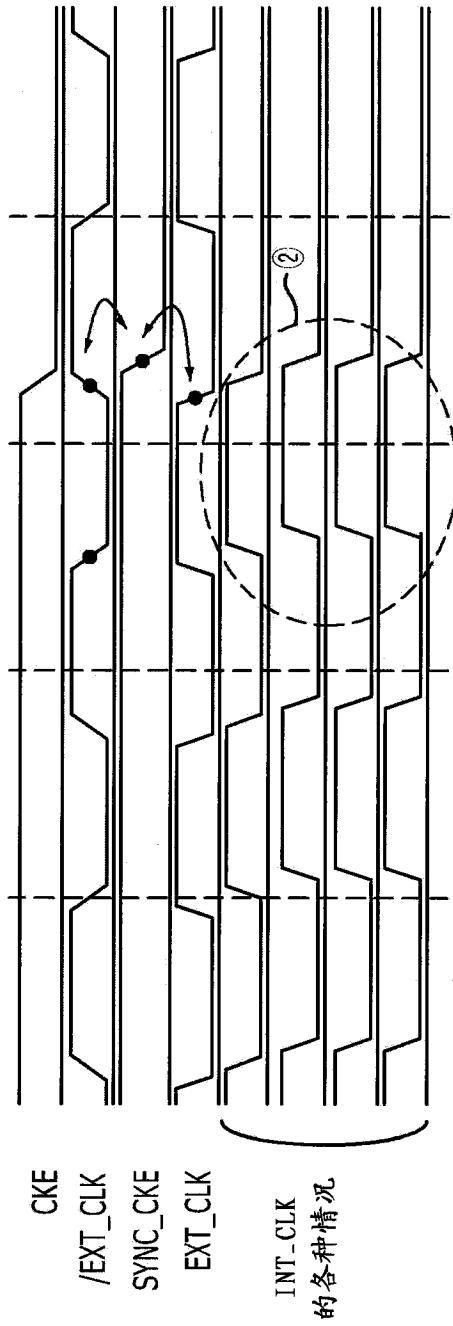
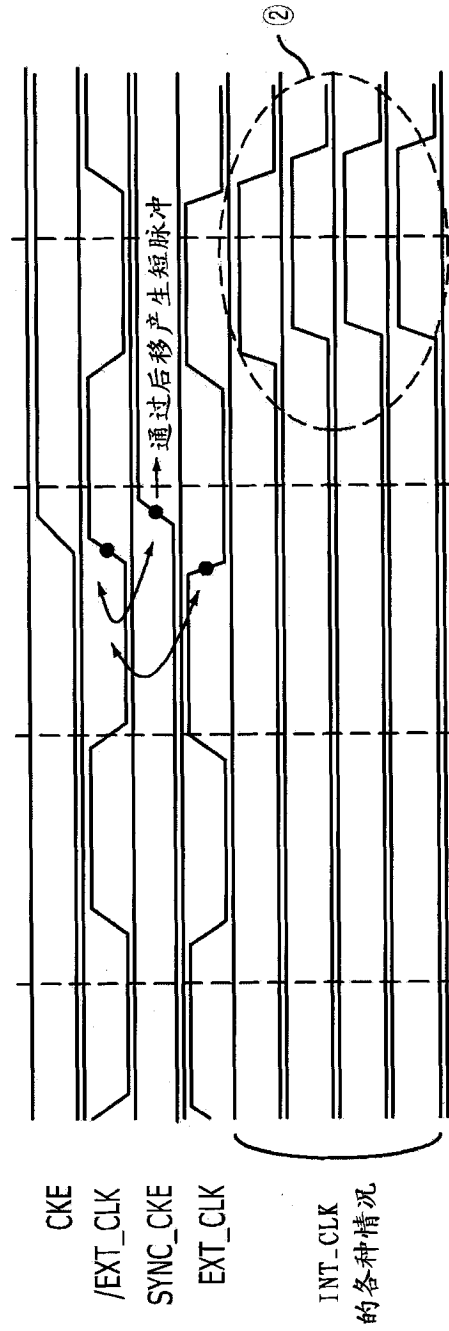


图 5



根据本发明的实施例的时钟缓冲电路的操作



根据本发明的实施例的时钟缓冲电路的操作

图 7

图 6