



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0006749
(43) 공개일자 2020년01월21일

(51) 국제특허분류(Int. Cl.)

G05F 1/575 (2006.01) G05F 1/56 (2006.01)

H02M 1/00 (2007.01) H02M 3/07 (2006.01)

(52) CPC특허분류

G05F 1/575 (2013.01)

G05F 1/561 (2013.01)

(21) 출원번호 10-2018-0080496

(22) 출원일자 2018년07월11일

심사청구일자 2018년07월11일

(71) 출원인

고려대학교 산학협력단

서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)

(72) 발명자

심민섭

서울특별시 동대문구 안암로18길 8 (제기동) 201호

김철우

서울특별시 강남구 선릉로 221 도곡렉슬아파트 401동 1003호

(뒷면에 계속)

(74) 대리인

이기성

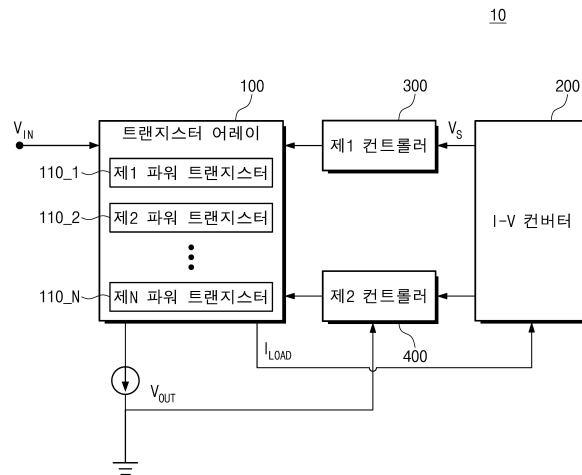
전체 청구항 수 : 총 21 항

(54) 발명의 명칭 이중모드 LDO 레귤레이터 및 그 동작 방법

(57) 요약

본 출원의 일 실시예에 따르는 이중모드 LDO 레귤레이터는, 복수의 파워 트랜지스터들을 포함하는 트랜지스터 어레이, 상기 트랜지스터 어레이로부터 입력전압에 따라 로드되는 로드전류를 피드백 받아, 동작전압으로 변환하는 I-V 컨버터, 상기 동작전압에 기초하여, 상기 복수의 파워 트랜지스터들 중 적어도 하나의 파워트랜지스터를 턴-온시키는 제1 컨트롤러 및 상기 트랜지스터 어레이로부터 출력되는 출력전압에 기초하여, 턴-온된 상기 적어도 하나의 파워 트랜지스터의 게이트 오버드라이브 전압(Gate overdrive voltage)을 조절하는 제2 컨트롤러를 포함한다.

대표도 - 도1



(52) CPC특허분류

H02M 3/07 (2013.01)

H02M 2001/0045 (2013.01)

(72) 발명자

정준원

서울특별시 성북구 안암로9가길 66 (안암동5가, 신
학교시원) 502호

맹준영

서울특별시 성북구 인촌로12길 68(안암동3가) 601
호

박인호

서울특별시 은평구 응암로 319 (응암동, 서강스카
이빌) 505호

이 발명을 지원한 국가연구개발사업

과제고유번호 1711060727

부처명 미래창조과학부

연구관리전문기관 한국연구재단

연구사업명 전략공모_전략과제

연구과제명 해상도, 전압 및 동작 속도 조절 가능한 자동차 센서용 아날로그 IP 연구

기 여 율 1/1

주관기관 고려대학교

연구기간 2017.12.01 ~ 2018.09.30

명세서

청구범위

청구항 1

복수의 파워 트랜지스터들을 포함하는 트랜지스터 어레이;

상기 트랜지스터 어레이로부터 로드된 로드전류를 동작전압으로 변환하는 I-V 컨버터;

상기 동작전압에 기초하여, 상기 복수의 파워 트랜지스터들 중 적어도 하나의 파워 트랜지스터를 턴-온시키는 제1 컨트롤러; 및

상기 트랜지스터 어레이로부터 출력되는 출력전압에 기초하여, 상기 복수의 파워 트랜지스터들 중 턴-온되는 적어도 하나의 파워 트랜지스터의 게이트 오버드라이브 전압(Gate overdrive voltage)을 조절하는 제2 컨트롤러를 포함하는 이중모드 LDO 레귤레이터.

청구항 2

제1항에 있어서,

상기 제1 컨트롤러는, 상기 동작전압과 램프신호를 비교하여 기준신호를 생성하는 제1 비교부; 및

상기 기준신호를 일정시간마다 딜레이시켜 복수의 딜레신호들을 생성하는 복수의 딜레이셀들을 포함하는 제1 제어부를 포함하는 이중모드 LDO 레귤레이터.

청구항 3

제2항에 있어서,

상기 제1 제어부는, 상기 기준신호의 하이구간에서, 하이상태인 딜레이신호의 개수에 따라, 상기 복수의 파워 트랜지스터들 중 턴-온되는 적어도 하나의 파워 트랜지스터의 개수를 조절하는 이중모드 LDO 레귤레이터.

청구항 4

제3항에 있어서,

상기 제1 제어부는, 상기 복수의 딜레신호들의 하이 상태인 상승구간에서, 상승이 시작되는 데드타임(Dead-Time)을 검출하는 상승에지 검출기를 더 포함하고,

상기 기준신호의 하이 구간과 상기 데드타임을 제외한 동작구간을 비교하는 이중모드 LDO 레귤레이터.

청구항 5

제1항에 있어서,

상기 제2 컨트롤러는, 상기 동작전압과 기준전압에 따라, 업-다운신호와 에러보상클럭을 출력하는 에러-제어 보상부; 및

상기 업-다운신호와 상기 에러보상클럭에 따라, 상기 적어도 하나의 파워 트랜지스터의 게이트전압을 조절하는 멀티-스텝 전하펌프부를 포함하는 이중모드 LDO 레귤레이터.

청구항 6

제5항에 있어서,

상기 제2 컨트롤러는, 상기 업-다운신호가 연속적으로 일정 개수 이상 동일하게 출력될 때, 상기 제1 컨트롤러를 리셋시키는 이중모드 LDO 레귤레이터.

청구항 7

제5항에 있어서,

상기 에러-제어 보상부는, 상기 출력전압과 기준전압을 비교하여 상기 업-다운신호를 생성하는 제2 비교부;

상기 업-다운신호에 기초하여, AND 게이트와 다수의 적분기들을 통해 보상되는 에러보상클럭을 상기 멀티-스텝 전하펌프부에 제공하는 클럭제공부; 및

상기 에러보상클럭을 상기 제2 비교부에 피드백시키는 피드백부를 포함하는 이중모드 LDO 레귤레이터.

청구항 8

제5항에 있어서,

상기 멀티-스텝 전하펌프부는, 상기 입력전압이 제공되는 입력노드와 상기 적어도 하나 이상의 파워 트랜지스터의 게이트를 전기적으로 연결하는 이중모드 LDO 레귤레이터.

청구항 9

제8항에 있어서,

상기 멀티-스텝 전하펌프부는, 복수의 충전 커패시터들을 포함하는 커패시터 어레이;

상기 커패시터 어레이의 일 측과 접지를 연결하는 제1 스위칭부;

상기 커패시터 어레이의 일 측과 상기 적어도 하나의 파워 트랜지스터의 게이트를 연결하는 제2 스위칭부;

상기 입력노드와 상기 적어도 하나의 파워 트랜지스터의 게이트 사이에 병렬로 위치한 게이트측 커패시터; 및

상기 커패시터 어레이의 타 측을 상기 입력노드 및 접지 중 어느 하나에 연결하는 제3 스위칭부를 포함하는 이중모드 LDO 레귤레이터.

청구항 10

제8항에 있어서,

상기 멀티-스텝 전하펌프부는, 상기 업-다운신호를 일정 클럭주기마다 교대로 출력하는 D 플립플롭; 및

상기 에러보상클럭에 따라, 제1 및 제2 스위칭신호를 출력하는 커패시터 컨트롤러를 포함하는 이중모드 LDO 레귤레이터.

청구항 11

제10항에 있어서,

상기 커패시터 컨트롤러는, 상기 일정 클럭주기에서 상기 제1 및 제2 스위칭신호와 상기 업-다운신호에 기초하여, 제3 스위칭신호를 생성하는 낸드회로부를 포함하는 이중모드 LDO 레귤레이터.

청구항 12

제11항에 있어서,

상기 낸드회로부는, 상기 업-다운신호의 업신호와 상기 제2 스위칭신호를 입력으로 하는 제1 낸드게이트;

상기 다운신호와 상기 제1 스위칭신호를 입력으로 하는 제2 낸드게이트; 및

상기 제1 및 제2 낸드게이트로부터 출력된 출력값들을 입력받아 상기 제3 스위칭부를 스위칭시키는 스위칭신호를 출력하는 제3 낸드게이트를 포함하는 이중모드 LDO 레귤레이터.

청구항 13

제10항에 있어서,

상기 커패시터 컨트롤러는, 상기 동작전압에 따라, 상기 복수의 커패시터들 중 활성화되는 적어도 하나의 커패시터의 개수를 조절하는 이중모드 LDO 레귤레이터.

청구항 14

제13항에 있어서,

상기 커패시터 컨트롤러는, 상기 복수의 커패시터들 중 활성화된 적어도 하나의 커패시터의 개수에 기초하여, 상기 게이트전압의 변화속도를 조절하는 이중모드 LDO 레귤레이터.

청구항 15

제14항에 있어서,

상기 게이트전압은, 상기 게이트 커패시터 대 상기 복수의 커패시터들 중 활성화된 적어도 하나의 커패시터 간의 용량비와 상기 입력전압을 곱한 값인 이중모드 LDO 레귤레이터.

청구항 16

제15항에 있어서,

상기 커패시터 어레이가 게이트 측 노드와 입력노드를 전기적으로 연결할 때, 상기 커패시터 컨트롤러는, 상기 커패시터 어레이에 충전된 전위차에 따라, 상기 게이트전압을 양(+)의 전압으로 증가시키는 이중모드 LDO 레귤레이터.

청구항 17

제13항에 있어서,

상기 커패시터 어레이가 게이트 측 노드와 접지를 전기적으로 연결할 때, 상기 커패시터 컨트롤러는, 상기 커패시터 어레이에 충전된 전위차에 따라, 상기 게이트전압을 음(-)의 전압으로 감소시키는 이중모드 LDO 레귤레이터.

청구항 18

이중모드 LDO 레귤레이터의 동작방법에 있어서,

복수의 파워 트랜지스터들을 포함하는 트랜지스터 어레이를 통해 입력전압을 입력받는 단계;

상기 입력전압에 따라 상기 트랜지스터 어레이를 통해 로드된 로드전류를 피드백 받고, 동작전압으로 변환하는 단계;

상기 동작전압에 기초하여, 상기 복수의 파워 트랜지스터들 중 적어도 하나의 파워 트랜지스터를 턴-온시키는 단계; 및

상기 트랜지스터 어레이로부터 출력되는 출력전압에 기초하여, 상기 복수의 파워 트랜지스터들 중 턴-온된 적어도 하나의 파워 트랜지스터의 게이트 오버드라이브 전압을 조절하는 단계를 포함하는 이중모드 LDO 레귤레이터의 동작방법.

청구항 19

제18항에 있어서,

상기 턴-온시키는 단계는, 상기 동작전압과 비교되기 위한 램프신호를 생성하는 단계;

상기 램프신호와 상기 동작전압을 비교하여 기준신호를 생성하는 단계;

상기 기준신호를 일정시간마다 딜레이 시켜, 복수의 딜레이신호들을 생성하는 단계; 및

상기 기준신호와 상기 복수의 딜레이신호들에 기초하여, 상기 적어도 하나의 파워 트랜지스터의 개수를 조절하는 단계를 포함하는 이중모드 LDO 레귤레이터의 동작방법.

청구항 20

제19항에 있어서,

상기 적어도 하나의 파워 트랜지스터의 개수를 조절하는 단계는, 상기 기준신호의 하이 구간에서, 상기 복수의

딜레이신호들 중 하이 상태인 딜레이신호를 탐지하는 단계; 및

상기 하이 상태인 딜레이신호의 개수에 따라, 상기 적어도 하나의 파워 트랜지스터의 개수를 결정하는 단계를 포함하는 이중모드 이중모드 LDO 레귤레이터의 동작방법.

청구항 21

제18항에 있어서,

상기 게이트 오버드라이브 전압을 조절하는 단계는, 상기 출력전압과 기준전압을 비교하여, 업-다운신호와 에러 보상클럭을 생성하는 단계;

상기 출력전압과 기준전압간의 차이에 따라, 커패시터 어레이의 복수의 충전 커패시터들 중 적어도 하나의 충전 커패시터를 활성화시키는 단계;

상기 업-다운신호와 에러보상클럭에 따라 출력되는 제1 내지 제3 스위칭신호에 기초하여, 상기 적어도 하나의 충전 커패시터를 충전시키는 단계; 및

상기 적어도 하나의 충전 커패시터에 충전된 전위차에 기초하여, 상기 적어도 하나의 파워 트랜지스터의 게이트 전압을 조절하는 단계를 포함하는 이중모드 LDO 레귤레이터의 동작방법.

발명의 설명

기술 분야

[0001] 본 출원의 실시예들은, 이중모드 LDO 레귤레이터에 관한 것으로, 특히, 출력전압을 디지털 방식 및 아날로그 방식으로 조절하여 안정화시키는 이중모드 LDO 레귤레이터 및 그 동작 방법에 관한 것이다.

배경 기술

[0002] 최근 산업을 주도하고 있는 트렌드 중 하나가 Internet of Things, 사물 인터넷과 같이 개별 사물을 인터넷에 연결시켜 기기 제어 및 정보 수집의 공간 제약을 획기적으로 줄이는 기술이다.

[0003] 이러한 기술을 다방면으로 활용하려면 저전력 설계 기술 및 효율적인 전력 관리 기술이 필수적이다. 특히, 저전력 회로 설계에 있어서, 가장 중요한 요소 중 하나가 Near Threshold Voltage (NTV)와 같은 저전압 설계이다.

[0004] 한편, 저전압 설계된 장치에 공급되는 전압이 작은 경우, 기존 아날로그 LDO(Low-DropOut) 레귤레이터에 포함된 error-amp의 성능이 저하됨으로써, 레귤레이터의 성능이 떨어지게 되는 문제를 갖는다.

[0005] 이러한 문제를 해결하기 위하여, 응답속도가 빠른 디지털 LDO 레귤레이터가 제안되었다. 그러나, 종래의 디지털 LDO 레귤레이터는 높은 저항 조절 해상도를 위하여 많은 수의 파워(Power) MOSFET들을 필요로 하기 때문에, 제어 회로가 커지는 문제가 있다. 또한, 이를 개선한 Successive approximation resistive control 방식의 디지털 제어 회로는 작은 전류 변화에, 오버 샷 또는 언더 샷 전압을 야기시키는 문제가 있다.

발명의 내용

해결하려는 과제

[0006] 본 출원의 목적은, 응답속도가 빠른 동시에, 더 넓은 게이트 오버드라이브 전압을 확보할 수 있는 이중모드 LDO 레귤레이터 및 그 동작 방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0007] 본 출원의 일 실시예에 따르는 이중모드 LDO 레귤레이터는, 복수의 파워 트랜지스터들을 포함하는 트랜지스터 어레이, 상기 트랜지스터 어레이로부터 입력전압에 따라 로드되는 로드전류를 피드백 받아, 동작전압으로 변환하는 I-V 컨버터, 상기 동작전압에 기초하여, 상기 복수의 파워 트랜지스터들 중 적어도 하나의 파워트랜지스터를 턴-온시키는 제1 컨트롤러 및 상기 트랜지스터 어레이로부터 출력되는 출력전압에 기초하여, 턴-온된 상기 적어도 하나의 파워 트랜지스터의 게이트 오버드라이브 전압(Gate overdrive voltage)을 조절하는 제2 컨트롤러

를 포함한다.

- [0008] 실시예에 있어서, 상기 제1 컨트롤러는, 상기 동작전압과 램프 생성기로부터 생성되는 램프신호를 비교하여 기준신호를 생성하는 제1 비교부 및 상기 기준신호를 일정시간마다 딜레이시켜 복수의 딜레이신호들을 생성하는 복수의 딜레이셀들을 포함하는 제1 제어부를 포함한다.
- [0009] 실시예에 있어서, 상기 제1 제어부는, 상기 기준신호의 하이구간에서, 하이상태인 딜레이신호의 개수에 따라, 턴-온된 상기 적어도 하나의 파워 트랜지스터의 개수를 조절한다.
- [0010] 실시예에 있어서, 상기 제1 제어부는, 상기 제1 제어부는, 상기 복수의 딜레이신호들의 하이 상태인 상승구간에서, 상승이 시작되는 데드타임(Dead-Time)을 검출하는 상승에지 검출기를 더 포함하고, 상기 기준신호의 하이 구간과 상기 데드타임을 제외한 동작구간을 비교한다.
- [0011] 실시예에 있어서, 상기 제2 컨트롤러는, 상기 동작전압과 기준전압에 따라, 업-다운신호와 에러보상클럭을 출력하는 에러-제어 보상부 및 상기 업-다운신호와 상기 에러보상클럭에 따라, 상기 적어도 하나의 파워 트랜지스터의 게이트전압을 조절한다.
- [0012] 실시예에 있어서, 상기 제2 컨트롤러는, 상기 업-다운신호가 연속적으로 일정 개수 이상 동일하게 출력될 때, 상기 제1 컨트롤러를 리셋시킨다.
- [0013] 실시예에 있어서, 상기 에러-제어 보상부는, 상기 출력전압과 기준전압을 비교하여 상기 업-다운신호를 생성하는 제2 비교부, 상기 업-다운신호를 입력받아 AND 게이트와 다수의 적분기들을 통해 보상되는 에러보상클럭을 상기 멀티-스텝 전하펌프부에 제공하는 클럭제공부 및 상기 에러보상클럭을 상기 제2 비교부에 피드백시키는 피드백부를 포함한다.
- [0014] 실시예에 있어서, 상기 멀티-스텝 전하펌프부는, 상기 입력전압이 제공되는 입력노드와 상기 적어도 하나 이상의 파워 트랜지스터의 게이트 사이에 위치한다.
- [0015] 실시예에 있어서, 상기 멀티-스텝 전하펌프부는, 복수의 충전 커패시터들을 포함하는 커패시터 어레이, 상기 커패시터 어레이의 일 측과 접지를 연결하는 제1 스위칭부, 상기 커패시터 어레이의 일 측과 상기 적어도 하나의 파워 트랜지스터의 게이트를 연결하는 제2 스위칭부, 상기 입력노드와 상기 적어도 하나의 파워 트랜지스터의 게이트 사이에 병렬로 위치한 게이트측 커패시터 및 상기 커패시터 어레이의 타 측을 상기 입력노드 및 접지 중 어느 하나에 연결하는 제3 스위칭부를 포함한다.
- [0016] 실시예에 있어서, 상기 멀티-스텝 전하펌프부는, 상기 업-다운신호를 일정 클럭주기마다 교대로 출력하는 D 플립플롭 및 상기 에러보상클럭에 따라, 제1 및 제2 스위칭신호를 출력하는 커패시터 컨트롤러를 포함한다.
- [0017] 실시예에 있어서, 상기 커패시터 컨트롤러는, 상기 일정 클럭주기에서 상기 제1 및 제2 스위칭신호와 상기 업-다운신호에 기초하여, 제3 스위칭신호를 생성하는 낸드회로부를 포함한다.
- [0018] 실시예에 있어서, 상기 낸드회로부는, 상기 업-다운신호의 업신호와 상기 제2 스위칭신호를 입력으로 하는 제1 낸드게이트, 상기 다운신호와 상기 제1 스위칭신호를 입력으로 하는 제2 낸드게이트 및 상기 제1 및 제2 낸드게이트로부터 출력된 출력값들을 입력받아 상기 제3 스위칭부를 스위칭시키는 스위칭신호를 출력하는 제3 낸드게이트를 포함한다.
- [0019] 실시예에 있어서, 상기 커패시터 컨트롤러는, 상기 동작전압에 따라, 상기 복수의 커패시터들 중 활성화되는 적어도 하나의 커패시터의 개수를 조절한다.
- [0020] 실시예에 있어서, 상기 커패시터 컨트롤러는, 활성화된 상기 적어도 하나의 커패시터의 개수를 이용하여, 상기 게이트전압의 변화속도를 조절한다.
- [0021] 실시예에 있어서, 상기 게이트전압은, 상기 게이트 커패시터 대 활성화된 상기 적어도 하나의 커패시터의 용량비와 상기 입력전압을 곱한 값이다.
- [0022] 실시예에 있어서, 상기 커패시터 어레이가 게이트 측 노드와 입력노드 사이에 위치할 때, 상기 커패시터 컨트롤러는, 상기 커패시터 어레이에 충전된 전위차에 따라, 상기 게이트전압을 양(+)의 전압으로 증가시킨다.
- [0023] 실시예에 있어서, 상기 커패시터 어레이가 게이트 측 노드와 접지 사이에 위치할 때, 상기 커패시터 컨트롤러는, 상기 커패시터 어레이에 충전된 전위차에 따라, 상기 게이트전압을 음(-)의 전압으로 감소시킨다.
- [0024] 본 출원의 일 실시예에 따르는, 이중모드 LDO 레귤레이터의 동작방법에 있어서, 복수의 파워 트랜지스터들을 포

합하는 트랜지스터 어레이를 통해 입력전압을 입력받는 단계, 상기 입력전압에 따라 상기 트랜지스터 어레이를 통해 로드된 로드전류를 피드백 받고, 동작전압으로 변환하는 단계, 상기 동작전압에 기초하여, 상기 복수의 파워 트랜지스터들 중 적어도 하나의 파워 트랜지스터를 턴-온시키는 단계 및 상기 트랜지스터 어레이로부터 출력되는 출력전압에 기초하여, 턴-온된 상기 적어도 하나의 파워 트랜지스터의 게이트 오버드라이브 전압을 조절하는 단계를 포함한다.

[0025] 실시예에 있어서, 상기 턴-온시키는 단계는, 상기 동작전압과 비교되기 위한 램프신호를 생성하는 단계, 상기 램프신호와 상기 동작전압을 비교하여 기준신호를 생성하는 단계, 상기 기준신호를 일정시간마다 딜레이 시켜, 복수의 딜레이신호들을 생성하는 단계 및 상기 기준신호와 상기 복수의 딜레이신호들에 기초하여, 상기 적어도 하나의 파워 트랜지스터의 개수를 조절하는 단계를 포함한다.

[0026] 실시예에 있어서, 상기 적어도 하나의 파워 트랜지스터의 개수를 조절하는 단계는, 상기 기준신호의 하이 구간에서, 상기 복수의 딜레이신호들 중 하이 상태인 딜레이신호를 탐지하는 단계 및 상기 하이 상태인 딜레이신호의 개수에 따라, 상기 적어도 하나의 파워 트랜지스터의 개수를 결정하는 단계를 포함한다.

[0027] 실시예에 있어서, 상기 게이트 오버드라이브 전압을 조절하는 단계는, 상기 출력전압과 기준전압을 비교하여, 업-다운신호와 에러보상클럭을 생성하는 단계, 상기 출력전압과 기준전압간의 차이에 따라, 커패시터 어레이의 복수의 충전 커패시터들 중 적어도 하나의 충전 커패시터를 활성화시키는 단계, 상기 업-다운신호와 에러보상클럭에 따라 출력되는 제1 내지 제3 스위칭신호에 기초하여, 상기 적어도 하나의 충전 커패시터를 충전시키는 단계 및 상기 적어도 하나의 충전 커패시터에 충전된 전위차에 기초하여, 상기 적어도 하나의 파워 트랜지스터의 게이트전압을 조절하는 단계를 포함한다.

발명의 효과

[0028] 본 출원의 실시 예에 따른 이중모드 LDO 레귤레이터 및 그 동작 방법은, 응답속도가 빠르며, 급격한 로드전류 변화에 따라 발생하는 오버 샷 또는 언더 샷 전압을 보다 빠르게 안정화시키는 동시에, 더 넓은 게이트 오버드라이브 전압을 확보할 수 있다.

도면의 간단한 설명

[0029] 도 1은 본 출원의 일 실시예에 따른 이중모드 LDO 레귤레이터의 블록도이다.

도 2는 도 1의 트랜지스터 어레이에 대한 실시 예이다.

도 3은 도 1의 제1 컨트롤러의 블록도이다.

도 4는 도 3의 제1 컨트롤러의 동작에 대한 타이밍도이다.

도 5는 도 3의 제1 제어부의 블록도이다.

도 6은 도 5의 제1 제어부의 동작 타이밍에 대한 일 실시 예이다.

도 7은 도 5의 제1 제어부의 동작 타이밍에 대한 다른 실시 예이다.

도 8은 도 1의 제2 컨트롤러의 블록도이다.

도 9는 도 8의 멀티스텝 전하펌프부의 블록도이다.

도 10은 도 9의 낸드회로부의 블록도이다.

도 11은 도 8의 회로제어부의 스위칭신호에 대한 타이밍도이다.

도 12는 도 11의 제1 클럭주기(T1)의 제1 스위칭구간에 대한 회로동작부의 동작 예이다.

도 13은 제2 클럭주기(T2)의 제1 스위칭구간에 대한 회로동작부의 동작 예이다.

도 14는 제1 클럭주기(T1)의 제2 스위칭구간에 대한 회로동작부의 동작 예이다.

도 15는 제1 클럭주기(T2)의 제2 스위칭구간에 대한 회로동작부의 동작 예이다.

도 16은 도 1의 이중모드 LDO 레귤레이터에 대한 실시 예이다.

도 17은 도 16의 출력전압에 대한 게이트전압의 시뮬레이션 그래프이다.

도 18은 도 1의 이중모드 LDO 레귤레이터의 동작 순서도이다.

도 19는 도 3의 제1 컨트롤러의 동작 순서도이다.

도 20은 도 8의 제2 컨트롤러의 동작 순서도이다.

발명을 실시하기 위한 구체적인 내용

- [0030] 본 명세서에 개시되어 있는 본 출원의 개념에 따른 실시 예들에 대해서 특정한 구조적 또는 기능적 설명들은 단지 본 출원의 개념에 따른 실시 예들을 설명하기 위한 목적으로 예시된 것으로서, 본 출원의 개념에 따른 실시 예들은 다양한 형태들로 실시될 수 있으며 본 명세서에 설명된 실시 예들에 한정되지 않는다.
- [0031] 본 출원의 개념에 따른 실시 예들은 다양한 변경들을 가할 수 있고 여러 가지 형태들을 가질 수 있으므로 실시 예들을 도면에 예시하고 본 명세서에 상세하게 설명하고자 한다. 그러나, 이는 본 출원의 개념에 따른 실시 예들을 특정한 개시 형태들에 대해 한정하려는 것이 아니며, 본 출원의 사상 및 기술 범위에 포함되는 모든 변경, 균등물, 또는 대체물을 포함한다.
- [0032] 제1 또는 제2 등의 용어는 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 상기 구성 요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성 요소를 다른 구성 요소로부터 구별하는 목적으로만, 예컨대 본 출원의 개념에 따른 권리 범위로부터 이탈되지 않은 채, 제1구성요소는 제2구성요소로 명명될 수 있고, 유사하게 제2구성요소는 제1구성요소로도 명명될 수 있다.
- [0033] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.
- [0034] 본 명세서에서 사용한 용어는 단지 특정한 실시 예를 설명하기 위해 사용된 것으로, 본 출원을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0035] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 출원이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 가진다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 갖는 것으로 해석되어야 하며, 본 명세서에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0036] 이하, 첨부한 도면을 참조하여 본 출원의 바람직한 실시 예를 설명함으로써, 본 출원을 상세히 설명한다.
- [0037] 도 1은 본 출원의 일 실시예에 따른 이중모드 LDO 레귤레이터(10)의 블록도이고, 도 2는 도 1의 트랜지스터 어레이에 대한 실시 예이다.
- [0038] 도 1 내지 도 2를 참조하면, 이중모드 LDO 레귤레이터(10)는 트랜지스터 어레이(100), I-V 컨버터(200), 제1 컨트롤러(300) 및 제2 컨트롤러(400)를 포함할 수 있다.
- [0039] 먼저, 트랜지스터 어레이(100)는 복수의 파워 트랜지스터들(110_1~110_N)을 포함할 수 있다. 이때, 트랜지스터 어레이(100)는 입력전압(V_{IN})이 제공되는 입력노드(N_{IN})에서 드레인측으로 입력전압(V_{IN})을 입력받아 출력전압(V_O)을 소스측으로 출력할 수 있다.
- [0040] 보다 구체적으로, 복수의 파워 트랜지스터들(110_1~110_N)은 POWER MOSFET들일 수 있다. 여기서, 하나의 파워 트랜지스터(예컨대, 110_1)를 제외한 나머지 파워 트랜지스터들(110_2~110_N)은 후술할 제1 컨트롤러(300)에 의해 선택적으로 턴-온 또는 턴-오프될 수 있다. 이때, 하나의 파워 트랜지스터(예컨대, 110_1)는 항상 턴-온 상태를 유지할 수 있다.

- [0041] 본 발명에서, 복수의 파워 트랜지스터들(110_1~110~N)은 입력전압(V_{IN})에 대한 저항을 의미하며, 턴-온된 파워 트랜지스터 개수는 저항의 크기에 대응됨을 의미할 수 있다. 즉, 복수의 파워 트랜지스터들(110_1~110~N)은 드레인 측으로부터 입력받는 입력전압(V_{IN})에 대하여 소스 측으로 출력전압(V_O)을 출력할 때의 저항을 의미할 수 있다.
- [0042] 또한, 트랜지스터 어레이(100)는 복수의 파워 트랜지스터들(110_1~110~N)의 게이트측으로 흐르는 로드전류(I_L)를 감지할 수 있다. 즉, 트랜지스터 어레이(100)는 로드전류(I_L)를 센싱하기 위한 센싱용 트랜지스터들(120_1~120_2)을 더 포함할 수 있다. 여기서, 센싱용 트랜지스터들(120_1~120_2)의 저항 크기는 복수의 파워 트랜지스터들(110_1~110~N)의 저항 크기보다 일정 값 이상 작을 수 있다. 예컨대, 센싱용 트랜지스터들(120_1~120_N)과 복수의 파워 트랜지스터들(110_1~110~N)의 저항 비율은 1:2000 일 수 있다.
- [0043] 이에 따라, 트랜지스터 어레이(100)는 입력전압(V_{IN})을 입력받아, 복수의 파워 트랜지스터들(110_1~110~N)의 게이트측으로 흐르는 로드전류(I_L)를 감지하고, 출력전압(V_O)을 출력할 수 있다.
- [0044] 또한, 트랜지스터 어레이(100)의 각 게이트에는 턴-온 스위치(130)가 연결될 수 있다. 여기서, 턴-온 스위치(130)는 후술될 제1 컨트롤러(300)에 의해 턴-온 또는 턴-오프될 수 있다.
- [0045] 다음으로, I-V 컨버터(200)는 복수의 파워 트랜지스터들(110_1~110~N)을 통해 로드되는 로드전류(I_L)를 피드백 받을 수 있다. 그런 다음, I-V 컨버터(200)는 전류-전압 변환 동작을 통해 로드전류(I_L)를 동작전압(V_S)으로 변환할 수 있다. 보다 구체적으로, I-V 컨버터(200)는 항상 턴-온되는 하나의 파워 트랜지스터(예컨대, 110_1)를 통해 로드된 로드전류(I_L)를 동작전압(V_S)으로 변환할 수 있다.
- [0046] 실시예에 따라, I-V 컨버터(200)는 복수의 파워 트랜지스터들(110_1~110~N)을 통해 출력된 출력전압(V_O)을 전달 받아 제2 컨트롤러(400)에 전달할 수 있다.
- [0047] 다음으로, 제1 컨트롤러(300)는 동작전압(V_S)에 기초하여, 복수의 파워 트랜지스터들(110_1~110~N) 중 적어도 하나의 파워 트랜지스터(예컨대, 110_2, 110_3)를 턴-온 시킬 수 있다. 이때, 제1 컨트롤러(300)는 나머지 파워 트랜지스터들(110_4~110_N)을 턴-오프로 유지시킬 수 있다. 보다 구체적으로, 제1 컨트롤러(300)는 적어도 하나의 파워 트랜지스터(예컨대, 110_2, 110_3)의 각 게이트에 연결된 턴-온 스위치(130)를 스위칭하여 턴-온 또는 턴-오프 시킬 수 있다. 이에 따라, 제1 컨트롤러(300)는 동작전압(V_S)에 기초하여, 턴-온 시킬 적어도 하나의 파워 트랜지스터(110_1~110~N)의 개수를 조절할 수 있다.
- [0048] 여기서, 턴-온은 디지털적으로 2진 Bit '1'을 의미하고, 턴-오프는 디지털적으로 2진 Bit '0'을 의미할 수 있다. 즉, 제1 컨트롤러(300)는 선택적인 턴-온 또는 턴-오프 동작에 해당하는 디지털 형태로, 복수의 파워 트랜지스터들(110_1~110~N)의 개수를 조절할 수 있다.
- [0049] 또한, 복수의 파워 트랜지스터들(110_1~110~N)의 개수는 이중모드 LDO 레귤레이터(10)에서, 입력전압(V_{IN})에 대한 거시적(Coarse) 저항을 의미할 수 있다. 즉, 제1 컨트롤러(300)는 로드전류(I_L)에 따른 동작전압(V_S)에 기초하여, 복수의 파워 트랜지스터들(110_1~110~N)의 개수를 조절함으로써, 입력전압(V_{IN})에 대한 저항을 거시적(Coarse)으로 조절할 수 있다.
- [0050] 다음으로, 제2 컨트롤러(400)는 출력전압(V_O)에 기초하여, 복수의 파워 트랜지스터들(110_1~110~N) 중 턴-온되는 적어도 하나의 파워 트랜지스터(예컨대, 110_2, 110_3)에 대한 게이트 오버드라이브 전압(Gate overdrive voltage)을 조절할 수 있다. 여기서, 게이트 오버드라이브 전압은 트랜지스터의 게이트전압과 트랜지스터에 채널이 형성되어 전류가 흐를 수 있는 기준 전압과의 차이를 의미할 수 있다.
- [0051] 보다 구체적으로, 제2 컨트롤러(400)는 출력전압(V_{OUT})에 기초하여, 복수의 파워 트랜지스터들(110_1~110~N) 중 턴-온되는 적어도 하나의 파워 트랜지스터(예컨대, 110_2, 110_3)의 각 게이트전압을 조절하고, 해당 트랜지스터의 채널 크기를 조절할 수 있다. 이때, 게이트전압이 기준 전압보다 클수록 트랜지스터의 채널 크기가 커지기 때문에, 게이트 오버드라이브 전압은 증가될 수 있다. 또한, 게이트전압이 기준 전압보다 작을수록 트랜지스터의 채널 크기가 작아지기 때문에, 게이트 오버드라이브 전압은 감소될 수 있다. 즉, 제2 컨트롤러(400)는 출력전압(V_O)에 기초하여, 적어도 하나의 파워 트랜지스터(예컨대, 110_2, 110_3)의 각 게이트전압을 조절하고, 이

에 따른 게이트 오버드라이브 전압을 조절시킬 수 있다.

- [0052] 여기서, 게이트 오버드라이브 전압은 이중모드 LDO 레귤레이터(10)에서, 입력전압(V_{IN})에 대한 미세한(Fine) 저항을 의미할 수 있다. 즉, 제2 컨트롤러(400)는 출력전압(V_O)에 기초하여, 게이트 오버드라이브 전압을 조절함으로써, 입력전압(V_{IN})에 대한 저항을 미세하게(Fine) 조절할 수 있다.
- [0053] 본 출원의 실시 예에 따른 이중모드 LDO 레귤레이터(10)는 제1 컨트롤러(300)를 통해 복수의 파워 트랜지스터들(110_2~110_N)을 디지털 방식으로, 턴-온 시켜, 빠른 응답속도로 일정한 출력을 유지시킬 수 있다. 또한, 이중모드 LDO 레귤레이터(10)는 제2 컨트롤러(400)를 통해 아날로그 방식으로, 게이트 오버드라이브 전압을 조절하여, 미세한 저항 조절에 대한 높은 해상도를 가질 수 있다. 이에 따라, 이중모드 LDO 레귤레이터(10)는 급격한 로드 전류 변화에 따라, 종래의 디지털 레귤레이터에서 발생하는 언더슛 또는 오버슛 현상을 보다 빠르게 안정화시킬 수 있다. 또한, 이중모드 LDO 레귤레이터(10)는 저전력 회로 설계에 있어서, 종래의 아날로그 레귤레이터보다 빠른 응답 특성을 가질 수 있다.
- [0054] 도 3은 실시예에 따른 제1 컨트롤러(300)의 블록도이고, 도 4는 도 1의 제1 컨트롤러(300)의 동작에 대한 타이밍도이다.
- [0055] 도 1, 도 3 및 도 4를 참조하면, 제1 컨트롤러(300)는 램프생성부(310), 제1 비교부(320) 및 제1 제어부(330)를 포함할 수 있다.
- [0056] 먼저, 램프생성부(310)는 동작전압(V_S)과 비교되기 위한 램프신호(RAMP)를 생성할 수 있다. 보다 구체적으로, 램프생성부(310)는 후술할 에러-제어 보상부(410)에서 생성되는 업-다운신호(UP, DN)에 기초하여, 램프신호(RAMP)를 생성할 수 있다.
- [0057] 다음으로, 제1 비교부(320)는 램프생성부(310)로부터 생성되는 램프신호(RAMP)와 I-V 컨버터(200)로부터 변환된 동작전압(V_S)을 비교하여 기준신호(Comp)를 생성할 수 있다.
- [0058] 다음으로, 제1 제어부(330)는 기준신호(Comp)를 일정시간($t_1 \sim t_n$)마다 딜레이 시키는 복수의 딜레이셀들(331_1~331_N)을 포함할 수 있다. 보다 구체적으로, 제1 제어부(330)는 복수의 딜레이셀들(331_1~331_N)을 통해 기준신호(Comp)에 대한 복수의 딜레이신호들($d_1 \sim d_n$)을 생성할 수 있다. 즉, 복수의 딜레이셀들(331_1~331_N)은 딜레이된 시간($t_1 \sim t_n$)을 디지털신호($d_1 \sim d_n$)로 변환하는 TDC(Time-Digital Converter)일 수 있다.
- [0059] 또한, 제1 제어부(330)는 기준신호(Comp)의 하이(High) 구간에서, 하이 상태인 딜레이신호(예컨대, $d_1 \sim d_{15}$)의 개수에 따라, 복수의 파워 트랜지스터들(110_1~110_N) 중 턴-온되는 적어도 하나의 파워 트랜지스터(예컨대, 110_2~110_15)의 개수를 조절할 수 있다. 예컨대, 제1 제어부(330)는 기준신호(Comp)의 하이(High) 구간에서, 하이상태인 딜레이신호(예컨대, $d_4 \sim d_8$)의 개수가 5개일 때, 턴-온 시킬 파워 트랜지스터(예컨대, 110_4~110_8)의 개수를 5개로 조절하고, 나머지 파워 트랜지스터(예컨대, 110_2, 110_3, 110_9~110_N)을 턴-오프시킬 수 있다.
- [0060] 보다 구체적으로, 제1 제어부(330)는 기준신호(Comp)의 하이(High) 구간에서, 하이 상태인 딜레이신호(예컨대, d_1 내지 d_{15})의 개수에 따라, 복수의 파워 트랜지스터들(110_2~110_N) 중 턴-온되는 적어도 하나의 파워 트랜지스터(예컨대, 110_2~110_N)의 개수를 결정할 수 있다. 그런 다음, 제1 제어부(330)는 턴-온 시킬 개수에 따라, 복수의 파워 트랜지스터들(110_2~110_N) 중 적어도 하나의 파워 트랜지스터(예컨대, 110_2~110_N)를 턴-온 시킬 수 있다. 이때, 제1 제어부(330)는 나머지 파워 트랜지스터를 턴-오프 시킬 수 있다.
- [0061] 여기서, 복수의 파워 트랜지스터들(110_2~110_N)이 제1 제어부(330)에 의해 일정 개수 이상 턴-온될 때, 로드전류는 헤비로드(Heavy Load) 상태일 수 있다. 예컨대, 도 4에 도시된 바와 같이, 제1 제어부(330)는 기준신호(Comp)의 하이(High) 구간에서, 하이 상태인 딜레이신호(예컨대, d_1 내지 d_{15})의 개수가 15개일 때, 파워 트랜지스터(예컨대, 110_2~110_N) 15개를 턴-온시킬 수 있다. 이때, 제1 제어부(330)는 로드전류를 헤비로드(Heavy Load) 상태로 판단할 수 있다.
- [0062] 또한, 제1 제어부(330)는 기준신호(Comp)의 하이(High) 구간에서, 하이 상태인 딜레이신호(예컨대, d_1)의 개수에 따라, 턴-오프 시킬 파워 트랜지스터(예컨대, 110_3~110_N)의 개수를 조절할 수 있다. 보다 구체적으로, 제1 제어부(330)는 기준신호(Comp)의 하이(High) 구간에서, 하이 상태인 딜레이신호(예컨대, d_1)의 개수에 따라, 복수의 파워 트랜지스터들(110_2~110_N) 중 턴-오프 시킬 개수를 결정할 수 있다. 그런 다음, 제1 제어부(330)는 턴-오프 시킬 개수에 따라, 복수의 파워 트랜지스터들(110_2~110_N) 중 적어도 하나의 파워 트랜지스터(예컨대,

110_3~110_15)를 턴-오프 시킬 수 있다.

- [0063] 이때, 복수의 파워 트랜지스터들(110_2~110_N)이 제1 제어부(330)에 의해 일정 개수 미만 턴-온될 때, 로드전류는 라이트로드(Light Load) 상태일 수 있다. 예컨대, 도 4에 도시된 바와 같이, 제1 제어부(330)는 기준신호(Comp)의 하이(High) 구간에서, 하이 상태인 딜레이신호(예컨대, d1)의 개수가 1개일 때, 파워 트랜지스터(예컨대, 110_2)의 1개를 턴-온시킬 수 있다. 이때, 제1 제어부(330)는 로드전류를 라이트로드(Light Load) 상태로 판단할 수 있다.
- [0064] 실시예에 따라, 제1 제어부(330)는 도 5에 도시된 바와 같이, 상승에지 검출기(333)를 더 포함할 수 있다. 이하, 도 5 내지 도 7을 참조하여, 상승에지 검출기(333)에 의한 제1 제어부(330)의 동작을 보다 구체적으로 설명한다.
- [0065] 도 5는 도 3의 제1 제어부(330)의 블록도이고, 도 6은 도 5의 제1 제어부(330)의 동작 타이밍에 대한 일 실시 예이고, 도 7은 도 5의 제1 제어부(330)의 동작 타이밍에 대한 다른 실시 예이다.
- [0066] 여기서, 상승에지 검출기(333)는 복수의 딜레이셀들(331_1~331_N)을 통해 출력된 복수의 딜레이신호들(d1~dn)의 하이 상태인 상승구간에서, 상승이 시작되는 데드타임(Dead-Time)을 검출할 수 있다. 이에 따라, 제1 제어부(330)는 도 5 내지 도 7에 도시된 바와 같이, 상승에지 검출기(333)를 통해 기준신호(Comp)의 하이(High) 구간에서, 복수의 딜레이신호들(d1~dn)에 대한 데드타임, 동작구간, 및 상승구간을 확인할 수 있다.
- [0067] 그런 다음, 제1 제어부(330)는 복수의 딜레이신호들(d1~dn)의 상승구간에서 데드타임을 제외한 동작구간과 기준신호(Comp)의 하이구간을 비교하여, 턴-온 시킬 적어도 하나의 파워 트랜지스터(예컨대, 110_2~110_15)의 개수를 조절할 수 있다. 보다 구체적으로, 기준신호(Comp)의 하이(High) 구간에서, 동작구간이 하이 상태인 딜레이신호(예컨대, d1~d15)의 개수에 따라, 제1 제어부(330)는 턴-온 시킬 적어도 하나의 파워 트랜지스터(예컨대, 110_2~110_15)의 개수를 조절할 수 있다.
- [0068] 예컨대, 도 6에 도시된 바와 같이, 제1 제어부(330)는 턴-온 시킬 적어도 하나의 파워 트랜지스터(예컨대, 110_2~110_15)의 개수를 데드타임(Dead-Time) 이후에, 동작구간에서 조절할 수 있다.
- [0069] 또한, 도 7에 도시된 바와 같이, 데드타임(Dead-Time)이 기준신호(Comp)의 하이(High) 구간에서 하이 상태이고, 동작구간이 기준신호(Comp)의 하이(High) 구간의 하이 상태에 해당하지 않을 수 있다. 이때, 제1 제어부(330)는 이전 딜레이신호(d1)의 따라 조절된 적어도 하나의 파워 트랜지스터(예컨대, 110_1, 110_2)의 개수를 유지시킬 수 있다.
- [0070] 도 8은 도 1의 제2 컨트롤러(400)의 블록도이다.
- [0071] 도 1과 도 2 및 도 8을 참조하면, 제2 컨트롤러(400)는 에러 보상부(410)와 멀티스텝 전하펌프부(420)를 포함할 수 있다.
- [0072] 먼저, 에러 보상부(410)는 제2 비교부(411), 클럭제공부(413) 및 피드백부(415)를 포함하는 에러-제어 진동기(Error-Controlled Oscillator, ECO)일 수 있다.
- [0073] 보다 구체적으로, 제2 비교부(411)는 출력전압(V_{OUT})과 기준전압(V_{ref})을 비교하여 업-다운신호(UP, DN)를 생성할 수 있다. 예를 들면, 제2 비교부(411)는 출력전압(V_{OUT})이 기준전압(V_{ref})보다 클 때, 업신호(UP) 1과 다운 신호(DN) 0을 생성하고, 출력전압(V_{OUT})이 기준전압(V_{ref})보다 작을 때, 업신호(UP) 0과 다운 신호(DN) 1을 출력할 수 있다.
- [0074] 이때, 업-다운신호(UP, DN)가 연속적으로 일정 개수 이상 동일하게 출력될 때, 제2 비교부(411)는 제1 컨트롤러(300)를 리셋시킬 수 있다. 이에 따라, 제1 컨트롤러(300)는 턴-온 시킬 적어도 하나의 파워 트랜지스터(예컨대, 110_2~110_15)의 개수를 재조절할 수 있다. 예컨대, 업-다운신호(UP, DN)가 연속적으로 4번 이상 동일하게 출력될 때, 제2 비교부(411)는 제1 컨트롤러(300)를 리셋시킬 수 있다.
- [0075] 다음으로, 클럭제공부(413)는 업-다운신호(UP, DN)에 기초하여, AND 게이트(413_1)와 제1 적분기들(413_3)을 통해 보상된 에러보상클럭(CLK_{eco})을 멀티스텝 전하펌프부(420)에 제공할 수 있다. 다음으로, 피드백부(415)는 제1 적분기들(413_3)에 연결된 제2 적분기들(415)을 통해 에러보상클럭(CLK_{eco})을 제2 비교부(411)에 피드백 시킬 수 있다.

- [0076] 즉, 에러 보상부(410)는 출력전압(V_{OUT})과 기준전압(V_{REF})에 따라, 제2 비교부(411), 클럭제공부(413) 및 피드백부(415)를 통해 업-다운신호(UP, DN)와 에러보상클럭(CLK_{eco})을 생성할 수 있다. 이때, 에러 보상부(410)는 업-다운신호(UP, DN)를 램프생성부(310)에 제공하고, 에러보상클럭(CLK_{eco})을 멀티스텝 전하펌프부(420)에 제공할 수 있다.
- [0077] 다음으로, 멀티스텝 전하펌프부(420)는 입력노드(N_{in})와 적어도 하나 이상의 파워 트랜지스터($110_1 \sim 110_N$)의 게이트 측 노드(N_G)를 전기적으로 연결할 수 있다. 이때, 멀티스텝 전하펌프부(420)는 업-다운신호(UP, DN)와 에러보상클럭(CLK_{eco})에 따라, 턴-온된 적어도 하나 이상의 파워 트랜지스터($110_1 \sim 110_N$)의 게이트전압(V_G)을 조절할 수 있다.
- [0078] 이러한 멀티스텝 전하펌프부(420)는 게이트전압(V_G)을 조절하기 위하여, 제1 내지 제3 스위칭부(431~433), 커패시터 어레이($434_1 \sim 434_N$) 및 게이트측 커패시터(C_{GATE})를 포함할 수 있다.
- [0079] 여기서, 커패시터 어레이($434_1 \sim 434_N$)는 복수의 충전 커패시터들($C_{c1} \sim C_{cn}$)을 포함할 수 있다. 이어서, 제1 스위칭부(431)는 커패시터 어레이($434_1 \sim 434_N$)의 일 측과 접지를 연결할 수 있다. 다음으로, 제2 스위칭부(432)는 커패시터 어레이($434_1 \sim 434_N$)의 일 측과 트랜지스터 어레이(100)의 게이트 측 노드를 연결할 수 있다. 다음으로, 제3 스위칭부(433)는 입력노드(N_{in})와 접지를 연결할 수 있다. 이때, 게이트측 커패시터(C_{GATE})는 입력노드(N_{in})와 게이트 측 노드(N_G) 사이에 병렬로 연결된 커패시터일 수 있다.
- [0080] 즉, 멀티스텝 전하펌프부(420)는 업-다운신호(UP, DN)와 에러보상클럭(CLK_{eco})에 따라, 제1 내지 제3 스위칭부(431~433)를 스위칭하여, 복수의 파워 트랜지스터들($110_1 \sim 110_N$) 중 턴-온되는 적어도 하나 이상의 파워 트랜지스터($110_1 \sim 110_N$)의 게이트전압(V_G)을 조절할 수 있다.
- [0081] 이하, 도 9 내지 도 11을 참조하여, 멀티스텝 전하펌프부(420)에 대해 보다 구체적으로 설명한다.
- [0082] 도 9는 실시예에 따른 멀티스텝 전하펌프부(420)의 블록도이다.
- [0083] 도 9를 참조하면, 멀티스텝 전하펌프부(420)는 회로동작부(430)와 회로제어부(440)를 포함할 수 있다. 여기서, 회로동작부(430)는 제1 내지 제3 스위칭부(431~433)와 커패시터 어레이($434_1 \sim 434_N$)를 포함하고, 도 8에서 설명된 기능과 구성이 동일하므로, 중복된 설명은 생략한다.
- [0084] 다음으로, 회로제어부(440)는 D 플립플롭(441) 및 커패시터 컨트롤러(442)를 포함할 수 있다.
- [0085] D 플립플롭(441)은 업-다운신호(UP, DN)를 입력받아, 기설정된 클록 주기마다 업-다운신호(UP_{DFF} , DN_{DFF})를 교대로 출력할 수 있다. 예를 들면, D 플립플롭(441)은 업-다운신호(UP, DN)를 입력받아, 도 11에 도시된 바와 같이, 제1 클록 주기에서, 다운신호(DN_{DFF})를 출력하고, 다음 클록 주기에서, 업신호(UP_{DFF})를 출력할 수 있다. 이후, D 플립플롭(441)은 다음 클록 주기마다 다운신호(DN_{DFF})와 업신호(UP_{DFF})를 교대로 출력할 수 있다.
- [0086] 다음으로, 커패시터 컨트롤러(442)는 출력전압(V_{OUT})과 기준전압(V_{REF}) 간의 차이에 따라, 커패시터 어레이($434_1 \sim 434_N$)의 복수의 충전 커패시터들($C_{c1} \sim C_{cn}$) 중 적어도 하나의 충전 커패시터들(예컨대, $C_{c2} \sim C_{c4}$)을 선택할 수 있다. 보다 구체적으로, 커패시터 컨트롤러(442)는 출력전압(V_{OUT})과 기준전압(V_{REF})간의 차이에 비례하는 개수에 따라, 복수의 충전 커패시터들($C_{c1} \sim C_{cn}$) 중 적어도 하나의 충전 커패시터들(예컨대, $C_{c2} \sim C_{c4}$)을 활성화시킬 수 있다. 예를 들면, 출력전압(V_{OUT})과 기준전압(V_{REF})간의 차이가 1V일 때, 커패시터 컨트롤러(442)는 15개의 충전 커패시터(예컨대, $C_{c1} \sim C_{c15}$)를 활성화시키고, 출력전압(V_{OUT})과 기준전압(V_{REF})간의 차이가 2V일 때, 커패시터 컨트롤러(442)는 30개의 충전 커패시터(예컨대, $C_{c1} \sim C_{c30}$)를 활성화시킬 수 있다.
- [0087] 즉, 커패시터 컨트롤러(442)는 출력전압(V_{OUT})과 기준전압(V_{REF})간의 차이에 비례하여, 적어도 하나의 충전 커패시터들(예컨대, $C_{c2} \sim C_{c4}$)의 개수를 증가시키으로써, 충전용량을 증가시킬 수 있다. 이에 따라, 출력전압(V_{OUT})과 기준전압(V_{REF})의 차이가 일정 이상인 경우에도, 커패시터 컨트롤러(442)는 증가된 충전용량에 기초하여 출력전

압(V_{OUT})을 보다 빠르게 안정화시킬 수 있다.

- [0088] 또한, 커패시터 컨트롤러(442)는 에러보상클럭(CLK_{eco})에 따라, 제1 및 제2 스위칭부(431, 432)를 스위칭시키는 제1 및 제2 스위칭신호(ϕ_1, ϕ_2)를 출력할 수 있다.
- [0089] 보다 구체적으로, 커패시터 컨트롤러(442)는 D 플립플롭(441)을 통해 업-다운신호(UP_{DFF}, DN_{DFF})가 출력된 어느 한 클럭주기에서, 에러보상클럭(CLK_{eco})에 따라, 제1 및 제2 스위칭신호(ϕ_1, ϕ_2)를 교대로 출력할 수 있다. 예를 들면, 도 11에 도시된 바와 같이, D 플립플롭(441)을 통해 다운신호(DN_{DFF})가 출력된 제1 클럭주기에서, 커패시터 컨트롤러(442)는 에러보상클럭(CLK_{eco})에 따라, 제1 스위칭신호(ϕ_1)를 출력한 다음에, 제2 스위칭신호(ϕ_2)를 출력하며, 이후에, 제1 스위칭신호(ϕ_1)를 출력할 수 있다. 즉, 제1 스위칭신호(ϕ_1)가 하이(HIGH)일 때, 제2 스위칭신호(ϕ_2)는 로우(LOW)이고, 제1 스위칭신호(ϕ_1)가 로우(LOW)일 때, 제2 스위칭신호(ϕ_2)는 하이(HIGH)일 수 있다.
- [0090] 실시예에 따른 커패시터 컨트롤러(442)는 낸드회로부(443)를 이용하여 제3 스위칭부(433)를 스위칭시킬 수 있다.
- [0091] 보다 구체적으로, 낸드회로부(443)는 도 11에 도시된 바와 같이, 상기 어느 한 클럭주기에서, 제1 및 제2 스위칭신호(ϕ_1, ϕ_2)와 D 플립플롭(441)을 통해 출력된 업-다운신호(UP_{DFF}, DN_{DFF})에 기초하여, 제3 스위칭신호(V_{CP})를 출력할 수 있다.
- [0092] 여기서, 낸드회로부(443)는 도 10에 도시된 바와 같이, 제1 내지 제3 낸드게이트(443_1~443_3)를 포함할 수 있다. 보다 구체적으로, 제1 낸드게이트(443_1)는 다운신호(DN_{DFF})와 제1 스위칭신호(ϕ_1)를 입력받아 낸드연산할 수 있다. 또한, 제2 낸드게이트(443_2)는 업신호(UP_{DFF})와 제2 스위칭신호(ϕ_2)를 입력받아 낸드연산할 수 있다. 또한, 제3 낸드게이트(443_3)는 제1 및 제2 낸드게이트(443_1, 443_2)의 출력측과 연결되고, 낸드연산할 수 있다.
- [0093] 즉, 커패시터 컨트롤러(442)는 낸드회로부(443)를 통해 출력된 제3 스위칭신호(V_{CP})에 기초하여, 커패시터 어레이(434_1~434_N)의 타 측을 입력노드(N_{in}) 또는 접지에 연결시키도록 제3 스위칭부(433)를 스위칭시킬 수 있다.
- [0094] 예를 들면, 제1 내지 제3 낸드게이트(443_1~443_3)를 통해 낸드연산된 출력값이 0인 경우, 커패시터 컨트롤러(442)는 제3 스위칭부(433)를 통해 커패시터 어레이(434_1~434_N)의 타 측을 입력노드(N_{in})에 연결시킬 수 있다. 또한, 제1 내지 제3 낸드게이트(443_1~443_3)를 통해 낸드연산된 출력값이 1인 경우, 커패시터 컨트롤러(442)는 제3 스위칭부(433)를 통해 커패시터 어레이(434_1~434_N)의 타 측을 접지에 연결시킬 수 있다.
- [0095] 이하, 도 11 내지 도 15를 참조하여, 회로제어부(440)에서 출력된 스위칭신호에 따른 회로동작부(430)의 동작에 대해 보다 구체적으로 설명한다.
- [0096] 도 11은 도 8의 회로제어부(440)의 스위칭신호에 대한 타이밍도이고, 도 12는 도 11의 제1 클럭주기($T1$)의 제1 스위칭구간에 대한 회로동작부(430)의 동작 예이며, 도 13은 제2 클럭주기($T2$)의 제1 스위칭구간에 대한 회로동작부(430)의 동작 예이고, 도 14는 제1 클럭주기($T1$)의 제2 스위칭구간에 대한 회로동작부(430)의 동작 예이며, 도 15는 제1 클럭주기($T2$)의 제2 스위칭구간에 대한 회로동작부(430)의 동작 예이다.
- [0097] 먼저, 도 11과 도 12를 참조하면, 회로동작부(430)는 제1 클럭주기($T1$)에서, 제1 스위칭구간($t1\phi_1$)동안 제1 스위칭부(431)를 통해 커패시터 어레이(434_1~434_N)의 일 측을 접지에 연결할 수 있다. 보다 구체적으로, 제1 스위칭부(431)는 제1 스위칭구간($t1\phi_1$)동안 출력된 제1 스위칭신호(ϕ_1)에 기초하여, 커패시터 어레이(434_1~434_N)의 일 측과 접지를 연결할 수 있다.
- [0098] 여기서, 제1 클럭주기($T1$)는 도 9에서 설명된 D 플립플롭(441)을 통해 업-다운신호(UP_{DFF}, DN_{DFF})가 출력된 어느 한 클럭주기일 수 있다. 또한, 제1 내지 제3 스위칭구간들($t1\phi_1, t2\phi_2, t3\phi_1$)은 도 9에서 설명된 커패시터 컨트롤러(442)를 통해 제1 및 제2 스위칭신호가 교대로 출력되는 주기일 수 있다.
- [0099] 이때, 회로동작부(430)는 제3 스위칭부(433)를 통해 커패시터 어레이(434_1~434_N)의 타 측을 접지에 연결할 수 있다. 예컨대, 낸드회로부(443)로부터 출력된 제3 스위칭신호(V_{CP})가 도 11에 도시된 바와 같이, 하이(HIGH)인 1

의 값인 경우, 제3 스위칭부(433)는 커패시터 어레이(434_1~434_N)의 타 측을 접지에 연결할 수 있다. 이에 따라, 커패시터 어레이(434_1~434_N)는 양 측이 접지와 연결된 이유로, 충전된 전위차는 0일 수 있다.

[0100] 다음으로, 도 11과 도 13을 참조하면, 회로동작부(430)는 제2 클럭주기(T2)에서, 제1 스위칭구간(t1φ1)동안 제1 스위칭부(431)를 통해 커패시터 어레이(434_1~434_N)의 일 측을 접지에 연결할 수 있다.

[0101] 이때, 회로동작부(430)는 제3 스위칭부(433)를 통해 커패시터 어레이(434_1~434_N)의 타 측을 입력노드(N_{in})에 연결할 수 있다. 이에 따라, 커패시터 어레이(434_1~434_N)는 입력노드(N_{in})로부터 제공된 입력전압(V_{IN})에 기초하여 일정전압을 충전할 수 있다.

[0102] 다음으로, 도 11과 도 14를 참조하면, 회로동작부(430)는 제1 클럭주기(T1)에서, 제2 스위칭구간(t2φ2)동안 제2 스위칭부(432)를 통해 커패시터 어레이(434_1~434_N)의 일 측을 트랜지스터 어레이(100)의 게이트 측 노드(N_G)에 연결할 수 있다. 보다 구체적으로, 제2 스위칭부(432)는 제2 스위칭구간(t2φ2)동안 출력되는 제2 스위칭신호(φ₂)에 기초하여, 커패시터 어레이(434_1~434_N)의 일 측과 트랜지스터 어레이(100)를 연결할 수 있다.

[0103] 이때, 회로동작부(430)는 제3 스위칭부(433)를 통해 커패시터 어레이(434_1~434_N)의 타 측을 입력노드(N_{in})에 연결할 수 있다. 예컨대, 낸드회로부(443)로부터 출력된 제3 스위칭신호(V_{CP})가 로우(LOW)인 0의 값인 경우, 제3 스위칭부(433)는 도 11에 도시된 바와 같이, 커패시터 어레이(434_1~434_N)의 타 측을 입력노드(N_{in})에 연결할 수 있다.

[0104] 이에 따라, 커패시터 어레이(434_1~434_N)는 트랜지스터 어레이(100)의 게이트 측 노드(N_G)와 입력노드(N_{in})를 전기적으로 연결할 수 있다. 보다 구체적으로, 커패시터 어레이(434_1~434_N)가 제2 스위칭구간(t2φ2)동안 게이트 측 노드(N_G)와 입력노드(N_{in})를 전기적으로 연결할 때, 커패시터 컨트롤러(442)는 제1 스위칭구간(t1φ1)동안 충전된 전위차(예컨대, 0)를 제2 스위칭구간(t2φ2)동안 그대로 유지할 수 있다.

[0105] 그런 다음, 커패시터 어레이(434_1~434_N)가 게이트 측 노드(N_G)와 입력노드(N_{in})를 연결할 때, 커패시터 컨트롤러(442)는 커패시터 어레이(434_1~434_N)에 충전된 전위차(예컨대, 0)에 따라, 입력전압(V_{IN})에 대한 게이트 측 노드(N_G)의 게이트전압(V_G)을 양(+)의 전압으로 증가시킬 수 있다.

[0106] 여기서, 게이트전압(V_G)은, 다음의 수학적식(1)과 같이, 게이트 커패시터(C_{GATE}) 대 활성화된 적어도 하나의 커패시터(C₁~C_N) 간의 용량비와 입력전압(V_{IN})을 곱한 값일 수 있다. 보다 구체적으로, 수학적식 (1)은 $V_G = +\{(C_1 \sim C_N) / (C_{GATE})\} * (V_{IN})$ 이고, 이때, 게이트 커패시터(C_{GATE})의 커패시턴스 값이고, 커패시터 어레이(434_1~434_N)에서 활성화된 적어도 하나의 커패시터(C₁~C_N)의 커패시턴스 값일 수 있다. 그리고, 게이트 커패시터(C_{GATE})의 용량은 상기 활성화된 적어도 하나의 커패시터(C₁~C_N)에 비해 일정 이상 크기를 가질 수 있다. 즉, 게이트전압(V_G)은 도 11에 도시된 바와 같이, 제1 클럭 주기(T1)의 제2 스위칭구간(t2φ2)부터 제2 클럭 주기(T3)의 제2 스위칭구간(t2φ2) 이전까지 회로제어부(440)의 스위칭신호들에 의해 양(+)의 전압으로 조절될 수 있다.

[0107] 다음으로, 도 11과 도 15를 참조하면, 회로동작부(430)는 제2 클럭주기(T2)에서, 제2 스위칭구간(t2φ2)동안 제2 스위칭부(432)를 통해 커패시터 어레이(434_1~434_N)의 일 측을 트랜지스터 어레이(100)의 게이트 측 노드(N_G)에 연결할 수 있다. 보다 구체적으로, 제2 스위칭부(432)는 제2 스위칭구간(t2φ2)동안 출력되는 제2 스위칭신호(φ₂)에 기초하여, 커패시터 어레이(434_1~434_N)의 일 측과 트랜지스터 어레이(100)를 연결할 수 있다.

[0108] 이때, 회로동작부(430)는 제3 스위칭부(433)를 통해 커패시터 어레이(434_1~434_N)의 타 측을 접지에 연결할 수 있다. 이에 따라, 커패시터 어레이(434_1~434_N)는 양단이 트랜지스터 어레이(100)의 게이트 측 노드(N_G)와 접지를 전기적으로 연결할 수 있다. 보다 구체적으로, 커패시터 어레이(434_1~434_N)가 제2 스위칭구간(t2φ2)동안 게이트 측 노드(N_G)와 접지를 연결할 때, 커패시터 컨트롤러(442)는 제1 스위칭구간(t1φ1)동안 충전된 전위차(예컨대, V_{IN})를 제2 스위칭구간(t2φ2)동안 그대로 유지할 수 있다.

[0109] 그런 다음, 커패시터 어레이(434_1~434_N)가 게이트 측 노드(N_G)와 접지를 연결할 때, 커패시터 컨트롤러(442)

는 커패시터 어레이(434_1~434_N)에 충전된 전위차(예컨대, V_{IN})에 따라, 접지연결에 대한 게이트 측 노드(N_G)의 게이트전압(V_G)을 음(-)의 전압으로 감소시킬 수 있다.

[0110] 여기서, 게이트전압(V_G)은, 다음의 수학적식(2)과 같이, 게이트 커패시터(C_{GATE}) 대 복수의 커패시터들($C_1 \sim C_N$) 중 활성화된 적어도 하나의 커패시터 간의 용량비와 입력전압(V_{IN})을 곱한 값일 수 있다. 보다 구체적으로, 수학적식(2)은 $V_G = -\{(C_1 \sim C_N)/(C_{GATE})\} * (V_{IN})$ 이다. 이때, C_{GATE} 는 게이트 커패시터(C_{GATE})의 커패시턴스 값이고, $C_1 \sim C_N$ 는 커패시터 어레이(434_1~434_N)에서 활성화된 적어도 하나의 커패시터($C_1 \sim C_N$)의 커패시턴스 값일 수 있다. 그리고, 게이트 커패시터(C_{GATE})의 용량은 활성화된 적어도 하나의 커패시터($C_1 \sim C_N$)에 비해 일정 이상 크기를 가질 수 있다. 즉, 게이트전압(V_G)은 도 11에 도시된 바와 같이, 제2 클럭 주기(T_2)의 제2 스위칭구간($t_2\phi 2$)부터 제3 클럭 주기(T_3)의 제2 스위칭구간($t_2\phi 2$) 이전까지 회로제어부(440)의 스위칭신호들에 의해 음(-)의 전압으로 조절될 수 있다.

[0111] 도 16은 도 1의 이중모드 LDO 레귤레이터(10)에 대한 실시 예이고, 도 17은 도 16의 출력전압에 대한 게이트전압의 시뮬레이션 그래프이다. 도 16에서, 이중모드 LDO 레귤레이터(10)는 제1 컨트롤러(300)를 제외하고, 도 1 내지 도 15에 설명된 기능과 동작이 동일하므로, 동일부호로 표기된 중복된 구성 및 동작 설명은 생략한다.

[0112] 도 16을 참조하면, 제2 컨트롤러(400)는 7비트 2진 카운터(350)를 더 포함할 수 있다. 이에 따라, 커패시터 어레이(434_1~434_N)는 최대 256개의 충전 커패시터들($C_1 \sim C_{256}$)을 포함할 수 있다.

[0113] 이때, 도 17에 도시된 바와 같이, 출력전압(V_{OUT})과 기준전압(V_{ref}) 간의 차이가 일정 이상인 이벤트구간(T_{max})일 때, 제2 컨트롤러(400)는 7비트 2진 카운터(350)를 이용하여, 최대 256개의 충전 커패시터들($C_1 \sim C_{256}$)을 활성화시킬 수 있다. 이에 따라, 출력전압(V_{OUT})과 기준전압 간의 차이가 일정 이상인 경우, 제1 컨트롤러(300)는 게이트전압(V_G)을 보다 빠르게 증가 또는 감소시킬 수 있다.

[0114] 이후, 도 17에 도시된 바와 같이, 출력전압(V_{OUT})과 기준전압 간의 차이가 일정 미만인 일반구간(T_{steady})일 때, 도 1 내지 도 15에서 상술된 바와 같이, 동작전압(V_S)에 기초하여, 복수의 파워 트랜지스터들(110_1~110_N) 중 적어도 하나의 파워 트랜지스터(예컨대, 110_2, 110_3)를 턴-온시킬 수 있다.

[0115] 본 발명의 실시예에 따른 이중모드 LDO 레귤레이터(10)는 도 1 내지 도 17을 참조하여 상술된 바와 같이, 제1 컨트롤러(300)를 통해 적어도 하나의 파워 트랜지스터(예컨대, 110_2~110_3)를 턴-온시킬 수 있다. 이에 따라, 이중모드 LDO 레귤레이터(10)는 빠른 응답속도로 일정한 출력전압(V_{OUT})을 유지시킬 수 있는 효과가 있다. 또한, 이중모드 LDO 레귤레이터(10)는 제2 컨트롤러(400)를 통해 턴-온된 적어도 하나의 파워 트랜지스터(예컨대, 110_2~110_3)의 게이트 오버드라이브 전압을 음(-) 또는 양(+)의 전압으로 조절할 수 있다. 이에 따라, 이중모드 LDO 레귤레이터(10)는 더 넓은 게이트 오버드라이브 전압을 확보함으로써, 미세한 저항 조절에 대한 높은 해상도를 가질 수 있는 효과가 있다.

[0116] 도 18은 도 1의 이중모드 LDO 레귤레이터(10)의 동작 순서도이다.

[0117] 도 1과 도 18을 참조하면, 먼저, S110 단계에서, 트랜지스터 어레이(100)는 입력전압(V_{IN})을 입력받을 수 있다.

[0118] 다음으로, S120 단계에서, I-V 컨버터(200)는 트랜지스터 어레이(100)를 통해 입력전압(V_{IN})에 따라 로드된 로드 전류를 피드백 받고, 동작전압(V_S)으로 변환할 수 있다.

[0119] 다음으로, S130 단계에서, 제1 컨트롤러(300)는 동작전압(V_S)에 기초하여, 트랜지스터 어레이(100)에 포함된 복수의 파워 트랜지스터들(110_1~110_N) 중 적어도 하나의 파워 트랜지스터(예컨대, 110_2~110_3)를 턴-온시킬 수 있다.

[0120] 이후, S140 단계에서, 제2 컨트롤러(400)는 트랜지스터 어레이(100)로부터 출력되는 출력전압(V_{OUT})에 기초하여, 턴-온된 적어도 하나의 파워 트랜지스터(예컨대, 110_2~110_3)의 게이트 오버드라이브 전압을 조절할 수 있다.

[0121] 도 19는 도 3의 제1 컨트롤러(300)의 동작 순서도이다.

[0122] 도 3과 도 19를 참조하면, 먼저, S210 단계에서, 램프생성부(310)는 업-다운신호에 응답하여 동작전압(V_S)과 비

교되기 위한 램프신호(RAMP)를 생성할 수 있다.

- [0123] 다음으로, S220 단계에서, 제1 비교부(320)는 램프신호(RAMP)와 동작전압(V_S)을 비교하여 기준신호(Comp)를 생성할 수 있다.
- [0124] 다음으로, S230 단계에서, 제1 제어부(330)는 기준신호(Comp)를 일정시간($t_1 \sim t_n$)마다 딜레이 시키는 복수의 딜레이셀들(331_1~331_N)을 통해 기준신호(Comp)에 대한 복수의 딜레이신호들($d_1 \sim d_n$)을 생성할 수 있다.
- [0125] 이후, S240 단계에서, 제1 제어부(330)는 기준신호(Comp)와 복수의 딜레이신호들($d_1 \sim d_n$)을 비교하여 턴-온 시킬 적어도 하나의 파워 트랜지스터(예컨대, 110_2~110_15)의 개수를 조절할 수 있다. 보다 구체적으로, 기준신호(Comp)의 하이(High) 구간에서, 하이 상태인 딜레이신호(예컨대, $d_1 \sim d_{15}$)의 개수에 따라, 제1 제어부(330)는 턴-온 시킬 적어도 하나의 파워 트랜지스터(예컨대, 110_2~110_15)의 개수를 조절할 수 있다.
- [0126] 도 20은 도 8의 제2 컨트롤러(400)의 동작 순서도이다.
- [0127] 도 8 내지 도 15와 도 20을 참조하면, 먼저, S310 단계에서, 에러 보상부(410)는 출력전압(V_{OUT})과 기준전압(V_{ref})을 비교하여, 업-다운신호(UP, DN)와 에러보상클럭(CLK_{eco})을 생성할 수 있다.
- [0128] 그런 다음, S320 단계에서, 에러 보상부(410)는 업-다운신호(UP, DN)를 램프생성부(310)에 제공하고, 에러보상클럭(CLK_{eco})을 멀티스텝 전하펌프부(420)에 제공할 수 있다.
- [0129] 다음으로, S330 단계에서, 멀티스텝 전하펌프부(420)는 출력전압(V_{OUT})과 기준전압(V_{ref})간의 차이에 따라, 커패시터 어레이(434_1~434_N)의 복수의 충전 커패시터들($C_1 \sim C_N$) 중 적어도 하나의 충전 커패시터(예컨대, $C_1 \sim C_6$)를 활성화시킬 수 있다.
- [0130] 그런 다음, S340 단계에서, 멀티스텝 전하펌프부(420)는 업-다운신호(UP, DN) 및 에러보상클럭(CLK_{eco})에 따라, 제1 내지 제3 스위칭신호들(ϕ_1, ϕ_2, V_P)을 출력할 수 있다.
- [0131] 이때, S350 단계에서, 멀티스텝 전하펌프부(420)는 제1 내지 제3 스위칭신호들(ϕ_1, ϕ_2, V_P)에 기초하여, 적어도 하나의 충전 커패시터(예컨대, $C_1 \sim C_6$)에 충전시킬 수 있다.
- [0132] 이후, S360 단계에서, 멀티스텝 전하펌프부(420)는 적어도 하나의 충전 커패시터(예컨대, $C_1 \sim C_6$)에 충전된 전위차에 기초하여, 트랜지스터 어레이(100)의 게이트 측 노드(N_G)의 게이트전압(V_G)을 조절할 수 있다.
- [0133] 본 출원은 도면에 도시된 일 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 출원의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

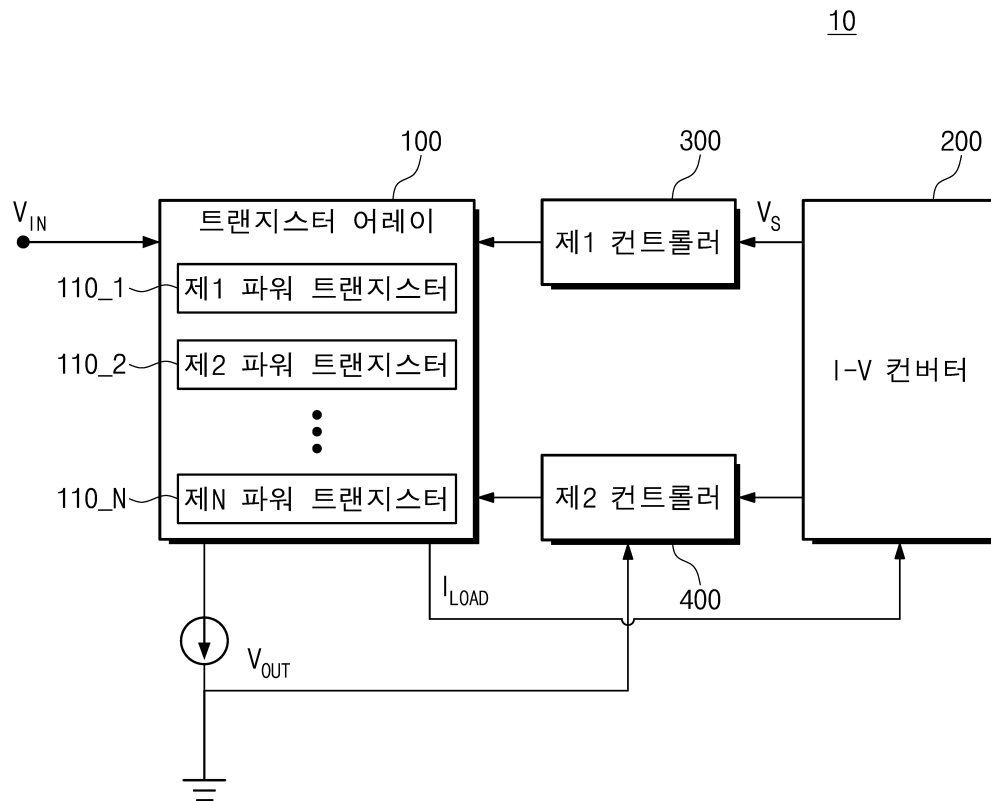
부호의 설명

- [0134] 10: 이중모드 LDO 레귤레이터
- 100: 트랜지스터 어레이
- 200: I-V 컨버터
- 300: 제1 컨트롤러
- 310: 램프생성부
- 320: 제1 비교부
- 330: 제1 제어부
- 400: 제2 컨트롤러
- 410: 에러-제어 보상부
- 411: 제2 비교부
- 413: 클럭제공부

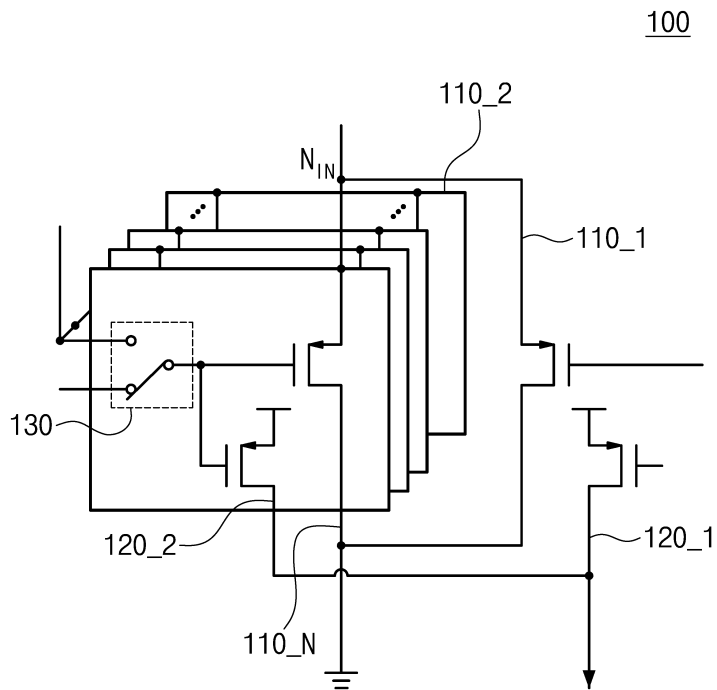
- 415: 피드백부
- 420: 멀티-스텝 전하펌프부
- 430: 회로동작부
- 440: 회로제어부

도면

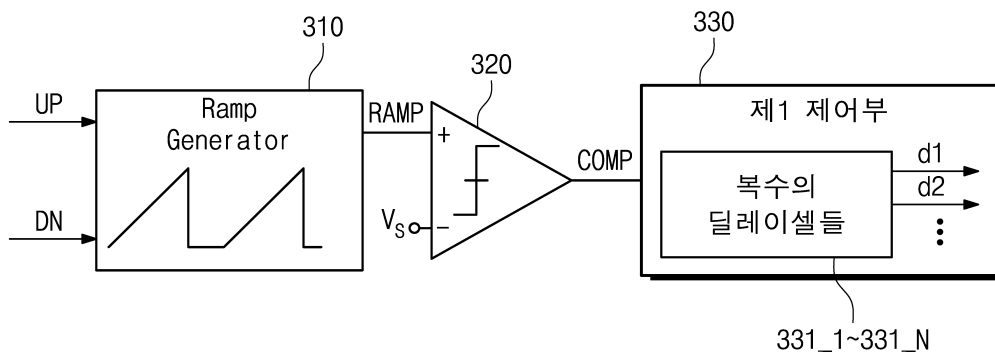
도면1



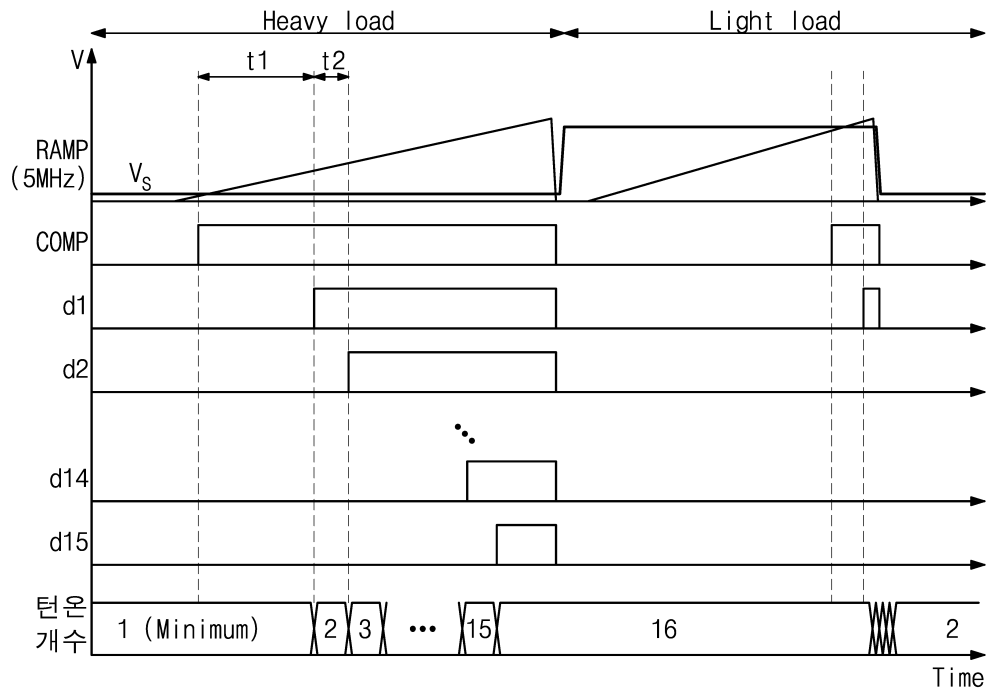
도면2



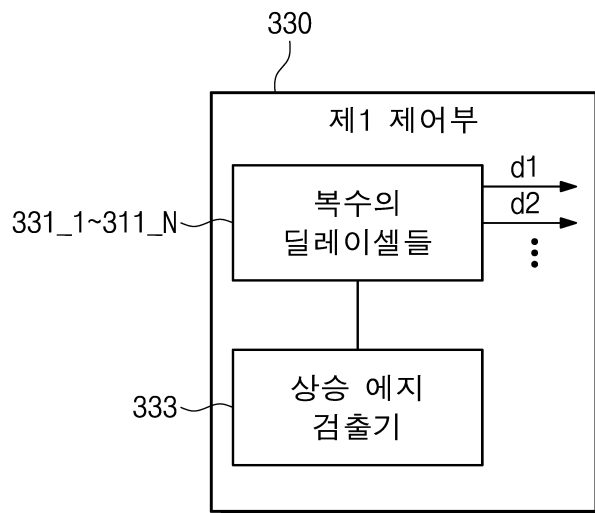
도면3



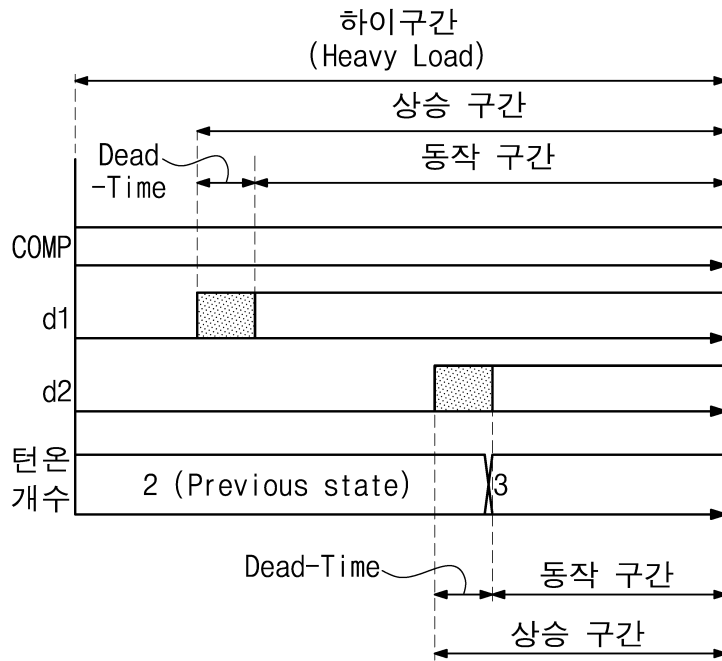
도면4



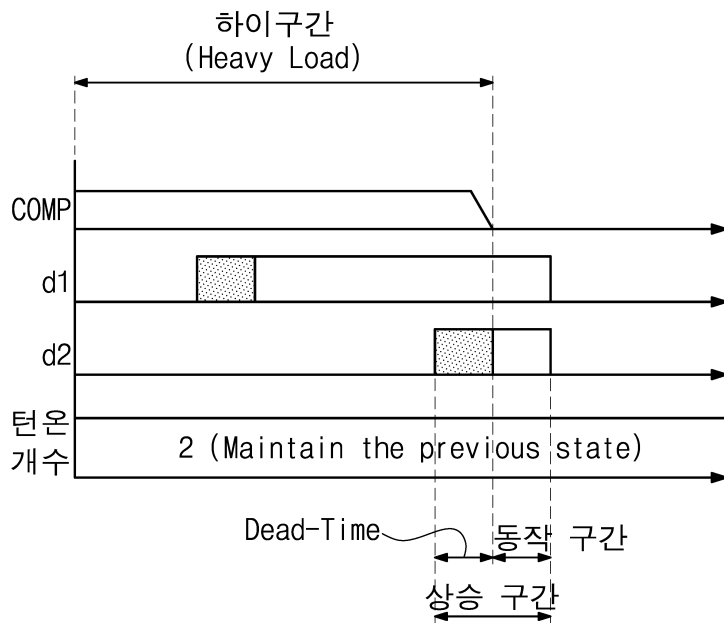
도면5



도면6

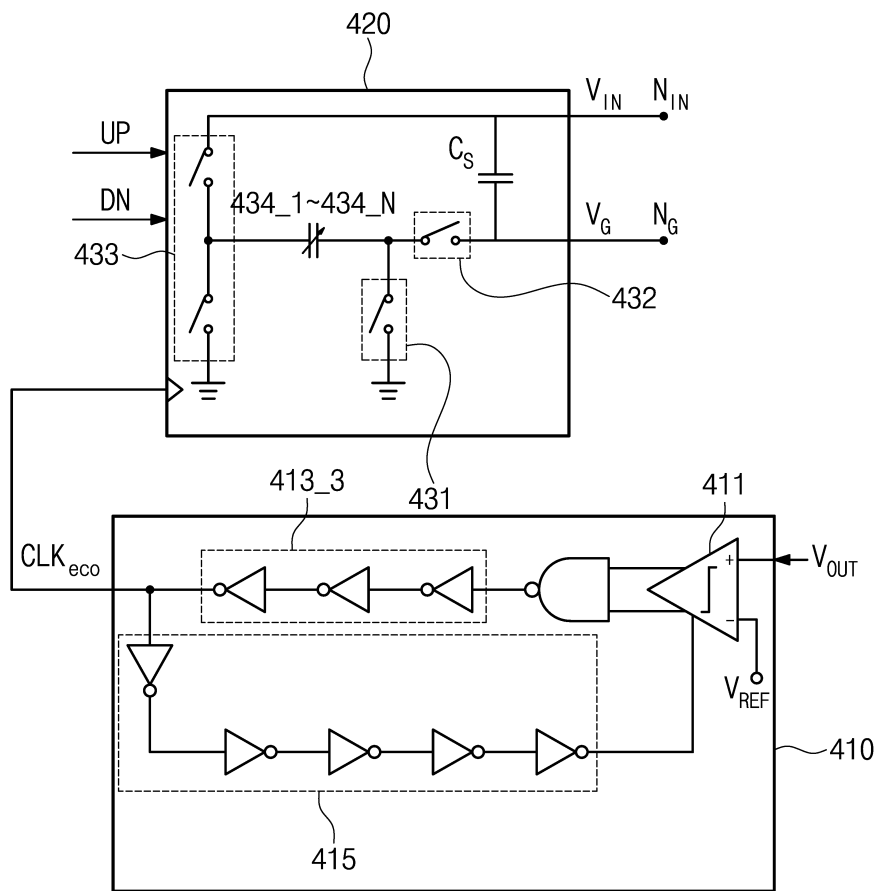


도면7

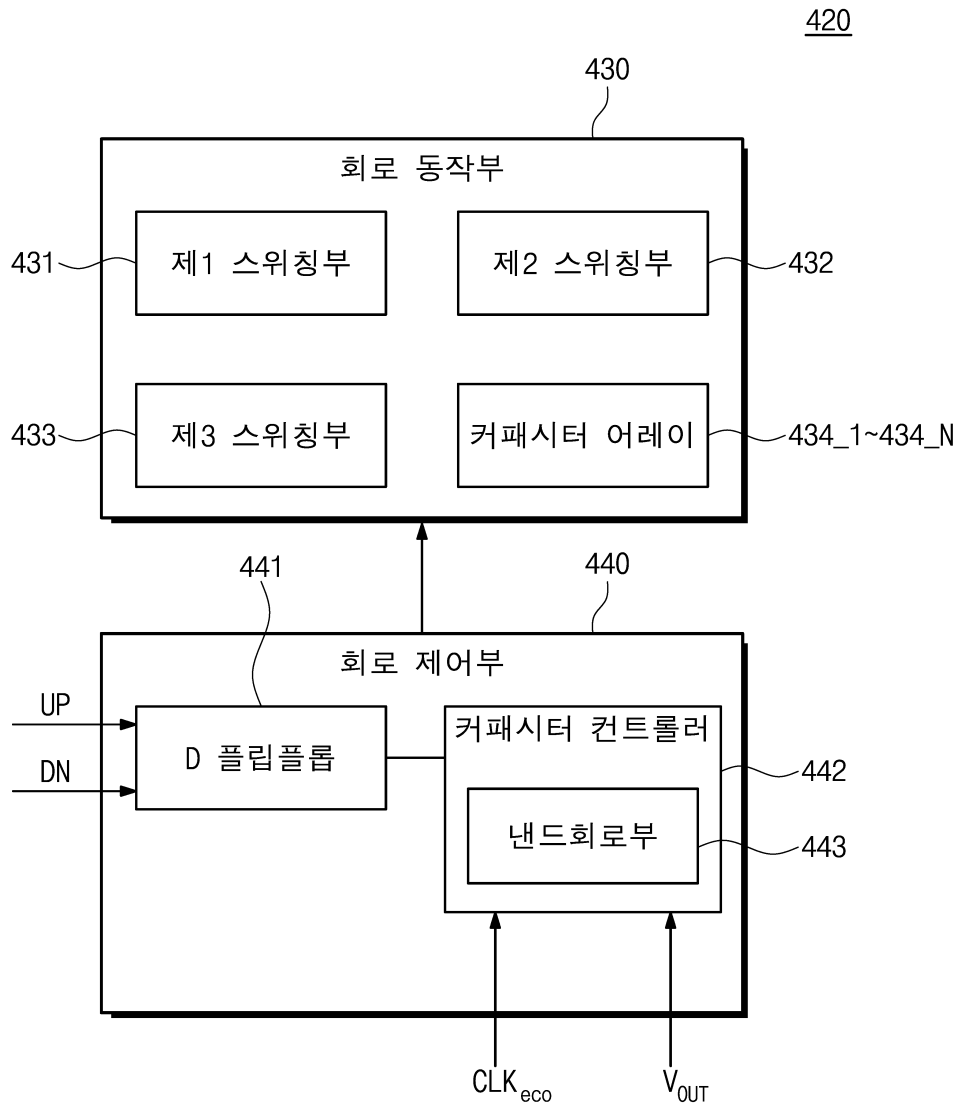


도면8

400

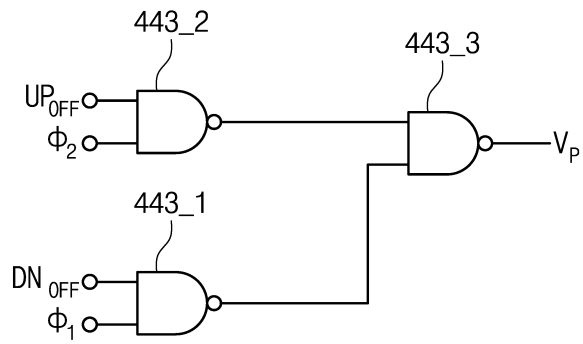


도면9

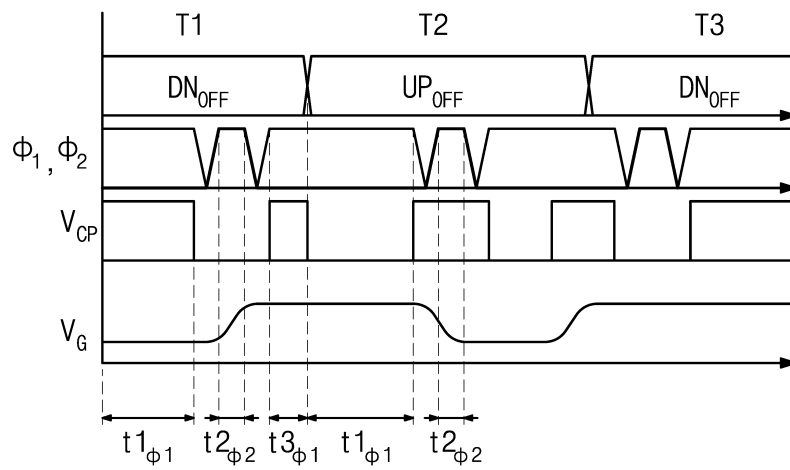


도면10

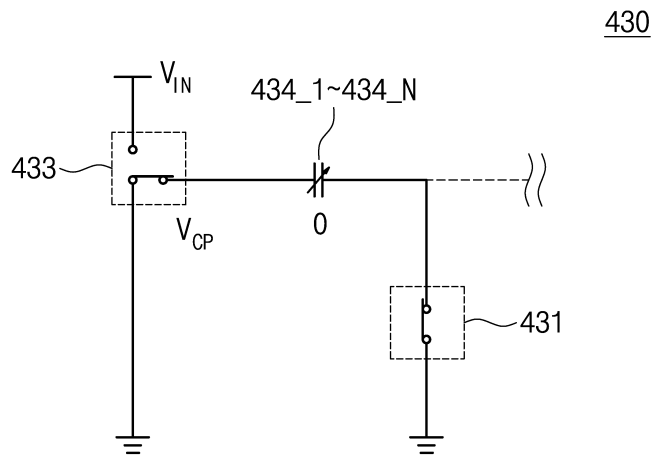
443



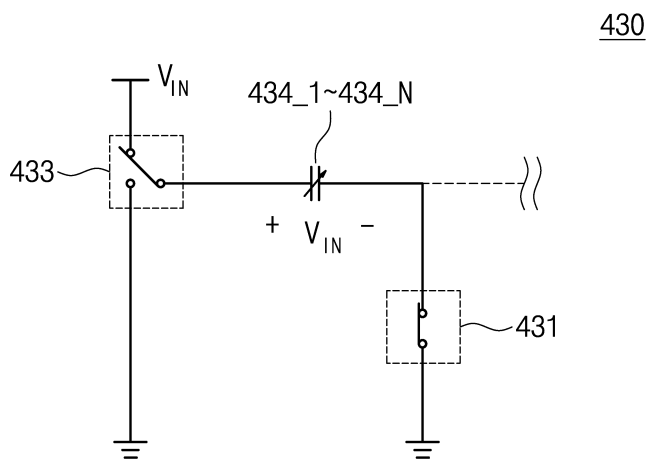
도면11



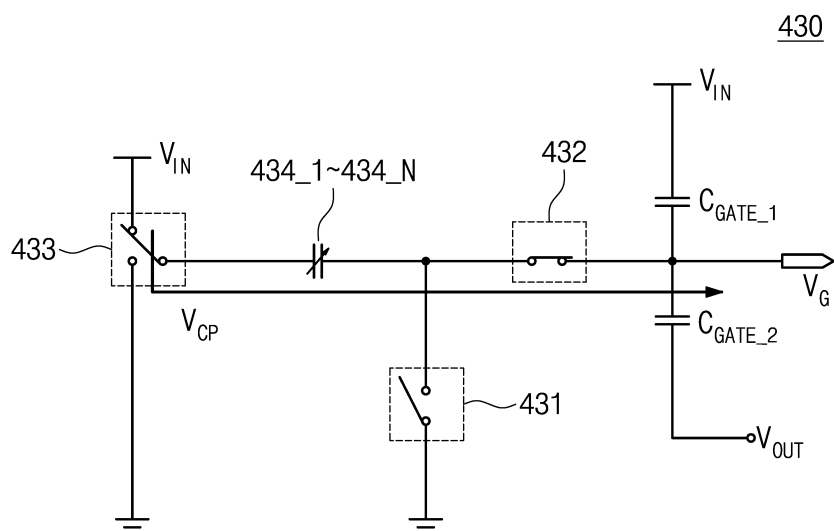
도면12



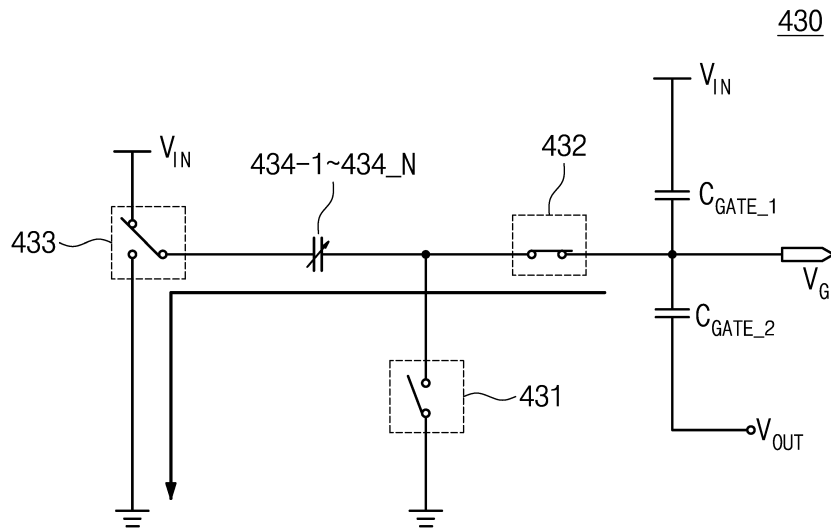
도면13



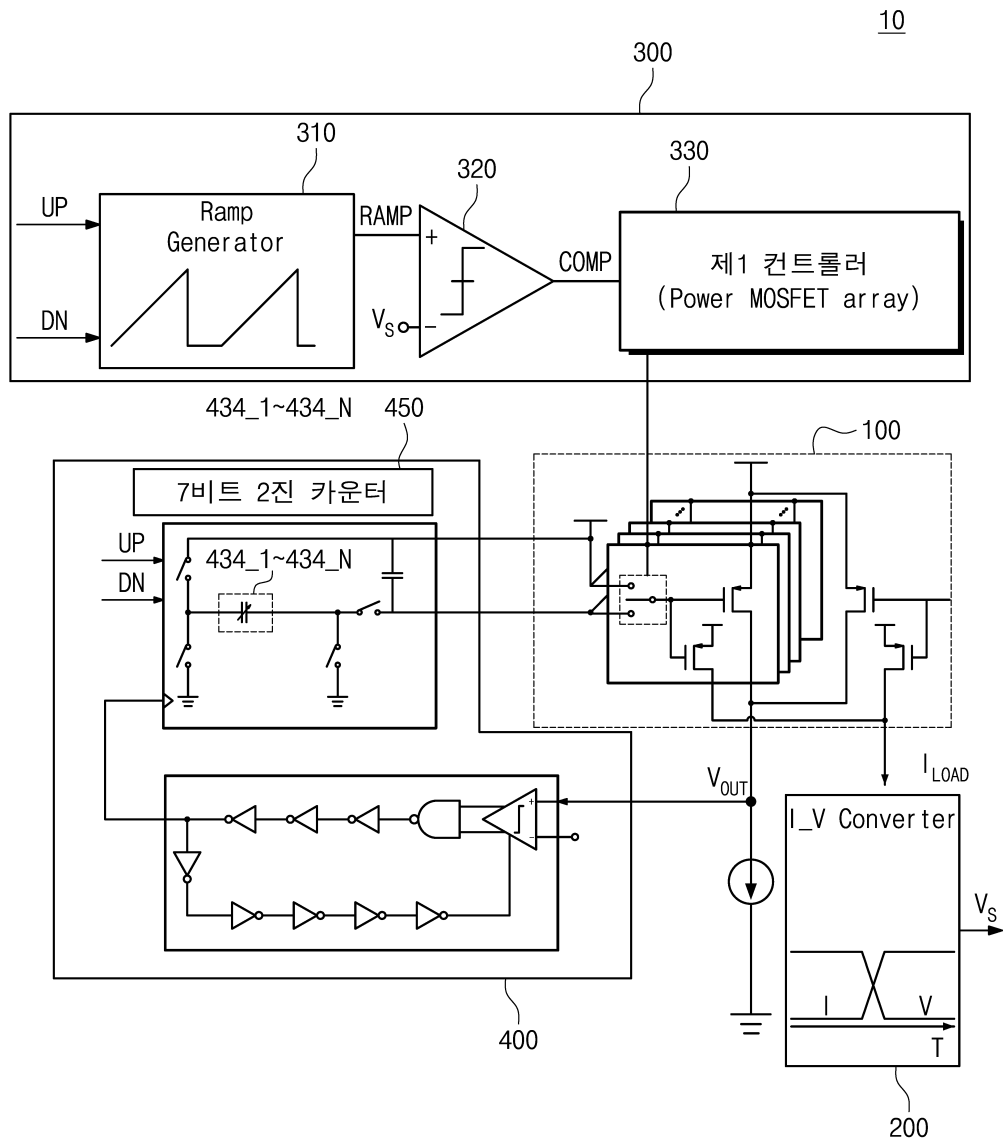
도면14



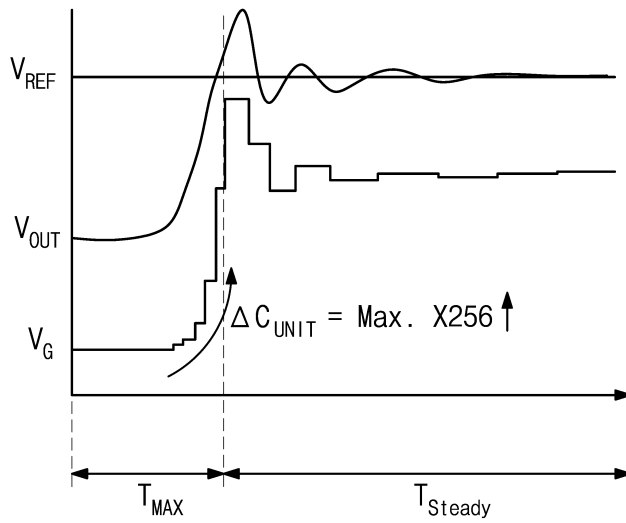
도면15



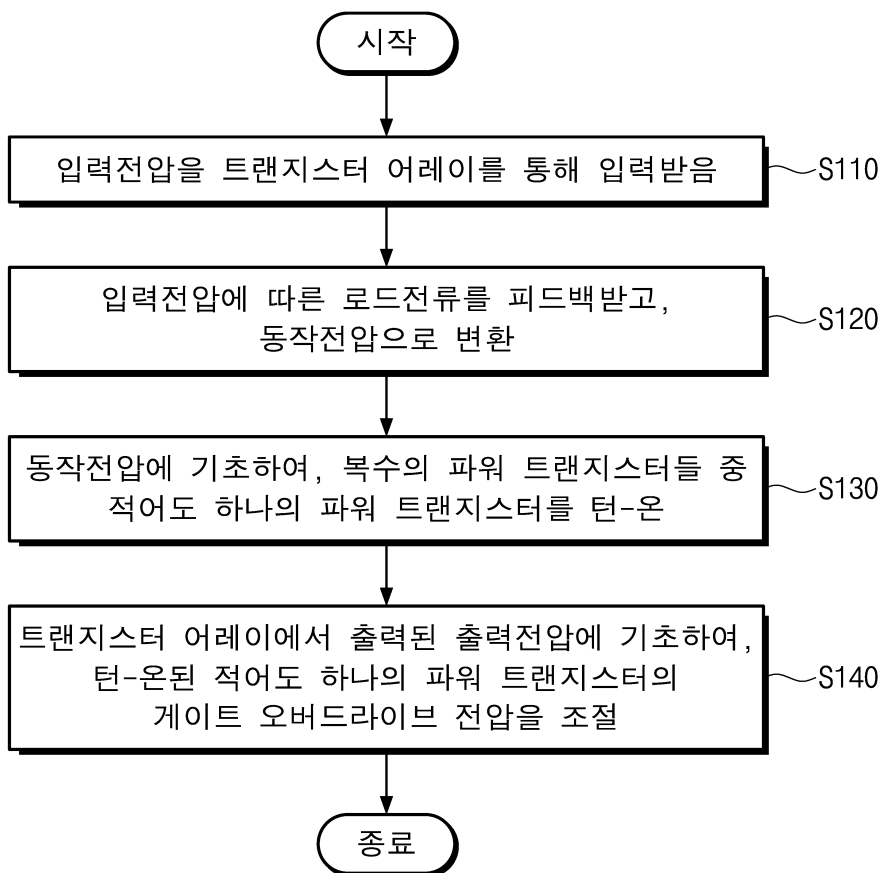
도면16



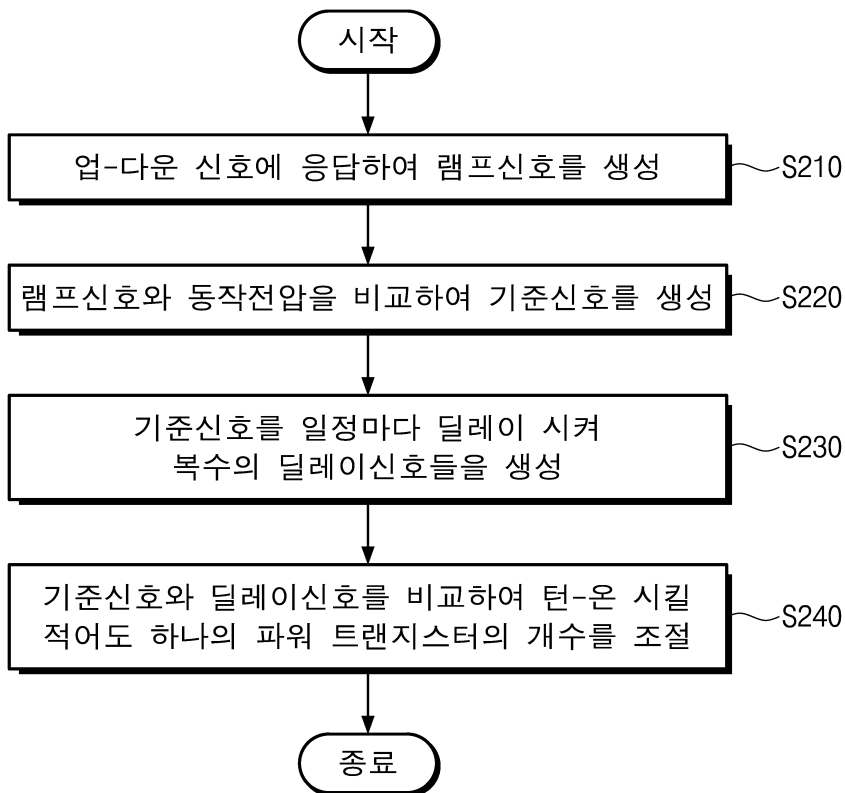
도면17



도면18



도면19



도면20

