

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第6239682号  
(P6239682)

(45) 発行日 平成29年11月29日(2017.11.29)

(24) 登録日 平成29年11月10日(2017.11.10)

(51) Int.Cl.

F 1

HO1L 29/786	(2006.01)	HO1L 29/78	616V
HO1L 21/28	(2006.01)	HO1L 29/78	616T
HO1L 29/417	(2006.01)	HO1L 29/78	616U
HO1L 51/50	(2006.01)	HO1L 29/78	618B
		HO1L 21/28	301B

請求項の数 4 (全 55 頁) 最終頁に続く

(21) 出願番号 特願2016-92856 (P2016-92856)  
 (22) 出願日 平成28年5月3日 (2016.5.3)  
 (62) 分割の表示 特願2014-184898 (P2014-184898)  
 原出願日 平成21年7月29日 (2009.7.29)  
 (65) 公開番号 特開2016-167623 (P2016-167623A)  
 (43) 公開日 平成28年9月15日 (2016.9.15)  
 審査請求日 平成28年5月11日 (2016.5.11)  
 (31) 優先権主張番号 特願2008-197137 (P2008-197137)  
 (32) 優先日 平成20年7月31日 (2008.7.31)  
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878  
 株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷398番地  
 (72) 発明者 山崎 舜平  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 (72) 発明者 宮入 秀和  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 (72) 発明者 宮永 昭治  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 (72) 発明者 秋元 健吾  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内

最終頁に続く

(54) 【発明の名称】半導体装置

## (57) 【特許請求の範囲】

## 【請求項 1】

ゲート電極と重なる領域を有する、第1の酸化物半導体膜と、  
 前記第1の酸化物半導体膜が有するチャネル形成領域と重なる領域を有する、絶縁膜と、

前記第1の酸化物半導体膜上の、第2の酸化物半導体膜と、  
 前記第2の酸化物半導体膜上の、ソース電極又はドレイン電極と、を有し、  
 前記ソース電極又はドレイン電極は、第1の導電層と、前記第1の導電層上の第2の導電層とを有し、

前記第1の導電層は、前記第2の導電層の端部より突出した領域を有し、  
 前記第2の酸化物半導体膜と、前記第1の導電層とは、それぞれ、チタンを有し、  
 前記第1の酸化物半導体膜は、前記絶縁膜と重なる第1の領域と、前記絶縁膜と重ならない第2の領域とを有し、

前記第2の領域の膜厚は、前記第1の領域の膜厚より小さいことを特徴とする半導体装置。

## 【請求項 2】

ゲート電極と重なる領域を有する、第1の酸化物半導体膜と、  
 前記第1の酸化物半導体膜が有するチャネル形成領域と重なる領域を有する、絶縁膜と、  
 前記第1の酸化物半導体膜上の、第2の酸化物半導体膜と、

10

20

前記第2の酸化物半導体膜上の、ソース電極又はドレイン電極と、を有し、  
 前記ソース電極又はドレイン電極は、第1の導電層と、前記第1の導電層上の第2の導電層とを有し、

前記第1の導電層は、前記第2の導電層の端部より突出した領域を有し、

前記第2の酸化物半導体膜と、前記第1の導電層とは、それぞれ、チタンを有し、

前記第1の酸化物半導体膜と、前記第2の酸化物半導体膜とは、それぞれ、Inと、Gaと、Znと、を有し、

前記第1の酸化物半導体膜は、前記絶縁膜と重なる第1の領域と、前記絶縁膜と重ならない第2の領域とを有し、

前記第2の領域の膜厚は、前記第1の領域の膜厚より小さいことを特徴とする半導体装置。 10

【請求項3】

ゲート電極と重なる領域を有する、酸化物半導体膜と、

前記酸化物半導体膜が有するチャネル形成領域と重なる領域を有する、絶縁膜と、

前記酸化物半導体膜上の、バッファ層と、

前記バッファ層上の、ソース電極又はドレイン電極と、を有し、

前記ソース電極又はドレイン電極は、第1の導電層と、前記第1の導電層上の第2の導電層とを有し、

前記第1の導電層は、前記第2の導電層の端部より突出した領域を有し、

前記バッファ層と、前記第1の導電層とは、それぞれ、チタンを有し、

前記酸化物半導体膜は、前記絶縁膜と重なる第1の領域と、前記絶縁膜と重ならない第2の領域とを有し、 20

前記第2の領域の膜厚は、前記第1の領域の膜厚より小さいことを特徴とする半導体装置。

【請求項4】

ゲート電極と重なる領域を有する、酸化物半導体膜と、

前記酸化物半導体膜が有するチャネル形成領域と重なる領域を有する、絶縁膜と、

前記酸化物半導体膜上の、バッファ層と、

前記バッファ層上の、ソース電極又はドレイン電極と、を有し、

前記ソース電極又はドレイン電極は、第1の導電層と、前記第1の導電層上の第2の導電層とを有し、 30

前記第1の導電層は、前記第2の導電層の端部より突出した領域を有し、

前記バッファ層と、前記第1の導電層とは、それぞれ、チタンを有し、

前記酸化物半導体膜と、前記バッファ層とは、それぞれ、Inと、Gaと、Znと、を有し、

前記酸化物半導体膜は、前記絶縁膜と重なる第1の領域と、前記絶縁膜と重ならない第2の領域とを有し、

前記第2の領域の膜厚は、前記第1の領域の膜厚より小さいことを特徴とする半導体装置。 40

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様はチャネル形成領域に酸化物半導体膜を用いた薄膜トランジスタ（以下、TFTという）で構成された回路を有する半導体装置およびその作製方法に関する。例えば、液晶表示パネルに代表される電気光学装置や有機発光素子を有する発光表示装置を部品として搭載した電子機器に関する。

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【背景技術】

**【0003】**

近年、マトリクス状に配置された表示画素毎に薄膜トランジスタ（TFT）からなるスイッチング素子を設けたアクティブマトリクス型の表示装置（液晶表示装置や発光表示装置や電気泳動式表示装置）が盛んに開発されている。アクティブマトリクス型の表示装置は、画素（又は1ドット）毎にスイッチング素子が設けられており、単純マトリクス方式に比べて画素密度が増えた場合に低電圧駆動できるので有利である。

**【0004】**

また、チャネル形成領域に酸化物半導体膜を用いて薄膜トランジスタ（TFT）などを作製し、電子デバイスや光デバイスに応用する技術が注目されている。例えば、酸化物半導体膜としてZnOを用いるTFTや、 $InGaO_3$  ( $ZnO$ )<sub>m</sub>を用いるTFTが挙げられる。これらの酸化物半導体膜を用いて形成されたTFTを透光性を有する基板上に形成し、画像表示装置のスイッチング素子などに用いる技術が特許文献1、特許文献2などで開示されている。

10

**【先行技術文献】****【特許文献】****【0005】**

【特許文献1】特開2007-123861号公報

【特許文献2】特開2007-96055号公報

**【発明の概要】****【発明が解決しようとする課題】**

20

**【0006】**

チャネル形成領域に酸化物半導体膜を用いる薄膜トランジスタには、動作速度が速く、製造工程が比較的簡単であり、十分な信頼性であることが求められている。

**【0007】**

薄膜トランジスタを形成するにあたり、ソース電極層及びドレイン電極層は、低抵抗な金属材料を用いる。特に、大面積の表示を行う表示装置を製造する際、配線の抵抗による信号の遅延問題が顕著になってくる。従って、配線や電極の材料としては、電気抵抗値の低い金属材料を用いることが望ましい。一方、電気抵抗値の低い金属材料からなるソース電極層及びドレイン電極層と、酸化物半導体膜とが直接接する薄膜トランジスタ構造とすると、コンタクト抵抗が高くなる恐れがある。コンタクト抵抗が高くなる原因は、ソース電極層及びドレイン電極層と、酸化物半導体膜との接触面でショットキー接合が形成されることが要因の一つと考えられる。

30

**【0008】**

加えて、ソース電極層及びドレイン電極層と、酸化物半導体膜とが直接接する部分には容量が形成され、周波数特性（f特性と呼ばれる）が低くなり、薄膜トランジスタの高速動作を妨げる恐れがある。

**【0009】**

本発明の一態様は、インジウム（In）、ガリウム（Ga）、及び亜鉛（Zn）を含む酸化物半導体膜を用いる薄膜トランジスタにおいて、ソース電極と酸化物半導体層のコンタクト抵抗及び、ドレイン電極と酸化物半導体層のコンタクト抵抗を低減した薄膜トランジスタ及びその作製方法を提供することを課題の一つとする。

40

**【0010】**

また、In、Ga、及びZnを含む酸化物半導体膜を用いる薄膜トランジスタの動作特性や信頼性を向上させることも課題の一つとする。

**【0011】**

また、In、Ga、及びZnを含む酸化物半導体膜を用いる薄膜トランジスタの電気特性のバラツキを低減することも課題の一つとする。特に、液晶表示装置においては、個々の素子間でのバラツキが大きい場合、そのTFT特性のバラツキに起因する表示むらが発生する恐れがある。

**【0012】**

50

また、発光素子を有する表示装置においても、画素電極に一定の電流が流れるように配置された TFT (駆動回路または画素に配置される発光素子に電流を供給する TFT) のオン電流 ( $I_{on}$ ) のバラツキが大きい場合、表示画面において輝度のバラツキが生じる恐れがある。以上、本発明の一態様は、上記課題の少なくとも一つを解決することを目的とする。

【課題を解決するための手段】

【0013】

本発明の一態様は、半導体層として  $In$ 、 $Ga$ 、及び  $Zn$  を含む酸化物半導体層を用い、半導体層とソース電極層及びドレイン電極層との間にバッファ層を設けた逆スタガ型 (ボトムゲート構造) の薄膜トランジスタを含むことを要旨とする。

10

【0014】

本明細書において、 $In$ 、 $Ga$ 、及び  $Zn$  を含む酸化物半導体膜を用いて形成された半導体層を「IGZO 半導体層」とも記す。

【0015】

ソース電極層及びドレイン電極層と IGZO 半導体層とはオーミック性のコンタクトが必要であり、さらに、そのコンタクト抵抗は極力低減することが望まれる。同様に、ドレイン電極と IGZO 半導体層とはオーミック性のコンタクトが必要であり、さらに、そのコンタクト抵抗は極力低減することが望まれる。

【0016】

そこで、ソース電極層及びドレイン電極層と IGZO 半導体層との間に、IGZO 半導体層よりもキャリア濃度の高いバッファ層を意図的に設けることによってオーミック性のコンタクトを形成する。

20

【0017】

バッファ層としては、 $n$  型の導電型を有する  $In$ 、 $Ga$ 、及び  $Zn$  を含む酸化物半導体膜を用いる。バッファ層に  $n$  型を付与する不純物元素を含ませてもよい。不純物元素として、例えば、マグネシウム、アルミニウム、チタン、スカンジウム、イットリウム、ジルコニウム、ハフニウム、硼素、タリウム、ゲルマニウム、錫、鉛などを用いることができる。マグネシウム、アルミニウム、チタンなどをバッファ層に含ませると、酸素のブロッキング効果などがあり、成膜後の加熱処理などによって半導体層の酸素濃度を最適な範囲内に保持できる。

30

【0018】

このバッファ層は  $n^+$  層として機能し、ドレイン領域またはソース領域とも呼ぶことができる。

【0019】

本発明の半導体装置の一形態は、ゲート電極と、ゲート電極を覆う絶縁膜と、ゲート絶縁膜を介してゲート電極上に IGZO 半導体層と、IGZO 半導体層のチャネル形成領域と重なる領域にチャネル保護層と、IGZO 半導体層上にソース電極層及びドレイン電極層と、半導体層とソース電極層及びドレイン電極層との間にバッファ層が形成された薄膜トランジスタを有し、バッファ層のキャリア濃度が IGZO 半導体層のキャリア濃度より高く、IGZO 半導体層はバッファ層を介してソース電極層及びドレイン電極層と電気的に接続する。

40

【0020】

上記構成において、半導体層とバッファ層との間にキャリア濃度が半導体層より高く、バッファ層より低い第 2 のバッファ層を設けてよい。第 2 のバッファ層は  $n^-$  層として機能する。

【0021】

$In$ 、 $Ga$ 、及び  $Zn$  を含む酸化物半導体膜 (IGZO 膜) はキャリア濃度が高くなるにつれ、ホール移動度も高くなる特性を有している。よって、 $In$ 、 $Ga$ 、及び  $Zn$  を含む酸化物半導体膜のキャリア濃度とホール移動度の関係は図 29 に示すようになる。本発明の一態様において、半導体層のチャネルとして適する IGZO 膜のキャリア濃度範囲 (チ

50

チャネル用濃度範囲1)は $1 \times 10^{17}$ atoms/cm<sup>3</sup>未満(より好ましくは $1 \times 10^{11}$ atoms/cm<sup>3</sup>以上)、バッファ層として適するIGZO膜のキャリア濃度範囲(バッファ層濃度範囲2)は、 $1 \times 10^{18}$ atoms/cm<sup>3</sup>以上( $1 \times 10^{22}$ atoms/cm<sup>3</sup>以下)が好ましい。上記IGZO膜のキャリア濃度は、半導体層として用いた場合、室温で、ソース、ドレイン、及びゲート電圧を印加しない状態での値である。

#### 【0022】

チャネル用のIGZO膜のキャリア濃度範囲が上記範囲(チャネル用濃度範囲1)を越えると、薄膜トランジスタとしてノーマリーオンになる恐れがある。

#### 【0023】

なお、IGZO膜のキャリア濃度及びホール移動度はホール効果測定により求めることができる。ホール効果測定器の例として、比抵抗/ホール測定システムResiTest8310(東陽テクニカ製)を挙げることができる。比抵抗/ホール測定システムResiTest8310は、磁場の向きと大きさを一定の周期で変化させ、それと同期してサンプルに現れるホール起電圧のみを検出するAC(交流)ホール測定が可能であり、移動度が小さくて抵抗率の高い材料についても、ホール起電圧を検出できる。

10

#### 【0024】

上記構成において、ソース電極層とドレイン電極層がチタンを含むことが好ましい。例えば、チタン膜と、アルミニウム膜と、チタン膜を積層した多層膜を用いると低抵抗であり、かつアルミニウム膜にヒロックが発生しにくい。

#### 【0025】

本発明の一態様の薄膜トランジスタの構造は、チャネル保護層を設ける構造であるため、IGZO半導体層のゲート絶縁膜と接する面とは反対側の領域、所謂バックチャネルを工程時のダメージ(エッティング時のプラズマやエッティング剤による膜減りや、酸化など)から保護することができ、半導体装置の信頼性を向上させることができる。

20

#### 【0026】

本発明の半導体装置の作製方法の一形態は、基板上にゲート電極層を形成し、ゲート電極層上にゲート絶縁膜を形成し、ゲート絶縁膜上にIGZO半導体層を形成し、IGZO半導体層上のチャネル形成領域と重なる領域にチャネル保護層を形成し、IGZO半導体層上にn型の導電型を有する一対のバッファ層を形成し、バッファ層上にソース電極層及びドレイン電極層を形成し、n型の導電型を有する一対のバッファ層はIn、Ga、及びZnを含む酸化物半導体層を用いて形成し、バッファ層のキャリア濃度はIGZO半導体層のキャリア濃度より高く、IGZO半導体層とソース電極層及びドレイン電極層とはバッファ層を介して電気的に接続する。

30

#### 【0027】

また、前記ゲート絶縁膜、前記半導体膜及び前記チャネル保護層を大気に曝さずに連続成膜すると生産性が高まるだけでなく、水蒸気などの大気成分や大気中に浮遊する不純物元素やゴミによる汚染がない積層界面を形成することができるので、薄膜トランジスタ特性のばらつきを低減することができる。

#### 【0028】

言い換えると、ゲート絶縁膜と、半導体膜となるIn、Ga、及びZnを含む酸化物半導体膜と、チャネル保護層となる絶縁膜を大気に曝さずに連続成膜すると生産性が高まるだけでなく、水蒸気などの大気成分や大気中に浮遊する不純物元素やゴミによる汚染がない積層界面を形成することができるので、薄膜トランジスタ特性のばらつきを低減することができる。

40

#### 【0029】

本明細書中で連続成膜とは、スパッタ法で行う第1の成膜工程からスパッタ法で行う第2の成膜工程までの一連のプロセス中、被処理基板の置かれている雰囲気が大気等の汚染雰囲気に触れることなく、常に真空中または不活性ガス雰囲気(窒素雰囲気または希ガス雰囲気)で制御されていることを言う。連続成膜を行うことにより、清浄化された被処理基板への水分等の再付着を回避して成膜を行うことができる。

50

## 【0030】

同一チャンバー内で第1の成膜工程から第2の成膜工程までの一連のプロセスを行うことは本明細書における連続成膜の範囲にあるとする。

## 【0031】

また、異なるチャンバーで第1の成膜工程から第2の成膜工程までの一連のプロセスを行う場合、第1の成膜工程を終えた後、大気にふれることなくチャンバー間を基板搬送して第2の成膜を施すことも本明細書における連続成膜の範囲にあるとする。

## 【0032】

なお、第1の成膜工程と第2の成膜工程の間に、基板搬送工程、アライメント工程、徐冷工程、または第2の工程に必要な温度とするため基板を加熱または冷却する工程等を有しても、本明細書における連続成膜の範囲にあるとする。

10

## 【0033】

ただし、洗浄工程、ウェットエッティング、レジスト形成といった液体を用いる工程が第1の成膜工程と第2の成膜工程の間にある場合、本明細書でいう連続成膜の範囲には当てはまらないとする。

## 【0034】

また、ゲート絶縁膜、半導体層及びチャネル保護層は酸素雰囲気下（又は酸素90%以上、希ガス（アルゴン等）10%以下）で形成することで、劣化による信頼性の低下や、薄膜トランジスタ特性のノーマリーオン側へのシフトなどを軽減することができる。また、n型の導電型を有するバッファ層は希ガス（アルゴン等）雰囲気下で成膜することが好ましい。

20

## 【0035】

本発明の半導体装置の作製方法の一形態は、基板上にゲート電極層を形成し、ゲート電極層上にゲート絶縁膜を形成し、ゲート絶縁膜上にIGZO半導体層を形成し、IGZO半導体層上のチャネル形成領域と重なる領域にチャネル保護層を形成し、IGZO半導体層上にn型の導電型を有する一対のバッファ層を形成し、バッファ層上にソース電極層及びドレイン電極層を形成し、n型の導電型を有する一対のバッファ層はIn、Ga、及びZnを含む酸化物半導体層を用いて形成し、バッファ層のキャリア濃度はIGZO半導体層のキャリア濃度より高く、IGZO半導体層とソース電極層及びドレイン電極層とはバッファ層を介して電気的に接続し、ゲート絶縁膜、半導体層及びチャネル保護層は大気に曝さずに連続的に形成する。

30

## 【0036】

本発明の半導体装置の一態様は、ゲート電極と、ゲート電極を覆うゲート絶縁膜と、ゲート絶縁膜を介してゲート電極上に半導体層と、半導体層のチャネル形成領域と重なる領域にチャネル保護層と、半導体層上のソース電極層及びドレイン電極層と、半導体層とソース電極層及びドレイン電極層の間にバッファ層が形成された薄膜トランジスタであって、半導体層及びバッファ層はインジウム、ガリウム、及び亜鉛を含む酸化物半導体からなり、バッファ層のキャリア濃度は半導体層のキャリア濃度より高く、半導体層がバッファ層を介してソース電極層及びドレイン電極層と電気的に接続する。

40

## 【0037】

また、バッファ層がn型の不純物を含む半導体装置である。

## 【0038】

また、半導体層のキャリア濃度は $1 \times 10^{17}$  atoms/cm<sup>3</sup>未満であり、バッファ層のキャリア濃度は $1 \times 10^{18}$  atoms/cm<sup>3</sup>以上である半導体装置である。

## 【0039】

また、半導体層とバッファ層との間にキャリア濃度が半導体層より高く、バッファ層より低い第2のバッファ層を有する半導体装置である。

## 【0040】

また、ソース電極層及びドレイン電極層はチタンを含む半導体装置である。

## 【0041】

50

開示する発明の他の一態様は、基板上にゲート電極層を形成し、ゲート電極層上にゲート絶縁膜を形成し、ゲート絶縁膜上に半導体層を形成し、半導体層上のチャネル形成領域と重なる領域にチャネル保護層を形成し、半導体層上にn型の導電型を有する一対のバッファ層を形成し、バッファ層上にソース電極層及びドレイン電極層を形成し、半導体層とn型の導電型を有するバッファ層はIn、Ga、及びZnを含む酸化物半導体層を用いて形成し、半導体層に比べ、バッファ層のキャリア濃度は高く、半導体層とソース電極層及びドレイン電極層が、バッファ層を介して電気的に接続する半導体装置の作製方法である。

【0042】

また、基板上にゲート電極層を形成し、ゲート電極層上にゲート絶縁膜を形成し、ゲート絶縁膜上に半導体層を形成し、半導体層上のチャネル形成領域と重なる領域にチャネル保護層を形成し、半導体層上にn型の導電型を有するバッファ層を形成し、バッファ層上にソース電極層及びドレイン電極層を形成し、半導体層及びバッファ層はインジウム、ガリウム、及び亜鉛を含む酸化物半導体層を用いて形成し、バッファ層のキャリア濃度は半導体層のキャリア濃度よりも高く、半導体層とソース電極層及びドレイン電極層とはバッファ層を介して電気的に接続し、ゲート絶縁膜、半導体層及びチャネル保護層は大気に曝さずに連続して形成する半導体装置の作製方法である。

【0043】

また、ゲート絶縁膜、半導体層及びチャネル保護層はスパッタリング法によって形成する半導体装置の作製方法である。

【0044】

また、ゲート絶縁膜、半導体層、及びチャネル保護層は酸素雰囲気下で形成する半導体装置の作製方法である。

【0045】

また、バッファ層は希ガス雰囲気下で形成する半導体装置の作製方法である。

【0046】

また、半導体層のキャリア濃度は $1 \times 10^{17}$ atoms/cm<sup>3</sup>未満であり、バッファ層のキャリア濃度は $1 \times 10^{18}$ atoms/cm<sup>3</sup>以上とする半導体装置の作製方法である。

【0047】

また、バッファ層にマグネシウム、アルミニウム、又はチタンを含んで形成する半導体装置の作製方法である。

【発明の効果】

【0048】

本発明の一態様によって、光電流が少なく、寄生容量が小さく、オン・オフ比の高い薄膜トランジスタを得ることができ、良好な動特性(f特性)を有する薄膜トランジスタを作製できる。よって、電気特性が高く信頼性のよい薄膜トランジスタを有する半導体装置を提供できる。

【図面の簡単な説明】

【0049】

【図1】本発明の一態様の半導体装置を説明する図。

【図2】本発明の一態様の半導体装置の作製方法を説明する図。

【図3】本発明の一態様の半導体装置の作製方法を説明する図。

【図4】本発明の一態様の半導体装置の作製方法を説明する図。

【図5】本発明の一態様の半導体装置を説明する図。

【図6】本発明の一態様の半導体装置を説明する図。

【図7】本発明の一態様の半導体装置を説明する図。

【図8】本発明の一態様の半導体装置を説明する図。

【図9】マルチチャンバー型の製造装置の上面模式図。

【図10】表示装置のプロック図を説明する図。

【図11】信号線駆動回路の構成を説明する図。

10

20

30

40

50

【図12】信号線駆動回路の動作を説明するタイミングチャート。  
 【図13】信号線駆動回路の動作を説明するタイミングチャート。  
 【図14】シフトレジスタの構成を説明する図。  
 【図15】図14に示すフリップフロップの接続構成を説明する図。  
 【図16】本発明の一態様を適用した液晶表示装置を説明する図。  
 【図17】本発明の一態様を適用した電子ペーパーを説明する図。  
 【図18】本発明の一態様を適用した発光表示装置を説明する図。  
 【図19】本発明の一態様を適用した発光表示装置を説明する図。  
 【図20】本発明の一態様を適用した発光表示装置を説明する図。  
 【図21】本発明の一態様を適用した発光表示装置を説明する図。  
 【図22】本発明の一態様を適用した液晶表示装置を説明する図。  
 【図23】本発明の一態様を適用した液晶表示装置を説明する図。  
 【図24】本発明の一態様を適用した電子機器を説明する図。  
 【図25】本発明の一態様を適用した電子機器を説明する図。  
 【図26】本発明の一態様を適用した電子機器を説明する図。  
 【図27】本発明の一態様を適用した電子機器を説明する図。  
 【図28】本発明の一態様を適用した電子機器を説明する図。  
 【図29】キャリア濃度とホール移動度との関係を説明する図。

【発明を実施するための形態】

【0050】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。

【0051】

(実施の形態1)

本実施の形態では、薄膜トランジスタおよびその作製工程について、図1及び図2を用いて説明する。

【0052】

図1には、本実施の形態のボトムゲート構造の薄膜トランジスタを示す。図1(A)は平面図であり、図1(B)は図1(A)におけるA1-A2で切断した断面図である。図1に示す薄膜トランジスタは、基板100上にゲート電極101が形成され、ゲート電極101上にゲート絶縁膜102が形成され、ゲート絶縁膜102を介してゲート電極101上にチャネル形成領域として機能する非晶質の酸化物半導体からなる半導体層103が形成され、非晶質の酸化物半導体からなる半導体層103のチャネル形成領域と重なる領域にチャネル保護層106が形成され、非晶質の酸化物半導体からなる半導体層103上にバッファ層104aおよび104bが形成され、バッファ層104aおよび104bに接してソース電極層及びドレイン電極層(105aおよび105b)が形成されている。

【0053】

半導体層103としてIn、Ga、及びZnを含む酸化物半導体を用い、ソース電極層及びドレイン電極層(105a、105b)と半導体層103との間に、半導体層103よりもキャリア濃度の高いバッファ層104a、104bを意図的に設けることによってオーミック性のコンタクトを形成する。

【0054】

バッファ層104a、104bは、n型の導電型を有するIn、Ga、及びZnを含む酸化物半導体で形成する。また、バッファ層にn型を付与する不純物元素を含ませてもよい。不純物元素として、例えば、マグネシウム、アルミニウム、チタン、スカンジウム、イットリウム、ジルコニウム、ハフニウム、硼素、タリウム、ゲルマニウム、錫、鉛などを

10

20

30

40

50

用いることができる。マグネシウム、アルミニウム、チタンなどをバッファ層に含ませると、酸素のブロッキング効果などがあり、成膜後の加熱処理などによって半導体層103の酸素濃度を最適な範囲内に保持できる。

【0055】

バッファ層104a、104bは、 $n^+$ 層として機能し、ドレイン領域またはソース領域とも呼ぶことができる。

【0056】

図1に示した薄膜トランジスタの作製方法を図2を用いて説明する。まず、基板100上にゲート電極101、ゲート絶縁膜102、半導体膜133、チャネル保護層106を形成する(図2(A)参照)。

10

【0057】

基板100は、バリウムホウケイ酸ガラス、アルミニノホウケイ酸ガラス、若しくはアルミニシリケートガラスなど、フュージョン法やフロート法で作製される無アルカリガラス基板、セラミック基板の他、本作製工程の処理温度に耐えうる耐熱性を有するプラスチック基板等を用いることができる。また、ステンレス合金などの金属基板の表面に絶縁膜を設けた基板を適用しても良い。基板100がマザーガラスの場合、基板の大きさは、第1世代( $320\text{mm} \times 400\text{mm}$ )、第2世代( $400\text{mm} \times 500\text{mm}$ )、第3世代( $550\text{mm} \times 650\text{mm}$ )、第4世代( $680\text{mm} \times 880\text{mm}$ 、または $730\text{mm} \times 920\text{mm}$ )、第5世代( $1000\text{mm} \times 1200\text{mm}$ または $1100\text{mm} \times 1250\text{mm}$ )、第6世代( $1500\text{mm} \times 1800\text{mm}$ )、第7世代( $1900\text{mm} \times 2200\text{mm}$ )、第8世代( $2160\text{mm} \times 2460\text{mm}$ )、第9世代( $2400\text{mm} \times 2800\text{mm}$ 、 $2450\text{mm} \times 3050\text{mm}$ )、第10世代( $2950\text{mm} \times 3400\text{mm}$ )等を用いることができる。

20

【0058】

また基板100上に下地膜として絶縁膜を形成してもよい。下地膜としては、CVD法やスパッタリング法等を用いて、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、または窒化酸化珪素膜の単層、又は積層で形成すればよい。

【0059】

ゲート電極101は、金属材料で形成される。金属材料としてはアルミニウム、クロム、チタン、タンタル、モリブデン、銅などが適用される。ゲート電極の好適例は、アルミニウム又はアルミニウムとバリア金属の積層構造体によって形成される。バリア金属としては、チタン、モリブデン、クロムなどの高融点金属が適用される。バリア金属はアルミニウムのヒロック防止、酸化防止のために設けることが好ましい。

30

【0060】

ゲート電極は厚さ $50\text{nm}$ 以上 $300\text{nm}$ 以下で形成する。ゲート電極の厚さを $300\text{nm}$ 以下とすることで、後に形成される半導体膜や配線の段切れ防止が可能である。また、ゲート電極の厚さを $150\text{nm}$ 以上とすることで、ゲート電極の抵抗を低減することが可能であり、大面積化が可能である。

【0061】

なお、ゲート電極101上には半導体膜や配線を形成するので、段切れ防止のため端部がテーパー状になるように加工することが望ましい。また、図示しないがこの工程でゲート電極に接続する配線や容量配線も同時に形成することができる。

40

【0062】

ゲート電極101は、スパッタリング法、CVD法、めっき法、印刷法、または、銀、金、銅などの導電性ナノペーストを用いて形成することができる。また、インクジェット法により吐出し焼成して、ゲート電極を形成することができる。

【0063】

なお、ここでは図2(A)のごとく基板上に導電膜としてアルミニウム膜とモリブデン膜をスパッタリング法により積層して成膜し、本実施の形態における第1のフォトマスクを用いて形成したレジストマスクを使い、基板上に形成された導電膜をエッチングしてゲー

50

ト電極 101 を形成する。

【0064】

本実施の形態では、2層の絶縁膜を積層した多層膜をゲート絶縁膜 102 に用いる例を示す。第1のゲート絶縁膜 102a、第2のゲート絶縁膜 102b はそれぞれ、厚さ 50 ~ 150 nm の酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、または窒化酸化珪素膜で形成することができる。ここでは、第1のゲート絶縁膜 102a として窒化珪素膜または窒化酸化珪素膜を形成し、第2のゲート絶縁膜 102b として酸化珪素膜または酸化窒化珪素膜を形成して積層する形態を示す。なお、ゲート絶縁膜を2層とせず、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、または窒化酸化珪素膜の単層で形成することができるし、また、3層のゲート絶縁膜を形成してもよい。

10

【0065】

第1のゲート絶縁膜 102a を窒化珪素膜、または窒化酸化珪素膜を用いて形成することで、基板と第1のゲート絶縁膜 102a の密着力が高まり、基板としてガラス基板を用いた場合、基板からの不純物が酸化物半導体膜に拡散するのを防止することが可能であり、さらにゲート電極 101 の酸化防止が可能である。即ち、膜剥れを防止することができると共に、後に形成される薄膜トランジスタの電気特性を向上させることができる。また、第1のゲート絶縁膜 102a、第2のゲート絶縁膜 102b はそれぞれ厚さ 50 nm 以上であると、ゲート電極 101 の凹凸を被覆できるため好ましい。

【0066】

ここでは、酸化窒化珪素膜とは、その組成として、窒素よりも酸素の含有量が多いものであって、濃度範囲として酸素が 55 ~ 65 原子%、窒素が 1 ~ 20 原子%、Si が 25 ~ 35 原子%、水素が 0.1 ~ 10 原子% の範囲で含まれるものという。また、窒化酸化珪素膜とは、その組成として、酸素よりも窒素の含有量が多いものであって、濃度範囲として酸素が 15 ~ 30 原子%、窒素が 20 ~ 35 原子%、Si が 25 ~ 35 原子%、水素が 15 ~ 25 原子% の範囲で含まれるものという。

20

【0067】

また、半導体層 103 に接する第2のゲート絶縁膜 102b としては、例えば酸化珪素、酸化アルミニウム、酸化マグネシウム、窒化アルミニウム、酸化イットリウム、酸化ハフニウムを使うことができる。

【0068】

第1のゲート絶縁膜 102a、第2のゲート絶縁膜 102b はそれぞれ、CVD 法やスピターリング法等を用いて形成することができる。ここでは、第1のゲート絶縁膜 102a として窒化珪素膜をプラズマ CVD 法により成膜する。

30

【0069】

特に、半導体膜 133 に接する第2のゲート絶縁膜 102b と半導体膜 133 は連続で成膜するのが望ましい。連続成膜することで、水蒸気などの大気成分や大気中に浮遊する不純物元素やゴミによる汚染がない積層界面を形成できるので、薄膜トランジスタ特性のばらつきを低減できる。

【0070】

アクティブマトリクス型の表示装置においては、回路を構成する薄膜トランジスタの電気特性が重要であり、この電気特性が表示装置の性能を左右する。特に、薄膜トランジスタの電気特性のうち、しきい値電圧 (V<sub>th</sub>) が重要である。電界効果移動度が高くともしきい値電圧値が高い、或いはしきい値電圧値がマイナスであると、回路として制御することが困難である。しきい値電圧値が高く、しきい値電圧の絶対値が大きい薄膜トランジスタの場合には、駆動電圧が低い状態では薄膜トランジスタとしてのスイッチング機能を果たすことができず、負荷となる恐れがある。また、しきい値電圧値がマイナスであると、ゲート電圧が 0 V でもソース電極とドレイン電極の間に電流が流れる、所謂ノーマリーオンとなりやすい。

40

【0071】

n チャネル型の薄膜トランジスタの場合、ゲート電圧に正の電圧を印加してはじめてチャ

50

ネルが形成されて、ドレイン電流が流れ出すトランジスタが望ましい。駆動電圧を高くしないとチャネルが形成されないトランジスタや、負の電圧状態でもチャネルが形成されてドレイン電流が流れるトランジスタは、回路に用いる薄膜トランジスタとしては不向きである。よって、In、Ga、及びZnを含む酸化物半導体膜を用いる薄膜トランジスタもゲート電圧が0Vにできるだけ近い正のしきい値電圧でチャネルが形成されることが望ましい。

#### 【0072】

薄膜トランジスタのしきい値電圧は、半導体層の界面、即ち、半導体層とゲート絶縁膜の界面に大きく影響すると考えられる。そこで、これらの界面を清浄な状態で形成することによって、薄膜トランジスタの電気特性を向上させるとともに、製造工程の複雑化を防ぐことができ、量産性と高性能の両方を備えた薄膜トランジスタを実現する。

10

#### 【0073】

特に酸化物半導体層とゲート絶縁膜との界面に水分が存在すると、薄膜トランジスタの電気的特性の劣化、しきい値電圧のばらつき、ノーマリーオンになりやすいといった問題を招く。酸化物半導体層とゲート絶縁膜とを連続成膜することで、このような水素化合物を排除することができる。

#### 【0074】

よって、大気に曝すことなくゲート絶縁膜と、酸化物半導体膜をスパッタリング法により、減圧下で連続成膜することで良好な界面を有し、リーク電流が低く、且つ、電流駆動能力の高い薄膜トランジスタを実現することができる。

20

#### 【0075】

また、ゲート絶縁膜及びIn、Ga、及びZnを含む酸化物半導体膜は酸素雰囲気下（又は酸素90%以上、希ガス（アルゴン等）10%以下）で成膜するが好ましい。

#### 【0076】

このようにスパッタリング法を用いて連続的に成膜すると、生産性が高く、薄膜界面の信頼性が安定する。また、ゲート絶縁膜と半導体層を酸素雰囲気下で成膜し、酸素を多く含ませるようにすると、劣化による信頼性の低下や、薄膜トランジスタがノーマリーオンとなることを軽減することができる。

#### 【0077】

また、チャネル保護層106となる絶縁膜についても半導体膜の成膜に引き続いて、連続成膜するのが望ましい。連続成膜することで、半導体膜のゲート絶縁膜と接する面とは反対側の領域、所謂バックチャネルに水蒸気などの大気成分や大気中に浮遊する不純物元素やゴミによる汚染がない積層界面を形成することができるので、薄膜トランジスタ特性のばらつきを低減することができる。

30

#### 【0078】

連続で成膜する方法としては、複数の成膜室を有したマルチチャンバー型のスパッタリング装置や複数のターゲットを有したスパッタリング装置もしくはパルスレーザー蒸着（PLD）装置を用いれば良い。

#### 【0079】

絶縁膜として酸化珪素を形成する場合、ターゲットとして酸化珪素（人工石英）もしくは単結晶シリコンを用い、高周波スパッタリング法もしくは反応性スパッタリング法により成膜できる。

40

#### 【0080】

なお、ここでは単結晶シリコンターゲットと半導体膜用のターゲットを備えたマルチチャンバー型のスパッタリング装置を使って、半導体膜に接する2層目のゲート絶縁膜102bとして酸化珪素膜を形成し、大気にさらすことなく半導体膜の形成とチャネル保護層となる酸化珪素膜を連続して形成する。

#### 【0081】

半導体層103は非晶質の酸化物半導体膜で形成される。非晶質の酸化物半導体膜としては、インジウム、ガリウム、アルミニウム、亜鉛及びスズから選んだ元素の複合酸化物を

50

用いることができる。例えば、酸化亜鉛を含む酸化インジウム (IZO) や In、Ga、及びZnを含む酸化物 (IGZO) もしくは酸化亜鉛と酸化錫からなる酸化物 (ZTO) をその例に挙げることができる。

【0082】

酸化インジウムと酸化ガリウムと酸化亜鉛からなる酸化物の場合、金属元素の組成比の自由度は高く、広い範囲の混合比で半導体層として機能する。例えば10重量%の酸化亜鉛を含む酸化インジウムや、酸化インジウムと酸化ガリウムと酸化亜鉛をそれぞれ等モルで混合した材料や、膜中の金属元素の存在比が In : Ga : Zn = 2.2 : 2.2 : 1.0 の比で存在する酸化物を一例として挙げることができる。

【0083】

半導体層103に用いる酸化物半導体からなる半導体膜133は2nm以上200nm以下、好ましくは20nm以上150nm以下の厚さで形成するとよい。また、膜中の酸素欠損が増えるとキャリア濃度が高まり、薄膜トランジスタ特性が損なわれてしまうため、酸素欠損を抑制した組成にする。

【0084】

非晶質の酸化物半導体からなる半導体膜133は、反応性スパッタリング法、パルスレーザー蒸着法 (PLD法) 又はゾルゲル法により成膜できる。気相法の中でも、材料系の組成を制御しやすい点では、PLD法が、量産性の点からは、上述したようにスパッタリング法が適している。ここでは、半導体膜133の形成方法の一例として、In、Ga、及びZnを含む酸化物 (IGZO) を用いた方法について説明する。

【0085】

酸化インジウム ( $In_2O_3$ ) と酸化ガリウム ( $Ga_2O_3$ ) と酸化亜鉛 ( $ZnO$ ) をそれぞれ等モルで混合し、焼結した直径8インチのターゲットを用い、ターゲットから170mmの位置に基板を配置して、500Wの出力でDC (Direct Current) スパッタリングして半導体膜133を形成する。チャンバーの圧力は0.4Pa、ガス組成比はAr/O<sub>2</sub>が10/5sccmの条件で50nm成膜する。成膜の際の酸素分圧をインジウム錫酸化物 (ITO) などの透明導電膜の成膜条件より高く設定し、成膜雰囲気の酸素濃度を制御して酸素欠損を抑制することが望ましい。また、パルス直流 (DC) 電源を用いると、ごみが軽減でき、半導体層の膜厚分布も均一となるために好ましい。

【0086】

なお、半導体層103にプラズマ処理を行ってもよい。プラズマ処理を行うことにより、半導体層103のエッティングによるダメージを回復することができる。プラズマ処理はO<sub>2</sub>、N<sub>2</sub>O、好ましくは酸素を含むN<sub>2</sub>、He、Ar雰囲気下で行うことが好ましい。また、上記雰囲気にCl<sub>2</sub>、CF<sub>4</sub>を加えた雰囲気下で行ってもよい。なお、プラズマ処理は、無バイアスで行うことが好ましい。

【0087】

なお、本実施の形態では酸化物半導体膜用のターゲットと共に単結晶シリコンターゲットを備えたマルチチャンバー型のスパッタリング装置を使い、前工程で形成した第2のゲート絶縁膜102bを大気にさらすことなく、その上に半導体膜を形成する。成膜した半導体膜は引き続き大気にさらすことなく、次工程で半導体膜上にチャネル保護層106となる絶縁膜を形成する。

【0088】

チャネル保護層106は図2(A)のごとく、半導体層103のチャネル形成領域と重なる領域に絶縁膜で形成する。チャネル保護層106として機能する絶縁膜は、無機材料(酸化珪素、窒化珪素、酸化窒化珪素、窒化酸化珪素など)を用いることができる。また、感光性または非感光性の有機材料(有機樹脂材料)(ポリイミド、アクリル、ポリアミド、ポリイミドアミド、レジスト、ベンゾシクロブテンなど)、もしくは複数種からなる膜、またはこれらの膜の積層などを用いることができる。また、シロキサンを用いてもよい。

【0089】

10

20

30

40

50

チャネル保護層 106 となる絶縁膜は、プラズマ CVD 法や熱 CVD 法などの気相成長法やスパッタリング法にて成膜できる。また、湿式法であるスピンドルコート法などの塗布法を用いることができる。また、液滴吐出法や、印刷法（スクリーン印刷やオフセット印刷などパターンが形成される方法）などによって選択的に形成してもよい。

【0090】

なお、ここでは単結晶シリコンターゲットと酸化物半導体膜用のターゲットを備えたマルチチャンバー型のスパッタリング装置を使って、前工程で形成した酸化物半導体からなる半導体膜 133 を大気にさらすことなく、チャネル保護層 106 となる酸化珪素膜を成膜する。

【0091】

次に、本実施の形態における第 2 のフォトマスクを用いて形成したレジストマスクを使い、半導体膜 133 上に形成された酸化珪素膜を選択的にエッチングして図 2 (A) のごとくチャネル保護層 106 を形成する。

10

【0092】

次に、本実施の形態における第 3 のフォトマスクを用いて形成したレジストマスクを使い、ゲート絶縁膜上に形成された酸化物半導体からなる半導体膜 133 をエッチングして半導体層 103 を形成する。

【0093】

なお、In、Ga、及びZn を含む酸化物 (IGZO) 膜をエッチングする方法として、ウエットエッチング法を利用できる。クエン酸やシュウ酸などの有機酸をエッチャントに用いることができる。例えば、膜厚 50 nm の In、Ga、及びZn を含む酸化物 (IGZO) 膜はITO07N (関東化学社製) を使い 150 秒でエッチング加工できる。

20

【0094】

非晶質の酸化物半導体膜上に形成される一対のバッファ層 104a、104b は、n 型の導電型を有する In、Ga、及びZn を含む酸化物半導体膜で形成する。

【0095】

また、n 型の導電型を有する In、Ga、及びZn を含む酸化物半導体膜に異種の金属をドーピングして用いることもできる。ドーパントとしては、マグネシウム、アルミニウム、チタン、スカンジウム、イットリウム、ジルコニウム、ハフニウム、硼素、タリウム、ゲルマニウム、錫、鉛などを挙げることができる。マグネシウム、アルミニウム、チタンなどをバッファ層に含ませると、酸素のプロッキング効果などがあり、成膜後の加熱処理などによって半導体層の酸素濃度を最適な範囲内に保持できる。

30

【0096】

本発明の一態様において、半導体層のキャリア濃度範囲 (チャネル用濃度範囲 1) は  $1 \times 10^{17}$  atoms/cm<sup>3</sup> 未満 (より好ましくは  $1 \times 10^{11}$  atoms/cm<sup>3</sup> 以上)、バッファ層として適する IGZO 膜のキャリア濃度範囲 (バッファ層濃度範囲 2) は、 $1 \times 10^{18}$  atoms/cm<sup>3</sup> 以上 ( $1 \times 10^{22}$  atoms/cm<sup>3</sup> 以下) とすることが好ましい。また、半導体層とバッファ層の間に、半導体層よりキャリア濃度が高くバッファ層よりキャリア濃度が低い n<sup>-</sup> 層として機能する第 2 のバッファ層を設けてよい。

40

【0097】

バッファ層 104a、104b のキャリア濃度は In、Ga、及びZn を含む酸化物 (IGZO) からなる半導体層よりも高く導電性に優るため、ソース電極層及びドレイン電極層 (105a、105b) と半導体層 103 が直接接合する場合に比べ、接触抵抗を低減することができる。また、ソース電極層及びドレイン電極層 (105a、105b) と半導体層 103 の接合界面にバッファ層 104a、104b を挟み込むことで、接合界面に集中する電界を緩和できる。

【0098】

なお、バッファ層 104a、104b が半導体層 103 を確実に被覆するために、図 2 (B) のごとく、バッファ層がチャネル保護層 106 の一部に乗り上げるようにパタニング

50

してもよい。

【0099】

バッファ層104a、104bとなるn型の導電型を有するIn、Ga、及びZnを含む酸化物半導体膜は2nm以上100nm以下の厚さで形成するとよい。

【0100】

バッファ層104a、104bとなるn型の導電型を有するIn、Ga、及びZnを含む酸化物半導体膜は、スパッタリング法又はパルスレーザー蒸着法（PLD法）により成膜することができる。

【0101】

なお、ここでは本実施の形態における第4のフォトマスクを用いて形成したレジストマスクを使い、半導体層103とチャネル保護層106上に形成されたn型の導電型を有するIn、Ga、及びZnを含む酸化物半導体膜をドライエッチングもしくはウエットエッチングしてバッファ層104a、104bを形成する。

10

【0102】

ソース電極層及びドレイン電極層（105a、105b）は導電膜からなり、ゲート電極101と同じ材料を使うことができるが、特に、バッファ層104a、104bに接する層がチタン膜であることが好適である。導電膜の具体例として、単体のチタン膜、もしくはチタン膜とアルミニウム膜の積層膜、もしくはチタン膜とアルミニウム膜とチタン膜とを順に積み重ねた三層構造としても良い。

【0103】

20

ここでは、図2（C）のごとくバッファ層104a、104b及びチャネル保護層上にチタン膜とアルミ膜とチタン膜からなる三層積層膜をスパッタリング法により成膜する。次に、本実施の形態における第5のフォトマスクを用いて形成したレジストマスクを使い、チャネル保護層106上に形成された導電膜をエッチングして分離し、ソース電極層とドレイン電極層（105a、105b）を図2（D）のごとく形成する。なお、チタン膜とアルミニウム膜とチタン膜とを順に積み重ねた三層構造の導電膜は過酸化水素水または加熱塩酸をエッチャントとしてエッチングできる。

【0104】

なお、本実施の形態においては、バッファ層104a、104bの形成とソース電極層及びドレイン電極層（105a、105b）の形成を分けて行うため、バッファ層104a、104bとソース電極層及びドレイン電極層（105a、105b）の端部における重なりの長さを容易に制御できる。

30

【0105】

本実施の形態に記載したIn、Ga、及びZnを含む酸化物（IGZO）を半導体層103に用いた薄膜トランジスタは、形成した半導体層103を加熱処理することで、特性が改善する。具体的には、オン電流が大きくなり、トランジスタ特性のバラツキが減少する。

【0106】

半導体層103の加熱処理温度は好ましくは300～400の範囲であり、ここでは350で一時間処理する。加熱処理は半導体層103の形成後であればいつ行っても良い。例えば、半導体層103とチャネル保護層106となる絶縁膜を連続成膜し終えた後でも良いし、チャネル保護層106をパタニングして形成した後でも良いし、バッファ層104a、104bとなるn型の導電型を有するIn、Ga、及びZnを含む酸化物半導体膜を成膜した後でも良い。また、ソース電極層およびドレイン電極層（105a、105b）となる導電膜を成膜した後でも良いし、薄膜トランジスタの封止膜を形成した後でも良いし、薄膜トランジスタ上に形成した平坦化膜の熱硬化処理を半導体層103の加熱処理に兼ねてもよい。

40

【0107】

以上の説明に従って、図1に示した非晶質の酸化物半導体からなる半導体層103、チャネル保護層106、バッファ層104a、104b及びソース電極層及びドレイン電極層

50

(105a、105b)を形成する。

【0108】

本発明の一態様の薄膜トランジスタは、ゲート電極、ゲート絶縁膜、半導体層(  $In$  、  $Ga$  、及び  $Zn$  を含む酸化物半導体層)、バッファ層、チャネル保護層、ソース電極層及びドレイン電極層という積層構造を有している。半導体層よりもキャリア濃度が高いバッファ層を用いることによって、半導体層の膜厚を薄膜にしたままで、かつ寄生容量を抑制することができる。

【0109】

本発明の一態様の薄膜トランジスタの構造は、チャネル保護層106を設ける構造であるため、酸化物半導体膜のゲート絶縁膜102bと接する面とは反対側の領域、所謂バックチャネルを工程時のダメージ(エッチング時のプラズマやエッチング剤による膜減りや、酸化など)から保護することができる。従って薄膜トランジスタの信頼性を向上させることができる。

10

【0110】

なお、チャネル保護層106は半導体層103を形成するエッチング工程においてエッチングストッパーとして機能するためにチャネルストッパー層とも言える。

【0111】

また、本実施の形態では、チャネル保護層106上でソース電極層及びドレイン電極層(105a、105b)の端部がバッファ層104a、104bの端部から後退し、互いに離れる位置にあるため、ソース電極層及びドレイン電極層(105a、105b)間のリード電流やショートを防止することができる。

20

【0112】

よって、本発明の一態様を適用することにより、光電流が少なく、寄生容量が小さく、オン・オフ比の高い薄膜トランジスタを得ることができ、良好な動特性を有する薄膜トランジスタを作製できる。よって、電気特性が高く信頼性のよい薄膜トランジスタを有する半導体装置を提供することができる。

【0113】

(実施の形態2)

本実施の形態では、上記実施の形態1とは別の構造のn型の導電型を有する  $In$  、  $Ga$  、及び  $Zn$  を含む酸化物半導体をバッファ層に有する薄膜トランジスタの構造について、図3を用いて説明する。また、本実施の形態において、実施の形態1と同じものについては同じ符号を用い、詳細な説明を省略する。

30

【0114】

実施の形態1と同様の工程を経て、チャネル保護層106は図3(A-1)のごとく、半導体層103のチャネル形成領域と重なる領域に絶縁膜で形成する。なお、チャネル保護層106のエッチング加工において、半導体層103のバッファ層104と接合する表面を図3(A-2)のごとくエッチングしてもよい。酸化物半導体層のバッファ層104と接合する表面をエッチングすることで、バッファ層104とより良好な接合が得られる。

【0115】

言い換えると、実施の形態1と同様の工程を経て、半導体膜133上のゲート電極101に重畳する領域にチャネル保護層106を形成する。なお、チャネル保護層106を形成する工程において、半導体膜133の表面を図3(A-2)のごとくエッチングしてもよい。チャネル保護層106の開口部にある半導体膜133の表面はエッチングされ、その結果、該表面は次いで成膜されるバッファ層となるn型の導電型を有する  $In$  、  $Ga$  、及び  $Zn$  を含む酸化物半導体膜134と良好に接合できる。なお、本実施の形態においては図3(A-2)の形態に基づいて説明を続ける。

40

【0116】

本実施の形態ではバッファ層となるn型の導電型を有する  $In$  、  $Ga$  、及び  $Zn$  を含む酸化物半導体膜134を図3(B)のごとく成膜する。バッファ層となるn型の導電型を有する  $In$  、  $Ga$  、及び  $Zn$  を含む酸化物半導体膜134は実施の形態1に記載した方法と

50

同様に成膜したあと、パタニングせずに図3(C)のごとくソース電極層及びドレイン電極層(105a、105b)となる導電膜105を積層する。

【0117】

導電膜105は実施の形態1の記載した方法と同様に成膜する。ここでは、導電膜105として、三層積層膜をスパッタリング法により成膜する。例えば、ソース電極層又はドレイン電極層(105a1、105b1)としてチタン膜、(105a2、105b2)としてアルミニウム膜、(105a3、105b3)としてチタン膜を用いることができる。

【0118】

言い換えると、第1の導電膜としてチタンと、第2の導電膜としてアルミニウムと、第3の導電膜としてチタンを積層した導電膜105を用いて、チタンからなる第1の導電層(105a1、105b1)と、アルミニウムからなる第2の導電層(105a2、105b2)と、チタンからなる第3の導電層(105a3、105b3)を積層したソース電極層及びドレイン電極層(105a、105b)を形成する。

【0119】

次に、本実施の形態における第4のフォトマスクを用いて形成したレジストマスクを使って、導電膜105をエッチングする。

【0120】

まず、ソース電極およびドレイン電極(105a1、105b1)をエッチングストッパーとして用いて、ソース電極層およびドレイン電極層(105a2、105a3、105b2、105b3)をウエットエッチングによってエッチングして形成する。上記ウエットエッチングと同じマスクを用いて、ソース電極層又はドレイン電極層(105a1、105b1)、バッファ層104a、104b、半導体層103をドライエッチングによってエッチングして形成する。従って、図3(D)のごとく、ソース電極層105a1はバッファ層104aの端部と、ドレイン電極層105b1はバッファ層104bの端部とそれぞれ一致しており、ソース電極層又はドレイン電極層(105a2、105a3)、ソース電極層又はドレイン電極層(105b2、105b3)は、ソース電極層又はドレイン電極層(105a1、105b1)より端部が後退している。

【0121】

言い換えると、まず、第3の導電膜であるチタン膜をエッチングして第3の導電層(105a3、105b3)を形成し、次に第1の導電膜であるチタン膜をエッチングストッパーに用いて第2の導電膜であるアルミニウム膜をエッチングして第2の導電層(105a2、105b2)を形成する。さらに、上記ウエットエッチングと同じレジストマスクを用いて、第1の導電膜であるチタン膜とn型の導電型を有するIn、Ga、及びZnを含む酸化物半導体膜134をドライエッチングして、第3の導電層(105a1、105b1)と、バッファ層(104a、104b)を形成する。このような工程によりソース電極及びドレイン電極(105a、105b)を形成すると、第1の導電層(105a1、105b1)は、バッファ層(104a、104b)の端部と一致し、第2の導電層(105a2、105b2)及び第3の導電層(105a1、105b1)は、第1の導電層(105a1、105b1)より端部が後退する。なお、この段階の断面図を図3(D)に示す。

【0122】

このように、ソース電極層及びドレイン電極層に用いる導電膜と、バッファ層及び半導体層とがエッチング工程において選択比が低い場合は、エッチングストッパーとして機能する導電膜を積層して別のエッチング条件で複数回エッチング工程を行えばよい。

【0123】

また、形成した半導体層103の加熱処理は実施の形態1と同様に行う。

【0124】

本実施の形態によれば、バッファ層104a、104bとソース電極層とドレイン電極層(105a、105b)のパタニングを同一のフォトマスクから形成したレジストマスク

10

20

30

40

50

を用いて行うため、実施の形態 1 に比べフォトマスクの使用枚数が節減できる。その結果、複数の工程を 1 つの工程にまとめるこことによって工程数を削減し、歩留まりを向上させ、製造時間を短縮することができる。

【 0 1 2 5 】

( 実施の形態 3 )

本実施の形態では、上記実施の形態 1 および実施の形態 2 とは別の構造のバッファ層に有する薄膜トランジスタの構造について、図 4 を用いて説明する。また、本実施の形態において、実施の形態 1 と同じものについては同じ符号を用い、詳細な説明を省略する。

【 0 1 2 6 】

実施の形態 2 と同様の工程を経て、半導体層 103 となる In、Ga、及び Zn を含む酸化物 ( I G Z O ) 半導体膜 133 上に、図 4 ( A ) のごとくチャネル保護層 106 を形成する。

【 0 1 2 7 】

本実施の形態では、ここで半導体膜 133 を選択的にエッチングして半導体層 103 を形成せず、半導体膜 133 上にバッファ層 104a、104b となる n 型の導電型を有する In、Ga、及び Zn を含む酸化物半導体膜を実施の形態 2 と同様な方法で成膜する。次に、本実施の形態における第 3 のフォトマスクを用いて形成したレジストマスクを使い、図 4 ( B ) のごとくバッファ層 104a、104b と半導体層 103 を形成する。

【 0 1 2 8 】

ソース電極層及びドレイン電極層 ( 105a、105b ) は導電膜からなり、実施の形態 1 と同様に成膜する。ここでは、バッファ層 104a、104b 及びチャネル保護層 106 上に導電膜としてチタン膜とアルミ膜とチタン膜からなる三層積層膜をスパッタリング法により成膜する。次に、本実施の形態における第 4 のフォトマスクを用いて形成したレジストマスクを使って導電膜をエッチングして除去し、図 4 ( D ) のごとくソース電極層及びドレイン電極層 ( 105a、105b ) を形成する。図 4 ( D ) は平面図であり、図 4 ( C ) は図 4 ( D ) における A1 - A2 で切断した断面図である。

【 0 1 2 9 】

また、形成した半導体層 103 の加熱処理は実施の形態 1 と同様に行う。

【 0 1 3 0 】

本実施の形態によれば、バッファ層 104a、104b と半導体層 103 のパタニングを同時に行うため、実施の形態 1 に比べフォトマスクの使用枚数が節減できる。その結果、複数の工程を 1 つの工程にまとめるこことによって工程数を削減し、歩留まりを向上させ、製造時間を短縮することができる。

【 0 1 3 1 】

( 実施の形態 4 )

本実施の形態では、電気的に接続された複数のゲート電極とバッファ層を有する薄膜トランジスタについて、図 5 乃至図 7 を用いて説明する。図 5 ( A ) は平面図であり、図 5 ( B ) は図 5 ( A ) における A1 - A2 で切断した断面図である。図 6 ( A ) は平面図であり、図 6 ( B ) は図 6 ( A ) における A1 - A2 で切断した断面図である。図 7 ( A ) は平面図であり、図 7 ( B ) は図 7 ( A ) における A1 - A2 で切断した断面図である。また、本実施の形態において、実施の形態 1 と同じものについては同じ符号を用い、詳細な説明を省略する。

【 0 1 3 2 】

なお、本実施の形態では二つのチャネル形成領域を接続した構造を取り上げるが、これに限られるものではなく、三つのチャネル形成領域が接続されたトリプルゲート構造など所謂マルチゲート構造 ( 直列に接続された二つ以上のチャネル形成領域を有する構造 ) であっても良い。

【 0 1 3 3 】

本実施の形態の薄膜トランジスタの二つのチャネル形成領域が接続する形態には、二つのチャネル形成領域をバッファ層 104c のみで接続する形態 ( 図 5 ) と、バッファ層 10

10

20

30

40

50

4 c および導電層 105 c で接続する形態を(図6)と、二つのチャネル形成領域を半導体層 103 とバッファ層 104 c と導電層 105 c で接続する形態(図7)の3つがある。該当する層のフォトマスクの二つの第1のゲート電極 101 a、第2のゲート電極 101 b に挟まれた部分を変更することで、これらの薄膜トランジスタは、実施の形態1と同様な方法により形成できる。

【0134】

このような、マルチゲート構造はオフ電流値を低減する上で極めて有効である。

【0135】

(実施の形態5)

本実施の形態では、上記実施の形態1~4とは別の構造のバッファ層に有する薄膜トランジスタの構造について、図8を用いて説明する。なお、本実施の形態の薄膜トランジスタはバッファ層を除いて実施の形態1に記載した方法と同様に形成できるため、バッファ層以外は詳細な説明を省略する。

10

【0136】

本実施の形態のバッファ層は第1のバッファ層と第2のバッファ層の2層で構成する。ソース電極もしくはドレイン電極に接するバッファ層 104 a、104 b を第1のバッファ層とし、第1のバッファ層 104 a、104 b と半導体層 103 に挟まれる第2のバッファ層をそれぞれ第2のバッファ層 114 a、114 b とする。

【0137】

言い換えると、本実施の形態のバッファ層は、ソース電極またはドレイン電極の一方に接する第1のバッファ層 104 a と、ソース電極またはドレイン電極の他方に接する第1のバッファ層 104 b と、第1のバッファ層 104 a と半導体層 103 に挟まれる第2のバッファ層 114 a と、第1のバッファ層 104 b と半導体層 103 に挟まれる第2のバッファ層 114 b から成る。

20

【0138】

第1のバッファ層 104 a、104 b および第2のバッファ層 114 a、114 b は共に n型の導電型を有する In、Ga、及びZn を含む酸化物半導体で形成する。

【0139】

また、n型の導電型を有する In、Ga、及びZn を含む酸化物半導体に異種の金属をドーピングして用いることもできる。ドーパントとしては、マグネシウム、アルミニウム、チタン、スカンジウム、イットリウム、ジルコニウム、ハフニウム、硼素、タリウム、ゲルマニウム、錫、鉛などを挙げることができる。ドーピングによりバッファ層中のキャリア濃度を高めることができる。

30

【0140】

バッファ層の成膜方法の一例として、In、Ga、及びZn を含む酸化物 (IGZO) を焼結したターゲットとn型の導電型を付与するドーパントを含む化合物のターゲットを同時にスパッタリングする共スパッタリング法を用いることもできる。共スパッタリング法によれば、In、Ga、及びZn を含む酸化物 (IGZO) とドーパントを含む化合物の混合層を作ることができ、また、第1のバッファ層 104 a、104 b と第2のバッファ層 114 a、114 b を作り分けることができる。

40

【0141】

第1のバッファ層 104 a、104 b および第2のバッファ層 114 a、114 b のキャリア濃度は In、Ga、及びZn を含む酸化物 (IGZO) からなる半導体層 103 よりも高く導電性に優り、かつ、第1のバッファ層 104 a、104 b は第2のバッファ層 114 a、114 b のキャリア濃度より高い組成を選択する。すなわち、バッファ層 104 a、104 b が n<sup>+</sup> 層として機能するのに対して、第2のバッファ層 (バッファ層 114 a、114 b) は n<sup>-</sup> 層として機能する。

【0142】

半導体層 103 のキャリア濃度範囲 (チャネル用濃度範囲1) は  $1 \times 10^{17}$  atoms / cm<sup>3</sup> 未満 (より好ましくは  $1 \times 10^{11}$  atoms / cm<sup>3</sup> 以上)、n<sup>+</sup> 層として機

50

能するバッファ層 104a、104b として適する I G Z O 膜のキャリア濃度範囲（バッファ層濃度範囲 2）は、 $1 \times 10^{18}$  atoms/cm<sup>3</sup> 以上（より好ましくは、 $1 \times 10^{22}$  atoms/cm<sup>3</sup> 以下）とすることが好ましい。

【0143】

半導体層 103 からソース電極層及びドレイン電極層（105a、105b）に向かってキャリア濃度が上昇するように勾配をつけることにより、半導体層 103 とソース電極層及びドレイン電極層（105a、105b）との間の接触抵抗を低減することがきる。

【0144】

また、半導体層 103 からソース電極層及びドレイン電極層（105a、105b）に向かってキャリア濃度が高くなる勾配がついたバッファ層を接合界面に挟み込むことで、接合界面に集中する電界を緩和できる。

10

【0145】

本発明の一態様の積層されたバッファ層を有する薄膜トランジスタは、オフ電流が少なく、そのような薄膜トランジスタを含む半導体装置は高い電気特性及び高信頼性を付与することができる。

【0146】

本実施の形態は他の実施の形態と適宜組み合わせて実施することができる。

【0147】

（実施の形態 6）

ここでは、少なくともゲート絶縁膜と酸化物半導体膜の積層を大気に触れることなく連続して成膜する、逆スタガ型の薄膜トランジスタの作製例を以下に示す。ここでは、連続成膜を行う工程までの工程を示し、その後の工程は、実施の形態 1 乃至 5 のいずれか一に従って薄膜トランジスタを作製すればよい。

20

【0148】

大気に触れることなく連続成膜を行う場合、図 9 に示すようなマルチチャンバー型の製造装置を用いることが好ましい。

【0149】

製造装置の中央部には、基板を搬送する搬送機構（代表的には搬送口ボット 81）を備えた搬送室 80 が設けられ、搬送室 80 には、搬送室内へ搬入および搬出する基板を複数枚収納するカセットケースをセットするカセット室 82 が連結されている。

30

【0150】

また、搬送室には、それぞれゲートバルブ 84～88 を介して複数の処理室が連結される。ここでは、上面形状が六角形の搬送室 80 に 5 つの処理室を連結する例を示す。なお、搬送室の上面形状を変更することで、連結できる処理室の数を変えることができ、例えば、四角形とすれば 3 つの処理室が連結でき、八角形とすれば 7 つの処理室が連結できる。

【0151】

5 つの処理室のうち、少なくとも 1 つの処理室はスパッタリングを行うスパッタチャンバーとする。スパッタチャンバーは、少なくともチャンバー内部に、スパッタターゲット、ターゲットをスパッタするための電力印加機構やガス導入手段、所定位置に基板を保持する基板ホルダー等が設けられている。また、スパッタチャンバー内を減圧状態とするため、チャンバー内の圧力を制御する圧力制御手段がスパッタチャンバーに設けられている。

40

【0152】

スパッタ法にはスパッタ用電源に高周波電源を用いる R F スパッタ法と、D C スパッタ法があり、さらにパルス的にバイアスを与えるパルス D C スパッタ法もある。R F スパッタ法は主に絶縁膜を成膜する場合に用いられ、D C スパッタ法は主に金属膜を成膜する場合に用いられる。

【0153】

また、材料の異なるターゲットを複数設置できる多元スパッタ装置もある。多元スパッタ装置は、同一チャンバーで異なる材料膜を積層成膜することも、同一チャンバーで複数種類の材料を同時に放電させて成膜することもできる。

50

## 【0154】

また、チャンバー内部に磁石機構を備えたマグнетロンスパッタ法を用いるスパッタ装置や、グロー放電を使わずマイクロ波を用いて発生させたプラズマを用いるE C Rスパッタ法を用いるスパッタ装置がある。

## 【0155】

スパッタチャンバーとしては、上述した様々なスパッタ法を適宜用いる。

また、成膜方法として、成膜中にターゲット物質とスパッタガス成分とを化学反応させてそれらの化合物薄膜を形成するリアクティブスパッタ法や、成膜中に基板にも電圧をかけるバイアススパッタ法もある。

## 【0156】

10

また、5つの処理室のうち、他の処理室の一つはスパッタリングの前に基板の予備加熱などを行う加熱チャンバー、スパッタリング後に基板を冷却する冷却チャンバー、或いはプラズマ処理を行うチャンバーとする。

## 【0157】

次に製造装置の動作の一例について説明する。

## 【0158】

被成膜面を下向きとした基板94を収納した基板カセットをカセット室82にセットして、カセット室82に設けられた真空排気手段によりカセット室を減圧状態とする。なお、予め、各処理室および搬送室80内部をそれぞれに設けられた真空排気手段により減圧しておく。こうしておくことで、各処理室間を基板が搬送されている間、大気に触れることなく清浄な状態を維持することができる。

20

## 【0159】

なお、被成膜面を下向きとした基板94は、少なくともゲート電極が予め設けられている。例えば、基板とゲート電極の間にプラズマCVD法で得られる窒化シリコン膜、窒化酸化シリコン膜などの下地絶縁膜を設けてもよい。基板94としてアルカリ金属を含むガラス基板を用いる場合、下地絶縁膜は、基板からナトリウム等の可動イオンがその上の半導体領域中に侵入して、TFTの電気特性が変化することを抑制する作用を有する。

## 【0160】

30

ここでは、ゲート電極を覆う窒化シリコン膜をプラズマCVD法で形成し、1層目のゲート絶縁膜を形成した基板を用いる。プラズマCVD法で成膜された窒化シリコン膜は緻密であり、1層目のゲート絶縁膜とすることでピンホールなどの発生を抑えることができる。なお、ここではゲート絶縁膜を積層とする例を示すが特に限定されず、単層または3層以上の積層を用いてもよい。

## 【0161】

次いで、ゲートバルブ83を開いて搬送口ボット81により1枚目の基板94をカセットから抜き取り、ゲートバルブ84を開いて第1の処理室89内に搬送し、ゲートバルブ84を閉める。第1の処理室89では、加熱ヒータやランプ加熱で基板を加熱して基板94に付着している水分などを除去する。特に、ゲート絶縁膜に水分が含まれるとTFTの電気特性が変化する恐れがあるため、スパッタ成膜前の加熱は有効である。なお、カセット室82に基板をセットした段階で十分に水分が除去されている場合には、この加熱処理は不要である。

40

## 【0162】

また、第1の処理室89にプラズマ処理手段を設け、1層目のゲート絶縁膜の表面にプラズマ処理を行ってもよい。また、カセット室82に加熱手段を設けてカセット室82で水分を除去する加熱を行ってもよい。

## 【0163】

次いで、ゲートバルブ84を開いて搬送口ボット81により基板を搬送室80に搬送し、ゲートバルブ85を開いて第2の処理室90内に搬送し、ゲートバルブ85を閉める。

## 【0164】

ここでは、第2の処理室90は、RFマグネットロンスパッタ法を用いたスパッタチャンバ

50

ーとする。第2の処理室90では、2層目のゲート絶縁膜として酸化シリコン膜(SiO<sub>x</sub>膜(x>0))の成膜を行う。2層目のゲート絶縁膜として、酸化シリコン膜の他に、酸化アルミニウム膜(Al<sub>2</sub>O<sub>3</sub>膜)、酸化マグネシウム膜(MgO<sub>x</sub>膜(x>0))、窒化アルミニウム膜(AlN<sub>x</sub>膜(x>0))、酸化イットリウム膜(YO<sub>x</sub>膜(x>0))などを用いることができる。

#### 【0165】

また、2層目のゲート絶縁膜にハロゲン元素、例えばフッ素、塩素などを膜中に少量添加し、ナトリウム等の可動イオンの固定化をさせてもよい。その方法としては、チャンバー内にハロゲン元素を含むガスを導入してスパッタリングを行う。ただし、ハロゲン元素を含むガスを導入する場合にはチャンバーの排気手段に除害設備を設ける必要がある。ゲート絶縁膜に含ませるハロゲン元素の濃度は、SIMS(二次イオン質量分析計)を用いた分析により得られる濃度ピークが $1 \times 10^{-5} \text{ cm}^{-3}$ 以上 $1 \times 10^{-2} \text{ cm}^{-3}$ 以下の範囲内とすることが好ましい。10

#### 【0166】

SiO<sub>x</sub>膜(x>0)を得る場合、ターゲットとして人工石英を用い、希ガス、代表的にはアルゴンを用いるスパッタ方法や、ターゲットとして単結晶シリコンを用い、酸素ガスと化学反応させてSiO<sub>x</sub>膜(x>0)を得るリアクティブスパッタ法を用いることができる。ここでは酸素を限りなく多くSiO<sub>x</sub>膜(x>0)中に含ませるために、ターゲットとして人工石英を用い、酸素のみの雰囲気下、または酸素が90%以上、且つ、Arが10%以下の雰囲気下でスパッタリングを行い、酸素過剰のSiO<sub>x</sub>膜(x>0)を形成する。20

#### 【0167】

SiO<sub>x</sub>膜(x>0)の成膜後、大気に触れることなく、ゲートバルブ85を開いて搬送口ボット81により基板を搬送室80に搬送し、ゲートバルブ86を開いて第3の処理室91内に搬送し、ゲートバルブ86を閉める。

#### 【0168】

ここでは、第3の処理室91は、DCマグネットロンスパッタ法を用いたスパッタチャンバーとする。第3の処理室91では、半導体層として酸化金属層(IGZO膜)の成膜を行う。インジウム(In)、ガリウム(Ga)、及び亜鉛(Zn)を含む酸化物半導体ターゲットを用いて、希ガス雰囲気下、または酸素雰囲気下で成膜することができる。ここでは酸素を限りなく多くIGZO膜中に含ませるために、ターゲットとしてIn、Ga、及びZnを含む酸化物半導体を用い、酸素のみの雰囲気下、または酸素が90%以上、且つ、Arが10%以下の雰囲気下でパルスDCスパッタ法のスパッタリングを行い、酸素過剰のIGZO膜を形成する。30

#### 【0169】

このように、大気に触れることなく、酸素過剰のSiO<sub>x</sub>膜(x>0)と酸素過剰のIGZO膜とを連続成膜することにより、酸素過剰の膜同士のため界面状態を安定させ、TFTの信頼性を向上させることができる。IGZO膜の成膜前に基板が大気に触れた場合、水分などが付着し、界面状態に悪影響を与え、しきい値のバラツキや、電気特性の劣化、ノーマリーオンのTFTになってしまふ症状などを引き起こす恐れがある。水分は水素化合物であり、大気に触れることなく、連続成膜することによって、水素化合物が界面に存在することを排除することができる。従って、連続成膜することにより、しきい値のバラツキの低減や、電気特性の劣化の防止や、TFTがノーマリーオン側にシフトすることを低減、望ましくはシフトをなくすことができる。40

#### 【0170】

また、第2の処理室90のスパッタチャンバーに人工石英のターゲットと、In、Ga、及びZnを含む酸化物半導体ターゲットとの両方を設置し、シャッターを用いて順次積層して連続成膜することによって同一チャンバー内で積層を行うこともできる。シャッターは、ターゲットと基板の間に設け、成膜を行うターゲットはシャッターを開け、成膜を行わないターゲットはシャッターにより閉じる。同一チャンバー内で積層する利点としては50

、使用するチャンバーの数を減らせる点と、異なるチャンバー間を基板搬送する間にパーティクル等が基板に付着することを防止できる点である。

【0171】

次いで、大気に触れることなく、ゲートバルブ86を開いて搬送口ボット81により基板を搬送室80に搬送し、ゲートバルブ87を開いて第4の処理室92内に搬送し、ゲートバルブ87を閉める。

【0172】

ここでは、第4の処理室92は、RFマグネトロンスパッタ法を用いたスパッタチャンバーとする。第4の処理室92では、チャネル保護層となる絶縁膜として酸化シリコン膜(SiO<sub>x</sub>膜(x>0))の成膜を行う。また、チャネル保護層として、酸化シリコン膜の他に、酸化アルミニウム膜(Al<sub>2</sub>O<sub>3</sub>膜)、酸化マグネシウム膜(MgO<sub>x</sub>膜(x>0))、窒化アルミニウム膜(AlN<sub>x</sub>膜(x>0))、酸化イットリウム膜(YO<sub>x</sub>膜(x>0))などを用いることができる。

10

【0173】

また、チャネル保護層にハロゲン元素、例えばフッ素、塩素などを膜中に少量添加し、ナトリウム等の可動イオンの固定化をさせてよい。その方法としては、チャンバー内にハロゲン元素を含むガスを導入してスパッタリングを行う。ただし、ハロゲン元素を含むガスを導入する場合にはチャンバーの排気手段に除害設備を設ける必要がある。チャネル保護層に含ませるハロゲン元素の濃度は、SIMS(二次イオン質量分析計)を用いた分析により得られる濃度ピークが $1 \times 10^{-15} \text{ cm}^{-3}$ 以上 $1 \times 10^{-20} \text{ cm}^{-3}$ 以下の範囲内とすることが好ましい。

20

【0174】

チャネル保護層としてSiO<sub>x</sub>膜(x>0)を得る場合、ターゲットとして人工石英を用い、希ガス、代表的にはアルゴンを用いるスパッタ方法や、ターゲットとして単結晶シリコンを用い、酸素ガスと化学反応させてSiO<sub>x</sub>膜(x>0)を得るリアクティブスパッタ法を用いることができる。ここでは酸素を限りなく多くSiO<sub>x</sub>膜(x>0)中に含ませるために、ターゲットとして人工石英を用い、酸素のみの雰囲気下、または酸素が90%以上、且つ、Arが10%以下の雰囲気下でスパッタリングを行い、酸素過剰のSiO<sub>x</sub>膜(x>0)を形成する。

【0175】

30

このように、大気に触れることなく、酸素過剰のSiO<sub>x</sub>膜(x>0)と酸素過剰のIGZO膜と酸素過剰のチャネル保護層とを連続成膜することにより、3層が全て酸素過剰の膜のため界面状態がより安定し、TFTの信頼性を向上させることができる。IGZO膜の成膜前後に基板が大気に触れた場合、水分などが付着し、界面状態に悪影響を与え、しきい値のバラツキや、電気特性の劣化、ノーマリーオンのTFTになってしまふ症状などを引き起こす恐れがある。水分は水素化合物であり、大気に触れることなく、連続成膜することによって、水素化合物がIGZO膜の界面に存在することを排除することができる。従って、3層を連続成膜することにより、しきい値のバラツキの低減や、電気特性の劣化の防止や、TFTがノーマリーオン側にシフトすることを低減、望ましくはシフトをなくすことができる。

40

【0176】

また、第2の処理室90のスパッタチャンバーに人工石英のターゲットと、In、Ga、及びZnを含む酸化物半導体ターゲットとの両方を設置し、シャッターを用いて順次積層して3層を連続成膜することによって同一チャンバー内で積層を行うこともできる。同一チャンバー内で積層する利点としては、使用するチャンバーの数を減らせる点と、異なるチャンバー間を基板搬送する間にパーティクル等が基板に付着することを防止できる点である。

【0177】

以上の工程を繰り返してカセットケース内の基板に成膜処理を行って複数の基板の処理を終えた後、カセット室の真空を大気に開放して、基板およびカセットを取り出す。

50

## 【0178】

次いで、IGZO膜をパタニングするため、チャネル保護層を選択的にエッティングし、さらにIGZO膜を選択的にエッティングする。ドライエッティングやウエットエッティングを用いて形成してもよいし、2回のエッティングに分けてそれぞれ選択的にエッティングしてもよい。この段階で、IGZO膜が除去された領域は、ゲート絶縁膜の表面が露呈する。

## 【0179】

次いで、さらにチャネル保護層をゲート電極と重なる位置、即ちIGZO膜のチャネル形成領域となる位置と重なる部分のみを残してエッティングを行う。ここでのチャネル保護層のエッティングは、IGZO膜と十分にエッティングレートが異なる条件を用いる。チャネル保護層のエッティングで十分にエッティングレートに差がない場合、IGZO膜の表面が部分的にエッティングされ、チャネル保護層と重なる領域と比べ膜厚の薄い領域が形成される。なお、チャネル保護層がゲート絶縁膜と同じ材料である場合、このエッティングによってゲート絶縁膜もエッティングされてしまう。従って、ゲート絶縁膜をエッティングされないようにするために、チャネル保護層は、ゲート絶縁膜と異なる材料を用いることが好ましい。本実施の形態ではゲート絶縁膜は2層であり、上層はSiO<sub>x</sub>膜(x > 0)であるため除去される恐れがあるが、下層は窒化シリコン膜でありエッティングストッパーとして機能する。

## 【0180】

次いで、再び、図9に示すマルチチャンバー型の製造装置のカセット室に基板をセットする。

10

20

## 【0181】

次いで、カセット室を減圧状態とした後、搬送室80に基板を搬送し、第3の処理室91に搬送する。ここでは、希ガスのみの雰囲気下でパルスDCスパッタ法のスパッタリングを行い、バッファ層となるn型の導電型を有するIn、Ga、及びZnを含む酸化物半導体膜を形成する。このn型の導電型を有するIn、Ga、及びZnを含む酸化物半導体膜は酸素過剰のIGZO膜よりも膜中の酸素濃度が低い。また、n型の導電型を有するIn、Ga、及びZnを含む酸化物半導体膜としては、酸素過剰のIGZO膜よりも高いキャリア濃度とすることが好ましく、ターゲットとしてIn、Ga、及びZnを含む酸化物半導体にさらにMgやAlやTiを含むターゲットを用いてもよい。MgやAlやTiは、酸化反応しやすい材料であり、これらの材料をn型の導電型を有するIn、Ga、及びZnを含む酸化物半導体膜に含ませると酸素のブロッキング効果などがあり、成膜後の加熱処理などを行ったとしても半導体層の酸素濃度を最適な範囲内に保持できる。このn型の導電型を有するIn、Ga、及びZnを含む酸化物半導体膜はソース領域またはドレイン領域として機能する。

30

## 【0182】

次いで、大気に触れることなく、ゲートバルブ87を開いて搬送口ボット81により基板を搬送室80に搬送し、ゲートバルブ88を開いて第5の処理室93内に搬送し、ゲートバルブ88を閉める。

## 【0183】

ここでは、第5の処理室93は、DCマグネットロンスパッタ法を用いたスパッタチャンバーとする。第5の処理室93では、ソース電極及びドレイン電極となる金属多層膜の成膜を行う。第5の処理室93のスパッタチャンバーにチタンのターゲットと、アルミニウムのターゲットとの両方を設置し、シャッターを用いて順次積層して連続成膜することによって同一チャンバー内で積層を行う。ここでは、チタン膜上にアルミニウム膜を積層し、さらにアルミニウム膜上にチタン膜を積層する。

40

## 【0184】

このように、大気に触れることなく、n型の導電型を有するIn、Ga、及びZnを含む酸化物半導体膜と金属多層膜の成膜を連続成膜することにより、n型の導電型を有するIn、Ga、及びZnを含む酸化物半導体膜と金属多層膜との間で良好な界面状態を実現でき、接触抵抗を低減できる。

50

## 【0185】

以上の工程を繰り返してカセットケース内の基板に成膜処理を行って複数の基板の処理を終えた後、カセット室の真空を大気に開放して、基板およびカセットを取り出す。

## 【0186】

次いで、金属多層膜のエッチングを選択的に行ってソース電極及びドレイン電極を形成する。さらにソース電極及びドレイン電極をマスクとしてエッチングを行い、n型の導電型を有するIn、Ga、及びZnを含む酸化物半導体膜を選択的にエッチングしてソース領域またはドレイン領域が形成される。n型の導電型を有するIn、Ga、及びZnを含む酸化物半導体膜のエッチングでは、チャネル保護層がエッチングストッパーとして機能する。

10

## 【0187】

以上の工程でチャネル保護層を有する逆スタガ型の薄膜トランジスタが作製できる。

## 【0188】

また、上記工程では、酸素過剰のIGZO膜とn型の導電型を有するIn、Ga、及びZnを含む酸化物半導体膜とを同一チャンバー内で成膜する例を示したが、特に限定されず、別々のチャンバーで成膜してもよい。

## 【0189】

ここではマルチチャンバー方式の製造装置を例に説明を行ったが、スパッタチャンバーを直列に連結するインライン方式の製造装置を用いて大気に触れることなく連続成膜を行ってもよい。

20

## 【0190】

また、図9に示す装置は被成膜面を下向きに基板をセットする、所謂フェイスダウン方式の処理室としたが、基板を垂直に立て、縦置き方式の処理室としてもよい。縦置き方式の処理室は、フェイスダウン方式の処理室よりもフットプリントが小さいメリットがあり、さらに基板の自重により撓む恐れのある大面積の基板を用いる場合に有効である。

## 【0191】

## (実施の形態7)

本実施の形態では、同一基板上に少なくとも駆動回路の一部と、画素部に配置する薄膜トランジスタを作製する例について以下に説明する。

## 【0192】

30

画素部に配置する薄膜トランジスタは、実施の形態1乃至実施の形態5に従って形成する。また、実施の形態1乃至実施の形態5に示す薄膜トランジスタはnチャネル型TFTであるため、駆動回路のうち、nチャネル型TFTで構成することができる駆動回路の一部を画素部の薄膜トランジスタと同一基板上に形成する。

## 【0193】

アクティピマトリクス型液晶表示装置のブロック図の一例を図10(A)に示す。図10(A)に示す表示装置は、基板5300上に表示素子を備えた画素を複数有する画素部5301と、各画素を選択する走査線駆動回路5302と、選択された画素へのビデオ信号の入力を制御する信号線駆動回路5303とを有する。

## 【0194】

40

画素部5301は、信号線駆動回路5303から列方向に伸張して配置された複数の信号線S1～Sm(図示せず。)により信号線駆動回路5303と接続され、走査線駆動回路5302から行方向に伸張して配置された複数の走査線G1～Gn(図示せず。)により走査線駆動回路5302と接続され、信号線S1～Sm並びに走査線G1～Gnに対応してマトリクス状に配置された複数の画素(図示せず。)を有する。そして、各画素は、信号線Sj(信号線S1～Smのうちいずれか一)、走査線Gi(走査線G1～Gnのうちいずれか一)と接続される。

## 【0195】

また、実施の形態1乃至実施の形態5に示す薄膜トランジスタは、nチャネル型TFTであり、nチャネル型TFTで構成する信号線駆動回路について図11を用いて説明する。

50

## 【0196】

図11に示す信号線駆動回路は、ドライバIC5601、スイッチ群5602\_1～5602\_M、第1の配線5611、第2の配線5612、第3の配線5613及び配線5621\_1～5621\_Mを有する。スイッチ群5602\_1～5602\_Mそれぞれは、第1の薄膜トランジスタ5603a、第2の薄膜トランジスタ5603b及び第3の薄膜トランジスタ5603cを有する。

## 【0197】

ドライバIC5601は第1の配線5611、第2の配線5612、第3の配線5613及び配線5621\_1～5621\_Mに接続される。そして、スイッチ群5602\_1～5602\_Mそれぞれは、第1の配線5611、第2の配線5612、第3の配線5613及びスイッチ群5602\_1～5602\_Mそれぞれに対応した配線5621\_1～5621\_Mに接続される。そして、配線5621\_1～5621\_Mそれぞれは、第1の薄膜トランジスタ5603a、第2の薄膜トランジスタ5603b及び第3の薄膜トランジスタ5603cを介して、3つの信号線に接続される。例えば、J列目の配線5621\_1～J(配線5621\_1～配線5621\_Mのうちいずれか一)は、スイッチ群5602\_1～Jが有する第1の薄膜トランジスタ5603a、第2の薄膜トランジスタ5603b及び第3の薄膜トランジスタ5603cを介して、信号線Sj-1、信号線Sj、信号線Sj+1に接続される。

## 【0198】

なお、第1の配線5611、第2の配線5612、第3の配線5613には、それぞれ信号が入力される。

## 【0199】

なお、ドライバIC5601は、単結晶基板上に形成されていることが望ましい。さらに、スイッチ群5602\_1～5602\_Mは、実施の形態1乃至実施の形態5に示した画素部と同一基板上に形成されていることが望ましい。したがって、ドライバIC5601とスイッチ群5602\_1～5602\_MとはFPCなどを介して接続するとよい。

## 【0200】

次に、図11に示した信号線駆動回路の動作について、図12のタイミングチャートを参照して説明する。なお、図12のタイミングチャートは、i行目の走査線Giが選択されている場合のタイミングチャートを示している。さらに、i行目の走査線Giの選択期間は、第1のサブ選択期間T1、第2のサブ選択期間T2及び第3のサブ選択期間T3に分割されている。さらに、図11の信号線駆動回路は、他の行の走査線が選択されている場合でも図12と同様の動作をする。

## 【0201】

なお、図12のタイミングチャートは、J列目の配線5621\_1～Jが第1の薄膜トランジスタ5603a、第2の薄膜トランジスタ5603b及び第3の薄膜トランジスタ5603cを介して、信号線Sj-1、信号線Sj、信号線Sj+1に接続される場合について示している。

## 【0202】

なお、図12のタイミングチャートは、i行目の走査線Giが選択されるタイミング、第1の薄膜トランジスタ5603aのオン・オフのタイミング5703a、第2の薄膜トランジスタ5603bのオン・オフのタイミング5703b、第3の薄膜トランジスタ5603cのオン・オフのタイミング5703c及びJ列目の配線5621\_1～Jに入力される信号5721\_1～Jを示している。

## 【0203】

なお、配線5621\_1～配線5621\_Mには第1のサブ選択期間T1、第2のサブ選択期間T2及び第3のサブ選択期間T3において、それぞれ別のビデオ信号が入力される。例えば、第1のサブ選択期間T1において配線5621\_1～Jに入力されるビデオ信号は信号線Sj-1に入力され、第2のサブ選択期間T2において配線5621\_1～Jに入力されるビデオ信号は信号線Sjに入力され、第3のサブ選択期間T3において配線5621\_1～Jに入力されるビデオ信号は信号線Sj+1に入力される。

—Jに入力されるビデオ信号は信号線S<sub>j+1</sub>に入力される。さらに、第1のサブ選択期間T<sub>1</sub>、第2のサブ選択期間T<sub>2</sub>及び第3のサブ選択期間T<sub>3</sub>において、配線5621—Jに入力されるビデオ信号をそれぞれData<sub>j-1</sub>、Data<sub>j</sub>、Data<sub>j+1</sub>とする。

【0204】

図12に示すように、第1のサブ選択期間T<sub>1</sub>において第1の薄膜トランジスタ5603aがオンし、第2の薄膜トランジスタ5603b及び第3の薄膜トランジスタ5603cがオフする。このとき、配線5621—Jに入力されるData<sub>j-1</sub>が、第1の薄膜トランジスタ5603aを介して信号線S<sub>j-1</sub>に入力される。第2のサブ選択期間T<sub>2</sub>では、第2の薄膜トランジスタ5603bがオンし、第1の薄膜トランジスタ5603a及び第3の薄膜トランジスタ5603cがオフする。このとき、配線5621—Jに入力されるData<sub>j</sub>が、第2の薄膜トランジスタ5603bを介して信号線S<sub>j</sub>に入力される。第3のサブ選択期間T<sub>3</sub>では、第3の薄膜トランジスタ5603cがオンし、第1の薄膜トランジスタ5603a及び第2の薄膜トランジスタ5603bがオフする。このとき、配線5621—Jに入力されるData<sub>j+1</sub>が、第3の薄膜トランジスタ5603cを介して信号線S<sub>j+1</sub>に入力される。

10

【0205】

以上のことから、図11の信号線駆動回路は、1ゲート選択期間を3つに分割することで、1ゲート選択期間中に1つの配線5621から3つの信号線にビデオ信号を入力することができる。したがって、図11の信号線駆動回路は、ドライバIC5601が形成される基板と、画素部が形成されている基板との接続数を信号線の数に比べて約1/3にすることができる。接続数が約1/3になることによって、図11の信号線駆動回路は、信頼性、歩留まりなどを向上できる。

20

【0206】

なお、図11のように、1ゲート選択期間を複数のサブ選択期間に分割し、複数のサブ選択期間それぞれにおいて、ある1つの配線から複数の信号線それぞれにビデオ信号を入力することができれば、薄膜トランジスタの配置や数、駆動方法などは限定されない。

【0207】

例えば、3つ以上のサブ選択期間それぞれにおいて1つの配線から3つ以上の信号線それぞれにビデオ信号を入力する場合は、薄膜トランジスタ及び薄膜トランジスタを制御するための配線を追加すればよい。ただし、1ゲート選択期間を4つ以上のサブ選択期間に分割すると、1つのサブ選択期間が短くなる。したがって、1ゲート選択期間は、2つ又は3つのサブ選択期間に分割されることが望ましい。

30

【0208】

別の例として、図13のタイミングチャートに示すように、1つの選択期間をプリチャージ期間T<sub>p</sub>、第1のサブ選択期間T<sub>1</sub>、第2のサブ選択期間T<sub>2</sub>、第3の選択期間T<sub>3</sub>に分割してもよい。さらに、図13のタイミングチャートは、i行目の走査線G<sub>i</sub>が選択されるタイミング、第1の薄膜トランジスタ5603aのオン・オフのタイミング5803a、第2の薄膜トランジスタ5603bのオン・オフのタイミング5803b、第3の薄膜トランジスタ5603cのオン・オフのタイミング5803c及びJ列目の配線5621—Jに入力される信号5821—Jを示している。図13に示すように、プリチャージ期間T<sub>p</sub>において第1の薄膜トランジスタ5603a、第2の薄膜トランジスタ5603b及び第3の薄膜トランジスタ5603cがオフする。このとき、配線5621—Jに入力されるプリチャージ電圧V<sub>p</sub>が第1の薄膜トランジスタ5603a、第2の薄膜トランジスタ5603b及び第3の薄膜トランジスタ5603cを介してそれぞれ信号線S<sub>j-1</sub>、信号線S<sub>j</sub>、信号線S<sub>j+1</sub>に入力される。第1のサブ選択期間T<sub>1</sub>において第1の薄膜トランジスタ5603aがオンし、第2の薄膜トランジスタ5603b及び第3の薄膜トランジスタ5603cがオフする。このとき、配線5621—Jに入力されるData<sub>j-1</sub>が、第1の薄膜トランジスタ5603aを介して信号線S<sub>j-1</sub>に入力される。第2のサブ選択期間T<sub>2</sub>では、第2の薄膜トランジスタ5603bがオンし、第1の薄

40

50

膜トランジスタ 5603a 及び第 3 の薄膜トランジスタ 5603c がオフする。このとき、配線 5621\_J に入力される Data\_j が、第 2 の薄膜トランジスタ 5603b を介して信号線 S\_j に入力される。第 3 のサブ選択期間 T3 では、第 3 の薄膜トランジスタ 5603c がオンし、第 1 の薄膜トランジスタ 5603a 及び第 2 の薄膜トランジスタ 5603b がオフする。このとき、配線 5621\_J に入力される Data\_j+1 が、第 3 の薄膜トランジスタ 5603c を介して信号線 S\_j+1 に入力される。

#### 【0209】

以上のことから、図 13 のタイミングチャートを適用した図 11 の信号線駆動回路は、サブ選択期間の前にプリチャージ選択期間を設けることによって、信号線をプリチャージできるため、画素へのビデオ信号の書き込みを高速に行うことができる。なお、図 13 において、図 12 と同様なものに関しては共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。

10

#### 【0210】

また、走査線駆動回路の構成について説明する。走査線駆動回路は、シフトレジスタ、バッファを有している。また場合によってはレベルシフタを有していても良い。走査線駆動回路において、シフトレジスタにクロック信号 (CLK) 及びスタートパルス信号 (SP) が入力されることによって、選択信号が生成される。生成された選択信号はバッファにおいて緩衝増幅され、対応する走査線に供給される。走査線には、1 ライン分の画素のトランジスタのゲート電極が接続されている。そして、1 ライン分の画素のトランジスタを一斉に ON にしなくてはならないので、バッファは大きな電流を流すことが可能なものが用いられる。

20

#### 【0211】

走査線駆動回路の一部に用いるシフトレジスタの一形態について図 14 及び図 15 を用いて説明する。

#### 【0212】

図 14 にシフトレジスタの回路構成を示す。図 14 に示すシフトレジスタは、複数のフリップフロップ 5701\_i (フリップフロップ 5701\_1 ~ 5701\_n のうちいずれか一) で構成される。また、第 1 のクロック信号、第 2 のクロック信号、スタートパルス信号、リセット信号が入力されて動作する。

30

#### 【0213】

図 14 のシフトレジスタの接続関係について説明する。図 14 のシフトレジスタは、i 段目のフリップフロップ 5701\_i (フリップフロップ 5701\_1 ~ 5701\_n のうちいずれか一) は、図 15 に示した第 1 の配線 5501 が第 7 の配線 5717\_i-1 に接続され、図 15 に示した第 2 の配線 5502 が第 7 の配線 5717\_i+1 に接続され、図 15 に示した第 3 の配線 5503 が第 7 の配線 5717\_i に接続され、図 15 に示した第 6 の配線 5506 が第 5 の配線 5715 に接続される。

#### 【0214】

また、図 15 に示した第 4 の配線 5504 が奇数段目のフリップフロップでは第 2 の配線 5712 に接続され、偶数段目のフリップフロップでは第 3 の配線 5713 に接続され、図 15 に示した第 5 の配線 5505 が第 4 の配線 5714 に接続される。

40

#### 【0215】

ただし、1 段目のフリップフロップ 5701\_1 の図 15 に示す第 1 の配線 5501 は第 1 の配線 5711 に接続され、n 段目のフリップフロップ 5701\_n の図 15 に示す第 2 の配線 5502 は第 6 の配線 5716 に接続される。

#### 【0216】

なお、第 1 の配線 5711、第 2 の配線 5712、第 3 の配線 5713、第 6 の配線 5716 を、それぞれ第 1 の信号線、第 2 の信号線、第 3 の信号線、第 4 の信号線と呼んでもよい。さらに、第 4 の配線 5714、第 5 の配線 5715 を、それぞれ第 1 の電源線、第 2 の電源線と呼んでもよい。

#### 【0217】

50

次に、図14に示すフリップフロップの詳細について、図15に示す。図15に示すフリップフロップは、第1の薄膜トランジスタ5571、第2の薄膜トランジスタ5572、第3の薄膜トランジスタ5573、第4の薄膜トランジスタ5574、第5の薄膜トランジスタ5575、第6の薄膜トランジスタ5576、第7の薄膜トランジスタ5577及び第8の薄膜トランジスタ5578を有する。なお、第1の薄膜トランジスタ5571、第2の薄膜トランジスタ5572、第3の薄膜トランジスタ5573、第4の薄膜トランジスタ5574、第5の薄膜トランジスタ5575、第6の薄膜トランジスタ5576、第7の薄膜トランジスタ5577及び第8の薄膜トランジスタ5578は、nチャネル型トランジスタであり、ゲート・ソース間電圧(V<sub>gs</sub>)がしきい値電圧(V<sub>th</sub>)を上回ったとき導通状態になるものとする。

10

## 【0218】

次に、図14に示すフリップフロップの接続構成について、以下に示す。

## 【0219】

第1の薄膜トランジスタ5571の第1の電極(ソース電極またはドレイン電極の一方)が第4の配線5504に接続され、第1の薄膜トランジスタ5571の第2の電極(ソース電極またはドレイン電極の他方)が第3の配線5503に接続される。

## 【0220】

第2の薄膜トランジスタ5572の第1の電極が第6の配線5506に接続され、第2の薄膜トランジスタ5572の第2の電極が第3の配線5503に接続される。

20

## 【0221】

第3の薄膜トランジスタ5573の第1の電極が第5の配線5505に接続され、第3の薄膜トランジスタ5573の第2の電極が第2の薄膜トランジスタ5572のゲート電極に接続され、第3の薄膜トランジスタ5573のゲート電極が第5の配線5505に接続される。

## 【0222】

第4の薄膜トランジスタ5574の第1の電極が第6の配線5506に接続され、第4の薄膜トランジスタ5574の第2の電極が第2の薄膜トランジスタ5572のゲート電極に接続され、第4の薄膜トランジスタ5574のゲート電極が第1の薄膜トランジスタ5571のゲート電極に接続される。

## 【0223】

第5の薄膜トランジスタ5575の第1の電極が第5の配線5505に接続され、第5の薄膜トランジスタ5575の第2の電極が第1の薄膜トランジスタ5571のゲート電極に接続され、第5の薄膜トランジスタ5575のゲート電極が第1の配線5501に接続される。

30

## 【0224】

第6の薄膜トランジスタ5576の第1の電極が第6の配線5506に接続され、第6の薄膜トランジスタ5576の第2の電極が第1の薄膜トランジスタ5571のゲート電極に接続され、第6の薄膜トランジスタ5576のゲート電極が第2の薄膜トランジスタ5572のゲート電極に接続される。

## 【0225】

第7の薄膜トランジスタ5577の第1の電極が第6の配線5506に接続され、第7の薄膜トランジスタ5577の第2の電極が第1の薄膜トランジスタ5571のゲート電極に接続され、第7の薄膜トランジスタ5577のゲート電極が第2の配線5502に接続される。第8の薄膜トランジスタ5578の第1の電極が第6の配線5506に接続され、第8の薄膜トランジスタ5578の第2の電極が第2の薄膜トランジスタ5572のゲート電極に接続され、第8の薄膜トランジスタ5578のゲート電極が第1の配線5501に接続される。

40

## 【0226】

なお、第1の薄膜トランジスタ5571のゲート電極、第4の薄膜トランジスタ5574のゲート電極、第5の薄膜トランジスタ5575の第2の電極、第6の薄膜トランジスタ

50

5576の第2の電極及び第7の薄膜トランジスタ5577の第2の電極の接続箇所をノード5543とする。さらに、第2の薄膜トランジスタ5572のゲート電極、第3の薄膜トランジスタ5573の第2の電極、第4の薄膜トランジスタ5574の第2の電極、第6の薄膜トランジスタ5576のゲート電極及び第8の薄膜トランジスタ5578の第2の電極の接続箇所をノード5544とする。

【0227】

なお、第1の配線5501、第2の配線5502、第3の配線5503及び第4の配線5504を、それぞれ第1の信号線、第2の信号線、第3の信号線、第4の信号線と呼んでもよい。さらに、第5の配線5505を第1の電源線、第6の配線5506を第2の電源線と呼んでもよい。

10

【0228】

また、信号線駆動回路及び走査線駆動回路を実施の形態1乃至実施の形態5に示すnチャネル型TFTのみで作製することも可能である。実施の形態1乃至実施の形態5に示すnチャネル型TFTはトランジスタの移動度が大きいため、駆動回路の駆動周波数を高くすることが可能となる。また、実施の形態1乃至実施の形態5に示すnチャネル型TFTはバッファ層により寄生容量が低減されるため、周波数特性(f特性と呼ばれる)が高い。例えば、実施の形態1乃至実施の形態5に示すnチャネル型TFTを用いた走査線駆動回路は、高速に動作させることが出来るため、フレーム周波数を高くすること、または、黒画面挿入を実現することなども実現することが出来る。

【0229】

20

さらに、走査線駆動回路のトランジスタのチャネル幅を大きくすることや、複数の走査線駆動回路を配置することなどによって、さらに高いフレーム周波数を実現することが出来る。複数の走査線駆動回路を配置する場合は、偶数行の走査線を駆動する為の走査線駆動回路を片側に配置し、奇数行の走査線を駆動するための走査線駆動回路をその反対側に配置することにより、フレーム周波数を高くすることを実現することが出来る。

【0230】

また、アクティブマトリクス型発光表示装置を作製する場合、少なくとも一つの画素に複数の薄膜トランジスタを配置するため、走査線駆動回路を複数配置することが好ましい。アクティブマトリクス型発光表示装置のブロック図の一例を図10(B)に示す。

【0231】

30

図10(B)に示す表示装置は、基板5400上に表示素子を備えた画素を複数有する画素部5401と、各画素を選択する第1の走査線駆動回路5402及び第2の走査線駆動回路504と、選択された画素へのビデオ信号の入力を制御する信号線駆動回路5403とを有する。

【0232】

図10(B)に示す表示装置の画素に入力されるビデオ信号をデジタル形式とする場合、画素はトランジスタのオンとオフの切り替えによって、発光もしくは非発光の状態となる。よって、面積階調法または時間階調法を用いて階調の表示を行うことができる。面積階調法は、1画素を複数の副画素に分割し、各副画素を独立にビデオ信号に基づいて駆動させることによって、階調表示を行う駆動法である。また時間階調法は、画素が発光する時間を制御することによって、階調表示を行う駆動法である。

40

【0233】

発光素子は、液晶素子などに比べて応答速度が高いので、液晶素子よりも時間階調法に適している。具体的に時間階調法で表示を行なう場合、1フレーム期間を複数のサブフレーム期間に分割する。そしてビデオ信号に従い、各サブフレーム期間において画素の発光素子を発光または非発光の状態にする。複数のサブフレーム期間に分割することによって、1フレーム期間中に画素が実際に発光する期間のトータルの長さを、ビデオ信号により制御することができ、階調を表示することができる。

【0234】

なお、図10(B)に示す発光装置では、一つの画素にスイッチング用TFTと、電流制

50

御用 TFT との 2 つを配置する場合、スイッチング用 TFT のゲート配線である第 1 の走査線に入力される信号を第 1 走査線駆動回路 5402 で生成し、電流制御用 TFT のゲート配線である第 2 の走査線に入力される信号を第 2 の走査線駆動回路 5404 で生成している例を示しているが、第 1 の走査線に入力される信号と、第 2 の走査線に入力される信号とを、共に 1 つの走査線駆動回路で生成するようにしても良い。また、例えば、スイッチング素子が有する各トランジスタの数によって、スイッチング素子の動作を制御するのに用いられる第 1 の走査線が、各画素に複数設けられることもあり得る。この場合、複数の第 1 の走査線に入力される信号を、全て 1 つの走査線駆動回路で生成しても良いし、複数の各走査線駆動回路で生成しても良い。

【 0235 】

10

また、発光装置においても、駆動回路のうち、n チャネル型 TFT で構成することができる駆動回路の一部を画素部の薄膜トランジスタと同一基板上に形成することができる。また、信号線駆動回路及び走査線駆動回路を実施の形態 1 乃至実施の形態 5 に示す n チャネル型 TFT のみで作製することも可能である。

【 0236 】

また、上述した駆動回路は、液晶表示装置や発光装置に限らず、スイッチング素子と電気的に接続する素子を利用して電子インクを駆動させる電子ペーパーに用いてもよい。電子ペーパーは、電気泳動表示装置（電気泳動ディスプレイ）も呼ばれており、紙と同じ読みやすさ、他の表示装置に比べ低消費電力、薄くて軽い形状とすることが可能という利点を有している。

20

【 0237 】

電気泳動ディスプレイは、様々な形態が考えられ得るが、プラスの電荷を有する第 1 の粒子と、マイナスの電荷を有する第 2 の粒子とを含むマイクロカプセルが溶媒または溶質に複数分散されたものであり、マイクロカプセルに電界を印加することによって、マイクロカプセル中の粒子を互いに反対方向に移動させて一方側に集合した粒子の色のみを表示するものである。なお、第 1 の粒子または第 2 の粒子は染料を含み、電界がない場合において移動しないものである。また、第 1 の粒子の色と第 2 の粒子の色は異なるもの（無色を含む）とする。

【 0238 】

30

このように、電気泳動ディスプレイは、誘電定数の高い物質が高い電界領域に移動する、いわゆる誘電泳動的効果を利用したディスプレイである。電気泳動ディスプレイは、液晶表示装置には必要な偏光板、対向基板も電気泳動表示装置には必要なく、厚さや重さが半減する。

【 0239 】

上記マイクロカプセルを溶媒中に分散させたものが電子インクと呼ばれるものであり、この電子インクはガラス、プラスチック、布、紙などの表面に印刷することができる。また、カラーフィルタや色素を有する粒子を用いることによってカラー表示も可能である。

【 0240 】

40

また、アクティブマトリクス基板上に適宜、二つの電極の間に挟まれるように上記マイクロカプセルを複数配置すればアクティブマトリクス型の表示装置が完成し、マイクロカプセルに電界を印加すれば表示を行うことができる。例えば、実施の形態 2 で得られるアクティブマトリクス基板を用いることができる。

【 0241 】

なお、マイクロカプセル中の第 1 の粒子および第 2 の粒子は、導電体材料、絶縁体材料、半導体材料、磁性材料、液晶材料、強誘電性材料、エレクトロルミネセント材料、エレクトロクロミック材料、磁気泳動材料から選ばれた一種の材料、またはこれらの複合材料を用いればよい。

【 0242 】

（実施の形態 8 ）

本発明の一態様の薄膜トランジスタを作製し、該薄膜トランジスタを画素部、さらには駆

50

動回路に用いて表示機能を有する半導体装置（表示装置ともいう）を作製することができる。また、本発明の一態様の薄膜トランジスタを用いた駆動回路の一部または全体を、画素部と同じ基板上に一体形成し、システムオンパネルを形成することができる。

【0243】

表示装置は表示素子を含む。表示素子としては液晶素子（液晶表示素子ともいう）、発光素子（発光表示素子ともいう）を用いることができる。発光素子は、電流または電圧によって輝度が制御される素子をその範疇に含んでおり、具体的には無機EL（E l e c t r o L u m i n e s c e n c e）、有機EL等が含まれる。また、電子インクなど、電気的作用によりコントラストが変化する表示媒体も適用することができる。

【0244】

また、表示装置は、表示素子が封止された状態にあるパネルと、該パネルにコントローラを含むIC等を実装した状態にあるモジュールとを含む。さらに本発明の一態様は、該表示装置を作製する過程における、表示素子が完成する前の一形態に相当する素子基板に関し、該素子基板は、電流を表示素子に供給するための手段を複数の各画素に備える。素子基板は、具体的には、表示素子の画素電極のみが形成された状態であっても良いし、画素電極となる導電膜を成膜した後であって、エッティングして画素電極を形成する前の状態であっても良いし、あらゆる形態があてはまる。

【0245】

なお、本明細書中における表示装置とは、画像表示デバイス、表示デバイス、もしくは光源（照明装置含む）を指す。また、コネクター、例えばFPC（F l e x i b l e p r i n t e d c i r c u i t）もしくはTAB（Tape Automated Bonding）テープもしくはTCP（Tape Carrier Package）が取り付けられたモジュール、TABテープやTCPの先にプリント配線板が設けられたモジュール、または表示素子にCOG（C h i p O n G l a s s）方式によりIC（集積回路）が直接実装されたモジュールも全て表示装置に含むものとする。

【0246】

本実施の形態では、本発明の一態様の半導体装置として液晶表示装置の例を示す。

【0247】

図16（A）（B）に、本発明の一態様を適用したアクティブマトリクス型の液晶表示装置を示す。図16（A）は液晶表示装置の平面図であり、図16（B）は図16（A）における線V-Xの断面図である。半導体装置に用いられる薄膜トランジスタ201としては、実施の形態4で示す薄膜トランジスタと同様に作製でき、IGZO半導体層及びn型の導電型を有するIn、Ga、及びZnを含む酸化物半導体層からなるバッファ層を含む信頼性の高い薄膜トランジスタである。また、実施の形態1乃至実施の形態3、及び実施の形態5で示す薄膜トランジスタも本実施の形態の薄膜トランジスタ201として適用することもできる。

【0248】

図16（A）の本実施の形態の液晶表示装置は、ソース配線層202、マルチゲート構造の逆スタガ型薄膜トランジスタ201、ゲート配線層203、容量配線層204を含む。

【0249】

また、図16（B）において、本実施の形態の液晶表示装置は、マルチゲート構造の薄膜トランジスタ201、絶縁層211、絶縁層212、絶縁層213、及び表示素子に用いる電極層255、配向膜として機能する絶縁層261、偏光板268が設けられた基板200と、配向膜として機能する絶縁層263、表示素子に用いる電極層265、カラーフィルタとして機能する着色層264、偏光板267が設けられた基板266とが液晶層262を挟持して対向しており、液晶表示素子260を有している。

【0250】

なお図16は透過型液晶表示装置の例であるが、本発明の一態様は反射型液晶表示装置でも半透過型液晶表示装置でも適用できる。

【0251】

10

20

30

40

50

また、図16の液晶表示装置では、基板266の外側（視認側）に偏光板267を設け、内側に着色層264、表示素子に用いる電極層265という順に設ける例を示すが、偏光板267は基板266の内側に設けてもよい。また、偏光板と着色層の積層構造も図16に限定されず、偏光板及び着色層の材料や作製工程条件によって適宜設定すればよい。また、ブラックマトリクスとして機能する遮光膜を設けてもよい。

#### 【0252】

画素電極層として機能する電極層255、265は、酸化タンクス滕を含むインジウム酸化物、酸化タンクス滕を含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物（以下、ITOと示す。）、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を用いることができる。

10

#### 【0253】

また、電極層255、265として、導電性高分子（導電性ポリマーともいう）を含む導電性組成物を用いて形成することができる。導電性組成物を用いて形成した画素電極は、シート抵抗が10000 /以下、波長550nmにおける透光率が70%以上であることが好ましい。また、導電性組成物に含まれる導電性高分子の抵抗率が0.1 · cm以下であることが好ましい。

#### 【0254】

導電性高分子としては、いわゆる電子共役系導電性高分子が用いることができる。例えば、ポリアニリンまたはその誘導体、ポリピロールまたはその誘導体、ポリチオフェンまたはその誘導体、若しくはこれらの2種以上の共重合体などがあげられる。

20

#### 【0255】

以上の工程により、半導体装置として信頼性の高い液晶表示装置を作製することができる。

#### 【0256】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

#### 【0257】

##### （実施の形態9）

本実施の形態では、本発明の一態様の半導体装置として電子ペーパーの例を示す。

30

#### 【0258】

図17は、本発明の一態様を適用した半導体装置の例としてアクティブマトリクス型の電子ペーパーを示す。半導体装置に用いられる薄膜トランジスタ581としては、実施の形態4で示す薄膜トランジスタと同様に作製でき、IGZO半導体層及びn型の導電型を有するIn、Ga、及びZnを含む酸化物半導体層からなるバッファ層を含む信頼性の高い薄膜トランジスタである。また、実施の形態1、実施の形態3、又は実施の形態4で示す薄膜トランジスタも本実施の形態の薄膜トランジスタ201として適用することもできる。

#### 【0259】

図17の電子ペーパーは、ツイストボール表示方式を用いた表示装置の例である。ツイストボール表示方式とは、白と黒に塗り分けられた球形粒子を表示素子に用いる電極層である第1の電極層及び第2の電極層の間に配置し、第1の電極層及び第2の電極層に電位差を生じさせての球形粒子の向きを制御することにより、表示を行う方法である。

40

#### 【0260】

薄膜トランジスタ581はマルチゲート構造の逆スタガ型の薄膜トランジスタであり、ソース電極層及びドレイン電極層によって第1の電極層587と、絶縁層585に形成する開口で接しており電気的に接続している。第1の電極層587と第2の電極層588との間には黒色領域590a及び白色領域590bを有し、周りに液体で満たされているキャビティ594を含む球形粒子589が設けられており、球形粒子589の周囲は樹脂等の充填材595で充填されている（図17参照。）。

50

## 【0261】

図17では、透光性の導電性高分子を含む電極層を第1の電極層に用いている。第1の電極層587a上に無機絶縁膜が設けられており、無機絶縁膜は第1の電極層587aよりイオン性不純物が拡散するのを防止するバリア膜として機能する。

## 【0262】

また、ツイストボールの代わりに、電気泳動素子を用いることも可能である。透明な液体と、正に帯電した白い微粒子と負に帯電した黒い微粒子とを封入した直径10μm～200μm程度のマイクロカプセルを用いる。第1の電極層と第2の電極層との間に設けられるマイクロカプセルは、第1の電極層と第2の電極層によって、電場が与えられると、白い微粒子と、黒い微粒子が逆の方向に移動し、白または黒を表示することができる。この原理を応用した表示素子が電気泳動表示素子であり、一般的に電子ペーパーとよばれている。電気泳動表示素子は、液晶表示素子に比べて反射率が高いため、補助ライトは不要であり、また消費電力が小さく、薄暗い場所でも表示部を認識することが可能である。また、表示部に電源が供給されない場合であっても、一度表示した像を保持することが可能であるため、電波発信源から表示機能付き半導体装置（単に表示装置、又は表示装置を具備する半導体装置ともいう）を遠ざけた場合であっても、表示された像を保存しておくことが可能となる。

## 【0263】

以上の工程により、半導体装置として信頼性の高い電子ペーパーを作製することができる。

20

## 【0264】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

## 【0265】

## (実施の形態10)

本実施の形態では、本発明の一態様の半導体装置として発光表示装置の例を示す。表示装置の有する表示素子としては、ここではエレクトロルミネッセンスを利用する発光素子を用いて示す。エレクトロルミネッセンスを利用する発光素子は、発光材料が有機化合物であるか、無機化合物であるかによって区別され、一般的に、前者は有機EL素子、後者は無機EL素子と呼ばれている。

30

## 【0266】

有機EL素子は、発光素子に電圧を印加することにより、一対の電極から電子および正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、それらキャリア（電子および正孔）が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。

## 【0267】

無機EL素子は、その素子構成により、分散型無機EL素子と薄膜型無機EL素子とに分類される。分散型無機EL素子は、発光材料の粒子をバインダ中に分散させた発光層を有するものであり、発光メカニズムはドナー準位とアクセプター準位を利用するドナー・アクセプター再結合型発光である。薄膜型無機EL素子は、発光層を誘電体層で挟み込み、さらにそれを電極で挟んだ構造であり、発光メカニズムは金属イオンの内殻電子遷移を利用する局在型発光である。なお、ここでは、発光素子として有機EL素子を用いて説明する。

40

## 【0268】

図18(A)(B)は、本発明の一態様を適用した半導体装置の例としてアクティブマトリクス型の発光表示装置を示す。図18(A)は発光表示装置の平面図であり、図18(B)は図18(A)における線Y-Zの断面図である。なお、図19に、図18に示す発光表示装置の等価回路を示す。

## 【0269】

50

半導体装置に用いられる薄膜トランジスタ301、302としては、実施の形態1及び実施の形態2で示す薄膜トランジスタと同様に作製でき、IGZO半導体層とn型の導電型を有するIn、Ga、及びZnを含む酸化物半導体層からなるバッファ層とを含む信頼性の高い薄膜トランジスタである。また、実施の形態3乃至実施の形態5で示す薄膜トランジスタも本実施の薄膜トランジスタ301、302として適用することもできる。

【0270】

図18(A)及び図19に示す本実施の形態の発光表示装置は、マルチゲート構造の薄膜トランジスタ301、発光素子303、容量素子304、ソース配線層305、ゲート配線層306、電源線307を含む。薄膜トランジスタ301、302はnチャネル型薄膜トランジスタである。

10

【0271】

また、図18(B)において、本実施の形態の発光表示装置は、薄膜トランジスタ302、絶縁層311、絶縁層312、絶縁層313、隔壁321、及び発光素子303に用いる第1の電極層320、電界発光層322、第2の電極層323を有している。

【0272】

絶縁層313は、アクリル、ポリイミド、ポリアミドなどの有機樹脂、またはシリコサンを用いて形成することが好ましい。

【0273】

本実施の形態では画素の薄膜トランジスタ302がn型であるので、画素電極層である第1の電極層320として、陰極を用いるのが望ましい。具体的には、陰極としては、仕事関数が小さい材料、例えば、Ca、Al、CaF、MgAg、AlLi等を用いることができる。

20

【0274】

隔壁321は、有機樹脂膜、無機絶縁膜または有機ポリシリコサンを用いて形成する。特に感光性の材料を用い、第1の電極層320上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。

【0275】

電界発光層322は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。

【0276】

電界発光層322を覆うように、陽極を用いた第2の電極層323を形成する。第2の電極層323は、実施の形態7に画素電極層として列挙した透光性を有する導電性材料を用いた透光性導電膜で形成することができる。上記透光性導電膜の他に、窒化チタン膜またはチタン膜を用いても良い。第1の電極層320と電界発光層322と第2の電極層323とが重なり合うことで、発光素子303が形成されている。この後、発光素子303に大気(酸素、水素、水分、二酸化炭素等)が侵入しないように、第2の電極層323及び隔壁321上に保護膜を形成してもよい。保護膜としては、窒化珪素膜、窒化酸化珪素膜、DLC膜等を形成することができる。

30

【0277】

さらに、実際には、図18(B)まで完成したら、さらに外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム(貼り合わせフィルム、紫外線硬化樹脂フィルム等)やカバー材でパッケージング(封入)することが好ましい。

40

【0278】

次に、発光素子の構成について、図20を用いて説明する。ここでは、駆動用TFTがn型の場合を例に挙げて、画素の断面構造について説明する。図20(A)(B)(C)の半導体装置に用いられる駆動用TFT7001、7011、7021は、実施の形態1で示す薄膜トランジスタと同様に作製でき、IGZO半導体層及びn型の導電型を有するIn、Ga、及びZnを含む酸化物半導体層からなるバッファ層を含む信頼性の高い薄膜トランジスタである。また、実施の形態2、実施の形態3、又は実施の形態4で示す薄膜トランジスタを駆動用TFT7001、7011、7021として適用することもできる。

50

## 【0279】

発光素子は発光を取り出すために少なくとも陽極又は陰極の一方が透明であればよい。そして、基板上に薄膜トランジスタ及び発光素子を形成し、基板とは逆側の面から発光を取り出す上面射出や、基板側の面から発光を取り出す下面射出や、基板側及び基板とは反対側の面から発光を取り出す両面射出構造の発光素子があり、本発明の一態様の画素構成はどの射出構造の発光素子にも適用することができる。

## 【0280】

上面射出構造の発光素子について図20(A)を用いて説明する。

## 【0281】

図20(A)に、駆動用TFT7001がn型で、発光素子7002から発せられる光が陽極7005側に抜ける場合の、画素の断面図を示す。図20(A)では、発光素子7002の陰極7003と駆動用TFT7001が電気的に接続されており、陰極7003上に発光層7004、陽極7005が順に積層されている。陰極7003は仕事関数が小さく、なおかつ光を反射する導電膜であれば様々な材料を用いることができる。例えば、Ca、Al、CaF、MgAg、AlLi等が望ましい。そして発光層7004は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。複数の層で構成されている場合、陰極7003上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層する。なおこれらの層を全て設ける必要はない。陽極7005は光を透過する透光性を有する導電性材料を用いて形成し、例えば酸化タンゲステンを含むインジウム酸化物、酸化タンゲステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物(以下、ITOと示す。)、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電膜を用いても良い。

10

20

## 【0282】

陰極7003及び陽極7005で発光層7004を挟んでいる領域が発光素子7002に相当する。図20(A)に示した画素の場合、発光素子7002から発せられる光は、矢印で示すように陽極7005側に射出する。

## 【0283】

次に、下面射出構造の発光素子について図20(B)を用いて説明する。駆動用TFT7011がn型で、発光素子7012から発せられる光が陰極7013側に射出する場合の、画素の断面図を示す。図20(B)では、駆動用TFT7011と電気的に接続された透光性を有する導電膜7017上に、発光素子7012の陰極7013が成膜されており、陰極7013上に発光層7014、陽極7015が順に積層されている。なお、陽極7015が透光性を有する場合、陽極上を覆うように、光を反射または遮蔽するための遮蔽膜7016が成膜されていてもよい。陰極7013は、図20(A)の場合と同様に、仕事関数が小さい導電性材料であれば様々な材料を用いることができる。ただしその膜厚は、光を透過する程度(好ましくは、5nm~30nm程度)とする。例えば20nmの膜厚を有するアルミニウム膜を、陰極7013として用いることができる。そして発光層7014は、図20(A)と同様に、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。陽極7015は光を透過する必要はないが、図20(A)と同様に、透光性を有する導電性材料を用いて形成することができる。そして遮蔽膜7016は、例えば光を反射する金属等を用いることができるが、金属膜に限定されない。例えば黒の顔料添加した樹脂等を用いることもできる。

30

40

## 【0284】

陰極7013及び陽極7015で、発光層7014を挟んでいる領域が発光素子7012に相当する。図20(B)に示した画素の場合、発光素子7012から発せられる光は、矢印で示すように陰極7013側に射出する。

## 【0285】

次に、両面射出構造の発光素子について、図20(C)を用いて説明する。図20(C)では、駆動用TFT7021と電気的に接続された透光性を有する導電膜7027上に、

50

発光素子 7022 の陰極 7023 が成膜されており、陰極 7023 上に発光層 7024、陽極 7025 が順に積層されている。陰極 7023 は、図 20 (A) の場合と同様に、仕事関数が小さい導電性材料であれば様々な材料を用いることができる。ただしその膜厚は、光を透過する程度とする。例えば 20 nm の膜厚を有する A1 を、陰極 7023 として用いることができる。そして発光層 7024 は、図 20 (A) と同様に、単数の層で構成されても、複数の層が積層されるように構成されてもどちらでも良い。陽極 7025 は、図 20 (A) と同様に、光を透過する透光性を有する導電性材料を用いて形成することができる。

## 【0286】

陰極 7023 と、発光層 7024 と、陽極 7025 とが重なっている部分が発光素子 7022 に相当する。図 20 (C) に示した画素の場合、発光素子 7022 から発せられる光は、矢印で示すように陽極 7025 側と陰極 7023 側の両方に射出する。

## 【0287】

なお、ここでは、発光素子として有機 E-L 素子について述べたが、発光素子として無機 E-L 素子を設けることも可能である。

## 【0288】

なお本実施の形態では、発光素子の駆動を制御する薄膜トランジスタ（駆動用 TFT）と発光素子が電気的に接続されている例を示したが、駆動用 TFT と発光素子との間に電流制御用 TFT が接続されている構成であってもよい。

## 【0289】

なお本実施の形態で示す半導体装置は、図 20 に示した構成に限定されるものではなく、本発明の技術的思想に基づく各種の変形が可能である。

## 【0290】

以上の工程により、半導体装置として信頼性の高い発光表示装置を作製することができる。

## 【0291】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

## 【0292】

## (実施の形態 11)

次に、本発明の半導体装置の一形態である表示パネルの構成について、以下に示す。本実施の形態では、表示素子として液晶素子を有する液晶表示装置の一形態である液晶表示パネル（液晶パネルともいう）、表示素子として発光素子を有する半導体装置の一形態である発光表示パネル（発光パネルともいう）について説明する。

## 【0293】

次に、本発明の半導体装置の一形態に相当する発光表示パネルの外観及び断面について、図 21 を用いて説明する。図 21 は、第 1 の基板上に形成された IGO 半導体層及び n 型の導電型を有する In、Ga、及び Zn を含む酸化物半導体層からなるバッファ層を含む信頼性の高い薄膜トランジスタ及び発光素子を、第 2 の基板との間にシール材によって封止した、パネルの上面図であり、図 21 (B) は、図 21 (A) の H-I における断面図に相当する。

## 【0294】

第 1 の基板 4501 上に設けられた画素部 4502、信号線駆動回路 4503a、4503b、及び走査線駆動回路 4504a、4504b を囲むようにして、シール材 4505 が設けられている。また画素部 4502、信号線駆動回路 4503a、4503b、及び走査線駆動回路 4504a、4504b の上に第 2 の基板 4506 が設けられている。よって画素部 4502、信号線駆動回路 4503a、4503b、及び走査線駆動回路 4504a、4504b は、第 1 の基板 4501 とシール材 4505 と第 2 の基板 4506 によって、充填材 4507 と共に密封されている。

## 【0295】

10

20

30

40

50

また第1の基板4501上に設けられた画素部4502、信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bは、薄膜トランジスタを複数有しており、図21(B)では、画素部4502に含まれる薄膜トランジスタ4510と、信号線駆動回路4503aに含まれる薄膜トランジスタ4509とを例示している。

【0296】

薄膜トランジスタ4509、4510は、IGZO半導体層及びn型の導電型を有するIn、Ga、及びZnを含む酸化物半導体層からなるバッファ層を含む薄膜トランジスタに相当し、実施の形態1乃至実施の形態5に示す薄膜トランジスタを適用することができる。本実施の形態において、薄膜トランジスタ4509、4510はnチャネル型薄膜トランジスタである。

10

【0297】

また4511は発光素子に相当し、発光素子4511が有する画素電極である第1の電極層4517は、薄膜トランジスタ4510のソース電極層またはドレイン電極層と電気的に接続されている。なお発光素子4511の構成は、本実施の形態に示した構成に限定されない。発光素子4511から取り出す光の方向などに合わせて、発光素子4511の構成は適宜変えることができる。

【0298】

また、信号線駆動回路4503a、4503b、走査線駆動回路4504a、4504b、または画素部4502に与えられる各種信号及び電位は、FPC4518a、4518bから供給されている。

20

【0299】

本実施の形態では、薄膜トランジスタ4509、4510を覆う絶縁膜に設けた図示していないコンタクトホールを介して画素部4502、信号線駆動回路4503a、4503b、もしくは走査線駆動回路4504a、4504bと接続する配線4516を、ソース電極層またはドレイン電極層と同じ材料を用いて形成する。また、基板4501の端部の配線4516上に接続端子4515を、第1の電極層4517と同じ材料を用いて形成する。

【0300】

接続端子4515は、FPC4518aが有する端子と、異方性導電膜4519を介して電気的に接続されている。

30

【0301】

発光素子4511からの光の取り出し方向に位置する第2の基板4506は透光性でなければならない。その場合には、ガラス板、プラスチック板、ポリエチレンフィルムまたはアクリルフィルムのような透光性を有する材料を用いる。

【0302】

また、充填材4507としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC(ポリビニルクロライド)、アクリル、ポリイミド、エポキシ樹脂、シリコーン樹脂、PVB(ポリビニルブチラル)またはEVA(エチレンビニルアセテート)を用いることができる。本実施の形態は充填材として窒素を用いた。

40

【0303】

また、必要であれば、発光素子の射出面に偏光板、又は円偏光板(楕円偏光板を含む)、位相差板(1/4板、1/2板)、カラーフィルタなどの光学フィルムを適宜設けてよい。また、偏光板又は円偏光板に反射防止膜を設けてよい。例えば、表面の凹凸により反射光を拡散し、映り込みを低減できるアンチグレア処理を施すことができる。

【0304】

信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bは、別途用意された基板上に単結晶半導体膜又は多結晶半導体膜によって形成された駆動回路で実装されていてよい。また、信号線駆動回路のみ、或いは一部、又は走査線駆動回路のみ、或いは一部のみを別途形成して実装しても良く、本実施の形態は図21の構成に

50

限定されない。

【0305】

次に、本発明の半導体装置の一形態に相当する液晶表示パネルの外観及び断面について、図22を用いて説明する。図22は、第1の基板4001上に形成されたIGZO半導体層及びn型の導電型を有するIn、Ga、及びZnを含む酸化物半導体層からなるバッファ層を含む信頼性の高い薄膜トランジスタ4010、4011、及び液晶素子4013を、第2の基板4006との間にシール材4005によって封止した、パネルの上面図であり、図22(B)は、図22(A1)(A2)のM-Nにおける断面図に相当する。

【0306】

第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004とを囲むようにして、シール材4005が設けられている。また画素部4002と、走査線駆動回路4004の上に第2の基板4006が設けられている。よって画素部4002と、走査線駆動回路4004とは、第1の基板4001とシール材4005と第2の基板4006とによって、液晶層4008と共に封止されている。また第1の基板4001上のシール材4005によって囲まれている領域とは異なる領域に、別途用意された基板上に単結晶半導体膜又は多結晶半導体膜で形成された信号線駆動回路4003が実装されている。

【0307】

なお、別途形成した駆動回路の接続方法は、特に限定されるものではなく、COG方法、ワイヤボンディング方法、或いはTAB方法などを用いることができる。図22(A1)は、COG方法により信号線駆動回路4003を実装する例であり、図22(A2)は、TAB方法により信号線駆動回路4003を実装する例である。

【0308】

また第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004は、薄膜トランジスタを複数有しており、図22(B)では、画素部4002に含まれる薄膜トランジスタ4010と、走査線駆動回路4004に含まれる薄膜トランジスタ4011とを例示している。

【0309】

薄膜トランジスタ4010、4011は、IGZO半導体層及びn型の導電型を有するIn、Ga、及びZnを含む酸化物半導体層からなるバッファ層を含む薄膜トランジスタに相当し、実施の形態1乃至実施の形態5に示す薄膜トランジスタを適用することができる。本実施の形態において、薄膜トランジスタ4010、4011はnチャネル型薄膜トランジスタである。

【0310】

また、液晶素子4013が有する画素電極層4030は、薄膜トランジスタ4010と電気的に接続されている。そして液晶素子4013の対向電極層4031は第2の基板4006上に形成されている。画素電極層4030と対向電極層4031と液晶層4008とが重なっている部分が、液晶素子4013に相当する。なお、画素電極層4030、対向電極層4031はそれぞれ配向膜として機能する絶縁層4032、4033が設けられ、絶縁層4032、4033を介して液晶層4008を挟持している。

【0311】

なお、第1の基板4001、第2の基板4006としては、ガラス、金属(代表的にはステンレス)、セラミックス、プラスチックを用いることができる。プラスチックとしては、FRP(Fiberglass-Reinforced Plastics)板、PVF(ポリビニルフルオライド)フィルム、ポリエスチルフィルム、ポリエスチルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやポリエスチルフィルムで挟んだ構造のシートを用いることもできる。

【0312】

また4035は絶縁膜を選択的にエッティングすることで得られる柱状のスペーサであり、画素電極層4030と対向電極層4031との間の距離(セルギャップ)を制御するため設けられている。なお球状のスペーサを用いていても良い。

10

20

30

40

50

## 【0313】

また別途形成された信号線駆動回路4003と、走査線駆動回路4004または画素部4002に与えられる各種信号及び電位は、FPC4018から供給されている。

## 【0314】

本実施の形態では、接続端子4015が、液晶素子4013が有する画素電極層4030と同じ導電膜から形成され、配線4016は、薄膜トランジスタ4010、4011のゲート電極層と同じ導電膜で形成されている。

## 【0315】

接続端子4015は、FPC4018が有する端子と、異方性導電膜4019を介して電気的に接続されている。

10

## 【0316】

また図22においては、信号線駆動回路4003を別途形成し、第1の基板4001に実装している例を示しているが、本実施の形態はこの構成に限定されない。走査線駆動回路を別途形成して実装しても良いし、信号線駆動回路の一部または走査線駆動回路の一部のみを別途形成して実装しても良い。

## 【0317】

図23は、本発明の一態様を適用して作製されるTFT基板2600を用いて半導体装置として液晶表示モジュールを構成する一例を示している。

## 【0318】

図23は液晶表示モジュールの一例であり、TFT基板2600と対向基板2601がシール材2602により固着され、その間にTFT等を含む画素部2603、液晶層を含む表示素子2604、着色層2605が設けられ表示領域を形成している。着色層2605はカラー表示を行う場合に必要であり、RGB方式の場合は、赤、緑、青の各色に対応した着色層が各画素に対応して設けられている。TFT基板2600と対向基板2601の外側には偏光板2606、偏光板2607、拡散板2613が配設されている。光源は冷陰極管2610と反射板2611により構成され、回路基板2612は、フレキシブル配線基板2609によりTFT基板2600の配線回路部2608と接続され、コントロール回路や電源回路などの外部回路が組みこまれている。また偏光板と、液晶層との間に位相差板を有した状態で積層してもよい。

20

## 【0319】

液晶表示モジュールには、TN(Twisted Nematic)モード、IPS(In-Plane-Switching)モード、FFS(Fringe Field Switching)モード、MVA(Multi-domain Vertical Alignment)モード、PVA(Patterned Vertical Alignment)モード、ASM(Axially Symmetric aligned Micro-cell)モード、OCB(Optical Compensated Birefringence)モード、FLC(Ferroelectric Liquid Crystal)モード、AFLC(AntiFerroelectric Liquid Crystal)モードなどを用いることができる。

30

## 【0320】

以上の工程により、半導体装置として信頼性の高い表示パネルを作製することができる。

40

## 【0321】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

## 【0322】

## (実施の形態12)

本発明に係る半導体装置は、さまざまな電子機器(遊技機も含む)に適用することができる。電子機器としては、例えば、テレビジョン装置(テレビ、またはテレビジョン受信機ともいう)、コンピュータ用などのモニタ、電子ペーパー、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機(携帯電話、携帯電話装置ともいう)

50

、携帯型ゲーム機、携帯情報端末、音響再生装置、パチンコ機などの大型ゲーム機などが挙げられる。特に、実施の形態8～実施の形態11で示したように、本発明に係る薄膜トランジスタを液晶表示装置、発光装置、電気泳動方式表示装置などに適用することにより、電子機器の表示部に用いることができる。以下に具体的に例示する。

【0323】

本発明の一態様の半導体装置は、実施の形態9で示したように電子ペーパーに適用することができる。電子ペーパーは、情報を表示するものであればあらゆる分野の電子機器に用いることが可能である。例えば、電子ペーパーを用いて、電子書籍（電子ブック）、ポスター、電車などの乗り物の車内広告、クレジットカード等の各種カードにおける表示等に適用することができる。電子機器の一例を図24、図25に示す。

10

【0324】

図24（A）は、電子ペーパーで作られたポスター1601を示している。広告媒体が紙の印刷物である場合には、広告の交換は人手によって行われるが、本発明の一態様の半導体装置を適用した電子ペーパーを用いれば短時間で広告の表示を変えることができる。また、電気特性のよい薄膜トランジスタを用いているため、表示も崩れることなく安定した画像が得られる。なお、ポスターは無線で情報を送受信できる構成としてもよい。

【0325】

また、図24（B）は、電車などの乗り物の車内広告1602を示している。広告媒体が紙の印刷物である場合には、広告の交換は人手によって行われるが、本発明の一態様の半導体装置を適用した電子ペーパーを用いれば人手を多くかけることなく短時間で広告の表示を変えることができる。また、電気特性のよい薄膜トランジスタを用いているため、表示も崩れることなく安定した画像が得られる。なお、車内広告は無線で情報を送受信できる構成としてもよい。

20

【0326】

また、図25は、電子書籍2700の一例を示している。例えば、電子書籍2700は、筐体2701および筐体2703の2つの筐体で構成されている。筐体2701および筐体2703は、軸部2711により一体になっており、該軸部2711を軸として開閉動作を行うことができる。このような構成により、紙の書籍のような動作を行うことが可能となる。

【0327】

筐体2701には表示部2705が組み込まれ、筐体2703には表示部2707が組み込まれている。表示部2705および表示部2707は、続き画面を表示する構成としてもよいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成として、例えば右側の表示部（図25では表示部2705）に文章を表示し、左側の表示部（図25では表示部2707）に画像を表示することができる。

30

【0328】

また、図25では、筐体2701に操作部などを備えた例を示している。例えば、筐体2701において、電源2721、操作キー2723、スピーカ2725などを備えている。操作キー2723により、頁を送ることができる。なお、筐体の表示部と同一面にキーボードやポインティングディバイスなどを備える構成としてもよい。また、筐体の裏面や側面に、外部接続用端子（イヤホン端子、USB端子、またはACアダプタおよびUSBケーブルなどの各種ケーブルと接続可能な端子など）、記録媒体挿入部などを備える構成としてもよい。さらに、電子書籍2700は、電子辞書としての機能を持たせた構成としてもよい。

40

【0329】

また、電子書籍2700は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

【0330】

図26（A）は、テレビジョン装置9600の一例を示している。テレビジョン装置96

50

00は、筐体9601に表示部9603が組み込まれている。表示部9603により、映像を表示することが可能である。また、ここでは、スタンド9605により筐体9601を支持した構成を示している。表示部9603は、実施の形態8～実施の形態11に示した表示装置を適用することができる。

#### 【0331】

テレビジョン装置9600の操作は、筐体9601が備える操作スイッチや、別体のリモコン操作機9610により行うことができる。リモコン操作機9610が備える操作キー9609により、チャンネルや音量の操作を行うことができ、表示部9603に表示される映像を操作することができる。また、リモコン操作機9610に、当該リモコン操作機9610から出力する情報を表示する表示部9607を設ける構成としてもよい。

10

#### 【0332】

なお、テレビジョン装置9600は、受信機やモデムなどを備えた構成とする。受信機により一般的のテレビ放送の受信を行うことができ、さらにモデムを介して有線または無線による通信ネットワークに接続することにより、一方向（送信者から受信者）または双方（送信者と受信者間、あるいは受信者間同士など）の情報通信を行うことも可能である。

#### 【0333】

図26（B）は、デジタルフォトフレーム9700の一例を示している。例えば、デジタルフォトフレーム9700は、筐体9701に表示部9703が組み込まれている。表示部9703は、各種画像を表示することができ、例えばデジタルカメラなどで撮影した画像データを表示させることで、通常の写真立てと同様に機能させることができる。

20

#### 【0334】

なお、デジタルフォトフレーム9700は、操作部、外部接続用端子（USB端子、USBケーブルなどの各種ケーブルと接続可能な端子など）、記録媒体挿入部などを備える構成とする。これらの構成は、表示部と同一面に組み込まれてもよいが、側面や裏面に備えるとデザイン性が向上するため好ましい。例えば、デジタルフォトフレームの記録媒体挿入部に、デジタルカメラで撮影した画像データを記憶したメモリを挿入して画像データを取り込み、取り込んだ画像データを表示部9703に表示させることができる。

#### 【0335】

また、デジタルフォトフレーム9700は、無線で情報を送受信出来る構成としてもよい。無線により、所望の画像データを取り込み、表示させる構成とすることもできる。

30

#### 【0336】

図27は、携帯型のオーディオ装置であるデジタルプレーヤー2100の一例を示している。デジタルプレーヤー2100は、本体2130、表示部2131、メモリ部2132、操作部2133、イヤホン2134、制御部2137等を含んでいる。なお、イヤホン2134の代わりにヘッドホンや無線式イヤホンを用いることができる。表示部2131は、実施の形態8～実施の形態11に示した表示装置を適用することができる。

#### 【0337】

また、メモリ部2132を用いて、操作部2133を操作することにより、映像や音声（音楽）を記録、再生することができる。なお、表示部2131は黒色の背景に白色の文字を表示することで消費電力を抑えられる。なお、メモリ部2132に設けられたメモリは、取り出し可能な構成としてもよい。

40

#### 【0338】

図28は、携帯電話機1000の一例を示している。携帯電話機1000は、筐体1001に組み込まれた表示部1002の他、操作ボタン1003、外部接続ポート1004、スピーカ1005、マイク1006などを備えている。表示部1002は、実施の形態8～実施の形態11に示した表示装置を適用することができる。

#### 【0339】

図28に示す携帯電話機1000は、表示部1002を指などで触ることで、情報を入力ことができる。また、電話を掛ける、或いはメールを打つ操作は、表示部1002を指などで触ることにより行うことができる。

50

## 【0340】

表示部1002の画面は主として3つのモードがある。第1は、画像の表示を主とする表示モードであり、第2は、文字等の情報の入力を主とする入力モードである。第3は表示モードと入力モードの2つのモードが混合した表示+入力モードである。

## 【0341】

例えば、電話を掛ける、或いはメールを作成する場合は、表示部1002を文字の入力を主とする文字入力モードとし、画面に表示させた文字の入力操作を行えばよい。この場合、表示部1002の画面のほとんどにキーボードまたは番号ボタンを表示させることが好み。

## 【0342】

10

また、携帯電話機1000内部に、ジャイロ、加速度センサ等の傾きを検出するセンサを有する検出装置を設けることで、携帯電話機1000の向き(縦か横か)を判断して、表示部1002の画面表示を自動的に切り替えるようにすることができる。

## 【0343】

また、画面モードの切り替えは、表示部1002を触れること、又は筐体1001の操作ボタン1003の操作により行われる。また、表示部1002に表示される画像の種類によって切り替えるようにすることもできる。例えば、表示部に表示する画像信号が動画のデータであれば表示モード、テキストデータであれば入力モードに切り替える。

## 【0344】

20

また、入力モードにおいて、表示部1002の光センサで検出される信号を検知し、表示部1002のタッチ操作による入力が一定期間ない場合には、画面のモードを入力モードから表示モードに切り替えるように制御してもよい。

## 【0345】

表示部1002は、イメージセンサとして機能させることもできる。例えば、表示部1002に掌や指を触れることで、掌紋、指紋等を撮像することで、本人認証を行うことができる。また、表示部に近赤外光を発光するバックライトまたは近赤外光を発光するセンシング用光源を用いれば、指静脈、掌静脈などを撮像することもできる。

## 【0346】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

30

## 【符号の説明】

## 【0347】

- 8 0 搬送室
- 8 1 搬送口ボット
- 8 2 カセット室
- 8 3 ゲートバルブ
- 8 4 ゲートバルブ
- 8 5 ゲートバルブ
- 8 6 ゲートバルブ
- 8 7 ゲートバルブ
- 8 8 ゲートバルブ
- 8 9 処理室
- 9 0 処理室
- 9 1 処理室
- 9 2 処理室
- 9 3 処理室
- 9 4 基板
- 1 0 0 基板
- 1 0 1 ゲート電極
- 1 0 1 a ゲート電極

40

50

1 0 1 b	ゲート電極	
1 0 2	ゲート絶縁膜	
1 0 2 a	ゲート絶縁膜	
1 0 2 b	ゲート絶縁膜	
1 0 3	半導体層	
1 0 4	バッファ層	
1 0 4 a	バッファ層	10
1 0 4 b	バッファ層	
1 0 4 c	バッファ層	
1 0 5	導電膜	
1 0 5 a、1 0 5 b	ソース電極層及びドレイン電極層	
1 0 5 a 1	ソース電極層	
1 0 5 b 1	ドレイン電極層	
1 0 5 a 2	ソース電極層	
1 0 5 b 2	ドレイン電極層	
1 0 5 c	導電層	
1 0 6	チャネル保護層	
1 1 4 a	バッファ層	
1 1 4 b	バッファ層	
1 3 3	半導体膜	20
1 3 4	酸化物半導体膜	
2 0 0	基板	
2 0 1	薄膜トランジスタ	
2 0 2	ソース配線層	
2 0 3	ゲート配線層	
2 0 4	容量配線層	
2 1 1	絶縁層	
2 1 2	絶縁層	
2 1 3	絶縁層	
2 5 5	電極層	30
2 6 0	液晶表示素子	
2 6 1	絶縁層	
2 6 2	液晶層	
2 6 3	絶縁層	
2 6 4	着色層	
2 6 5	電極層	
2 6 6	基板	
2 6 7	偏光板	
2 6 8	偏光板	
3 0 1	薄膜トランジスタ	40
3 0 2	薄膜トランジスタ	
3 0 3	発光素子	
3 0 4	容量素子	
3 0 5	ソース配線層	
3 0 6	ゲート配線層	
3 0 7	電源線	
3 1 1	絶縁層	
3 1 2	絶縁層	
3 1 3	絶縁層	
3 2 0	電極層	50

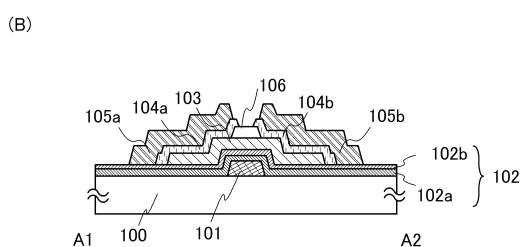
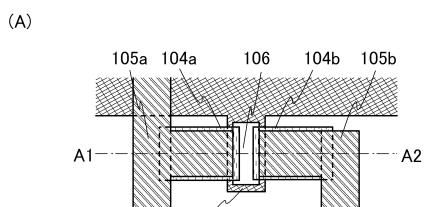
3 2 1	隔壁	
3 2 2	電界発光層	
3 2 3	電極層	
5 0 4	走査線駆動回路	
5 8 1	薄膜トランジスタ	
5 8 5	絶縁層	
5 8 7	電極層	
5 8 7 a	電極層	10
5 8 8	電極層	
5 8 9	球形粒子	
5 9 0 a	黒色領域	
5 9 0 b	白色領域	
5 9 4	キャビティ	
5 9 5	充填材	
1 0 0 0	携帯電話機	
1 0 0 1	筐体	
1 0 0 2	表示部	
1 0 0 3	操作ボタン	
1 0 0 4	外部接続ポート	
1 0 0 5	スピーカ	20
1 0 0 6	マイク	
1 6 0 1	ポスター	
1 6 0 2	車内広告	
2 1 0 0	デジタルプレーヤー	
2 1 3 0	本体	
2 1 3 1	表示部	
2 1 3 2	メモリ部	
2 1 3 3	操作部	
2 1 3 4	イヤホン	
2 1 3 7	制御部	30
2 6 0 0	TFT基板	
2 6 0 1	対向基板	
2 6 0 2	シール材	
2 6 0 3	画素部	
2 6 0 4	表示素子	
2 6 0 5	着色層	
2 6 0 6	偏光板	
2 6 0 7	偏光板	
2 6 0 8	配線回路部	
2 6 0 9	フレキシブル配線基板	40
2 6 1 0	冷陰極管	
2 6 1 1	反射板	
2 6 1 2	回路基板	
2 6 1 3	拡散板	
2 7 0 0	電子書籍	
2 7 0 1	筐体	
2 7 0 3	筐体	
2 7 0 5	表示部	
2 7 0 7	表示部	
2 7 1 1	軸部	50

2 7 2 1	電源	
2 7 2 3	操作キー	
2 7 2 5	スピーカ	
4 0 0 1	基板	
4 0 0 2	画素部	
4 0 0 3	信号線駆動回路	
4 0 0 4	走査線駆動回路	
4 0 0 5	シール材	
4 0 0 6	基板	
4 0 0 8	液晶層	10
4 0 1 0	薄膜トランジスタ	
4 0 1 1	薄膜トランジスタ	
4 0 1 3	液晶素子	
4 0 1 5	接続端子	
4 0 1 6	配線	
4 0 1 8	F P C	
4 0 1 9	異方性導電膜	
4 0 3 0	画素電極層	
4 0 3 1	対向電極層	
4 0 3 2	絶縁層	20
4 5 0 1	基板	
4 5 0 2	画素部	
4 5 0 3 a	信号線駆動回路	
4 5 0 4 a	走査線駆動回路	
4 5 0 5	シール材	
4 5 0 6	基板	
4 5 0 7	充填材	
4 5 0 9	薄膜トランジスタ	
4 5 1 0	薄膜トランジスタ	
4 5 1 1	発光素子	30
4 5 1 5	接続端子	
4 5 1 6	配線	
4 5 1 7	電極層	
4 5 1 8 a	F P C	
4 5 1 9	異方性導電膜	
5 3 0 0	基板	
5 3 0 1	画素部	
5 3 0 2	走査線駆動回路	
5 3 0 3	信号線駆動回路	
5 4 0 0	基板	40
5 4 0 1	画素部	
5 4 0 2	走査線駆動回路	
5 4 0 3	信号線駆動回路	
5 4 0 4	走査線駆動回路	
5 5 0 1	配線	
5 5 0 2	配線	
5 5 0 3	配線	
5 5 0 4	配線	
5 5 0 5	配線	
5 5 0 6	配線	50

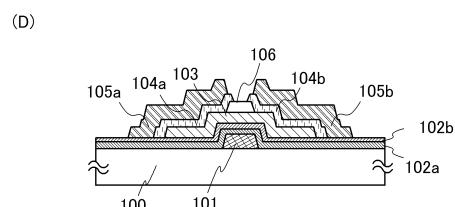
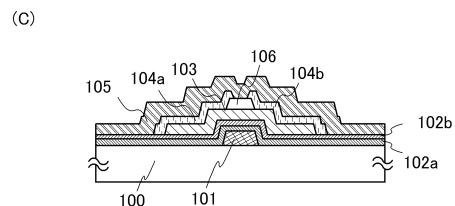
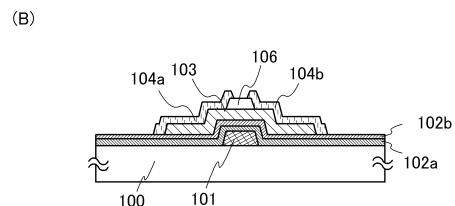
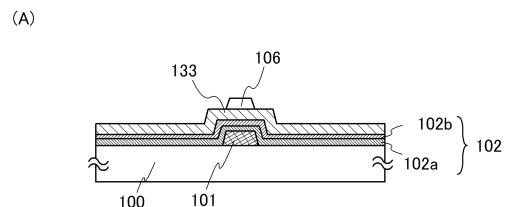
5 5 4 3	ノード	
5 5 4 4	ノード	
5 5 7 1	薄膜トランジスタ	
5 5 7 2	薄膜トランジスタ	
5 5 7 3	薄膜トランジスタ	
5 5 7 4	薄膜トランジスタ	
5 5 7 5	薄膜トランジスタ	
5 5 7 6	薄膜トランジスタ	
5 5 7 7	薄膜トランジスタ	
5 5 7 8	薄膜トランジスタ	10
5 6 0 1	ドライバIC	
5 6 0 2	スイッチ群	
5 6 0 3 a	薄膜トランジスタ	
5 6 0 3 b	薄膜トランジスタ	
5 6 0 3 c	薄膜トランジスタ	
5 6 1 1	配線	
5 6 1 2	配線	
5 6 1 3	配線	
5 6 2 1	配線	
5 7 0 1	フリップフロップ	20
5 7 0 3 a	タイミング	
5 7 0 3 b	タイミング	
5 7 0 3 c	タイミング	
5 7 1 1	配線	
5 7 1 2	配線	
5 7 1 3	配線	
5 7 1 4	配線	
5 7 1 5	配線	
5 7 1 6	配線	
5 7 1 7	配線	30
5 7 2 1	信号	
5 8 0 3 a	タイミング	
5 8 0 3 b	タイミング	
5 8 0 3 c	タイミング	
5 8 2 1	信号	
7 0 0 1	駆動用 TFT	
7 0 0 2	発光素子	
7 0 0 3	陰極	
7 0 0 4	発光層	
7 0 0 5	陽極	40
7 0 1 1	駆動用 TFT	
7 0 1 2	発光素子	
7 0 1 3	陰極	
7 0 1 4	発光層	
7 0 1 5	陽極	
7 0 1 6	遮蔽膜	
7 0 1 7	導電膜	
7 0 2 1	駆動用 TFT	
7 0 2 2	発光素子	
7 0 2 3	陰極	50

7 0 2 4	発光層	
7 0 2 5	陽極	
7 0 2 7	導電膜	
8 3 1 0	比抵抗 / ホール測定システム R e s i T e s t	
9 6 0 0	テレビジョン装置	
9 6 0 1	筐体	
9 6 0 3	表示部	
9 6 0 5	スタンド	
9 6 0 7	表示部	
9 6 0 9	操作キー	10
9 6 1 0	リモコン操作機	
9 7 0 0	デジタルフォトフレーム	
9 7 0 1	筐体	
9 7 0 3	表示部	

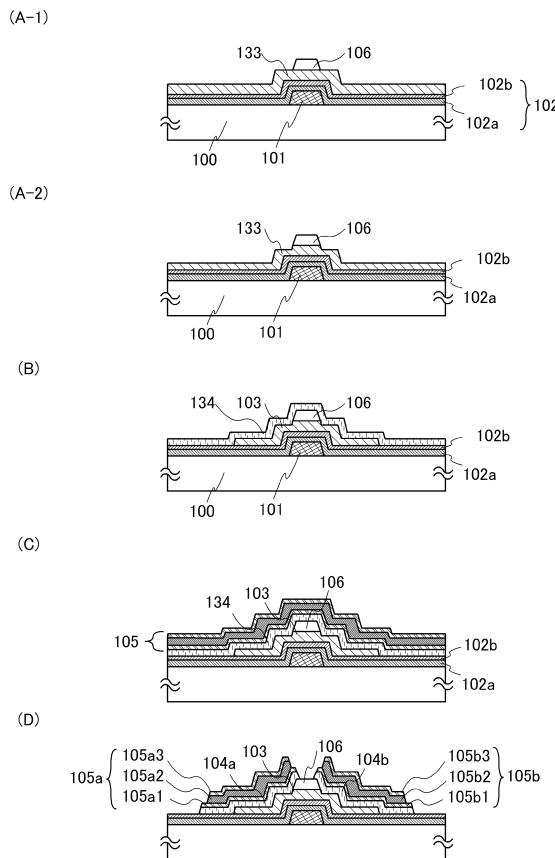
【図 1】



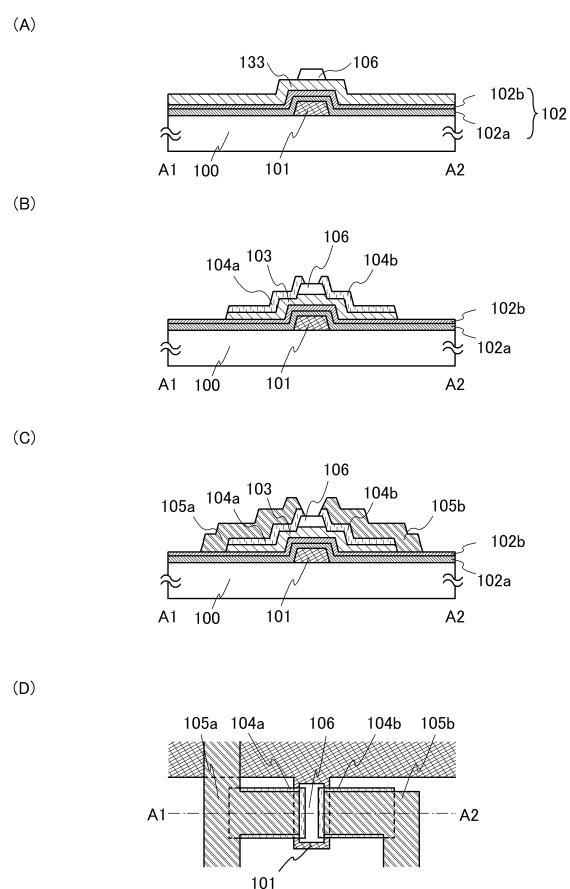
【図 2】



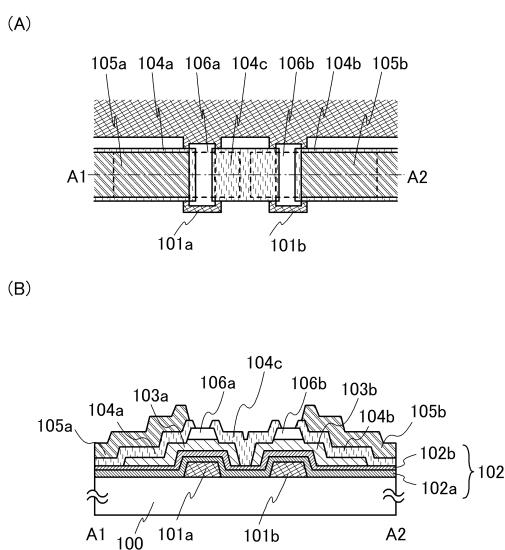
【図3】



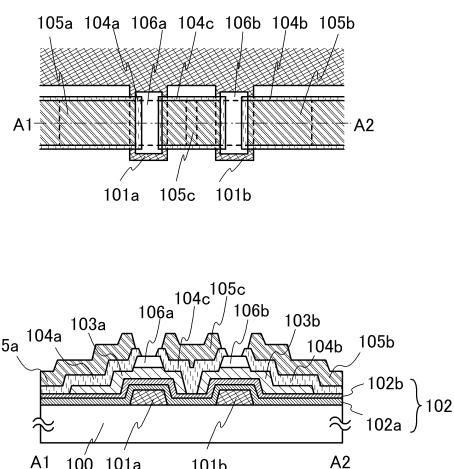
【図4】



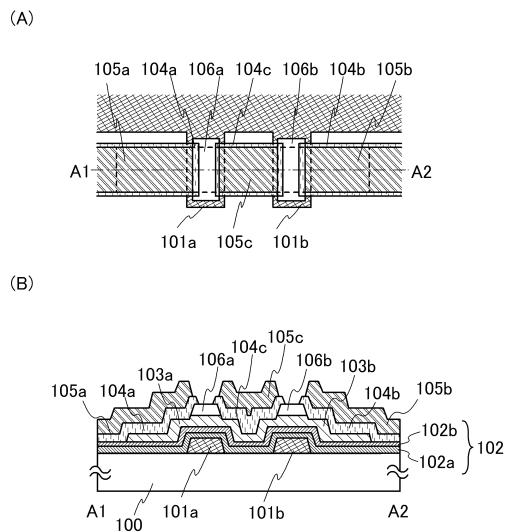
【図5】



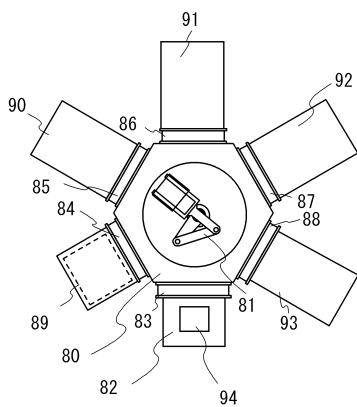
【図6】



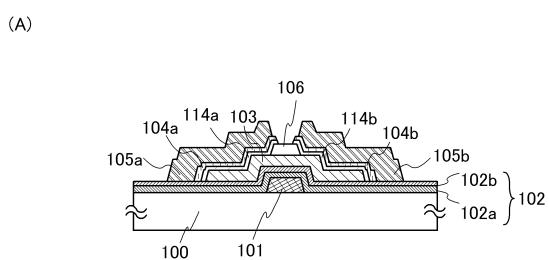
【図7】



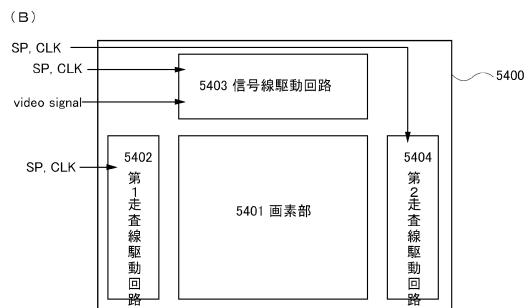
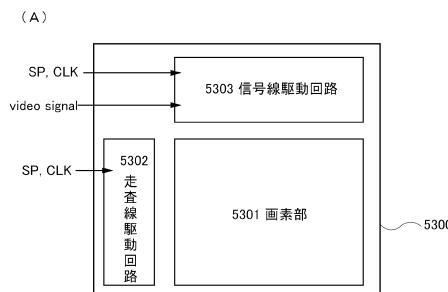
【図9】



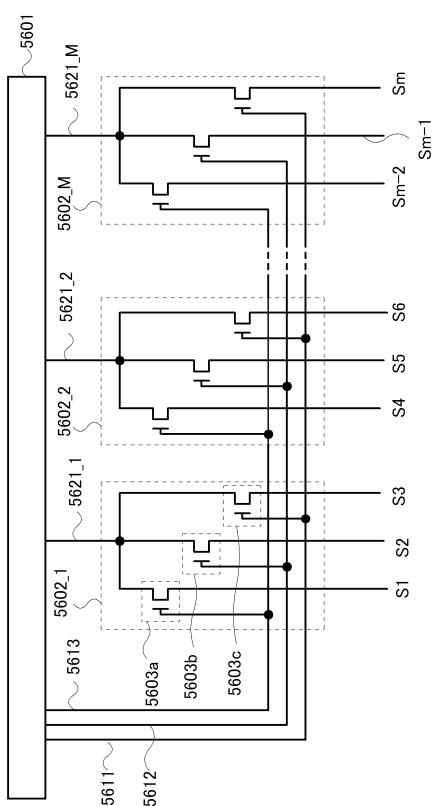
【図8】



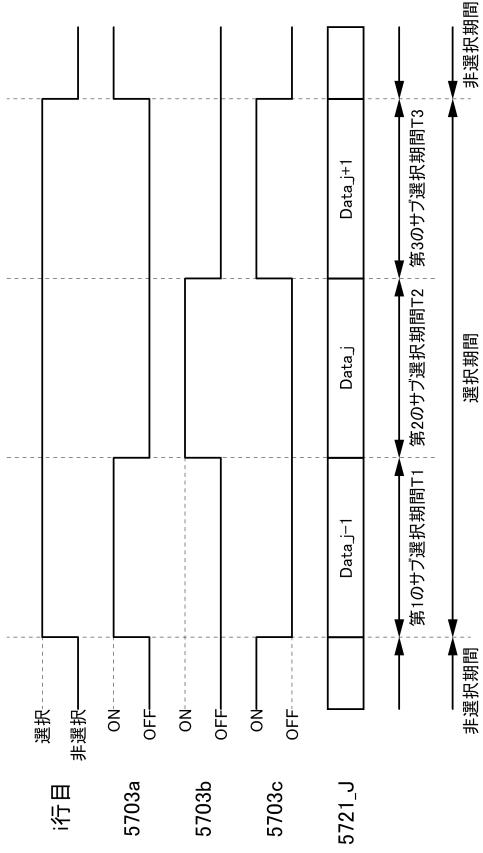
【図10】



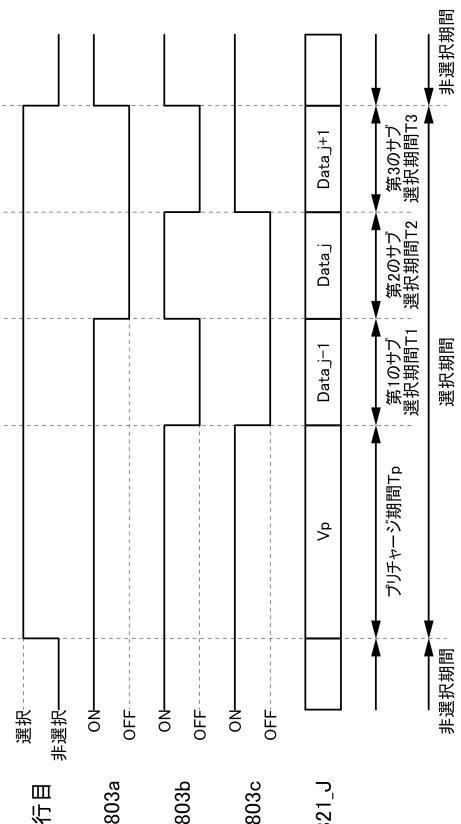
【図11】



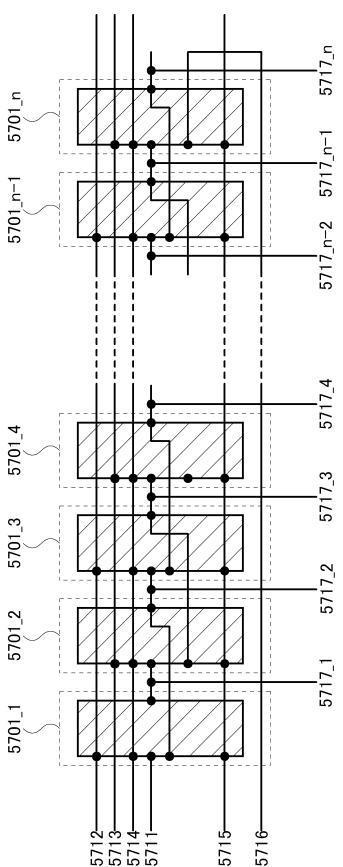
【図 1 2】



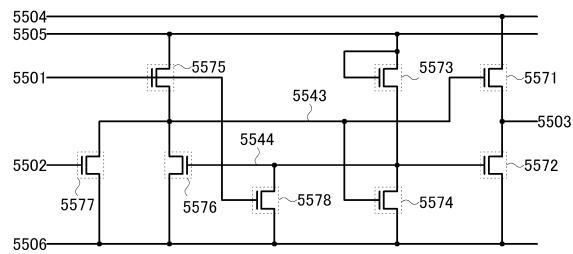
【図 1 3】



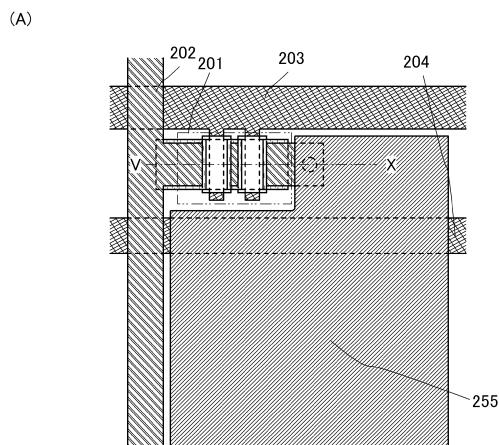
【図 1 4】



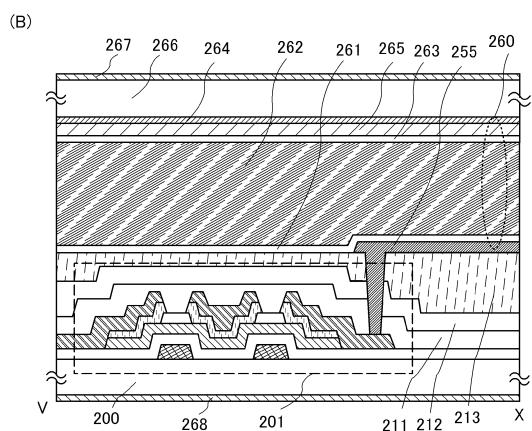
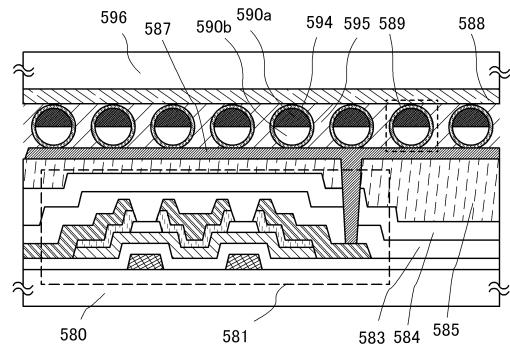
【図 1 5】



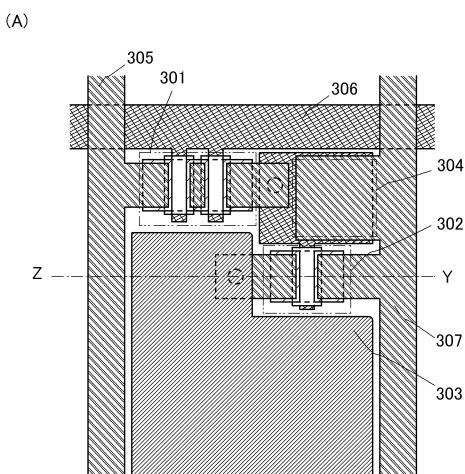
【図16】



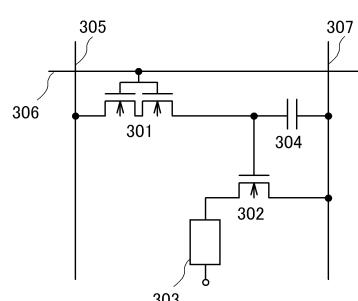
【図17】



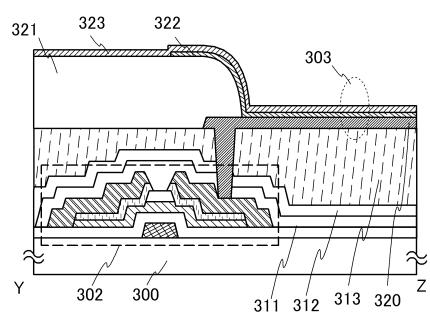
【図18】



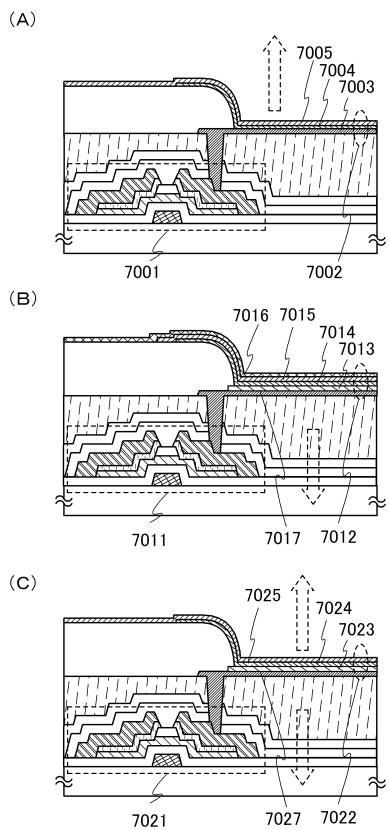
【図19】



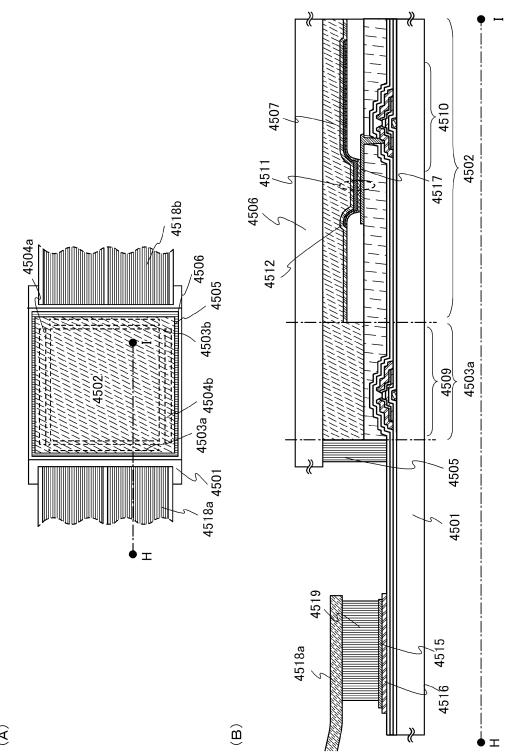
(B)



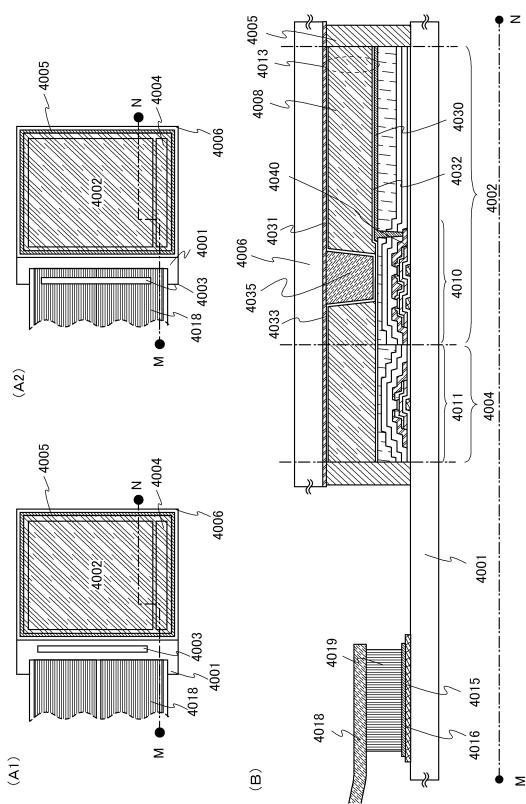
【図20】



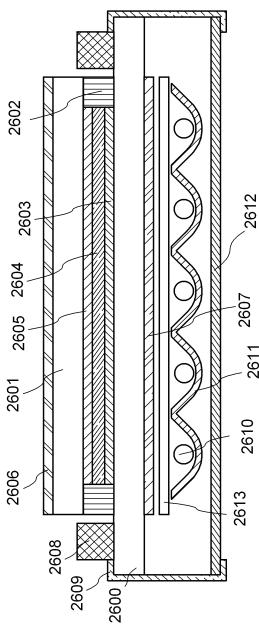
【図21】



【図22】

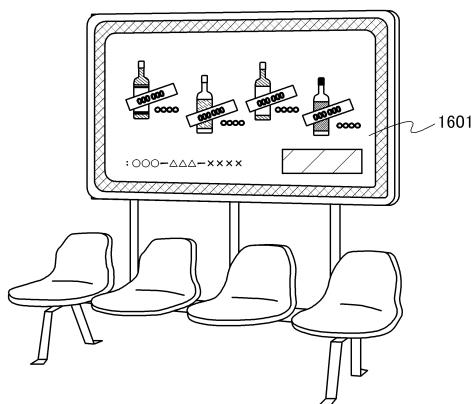


【図23】

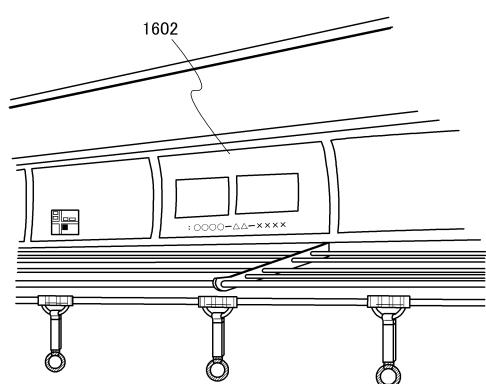


【図24】

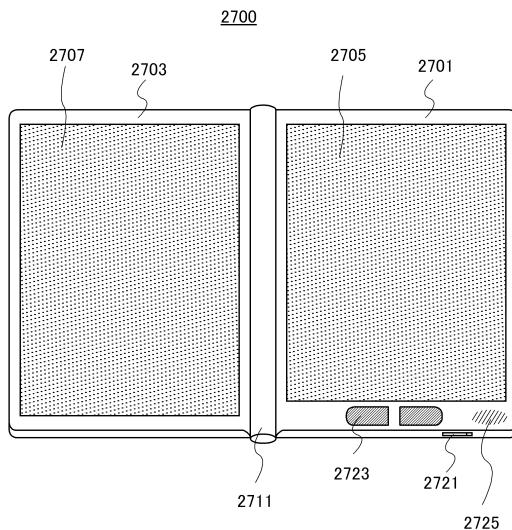
(A)



(B)

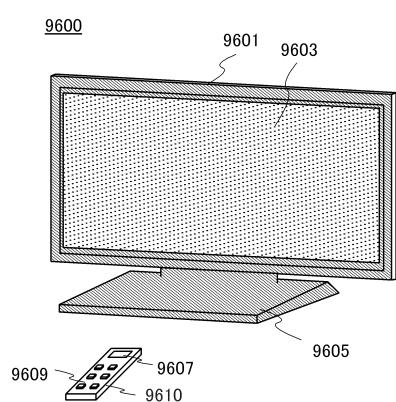


【図25】

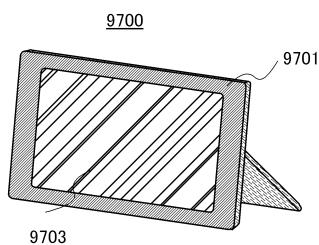


【図26】

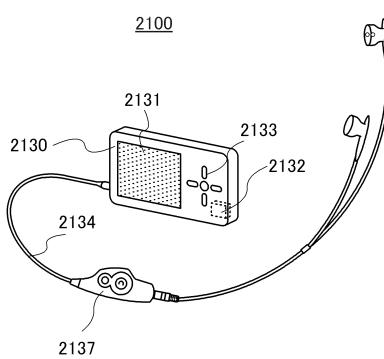
(A)



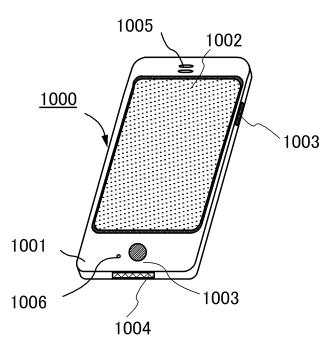
(B)



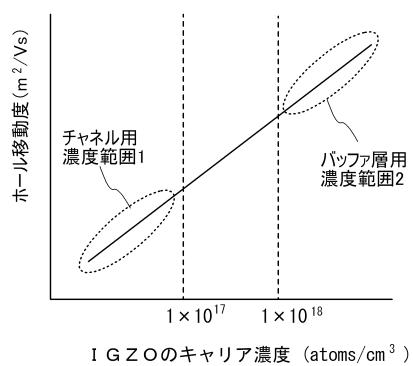
【図27】



【図28】



【図29】



---

フロントページの続き

(51)Int.Cl.

F I

H 0 1 L	21/28	3 0 1 R
H 0 1 L	29/50	M
H 0 5 B	33/14	A

(72)発明者 白石 康次郎

神奈川県厚木市長谷3 9 8番地 株式会社半導体エネルギー研究所内

審査官 川原 光司

(56)参考文献 特開2 0 0 7 - 1 5 0 1 5 8 (JP, A)

特開2 0 0 6 - 1 6 5 5 2 9 (JP, A)

国際公開第2 0 0 9 / 0 7 5 2 8 1 (WO, A 1)

特開2 0 0 8 - 2 1 9 0 0 8 (JP, A)

米国特許出願公開第2 0 0 7 / 0 2 5 2 1 4 7 (US, A 1)

特開2 0 0 8 - 1 6 6 7 1 6 (JP, A)

特表2 0 0 9 - 5 3 3 8 8 4 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 1 / 2 8

H 0 1 L 2 1 / 3 3 6

H 0 1 L 2 9 / 4 1 7

H 0 1 L 2 9 / 7 8 6

H 0 1 L 5 1 / 5 0