

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3694679号

(P3694679)

(45) 発行日 平成17年9月14日(2005.9.14)

(24) 登録日 平成17年7月1日(2005.7.1)

(51) Int. Cl.⁷

H O 1 L 21/60

F I

H O 1 L 21/92 6 O 4 E

H O 1 L 21/60 3 1 1 Q

H O 1 L 21/92 6 O 4 S

請求項の数 2 (全 8 頁)

(21) 出願番号 特願2002-99923 (P2002-99923)
 (22) 出願日 平成14年4月2日(2002.4.2)
 (65) 公開番号 特開2003-297866 (P2003-297866A)
 (43) 公開日 平成15年10月17日(2003.10.17)
 審査請求日 平成16年10月18日(2004.10.18)

(73) 特許権者 000006633
 京セラ株式会社
 京都府京都市伏見区竹田鳥羽殿町6番地
 (72) 発明者 下赤 善男
 鹿児島県始良郡隼人町内999番地3 京
 セラ株式会社鹿児島隼人工場内

審査官 中澤 登

最終頁に続く

(54) 【発明の名称】 フリップチップ型ICの製造方法

(57) 【特許請求の範囲】

【請求項1】

シリコンウェハの一主面を複数個の区画に区分するとともに、該各区画の内側で隣接する区画との境界部近傍に複数個のバリアメタル層を被着させ、該バリアメタル層の存在しない領域にパッシベーション層を被着させる工程と、
 前記境界部の幅方向の両端に位置するパッシベーション層を境界部に沿って帯状に除去することで隣接する区画間に一对の溝を形成する工程と、
 前記バリアメタル層上から一对の溝間に位置するパッシベーション層上にかけて半田ペーストを孔版印刷にて印刷・塗布し、これをリフローすることによってバリアメタル層上に半田バンプを形成する工程と、
 前記シリコンウェハを一对の溝間でダイシングし、シリコンウェハを区画毎に分割することにより複数個のフリップチップ型ICを得る工程と、を含むフリップチップ型ICの製造方法。

【請求項2】

前記溝の幅が5 μ m～30 μ mであることを特徴とする請求項1に記載のフリップチップ型ICの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、回路基板へのフェースダウンボンディングに用いられるフリップチップ型IC

の製造方法に関するものである。

【0002】

【従来の技術】

従来より、回路パターンを有した回路基板の上面に、ICをフェースダウンボンディングすること、即ち、ICの集積回路が形成された面を回路基板と対向させた状態でICを回路基板上に実装することが行なわれている。

【0003】

かかるフェースダウンボンディングに用いられるICはフリップチップ型ICと呼ばれ、その端子を回路基板上の回路パターンに対し半田を介して接続させるようにしたものが一般的であった。

10

【0004】

このような従来のフリップチップ型ICとしては、例えば図4に示す如く、集積回路が設けられているシリコン基板21の一主面に、ニッケル等から成る複数個のバリアメタル層22を、またバリアメタル層22の存在しない領域に窒化珪素等から成るパッシベーション層23をそれぞれ被着させるとともに、バリアメタル層22上に略球状の半田バンプ24を選択的に形成した構造のものが知られており、かかるフリップチップ型ICを回路基板上に実装する場合は、フリップチップ型ICの半田バンプ24が回路基板上の対応する回路パターンと対向するようにしてフリップチップ型ICを回路基板上に載置させ、しかる後、半田バンプ24を高温で加熱・溶融させることによってフリップチップ型ICのバリアメタル層22が回路基板上の回路パターンに半田接合される。

20

【0005】

そして上述のフリップチップ型ICは、通常、複数個の区画に区分されたシリコンウェハを、隣接する区画間に形成されたスクライプラインに沿ってダイシングすることで一度に複数個のフリップチップ型ICを製造する“複数個取り”の手法により製作されている。

【0006】

この“複数個取り”では、まず、

(1)シリコンウェハの一主面を複数個の区画に区分するとともに、該各区画の内側で隣接する区画との境界部近傍に複数個のバリアメタル層22を、該バリアメタル層22の存在しない領域にパッシベーション層23をそれぞれ被着させ、

(2)次に前記境界部に位置するパッシベーション層23を境界部に沿って帯状に除去することで隣接する区画間に溝状のスクライプラインを幅広に形成し、

30

(3)次にバリアメタル層22上に、従来周知のスクリーン印刷等によって半田ペーストを印刷・塗布し、更にこれをリフローすることによってバリアメタル層23上に半田バンプ24を形成し、

(4)最後にシリコンウェハをスクライプラインに沿ってダイシングし、シリコンウェハを区画毎に分割することによって複数個のフリップチップ型ICが同時に得られる。

【0007】

【発明が解決しようとする課題】

しかしながら、上述した従来のフリップチップ型ICにおいては、バリアメタル層22がスクライプラインの近傍に配されていることから、その製造に際してバリアメタル層22上に半田ペーストを塗布したとき、半田ペーストの一部がスクライプラインの内部に流れ込んでしまうことがある。その場合、半田ペーストの塗布量が大きくなってバリアメタル層22上に設けられる半田バンプ24の体積が過度に大きくなる不都合があり、かかるフリップチップ型ICを回路基板上に搭載した場合、半田バンプ24の体積バラツキに起因したフリップチップ型ICの搭載不良が誘発される欠点を有していた。

40

【0008】

本発明は上記欠点を鑑み案出されたもので、その目的は、バリアメタル層上に所望する体積の半田バンプを形成することにより、回路基板上へ良好にフェースダウンボンディングすることができるフリップチップ型ICを得ることが可能なフリップチップ型ICの製造方法を提供することにある。

50

【 0 0 0 9 】

【課題を解決するための手段】

本発明のフリップチップ型 IC の製造方法は、シリコンウェハの一主面を複数個の区画に区分するとともに、該各区画の内側で隣接する区画との境界部近傍に複数個のバリアメタル層を被着させ、該バリアメタル層の存在しない領域にパッシベーション層を被着させる工程と、前記境界部の幅方向の両端に位置するパッシベーション層を境界部に沿って帯状に除去することで隣接する区画間に一对の溝を形成する工程と、前記バリアメタル層上から一对の溝間に位置するパッシベーション層上にかけて半田ペーストを孔版印刷にて印刷・塗布し、これをリフローすることによってバリアメタル層上に半田バンプを形成する工程と、前記シリコンウェハを一对の溝間でダイシングし、シリコンウェハを区画毎に分割することにより複数個のフリップチップ型 IC を得る工程と、を含むことを特徴とするものである。

10

【 0 0 1 0 】

また本発明のフリップチップ型 IC の製造方法は、前記溝の幅が $5 \mu\text{m} \sim 30 \mu\text{m}$ であることを特徴とするものである。

【 0 0 1 1 】

本発明のフリップチップ型 IC の製造方法によれば、シリコンウェハ一主面の隣接する区画間に、パッシベーション層の一部を除去して一对の溝を形成し、この 2 つの溝間でシリコンウェハをダイシングすることによってフリップチップ型 IC を多数個取りするようになったことから、半田バンプの形成にあたってバリアメタル層上に半田ペーストを塗布した際、半田ペーストの一部が区画の外側へ向かって流れようとしても、その流れは隣接する区画間に設けた一对の溝のうち手前の溝によって良好に堰き止められ、半田ペーストが溝よりも外側へ拡がるのを有効に防止することができる。従って、各バリアメタル層上に塗布される半田ペーストの体積は略等しく制御されるようになり、半田バンプの大きさも略一定として、回路基板へのフェースダウンボンディングに必要な所望体積の半田バンプを備えたフリップチップ型 IC を得ることができるようになる。

20

【 0 0 1 2 】

【発明の実施の形態】

以下、本発明を添付図面に基づいて詳細に説明する。

図 1 は本発明の製造方法によって製作したフリップチップ型 IC の断面図であり、図中の 1 はシリコン基板、2 は回路パターン、3 はバリアメタル層、4 はパッシベーション層、5 は半田バンプである。

30

【 0 0 1 3 】

前記シリコン基板 1 は、単結晶シリコンから成り、その一主面には半導体素子（図示せず）やアルミニウム等から成る回路パターン 2 が高密度に形成され、この回路パターン 2 上には複数個のバリアメタル層 3 が、またバリアメタル層 3 の存在しない領域にはパッシベーション層 4 がそれぞれ被着・形成されている。

【 0 0 1 4 】

前記シリコン基板 1 は、半導体素子や回路パターン 2，バリアメタル層 3，パッシベーション層 4 等を支持するための支持母材として機能するものである。

40

【 0 0 1 5 】

また前記シリコン基板 1 上のバリアメタル層 3 は、例えば、シリコン基板 1 側から亜鉛（Zn）、ニッケル（Ni）及び金（Au）を順次積層させた 3 層構造を有し、フリップチップ型 IC を回路基板上に実装する際、バリアメタル層 3 上に設けられる半田バンプ 5 の溶融に伴って回路パターン 2 を形成するアルミニウム等に半田食われが生じるのを有効に防止する作用を為す。

【 0 0 1 6 】

尚、前記バリアメタル層 3 の厚みは、全体で例えば $1 \mu\text{m} \sim 4 \mu\text{m}$ に設定される。

【 0 0 1 7 】

一方、前記パッシベーション層 4 は、シリコン基板一主面の半導体素子や回路パターン 2

50

を大気と良好に遮断することで、半導体素子や回路パターン2が大気中に含まれている水分等の接触により腐食されるのを有効に防止するためのものであり、例えば、窒化珪素(Si_3N_4)等の封止性に優れた電気絶縁材料により形成され、その厚みは例えば $0.5\mu\text{m} \sim 1.5\mu\text{m}$ に設定される。

【0018】

そして、先に述べたバリアメタル層3の各上面には略球状の半田バンプ5が個々に形成される。

前記半田バンプ5は、錫(Sn)と銀(Ag)と銅(Cu)とを96.5:3.0:0.5の比率で溶融・固化させた金属接合用の合金であり、フリップチップ型ICを回路基板上に実装する際、炉の中で加熱されることによって溶融し、フリップチップ型ICを回路基板上にフェースダウンボンディングする際、フリップチップ型ICの回路パターン2と回路基板上の回路パターンとを半田接合させるようになっている。

10

【0019】

尚、上述した半田バンプ5やパッシベーション層4の表面には、図示しないロジン系のフラックス等が薄く被着され、このフラックスによって、回路基板に対する半田付けの際、金属表面が清浄され、金属表面が酸化膜の存在しない良好な状態に維持される。

【0020】

かくして上述したフリップチップ型ICは、その一主面に設けられている多数の半田バンプ5が回路基板上の対応する回路パターンと対向するようにして回路基板上に載置させ、しかる後、半田バンプ5を高温で加熱・溶融させるとともに、該溶融した半田を回路基板上の回路パターン等に半田接合させることによって回路基板上に実装される。

20

【0021】

次に上述したフリップチップ型ICの製造方法について図2及び図3を用いて説明する。

【0022】

(1)まずシリコンウェハ1aを準備し、その一主面に、図2(a)に示す如く、半導体素子や回路パターン2、パッシベーション層4等をそれぞれ形成する。

【0023】

前記シリコンウェハ1aは、まず従来周知のチョコレートスキー法(引き上げ法)等によって単結晶シリコンのインゴット(塊)を形成し、これを所定厚みにスライスした上、表面を研磨することによって製作される。

30

【0024】

かかるシリコンウェハ1aは、その一主面が、後述する一対の溝7a、7bによって、マトリクス状に配された複数個の区画に区分されるようになっており、各区画内に上述した半導体素子、回路パターン2及びパッシベーション層4がそれぞれ形成される。

【0025】

また前記シリコンウェハ1aの一主面上に設けられる半導体素子及び回路パターン2は従来周知の半導体製造技術、薄膜形成技術、フォトリソグラフィ技術等を採用することによってシリコンウェハ1aの一主面に高密度にパターン形成される。

【0026】

一方、前記パッシベーション層4は、従来周知の薄膜形成技術、例えば、真空蒸着法やスパッタリング法等を採用し、シリコンウェハ1aの一主面全域にわたり窒化珪素等の電気絶縁材料を例えば $2\mu\text{m} \sim 5\mu\text{m}$ の厚みに被着させることによって形成される。

40

【0027】

(2)次に図2(b)に示す如く、前記パッシベーション層4を従来周知のフォトリソグラフィ及びエッチング技術を採用することによって所定パターンに加工する。

【0028】

前記パッシベーション層4は、後述するバリアメタル層3の形成部位に穴あけを行うとともに、隣接する区画間で境界部の幅方向両端部を帯状にエッチング除去することによってパターン形成され、これによってパッシベーション層4には、隣接する区画間の境界部に沿った一対の溝7a、7b(図3参照)と、バリアメタル層3の形成部位に複数個の開口

50

とがそれぞれ形成される。

【0029】

このようなパッシベーション層4の溝7a, 7bは、その幅寸法が例えば5 μ m~30 μ mに設定され、この2つの溝7a, 7b間には30 μ m~90 μ mの間隔が設けられる。

【0030】

(3)次に上述したパッシベーション層4の開口の内側にバリアメタル層3を形成する。

【0031】

前記バリアメタル層3は、従来周知の無電解めっき等を採用し、開口の内側に露出した回路パターン2上にZn、Ni及びAuを順次被着させることによって全体が略円柱状をなすように形成される。

10

【0032】

尚、このようなバリアメタル層3は、その多くが隣接する区画との境界部近傍に該境界部に沿って配置されることとなる。

【0033】

(4)次に図2(c)に示す如く、半田ペースト5'を孔版印刷にてバリアメタル層3上に印刷・塗布し、これをリフローする。

【0034】

前記半田ペースト5'としては、粒径2 μ m~12 μ mの多数の半田粒子にロジン系フラックス、イソプロピルアルコール(IPA)等の有機溶剤を添加・混合して、所定の粘度に調整したものが用いられ、また孔版印刷に用いる孔版としては、例えばステンレス鋼等で形成されたメタルマスク等が用いられる。かかる孔版には、バリアメタル層3のパターンに対応して、該パターンよりも一回り大きく形成された複数個のパターン孔が形成されており、これらのパターン孔は従来周知のフォトリソグラフィやレーザー加工等を採用することによって高精度に穿設される。

20

【0035】

前記半田ペースト5'をシリコンウェハ1a上に塗布する際は、まず(3)の工程で得たバリアメタル層付のシリコンウェハ1aを孔版印刷機のステージに載置・固定し、次に上述の孔版を、個々のパターン孔が対応するバリアメタル層3上に位置するようにしてシリコンウェハ1a上に配設し、しかる後、孔版上に配置されたスキージを半田ペースト5'と共に移動させることにより半田ペースト5'が孔版のパターン孔を介してバリアメタル層3上からその周辺、具体的には、バリアメタル層3上から一対の溝7a, 7b間に位置するパッシベーション層4上にかけて印刷・塗布される。

30

【0036】

ここで、シリコンウェハ1a上に塗布した半田ペースト5'の一部が区画の外側へ向かって流れようとしても、その流れは手前の溝7a(もしくは7b)によって良好に堰き止められ、半田ペースト5'が手前の溝7a(もしくは7b)よりも外側へ広がるのを有効に防止することができる。

【0037】

また上記半田ペースト5'のリフローは、例えば230~260の温度で行なわれ、これによって半田ペースト5'中の有機溶剤が蒸発するとともに半田粒子同士が相互に溶解・結合し、各バリアメタル層3上に図2(d)に示す如き略球状の半田バンプ5が形成される。

40

【0038】

これにより、シリコンウェハ1aの一主面上には、回路基板へのフェースダウンボンディングに必要な所望体積の半田バンプ5が形成されることとなる。

【0039】

(5)そして最後に、図2(e)に示す如く、シリコンウェハ1aを一対の溝7a, 7b間でダイシングする。

【0040】

このダイシングは、例えば、回転可能に支持されたダイヤモンドブレードを具備するカッ

50

ティング装置等を用いて行なわれ、これによりシリコンウェハ 1 a が区画毎に分割されて、複数のフリップチップ型 IC が同時に得られる。

【 0 0 4 1 】

尚、本発明は上述の実施形態に限定されるものではなく、本発明の要旨を逸脱しない範囲において種々の変更、改良等が可能である。

【 0 0 4 2 】

例えば、上述の実施形態においては、孔版としてメタルマスクを用いるようにしたが、これに代えて、ポリエステル樹脂等で形成された他のスクリーン版を用いても構わない。

【 0 0 4 3 】

【 発明の効果 】

本発明のフリップチップ型 IC の製造方法によれば、シリコンウェハ一主面の隣接する区画間に、パッシベーション層の一部を除去して一对の溝を形成し、この 2 つの溝間でシリコンウェハをダイシングすることによってフリップチップ型 IC を多数個取りするようになったことから、半田バンプの形成にあたってバリアメタル層上に半田ペーストを塗布した際、半田ペーストの一部が区画の外側へ向かって流れようとしても、その流れは隣接する区画間に設けた一对の溝のうち手前の溝によって良好に堰き止められ、半田ペーストが溝よりも外側へ拡がるのを有効に防止することができる。従って、各バリアメタル層上に塗布される半田ペーストの体積は略等しく制御されるようになり、半田バンプの大きさも略一定として、回路基板へのフェースダウンボンディングに必要な所望体積の半田バンプを備えたフリップチップ型 IC を得ることができるようになる。

【 図面の簡単な説明 】

【 図 1 】 本発明の製造方法によって製作したフリップチップ型 IC の断面図である。

【 図 2 】 (a) ~ (e) は半田バンプ 5 の形成方法を説明するための工程毎の断面図である。

【 図 3 】 本発明の製造方法に用いられるシリコンウェハ 1 a の平面図である。

【 図 4 】 従来のフリップチップ型 IC の断面図である。

【 符号の説明 】

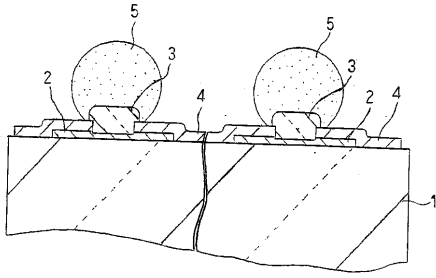
- 1 . . . シリコン基板
- 1 a . . . シリコンウェハ
- 2 . . . 回路パターン
- 3 . . . バリアメタル層
- 4 . . . パッシベーション層
- 5 . . . 半田バンプ
- 5 ' . . . 半田ペースト
- 7 a、7 b . . . 一对の溝

10

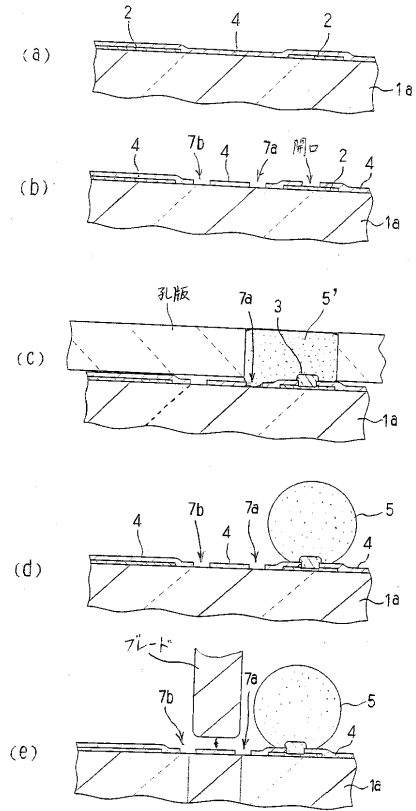
20

30

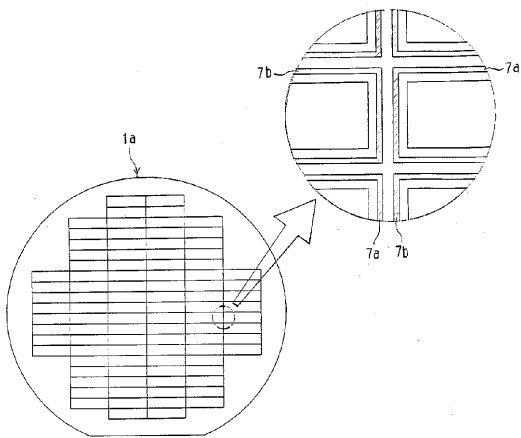
【図1】



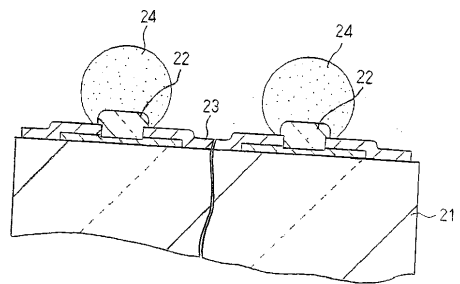
【図2】



【図3】



【図4】



フロントページの続き

- (56)参考文献 特開2000-040711(JP,A)
特開平07-201869(JP,A)
特開平10-242632(JP,A)
特開平07-201870(JP,A)
特開2000-100853(JP,A)

- (58)調査した分野(Int.Cl.⁷, DB名)
H01L 21/60
H01L 21/60 311