

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3923397号  
(P3923397)

(45) 発行日 平成19年5月30日(2007.5.30)

(24) 登録日 平成19年3月2日(2007.3.2)

(51) Int. Cl.

H03K 19/0185 (2006.01)

F I

H03K 19/00 101B

請求項の数 6 (全 10 頁)

(21) 出願番号	特願2002-269827 (P2002-269827)	(73) 特許権者	000006747
(22) 出願日	平成14年9月17日(2002.9.17)		株式会社リコー
(65) 公開番号	特開2004-112156 (P2004-112156A)		東京都大田区中馬込1丁目3番6号
(43) 公開日	平成16年4月8日(2004.4.8)	(74) 代理人	100062144
審査請求日	平成17年3月14日(2005.3.14)		弁理士 青山 稔
		(72) 発明者	上里 英樹
			東京都大田区中馬込1丁目3番6号 株式
			会社リコー内
		(72) 発明者	吉井 宏治
			東京都大田区中馬込1丁目3番6号 株式
			会社リコー内
		審査官	宮島 郁美

最終頁に続く

(54) 【発明の名称】 レベルトランスレータ回路

(57) 【特許請求の範囲】

【請求項1】

所定の第1の電源電圧で作動する第1の回路に接続されると共に第1の抵抗で該第1の電源電圧にプルアップされた第1の入出力端子と、所定の第2の電源電圧で作動する第2の回路に接続されると共に第2の抵抗で該第2の電源電圧にプルアップされた第2の入出力端子との間で信号の授受を行うためのインタフェースを行うレベルトランスレータ回路において、

前記第1の入出力端子と前記第2の入出力端子との間に接続されたM O S トランジスタからなる第1のトランジスタと、

前記第1及び第2の各電源電圧のいずれか小さい方の電圧を、該第1のトランジスタのゲートに出力する制御回路部と、

前記第1のトランジスタにおけるゲート - ソース間に形成された寄生容量、及び前記第1のトランジスタにおけるゲート - ドレイン間に形成された寄生容量にそれぞれ充電された電圧を、前記第1及び第2の各電源電圧に応じて放電させて前記第1のトランジスタのゲート電圧を安定化させるゲート電圧安定化回路部と、  
を備えることを特徴とするレベルトランスレータ回路。

【請求項2】

前記制御回路部は、

前記第1の電源電圧と第1のトランジスタのゲートとの間に接続され、前記第2の電源電圧が制御信号入力端に入力された第2のトランジスタと、

前記第2の電源電圧と第1のトランジスタのゲートとの間に接続され、前記第1の電源電圧が制御信号入力端に入力された第3のトランジスタと、  
を備えることを特徴とする請求項1記載のレベルトランスレータ回路。

【請求項3】

前記ゲート電圧安定化回路部は、

前記第1の電源電圧に応じて第1のトランジスタにおける前記各寄生容量に充電された電圧をそれぞれ放電させる第4のトランジスタと、

前記第2の電源電圧に応じて第1のトランジスタにおける前記各寄生容量に充電された電圧をそれぞれ放電させる第5のトランジスタと、

を備えることを特徴とする請求項1又は2記載のレベルトランスレータ回路。

10

【請求項4】

前記第2から第5の各トランジスタは、それぞれMOSトランジスタであることを特徴とする請求項3記載のレベルトランスレータ回路。

【請求項5】

前記第1のトランジスタのゲートと接地電圧との間に接続されたコンデンサを備えることを特徴とする請求項1、2、3又は4記載のレベルトランスレータ回路。

【請求項6】

前記コンデンサは、前記第1のトランジスタにおける各寄生容量よりも容量が大きいことを特徴とする請求項5記載のレベルトランスレータ回路。

【発明の詳細な説明】

20

【0001】

【発明の属する技術分野】

本発明は、電源電圧の異なる論理回路間での信号授受を可能にするレベルトランスレータ回路に関し、特に、携帯機器等に使用され、該機器本体の電源電圧と異なる電圧で作動し、機器本体に機能を追加するためのSIM(the Subscriber Identity Module)カード等と信号の授受を行うためのレベルトランスレータ回路に関する。

【0002】

【従来の技術】

図4は、レベルトランスレータ回路の従来例を示した回路図である。なお、図4では、レベルトランスレータ回路が、携帯機器等に使用されたSIMカードのインタフェース回路に使用される場合を例にして説明する。

30

図4において、機器本体の電源電圧DVCCを1.8V、SIMカードの電源電圧SIM-VCCを2.8Vとし、SIMカード側の入出力端子であるSIM-IO端子に入力された信号が、機器側の入出力端子であるDATA-IO端子に出力される場合について説明する。

SIM-IO端子がロー(Low)レベル(=0V)のときは、Nチャネル型MOSトランジスタ(以下、NMOSトランジスタと呼ぶ)M31及びM32が共にオンし、DATA-IO端子もローレベルになる。

【0003】

次に、SIM-IO端子に、図5で示すようなSIMカードの電源電圧SIM-VCCである2.8Vの振幅のハイ(High)レベルのパルス信号が入力された場合における図4のレベルトランスレータ回路100の動作例について説明する。なお、図5では、実線で示した波形はSIM-IO端子の電圧を示し、点線で示した波形はDATA-IO端子の電圧を示している。

40

SIM-IO端子の電圧がDVCC端子の電圧以下である場合、NMOSトランジスタM31及びM32は共にオンして、DATA-IO端子の電圧は、SIM-IO端子の電圧の上昇に伴って上昇する。

【0004】

SIM-IO端子の電圧がDVCC端子の電圧に近づくと、NMOSトランジスタM31はターンオフしてDATA-IO端子とSIM-IO端子は遮断され、DATA-IO端

50

子の電圧は、抵抗  $R1$  で機器本体の電源電圧  $DVCC$  にプルアップされた状態になるため、 $1.8V$  でクランプされる。 $SIM-IO$  端子の電圧が  $DVCC$  端子の電圧以下に低下すると、再び  $NMOS$  トランジスタ  $M31$  及び  $M32$  は共にオンし、 $DATA-IO$  端子の電圧は、 $SIM-IO$  端子の電圧の低下に伴って低下する。

【0005】

次に、図6で示すような  $DATA-IO$  端子に入力された信号が、 $SIM-IO$  端子に出力される場合について説明する。なお、図6では、実線で示した波形は  $DATA-IO$  端子の電圧を示し、点線で示した波形は  $SIM-IO$  端子の電圧を示している。

$DATA-IO$  端子の電圧が  $DVCC$  端子の電圧以下である場合は、 $NMOS$  トランジスタ  $M31$  及び  $M32$  は共にオンして、 $SIM-IO$  端子の電圧は、 $DATA-IO$  端子の電圧の上昇に伴って上昇する。

10

【0006】

$DATA-IO$  端子の電圧が  $DVCC$  端子の電圧に近づくと、 $NMOS$  トランジスタ  $M31$  はターンオフし、 $DATA-IO$  端子と  $SIM-IO$  端子が遮断される。しかし、 $SIM-IO$  端子は、 $SIM$  カードの電源電圧  $SIM-VCC$  の  $2.8V$  でプルアップされているため、更に  $2.8V$  まで上昇する。 $DATA-IO$  端子の電圧が低下すると、再び  $NMOS$  トランジスタ  $M31$  及び  $M32$  は共にオンし、 $SIM-IO$  端子の電圧は、 $DATA-IO$  端子の電圧の低下に伴って低下する。

【0007】

【発明が解決しようとする課題】

20

一方、携帯機器と  $SIM$  カードとのインタフェースを行うインタフェース回路では、出力波形の立ち上がり時間に規格があった。例えば、ETS (European Telecommunication Standards) の GSM (Global System for Mobile Communication) 11.12 では、 $SIM-IO$  端子の立ち上がり及び立ち下がり時間が、 $30pF$  の負荷を接続した場合に  $1\mu sec$  以内になるように定めている。

【0008】

しかし、図4のような従来の回路では、前記のような信号の立ち上がり及び立ち下がりの規格を満足させるためには、 $NMOS$  トランジスタ  $M31$  及び  $M32$  におけるオン時のインピーダンスをそれぞれ低下させる必要があった。なぜならば、信号の立ち上がり始めの部分は、出力側の  $IO$  端子から、2つの  $NMOS$  トランジスタ  $M31$  及び  $M32$  を通して入力側の  $IO$  端子に電流が直接流れることから、信号の立ち上がりを速くするためには2つの  $NMOS$  トランジスタ  $M31$  及び  $M32$  のオン抵抗をできるだけ小さくして、多くの電流が流れるようにする必要があった。 $NMOS$  トランジスタ  $M31$  及び  $M32$  のオン抵抗を小さくするには、 $NMOS$  トランジスタ  $M31$  及び  $M32$  のサイズをそれぞれ大きくする必要があり、ICチップの面積の増加してコストアップを招くという問題があった。

30

【0009】

本発明は、上記のような問題を解決するためになされたものであり、2つの入出力端子の接続を行う  $MOS$  トランジスタのサイズを小さくできると共に該  $MOS$  トランジスタを1つにすることができ、ICチップの小型化とコストの低減を図ることができるレベルトランスレータ回路を得ることを目的とする。

40

【0010】

【課題を解決するための手段】

この発明に係るレベルトランスレータ回路は、所定の第1の電源電圧で作動する第1の回路に接続されると共に第1の抵抗で該第1の電源電圧にプルアップされた第1の入出力端子と、所定の第2の電源電圧で作動する第2の回路に接続されると共に第2の抵抗で該第2の電源電圧にプルアップされた第2の入出力端子との間で信号の授受を行うためのインタフェースを行うレベルトランスレータ回路において、

前記第1の入出力端子と前記第2の入出力端子との間に接続された  $MOS$  トランジスタ からなる第1のトランジスタと、

前記第1及び第2の各電源電圧のいずれか小さい方の電圧を、該第1のトランジスタの

50

ゲートに出力する制御回路部と、

前記第 1 のトランジスタにおけるゲート - ソース間に形成された寄生容量、及び前記第 1 のトランジスタにおけるゲート - ドレイン間に形成された寄生容量にそれぞれ充電された電圧を、前記第 1 及び第 2 の各電源電圧に応じて放電させて前記第 1 のトランジスタのゲート電圧を安定化させるゲート電圧安定化回路部と、  
を備えるものである。

【 0 0 1 1 】

具体的には、前記制御回路部は、

前記第 1 の電源電圧と第 1 のトランジスタのゲートとの間に接続され、前記第 2 の電源電圧が制御信号入力端に入力された第 2 のトランジスタと、

10

前記第 2 の電源電圧と第 1 のトランジスタのゲートとの間に接続され、前記第 1 の電源電圧が制御信号入力端に入力された第 3 のトランジスタと、  
を備えるようにした。

【 0 0 1 3 】

この場合、前記ゲート電圧安定化回路部は、

前記第 1 の電源電圧に応じて第 1 のトランジスタにおける前記各寄生容量に充電された電圧をそれぞれ放電させる第 4 のトランジスタと、

前記第 2 の電源電圧に応じて第 1 のトランジスタにおける前記各寄生容量に充電された電圧をそれぞれ放電させる第 5 のトランジスタと、

を備えるようにした。

20

【 0 0 1 4 】

また、前記第 2 から第 5 の各トランジスタは、それぞれ M O S トランジスタであるようにしてもよい。

【 0 0 1 5 】

一方、前記第 1 のトランジスタのゲートと接地電圧との間に接続されたコンデンサを備えるようにしてもよい。

【 0 0 1 6 】

具体的には、前記コンデンサは、前記第 1 のトランジスタにおける各寄生容量よりも容量が大きくなるようにした。

【 0 0 1 7 】

30

【発明の実施の形態】

次に、図面に示す実施の形態に基づいて、本発明を詳細に説明する。

第 1 の実施の形態 .

図 1 は、本発明の第 1 の実施の形態におけるレベルトランスレータ回路が使用されるインタフェース回路の例を示した図であり、図 1 では、携帯機器等に使用される S I M カードのインタフェース回路を例にして示している。

図 1 において、D V C C 端子は機器本体（図示せず）の電源電圧入力端子であり、1.8 V や 2.8 V 等の電源電圧が入力される。S I M - V C C 端子は S I M カード（図示せず）の電源入力端子であり、1.8 V や 2.8 V 等の電源電圧が入力される。

【 0 0 1 8 】

40

R E S E T - I N 端子と C L K - I N 端子は、機器本体の電源電圧 D V C C の振幅を持った信号の入力端子で、R E S E T - I N 端子に入力された信号は、レベルシフト回路 1 によってレベルシフトされて S I M カードの入力端子である S I M - R S T 端子に出力される。また、C L K - I N 端子に入力された信号は、レベルシフト回路 2 によってレベルシフトされて S I M カードの入力端子である S I M - C L K 端子に出力される。

【 0 0 1 9 】

D A T A - I O 端子と S I M - I O 端子は入出力端子であり、D A T A - I O 端子に機器本体の電源電圧 D V C C の振幅を持った信号波形を入力すると、レベルトランスレータ回路 3 によって S I M カードの電源電圧 S I M - V C C の振幅に変換された信号波形が S I M - I O 端子に出力される。逆に、S I M - I O 端子に S I M カードの電源電圧 S I M -

50

VCCの振幅を持った信号波形が入力されると、レベルトランスレータ回路3によって機器本体の電源電圧DVCCの振幅に変換された信号波形がDATA-IO端子に出力される。

【0020】

図2は、図1で示したレベルトランスレータ回路3の回路例を示した図であり、本発明の第1の実施の形態におけるレベルトランスレータ回路の例を示した回路図である。なお、本第1の実施の形態では、レベルトランスレータ回路が、図1で示したような携帯機器等に使用されるSIMカードのインタフェース回路に使用される場合を例にして説明する。図2において、レベルトランスレータ回路3は、NMOSトランジスタQN1～QN3と、Pチャネル型MOSトランジスタ(以下、PMOSトランジスタと呼ぶ)QP1、QP2と、抵抗R1、R2と、コンデンサCとで構成されている。

10

【0021】

NMOSトランジスタQN1は、DATA-IO端子とSIM-IO端子との間に接続されている。DATA-IO端子は、機器本体の電源電圧(以下、第1の電源電圧と呼ぶ)DVCCに抵抗R1でプルアップされ、SIM-IO端子は、SIMカードの電源電圧(以下、第2の電源電圧と呼ぶ)SIM-VCCに抵抗R2でプルアップされている。一方、第1の電源電圧DVCCと第2の電源電圧SIM-VCCとの間には、NMOSトランジスタQN2及びQN3が直列に接続されており、NMOSトランジスタQN2及びQN3との接続部に、NMOSトランジスタQN1のゲートが接続されている。また、NMOSトランジスタQN2のゲートは、第2の電源電圧SIM-VCCに接続され、NMOSトランジスタQN3のゲートは、第1の電源電圧DVCCに接続されている。

20

【0022】

NMOSトランジスタQN1のゲートと接地電圧との間には、PMOSトランジスタQP1及びQP2が並列に接続されており、PMOSトランジスタQP1のゲートは第1の電源電圧DVCCに、PMOSトランジスタQP2のゲートは第2の電源電圧SIM-VCCにそれぞれ接続されている。なお、NMOSトランジスタQN1～QN3の各サブストレートゲートは、それぞれ接地電圧に接続され、PMOSトランジスタQP1のサブストレートゲートとソースが接続されると共に、PMOSトランジスタQP2のサブストレートゲートとソースが接続されている。

【0023】

このような構成において、第1の電源電圧DVCCが1.8Vであり、第2の電源電圧SIM-VCCが2.8Vである場合、NMOSトランジスタQN2のゲート電圧は2.8Vであるから、NMOSトランジスタQN2はオンする。この結果、NMOSトランジスタQN2のソース電圧は第1の電源電圧DVCCと同じ1.8Vになる。NMOSトランジスタQN1のゲートは、NMOSトランジスタQN2のソースに接続されていることから、NMOSトランジスタQN1のゲート電圧は1.8Vになる。また、NMOSトランジスタQN3は、ゲート電圧が1.8Vで、ソース電圧も1.8Vであることからオフする。

30

【0024】

図2の回路は左右対称であることから、第1の電源電圧DVCCが2.8Vで、第2の電源電圧SIM-VCCが1.8Vになった場合は、NMOSトランジスタQN2がオフして、NMOSトランジスタQN3がオンすることから、やはり、NMOSトランジスタQN1のゲート電圧は1.8Vになり、第1の電源電圧DVCC及び第2の電源電圧SIM-VCCのいずれか電圧の小さい方の電圧が、NMOSトランジスタQN1のゲートに入力される。

40

【0025】

このように、NMOSトランジスタQN2及びQN3は、NMOSトランジスタQN1のゲート電圧を制御するゲート電圧制御回路部をなし、該ゲート電圧制御回路部によって、NMOSトランジスタQN1のゲート電圧は、第1の電源電圧DVCC及び第2の電源電圧SIM-VCCのいずれか電圧の小さい方の電圧に常になっている。このことから、PMOSトランジスタQP1とPMOSトランジスタQP2において、各ゲート電圧はそれ

50

ぞれのソース電圧と同じか又は大きくなっているため、PMOSトランジスタQP1及びQP2は、通常はそれぞれオフしている。

【0026】

ここで、図5で示したように、DATA-IO端子への信号がSIM-IO端子から送られた場合、SIM-IO端子の電圧がNMOSトランジスタQN1のゲート電圧である1.8Vを超えると、NMOSトランジスタQN1がオフしてDATA-IO端子の電圧は1.8Vにクランプされる。また、図6のように、SIM-IO端子への信号がDATA-IO端子から送られた場合、DATA-IO端子の電圧が、NMOSトランジスタQN1のゲート電圧である1.8Vに近づくと、NMOSトランジスタQN1はオフし、SIM-IO端子の電圧はプルアップ抵抗R2によって2.8Vまで引き上げられる。

10

【0027】

次に、PMOSトランジスタQP1及びQP2の動作について説明する。

NMOSトランジスタQN1のゲート-ソース間、及びゲート-ドレイン間には、寄生容量C1及びC2が対応して形成されている。PMOSトランジスタQP1及びQP2がないと、図3(a)のように、SIM-IO端子が0Vから2.8Vに急速に立ち上がると、寄生容量C2を介してNMOSトランジスタQN1のゲート電圧がAで示すように上昇する。該電圧のピークは、第2の電源電圧SIM-VCC以上になり、3Vを超えることもある。

【0028】

NMOSトランジスタQN1のゲート電圧が、第2の電源電圧SIM-VCCに近づくと、又は超えると、今までオンしていたNMOSトランジスタQN2がオフしてしまい、NMOSトランジスタQN1のゲートから電流が流れる経路が失われてゲート電圧が下がらなくなる。このため、SIM-IO端子の電圧が第1の電源電圧DVCCを超えても、NMOSトランジスタQN1はオフせず、DATA-IO端子の電圧は第1の電源電圧DVCCを超えることになって、レベルトランスレータ回路3が誤動作する場合は考えられる。

20

【0029】

しかし、NMOSトランジスタQN1のゲート電圧が上昇すると、PMOSトランジスタQP1がオンして寄生容量C2の電荷を放電させることから、NMOSトランジスタQN1のゲート電圧の上昇を防止することができる。このため、図3(a)で示したAの電圧は、図3(b)で示すように小さくなり、PMOSトランジスタQP1、QP2は、NMOSトランジスタQN1のゲート電圧を安定化させる働きをするゲート電圧安定化回路部をなす。なお、SIM-IO端子が2.8Vから0Vに急速に立ち下がる場合も、寄生容量C2によってNMOSトランジスタQN1のゲート電圧は図3(a)のBで示すように低下するが、この場合は、NMOSトランジスタQN2がオンしているため、第1の電源電圧DVCCから寄生容量C1及びC2をそれぞれ充電する電流が供給され、立ち上がり時のAのような大きな電圧の変化は起こらない。

30

【0030】

NMOSトランジスタQN1のゲートと接地電圧との間に設けたコンデンサCは、寄生容量C1又はC2と分圧回路を形成し、NMOSトランジスタQN1のゲートのインピーダンスを低下させ、NMOSトランジスタQN1のゲート電圧の上昇及び低下を抑制する働きをする。コンデンサCの容量は大きいほど効果が大きい、該容量を大きくするとIC上に占める面積が大きくなることからあまり大きくすることができない。ただし、寄生容量C1及びC2の容量よりも大きくなるようにしないとコンデンサCの効果的は小さくなることから、コンデンサCの容量は1pF程度が適当である。

40

【0031】

なお、前記説明では、第1の電源電圧DVCCが1.8V、第2の電源電圧SIM-VCCが2.8Vである場合を例にして説明したが、レベルトランスレータ回路3は、図2から分かるように左右対称である。このことから、第1の電源電圧DVCCが第2の電源電圧SIM-VCCより大きい場合は、前記説明において、NMOSトランジスタQN2と

50

Q N 3 とをそれぞれ置き換え、P M O S トランジスタ Q P 1 と Q P 2 とをそれぞれ置き換え、寄生容量 C 1 と C 2 とをそれぞれ置き換えれば、同様の動作を行うことは容易に分かることからその説明を省略する。

【 0 0 3 2 】

また、第 1 の電源電圧 D V C C 及び第 2 の電源電圧 S I M - V C C が共に正電圧であることを前提に説明したが、第 1 の電源電圧 D V C C 及び第 2 の電源電圧 S I M - V C C がそれぞれ負電圧の場合は、図 2 において、各 N M O S トランジスタは P M O S トランジスタに、各 P M O S トランジスタは N M O S トランジスタに置き換えればよい。

【 0 0 3 3 】

このように、本第 1 の実施の形態におけるレベルトランスレータ回路は、低インピーダンスであることが必要な M O S トランジスタを従来は図 4 で示したように N M O S トランジスタ M 3 1 及び M 3 2 の 2 つを使用していたのに対して、1 つの N M O S トランジスタ Q N 1 で構成することができるため、従来と同じインピーダンスであれば、N M O S トランジスタ Q N 1 が占めるチップ面積は、従来の 1 / 4 にすることができ、I C チップの小型化とコストの低減を図ることができる。ただし、図 2 で示したように、若干の制御回路の追加が必要になるが、これらのトランジスタのサイズは小さくて済むため、実質的には図 4 で示した従来回路よりも約 1 / 3 のチップ面積で同等の性能を得ることができる。

【 0 0 3 4 】

【発明の効果】

上記の説明から明らかなように、本発明のレベルトランスレータ回路によれば、前記第 1 及び第 2 の各電源電圧のいずれか小さい方の電圧を、該第 1 のトランジスタの動作制御を行うための制御信号入力端に出力する制御回路部を備えたことから、第 1 及び第 2 の各入出力端子間での信号の伝送を行うために従来複数使用していた低インピーダンスが要求されるトランジスタを 1 つにすることができ、I C のチップサイズの縮小とコストの低減を図ることができる。

【 0 0 3 5 】

また、入出力端子間の信号伝送を行う M O S トランジスタからなる第 1 のトランジスタに寄生する容量を放電させて該第 1 のトランジスタのゲート電圧を安定化させるゲート電圧安定化回路部を設けたことから、第 1 の入出力端子又は第 2 の入出力端子に入力された信号の立ち上がり時に発生するノイズを低減させることができ、回路の誤動作の発生を防止

【 0 0 3 6 】

更に、前記第 1 のトランジスタのゲートと負側電源電圧との間に接続されたコンデンサを備えたことから、第 1 のトランジスタにおける制御信号入力端のインピーダンスを低下させることができ、第 1 のトランジスタにおけるゲート電圧の上昇及び低下を抑制することができる。

【図面の簡単な説明】

【図 1】 本発明の第 1 の実施の形態におけるレベルトランスレータ回路が使用されるインタフェース回路の例を示した図である。

【図 2】 本発明の第 1 の実施の形態におけるレベルトランスレータ回路の例を示した回路図である。

【図 3】 図 2 の N M O S トランジスタ Q N 1 におけるゲート電圧の波形例を示した図である。

【図 4】 従来のレベルトランスレータ回路の例を示した回路図である。

【図 5】 レベルトランスレータ回路における入力信号と出力信号の例を示した図である。

【図 6】 レベルトランスレータ回路における入力信号と出力信号の他の例を示した図である。

【符号の説明】

3 レベルトランスレータ回路

10

20

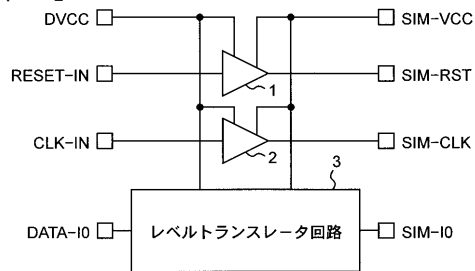
30

40

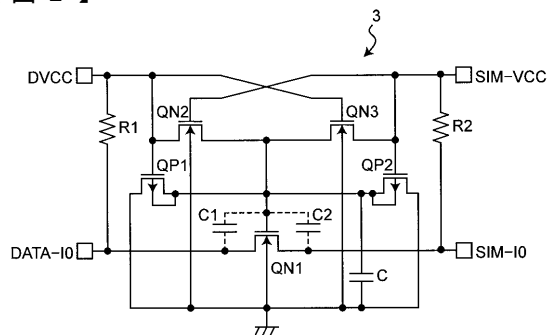
50

Q N 1 ~ Q N 3    N M O S ト ラ ン ジ ス タ  
 Q P 1 , Q P 2    P M O S ト ラ ン ジ ス タ  
 R 1 , R 2    抵 抗  
 C    コ ン デ ン サ  
 C 1 , C 2    寄 生 容 量

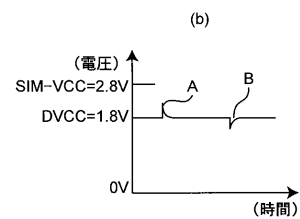
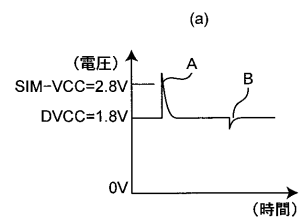
【 図 1 】



【 図 2 】

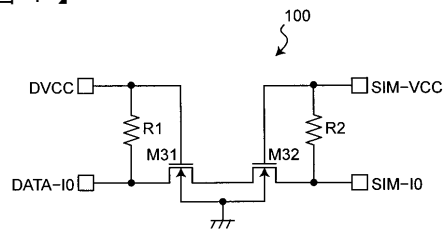


【 図 3 】

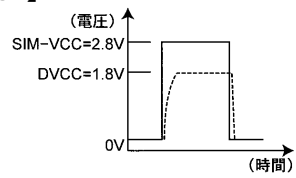




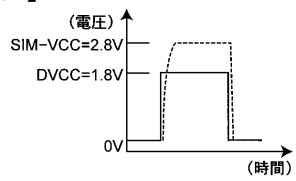
【図 4】



【図 5】



【図 6】



---

フロントページの続き

- (56)参考文献 特開平10-093416(JP,A)  
特開平08-181600(JP,A)  
特開2000-183724(JP,A)  
特開平05-122052(JP,A)

- (58)調査した分野(Int.Cl., DB名)  
H03K19/00, 19/01-19/082, 19/092-19/096