



(19) 대한민국특허청(KR)  
 (12) 등록특허공보(B1)

(45) 공고일자 2008년01월03일  
 (11) 등록번호 10-0790859  
 (24) 등록일자 2007년12월26일

(51) Int. Cl.

H01L 21/8247 (2006.01)  
 (21) 출원번호 10-2002-0071041  
 (22) 출원일자 2002년11월15일  
 심사청구일자 2006년01월18일  
 (65) 공개번호 10-2004-0043043  
 (43) 공개일자 2004년05월22일  
 (56) 선행기술조사문현  
 10-2002-60331

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

최원봉

경기도 용인시 기흥읍 구갈리 2  
지구 풍림아파트 103-1004

이조원

경기도 수원시 팔달구 영통동 대우아파트 301-1101

(뒷면에 계속)

(74) 대리인

리앤목특허법인 이혜영

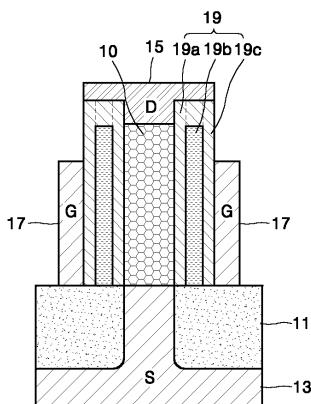
전체 청구항 수 : 총 9 항

심사관 : 구본재

(54) 수직 나노튜브를 이용한 비휘발성 메모리 소자

**(57) 요 약**

수직나노튜브를 이용한 비휘발성 메모리 소자가 개시된다. 개시된 메모리 소자는, 소스 영역이 형성된 기판과, 기판 상에 일단이 소스 영역과 연결되어 전자 이동 채널이 되는 수직 성장된 나노튜브 컬럼 어레이와, 나노튜브 컬럼의 측면에 증착되는 메모리셀과, 메모리셀의 측면에 형성되는 제어 게이트 및, 나노튜브 컬럼의 타단과 연결되는 드레인 영역을 포함한다. 이온 도핑이 필요없는 단순한 공정을 통해 초고침적 메모리를 구현할 수 있다.

**대표도** - 도1a

(72) 발명자

강호규

경기도 용인시 구성면 보정리 진산마을 삼성5  
차아파트 503-1002

김정우

경기도 성남시 분당구 내정동 파크타운 대림아파트 101-7  
05

## 특허청구의 범위

### 청구항 1

소스 영역이 형성된 기판;

상기 기판 상에 일단이 상기 소스 영역과 연결되어 전자 이동 채널이 되는 수직 성장된 나노튜브 컬럼 어레이;

상기 나노튜브 컬럼의 측면에 증착되는 메모리셀;

상기 메모리셀의 측면에 형성되는 제어 게이트; 및

상기 나노튜브 컬럼의 타단과 연결되는 드레인 영역;을 포함하는 것을 특징으로 하는 수직 나노튜브 메모리 소자.

### 청구항 2

제 1 항에 있어서,

상기 기판은 알루미늄 옥사이드, 실리콘 또는, 메소포러스로 형성하는 것을 특징으로 하는 수직 나노튜브 메모리 소자.

### 청구항 3

제 1 항에 있어서,

상기 나노튜브는 탄소나노튜브, 보론나이트라이드 나노튜브, 또는 갈륨포스페이트 나노튜브인 것을 특징으로 하는 수직 나노튜브 메모리 소자.

### 청구항 4

제 1 항에 있어서,

상기 메모리셀은,

상기 나노튜브의 측면에 형성되는 제1절연막;

상기 제1절연막의 상면에 증착되는 전자 저장막; 및

상기 전자 저장막의 상면에 형성되며, 상기 제어 게이트와 접촉하는 제2절연막;을 구비하는 것을 특징으로 하는 수직 나노튜브 메모리 소자.

### 청구항 5

제 4 항에 있어서,

제1 및 제2절연막은 실리콘 옥사이드막인 것을 특징으로 하는 수직 나노튜브 메모리 소자.

### 청구항 6

제 4 항에 있어서,

상기 전자 저장막은 실리콘막 또는 실리콘 나이트라이드막인 것을 특징으로 하는 수직 나노튜브 메모리 소자.

### 청구항 7

삭제

### 청구항 8

제 4 항에 있어서,

상기 전자 저장막은 전자저장물질로 채워지는 나노도트들이 배치되는 다공막인 것을 특징으로 하는 수직 나노튜브 메모리 소자.

**청구항 9**

제 8 항에 있어서,

상기 전자저장물질은 실리콘 또는 실리콘 나이트라이드인 것을 특징으로 하는 수직 나노튜브 메모리 소자.

**청구항 10**

제 8 항에 있어서,

상기 다공막은 알루미늄 옥사이드막인 것을 특징으로 하는 수직 나노튜브 메모리 소자.

**청구항 11**

삭제

**명세서****발명의 상세한 설명****발명의 목적****발명이 속하는 기술 및 그 분야의 종래기술**

- <11> 본 발명은 메모리 소자에 관한 것으로서, 더욱 상세하게는 탄소나노튜브를 수직 전자 이동 채널로 이용한 고집적 메모리 소자에 관한 것이다.
- <12> 반도체를 이용한 메모리 소자는, 커패시터에 정보를 기록하거나 읽어낼 때 전류의 통로를 확보하기 위한 스위치 역할을 하는 트랜지스터와, 저장된 전하를 보전하는 역할을 하는 커패시터를 기본적인 구성요소로 가진다.
- <13> 트랜지스터에 많은 전류가 흐르게 하기 위해서는 트랜지스터가 높은 트랜스 컨덕턴스( $gm$ ) 특성을 가져야 하고, 이에 따라 최근 높은 트랜스컨덕턴스 특성을 가지는 MOSFET(Metal Oxide Field Effect Transistor)을 반도체 메모리 소자의 스위칭 소자로 이용하는 경향이 있다.
- <14> MOSFET은, 다결정질 실리콘(doped polycrystalline silicon)으로 형성된 제어 게이트과, 도핑된 결정질 실리콘(doped crystalline silicon)으로 형성된 소스 및 드레인 영역을 기본적인 구성요소로 가지는 트랜지스터이다.
- <15> MOSFET의 트랜스컨덕턴스는 동일한 전압조건에서 채널의 길이, 게이트 산화막의 두께등에 반비례하고 표면 이동도, 게이트 산화막의 유전율 및 채널의 폭에는 비례한다. 이를 중 표면이동도 및 산화막의 유전율 등은 재료, 즉 방향성을 가지는 실리콘 웨이퍼, 실리콘 산화막등에 의해 이미 결정되는 값이므로 높은 트랜스컨덕턴스를 가지게 하기 위해 채널의 폭과 길이의 비(W/L ratio)를 크게 하거나 산화막의 두께를 얇게 하여야 한다.
- <16> 하지만, 고집적 메모리 소자를 제조하기 위해서는 MOSFET의 물리적인 치수를 축소시켜야 하며, 이에 따라 게이트, 소스 및 드레인 영역의 크기도 감소시켜야 하는데, 이로 인해 여러 가지 문제점이 발생한다.
- <17> 예를 들어, 제어 게이트의 크기가 감소하면, 제어 게이트의 단면적이 감소하여 트랜지스터에 큰 전기적 저항을 유발한다. 소스 및 드레인 영역의 크기 감소는 두께, 즉 접합 깊이(junction depths)의 감소를 유발하여 더 큰 전기적 저항을 초래하거나, 소스와 드레인 간의 거리를 감소시켜 소스와 드레인의 공핍층이 서로 맞닿게 되는 펀치스루(punch through) 현상을 유발하여 전류의 조절을 불가능하게 한다. 또한 상기한 바와 같은 메모리 소자의 치수 감소는 전류의 이동통로인 채널의 폭을 30nm 이하로 감소시켜 전류의 원활한 흐름을 방해하여 메모리 소자가 오동작을하게 된다. 즉, 종래의 Si MOSFET을 기본으로 하는 메모리 소자는 소자의 고집적화에 따른 상술한 문제점을 가지고 있어 고집적 메모리 소자를 구현하는데 한계가 있다.

**발명이 이루고자 하는 기술적 과제**

- <18> 따라서, 본 발명이 이루고자하는 기술적 과제는 상술한 종래 기술의 문제점을 개선하기 위한 것으로서, 탄소나노튜브를 이용하여 메모리 소자의 소형화에 따른 저항의 증가가 없으며 오동작이 작은 고집적 메모리 소자를 제공하는 것이다.

## 발명의 구성 및 작용

- <19> 상기 기술적 과제를 달성하기 위하여 본 발명은,
- <20> 소스 영역이 형성된 기판;
- <21> 상기 기판 상에 일단이 상기 소스 영역과 연결되어 전자 이동 채널이 되는 수직 성장된 나노튜브 컬럼 어레이;
- <22> 상기 나노튜브 컬럼의 측면에 증착되는 메모리셀;
- <23> 상기 메모리셀의 측면에 형성되는 제어 게이트; 및
- <24> 상기 나노튜브 컬럼의 타단과 연결되는 드레인 영역;을 포함하는 것을 특징으로 하는 수직 나노튜브 메모리 소자를 제공한다.
- <25> 상기 기판은 알루미늄 옥사이드, 실리콘 또는, 메소포러스로 형성하는 것이 바람직하다.
- <26> 상기 나노튜브는 탄소나노튜브, 보론나이트라이드 나노튜브, 또는 갈륨포스페이트 나노튜브인 것이 바람직하다.
- <27> 상기 메모리셀은,
- <28> 상기 나노튜브의 측면에 형성되는 제1절연막;
- <29> 상기 제1절연막의 상면에 증착되는 전자 저장막; 및
- <30> 상기 전자 저장막의 상면에 형성되며, 상기 제어 게이트와 접촉하는 제2절연막;을 구비한다.
- <31> 여기서, 제1 및 제2절연막은 실리콘 옥사이드막이다.
- <32> 상기 전자 저장막은 실리콘막 또는 실리콘 나이트라이드막이다.
- <33> 상기 전자 저장막은 100nm 이하의 두께를 가지는 것이 바람직하며, 상기 전자 저장막은 전자저장물질로 채워지는 나노도트들이 배치되는 다공막으로 형성될 수 있다.
- <34> 상기 전자저장물질은 실리콘 또는 실리콘 나이트라이드이다.
- <35> 상기 다공막은 알루미늄 옥사이드막으로 형성될 수 있다.
- <36> 상기 나노 도트는 100nm 이하의 지름을 가지는 것이 바람직하다.
- <37> 본 발명은 전자이동채널로 나노튜브를 채용하고 이를 수직으로 정렬하는 구조를 채택하여 고집적의 대용량 메모리 소자를 제공한다.
- <38> 이하 본 발명의 실시예에 따른 메모리 소자를 도면을 참조하여 상세히 설명한다. 도면에서 나노튜브의 두께와 각 층의 두께와 폭은 설명을 위해 과장되게 도시되었음에 유의해야 한다.
- <39> 도 1a는 본 발명의 제1실시예에 따른 메모리 소자를 보인 단면도이고, 도 1b는 동일물의 사시도이다.
- <40> 도 1a 및 1b를 참조하면, 기판(11)은 소스 영역(13)을 포함하고 기판(11)의 상면에는 소스 영역(13)과 연결되어 나노튜브 컬럼(10)이 복수개 배열되는 나노튜브 어레이가 형성된다. 나노튜브 컬럼(10)의 표면에는 메모리셀(19)이 증착되고 증착된 메모리셀(19)의 표면에는 다시 게이트 전극(17)이 형성된다. 나노튜브(15)와 메모리셀(19)의 상면에는 드레인 영역(15)이 형성된다.
- <41> 기판(11)은 알루미늄 옥사이드( $Al_2O_3$ ), 실리콘(Si) 또는 메소 포러스(meso porous)로 형성하는 것이 바람직하며, 기판(11)에는 이온 도핑을 하여 소스 영역(13)을 형성한다.
- <42> 나노튜브 컬럼(10)은 탄소나노튜브, 보론나이트라이드(BN) 나노튜브, 또는 갈륨포스페이트 나노튜브등의 반도체성 나노튜브를 이용할 수 있다. 나노튜브는 전기적인 성질에 따라 게이트 전압에 무관하고 전류-전압 특성이 선형관계를 보이는 금속성 나노튜브와 게이트 전압에 영향을 받으며 전류-전압 특성이 비선형관계를 보이는 반도체성의 나노튜브로 나뉜다. 본 발명의 실시예에 따른 메모리 소자에 채용되는 나노튜브는 반도체성 나노튜브로서 제어 게이트(19)에 인가되는 게이트 전압에 따라 나노튜브(10)를 통해 이동하는 전자의 흐름, 즉 전류가 제어된다.
- <43> 여기서, 탄소나노튜브는 전기방전법(arc discharge), 레이저 증착법(laser vaporization), 플라즈마 화학기상증

착법(Plasma Enhanced Chemical Vapor Deposition; PECVD), 열화학 기상증착법(Thermal Chemical Vapor Deposition), 기상합성법(Vapor phase growth) 등을 이용해 일단이 기판(11)상의 소스 영역(13)과 접촉하도록 성장한다.

- <44> 나노튜브(10)의 측면에는 메모리셀(19)이 형성된다. 메모리셀(19)은 ONO(Oxide-Nitride-Oxide)막으로 형성될 수 있는데, 옥사이드막(19a, 19c)은 절연막으로 작용하고 나이트라이드막(19b)은 전자저장막으로 기능한다. ONO막은 CVD(Chemical Vapor Deposition) 또는 열처리를 통해 형성될 수 있다. 메모리셀(19)의 절화막은 실리콘 나이트라이드( $\text{Si}_3\text{N}_4$ )로 형성될 수 있으며, 절화막 대신 실리콘막을 이용할 수도 있다. 메모리셀(19)의 전체 두께는 200nm 미만이 되고, 나이트라이드막(19b)은 100nm 이하가 되도록 형성하는 것이 바람직하다.
- <45> 제어 게이트(17)는 메모리셀(19)의 표면에 형성되고, 드레인 영역(15)은 나노튜브(10)의 타단에 접촉하도록 나노튜브(10)와 메모리셀(19)의 상면에 형성된다.
- <46> 도 2는 본 발명의 제2실시예에 따른 메모리 소자를 보인 단면도이다.
- <47> 도 2를 참조하면, 도 1a 및 도 1b에 도시된 본 발명의 제1실시예에 따른 메모리 소자와 동일한 구조를 가지지만, 다만, 메모리셀(29)이 전자저장물질로 채워진 나노도트(29b)를 포함하는 다공성막(29a)으로 형성된 점이 상이하다.
- <48> 다공성막(29a)은 알루미늄 기판을 황산 용액 또는 인산 용액에 넣고 전기를 가하여 애노다이징함으로써 복수개의 나노도트(29b)를 형성하고, 나노도트(29b)의 내부에 실리콘 또는 실리콘나이트라이드와 같은 전자저장물질을 CVD 또는 스퍼터링법을 이용해 채워넣음으로써 전자저장막으로 기능하게 한다.
- <49> 도 3은 본 발명의 실시예에 따른 메모리 소자를 제조하기 위해 기판 상에 탄소나노튜브를 성장시킨 탄소나노튜브 어레이를 보여주는 사진이다.
- <50> 도 4는 본 발명의 제1실시예에 따른 메모리 소자의 전류-전압(I-V) 특성 곡선을 보인 그래프이다.
- <51> 도면을 참조하면, 게이트 전극이 음의 전압에서 0V에 이르기까지 드레인 전류( $I_d$ )는 일정하게 유지되다가 게이트 전압이 증가하면서 드레인 전류( $I_d$ )가 현저히 감소하는 메모리 소자로서 동작 특성이 잘 나타나는 것을 볼 수 있다.
- <52> 본 발명은 나노튜브를 이용하여 초고집적 메모리를 구현할 수 있다. 본 발명을 실현하기 위해 자기 조립(Self assembly)을 이용하여 기판상에 도핑없이 소자를 구성할 수 있어 초고집적 공정을 단순화할 수 있다.
- <53> 상기한 설명에서 많은 사항이 구체적으로 기재되어 있으나, 그들은 발명의 범위를 한정하는 것이라기보다, 바람직한 실시예의 예시로서 해석되어야 한다.
- <54> 예를 들어 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 기술적 사상에 의해 전자저장막 또는 전자저장물질로 전자를 포획하는 특성이 뛰어난 다른 물질을 이용할 수 있을 것이다. 때문에 본 발명의 범위는 설명된 실시예에 의하여 정하여 질 것이 아니고 특히 청구범위에 기재된 기술적 사상에 의해 정하여야 한다.

### 발명의 효과

- <55> 상술한 바와 같이, 본 발명에 따른 메모리 소자의 장점은, 나노튜브를 수직으로 배열한 나노튜브 어레이를 이용하는 소형의 트랜지스터와 전자를 저장하는 메모리셀을 구비하므로 고효율의 초고집적 메모리 소자를 구현할 수 있다는 것이다.

### 도면의 간단한 설명

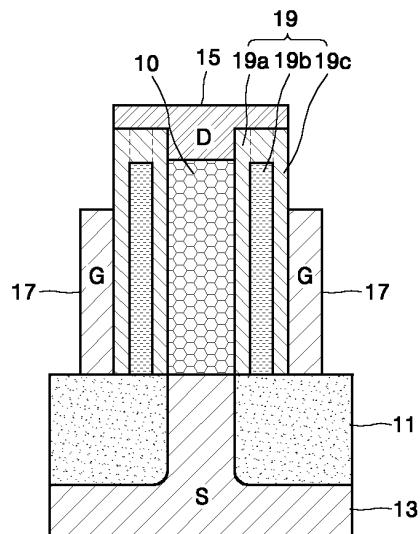
- <1> 도 1a는 본 발명의 제1실시예에 따른 메모리 소자의 단면도,
- <2> 도 1b는 본 발명의 제1실시예에 따른 메모리 소자의 사시도,
- <3> 도 2는 본 발명의 제2실시예에 따른 메모리 소자의 단면도,
- <4> 도 3은 본 발명의 제1실시예에 따른 메모리 소자를 제조하기 위해 탄소나노튜브를 기판상에 성장시킨 사진,
- <5> 도 4는 본 발명의 제1실시예에 따른 메모리 소자의 I-V 특성을 보인 그래프.

<6> <도면의 주요부분에 대한 부호설명

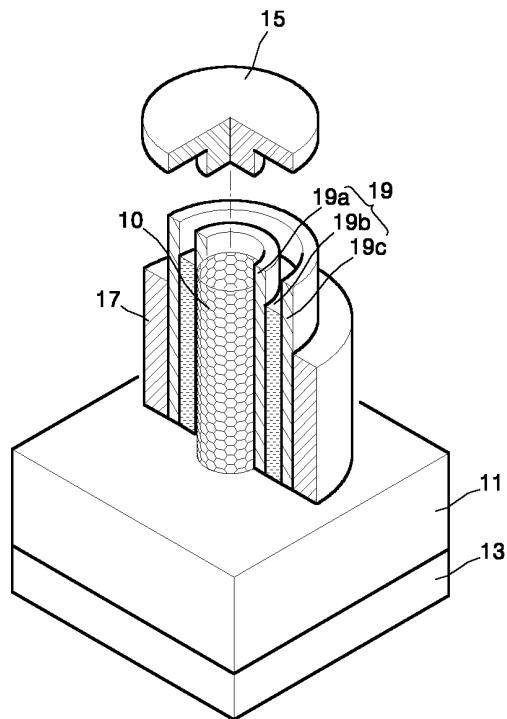
- |      |             |             |
|------|-------------|-------------|
| <7>  | 10 ; 나노튜브   | 11 ; 기판     |
| <8>  | 13 ; 소스 영역  | 15 ; 드레인 영역 |
| <9>  | 17 ; 케이트 전극 | 19 ; 메모리셀   |
| <10> | 28 ; 전자저장물질 | 29 ; 다공성막   |

## 도면

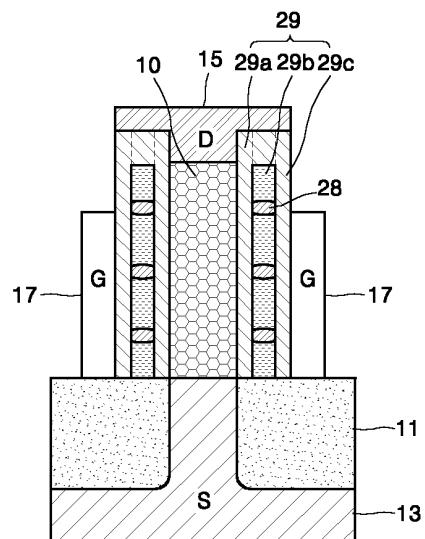
도면1a



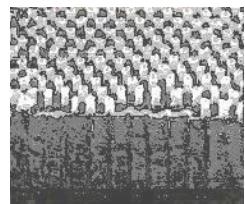
도면1b



도면2



도면3



도면4

