

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特關2012-96316  
(P2012-96316A)

(43) 公開日 平成24年5月24日(2012.5.24)

(51) Int.Cl.	F 1	テーマコード (参考)
B81B 7/02 (2006.01)	B81B 7/02	3C081
B81C 1/00 (2006.01)	B81C 1/00	5J079
B81B 3/00 (2006.01)	B81B 3/00	5J108
H03H 9/24 (2006.01)	H03H 9/24	Z
H03B 5/30 (2006.01)	H03B 5/30	Z

審査請求 未請求 請求項の数 8 O.L. (全 15 頁)

(21) 出願番号 特願2010-245974 (P2010-245974)  
(22) 出願日 平成22年11月2日 (2010. 11. 2)

(71) 出願人 000002369  
セイコーエプソン株式会社  
東京都新宿区西新宿2丁目4番1号

(74) 代理人 100095728  
弁理士 上柳 雅善

(74) 代理人 100107261  
弁理士 須澤 修

(74) 代理人 100127661  
弁理士 宮坂 一彦

(72) 発明者 金本 陽子  
長野県諏訪市大和3丁目3番5号 セイコ  
ーエプソン株式会社内

(72) 発明者 佐藤 彰  
長野県諏訪市大和3丁目3番5号 セイコ  
ーエプソン株式会社内

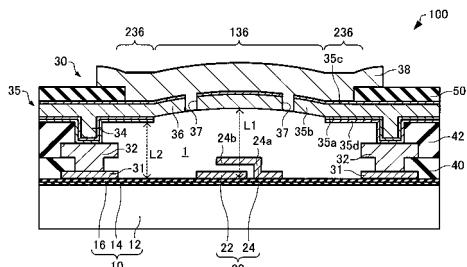
最終頁に続く

(54) 【発明の名称】電子装置および電子装置の製造方法

(57) 【要約】

【課題】信頼性の高い電子装置を提供する。

【解決手段】本発明に係る電子装置 100 は、基板 10 と、基板 10 の上方に形成された MEMS 構造体 20 と、MEMS 構造体 20 が配置された空洞部 1 を画成する被覆構造体 30 と、を含み、被覆構造体 30 は、空洞部 1 を上方から覆い、空洞部 1 に連通する貫通孔 37 を有する第 1 被覆層 36 と、第 1 被覆層 36 の上方に形成され、貫通孔 37 を閉鎖する第 2 被覆層 38 と、を有し、第 1 被覆層 36 は、少なくとも MEMS 構造体 20 の上方に位置する第 1 領域 136 と、第 1 領域 136 の周囲に位置する第 2 領域 236 と、を有し、第 1 領域 136 の第 1 被覆層 36 は、第 2 領域 236 の第 1 被覆層 36 より薄く、第 1 領域 136 の第 1 被覆層 36 と基板 10 との間の距離 L1 は、第 2 領域 236 の第 1 被覆層 36 と基板 10 との間の距離 L2 より長い。



【選択図】図 1

**【特許請求の範囲】****【請求項 1】**

基板と、

前記基板の上方に形成されたMEMS構造体と、

前記MEMS構造体が配置された空洞部を画成する被覆構造体と、

を含み、

前記被覆構造体は、

前記空洞部を上方から覆い、前記空洞部に連通する貫通孔を有する第1被覆層と、

前記第1被覆層の上方に形成され、前記貫通孔を閉鎖する第2被覆層と、

を有し、

前記第1被覆層は、

少なくとも前記MEMS構造体の上方に位置する第1領域と、

前記第1領域の周囲に位置する第2領域と、

を有し、

前記第1領域の前記第1被覆層は、前記第2領域の前記第1被覆層より薄く、

前記第1領域の前記第1被覆層と前記基板との間の距離は、前記第2領域の前記第1被覆層と前記基板との間の距離より長い、電子装置。

**【請求項 2】**

請求項1において、

前記第1被覆層は、

前記第1領域を避けて前記第2領域に形成された第1層と、

前記第1領域および前記第2領域に形成された第2層と、

を有し、

前記貫通孔は、前記第1領域の前記第1被覆層に形成されている、電子装置。

**【請求項 3】**

請求項2において、

前記第1被覆層は、前記第1領域および前記第2領域に形成された第3層を、さらに有し、

前記第1層は、前記第2層の下方に形成され、

前記第3層は、前記第2層の上方に形成され、

前記第2層の材質は、Al-Cu合金であり、

前記第1層および前記第3層の材質は、TiN、Ti、W、Au、Ptの少なくともいずれか1つ、もしくはこれらの合金である、電子装置。

**【請求項 4】**

請求項1ないし3のいずれか1項において、

前記第1領域の平面形状は、円形である、電子装置。

**【請求項 5】**

請求項1ないし4のいずれか1項において、

前記MEMS構造体は、

前記基板の上方に形成された第1電極と、

前記基板の上方に形成された支持部、および前記支持部から延出し前記第1電極と対向配置された梁部を有する第2電極と、

を含む、電子装置。

**【請求項 6】**

請求項5において、

前記MEMS構造体を発振させるための発振回路を、さらに含む、電子装置。

**【請求項 7】**

基板の上方にMEMS構造体を形成する工程と、

前記基板および前記MEMS構造体の上方に、層間絶縁層を形成する工程と、

前記層間絶縁層の上方に、貫通孔を有する第1被覆層を形成する工程と、

10

20

30

40

50

前記貫通孔を通して、前記MEMS構造体の上方の前記層間絶縁層を除去する工程と、前記第1被覆層の上方に、前記貫通孔を開鎖する第2被覆層を形成する工程と、  
を含み、

前記第1被覆層を形成する工程において、

少なくとも前記MEMS構造体の上方に位置する第1領域の前記第1被覆層を、前記第1領域の周囲に位置する第2領域の前記第2被覆層より、薄くなるように形成し、

前記第2被覆層を形成する工程において、

前記第1領域の前記第1被覆層は、前記第2領域の前記第1被覆層より、上方に変位する、電子装置の製造方法。

#### 【請求項8】

10

請求項7において、

前記第1被覆層を形成する工程は、

前記層間絶縁層の上方に、第1層を形成する工程と、

前記第1領域の前記第1層を除去して、前記層間絶縁層を露出する工程と、

前記第1領域の前記層間絶縁層の上方、および前記第2領域の前記第1層の上方に第2層を形成する工程と、

前記第1領域の前記第2層に、前記貫通孔を形成する工程と、  
を含む、電子装置の製造方法。

#### 【発明の詳細な説明】

##### 【技術分野】

20

##### 【0001】

本発明は、電子装置および電子装置の製造方法に関する。

##### 【背景技術】

##### 【0002】

一般に、MEMS (Micro Electro Mechanical Systems) 等の機能素子を、基板上に設けられた空洞部に配置してなる電子装置が知られている。マイクロ振動子、マイクロセンサー、マイクロアクチュエーター等のMEMSは、微小な構造体が振動、変形、その他の動作が可能となる状態で配置される必要があるため、空洞部内に動作可能な状態で収容される。

##### 【0003】

30

空洞部を形成する方法として、特許文献1には、基板上にMEMS構造体を形成し、その上に層間絶縁層を形成した後、貫通孔を有する第1被覆層を形成し、この第1被覆層の貫通孔を通して層間絶縁層を除去してMEMS構造体をリリースさせ、最後に第1被覆層の貫通孔を第2被覆層で覆うことにより形成する方法が記載されている。

##### 【先行技術文献】

##### 【特許文献】

##### 【0004】

##### 【特許文献1】特開2009-188785号公報

##### 【発明の概要】

##### 【発明が解決しようとする課題】

40

##### 【0005】

しかしながら、外部衝撃等によって、MEMS構造体と第1被覆層とが接触するという不具合が発生する場合がある。このような不具合が発生すると、MEMS構造体は、安定して動作することができず、信頼性が低下する。特に、近年、電子装置の小型化の要求に応じて、MEMS構造体と第1被覆層との間の距離が短くなり、上記のような不具合が発生しやすい。

##### 【0006】

本発明のいくつかの態様に係る目的の1つは、信頼性の高い電子装置を提供することにある。また、本発明のいくつかの態様に係る目的の1つは、信頼性の高い電子装置の製造方法を提供することにある。

50

**【課題を解決するための手段】****【0007】**

本発明に係る電子装置は、  
基板と、  
前記基板の上方に形成されたMEMS構造体と、  
前記MEMS構造体が配置された空洞部を画成する被覆構造体と、  
を含み、

前記被覆構造体は、  
前記空洞部を上方から覆い、前記空洞部に連通する貫通孔を有する第1被覆層と、  
前記第1被覆層の上方に形成され、前記貫通孔を開鎖する第2被覆層と、  
を有し、

前記第1被覆層は、  
少なくとも前記MEMS構造体の上方に位置する第1領域と、  
前記第1領域の周囲に位置する第2領域と、  
を有し、

前記第1領域の前記第1被覆層は、前記第2領域の前記第1被覆層より薄く、  
前記第1領域の前記第1被覆層と前記基板との間の距離は、前記第2領域の前記第1被  
覆層と前記基板との間の距離より長い。

**【0008】**

このような電子装置によれば、例えば、平坦な第1被覆層によって空洞部の上方を覆う  
場合に比べて、外部衝撃等によって、第1被覆層とMEMS構造体とが接触することを抑  
制できる。したがって、このような電子装置は、高い信頼性を有することができる。

**【0009】**

なお、本発明に係る記載では、「上方」という文言を、例えば、「特定のもの（以下、「A」という）の「上方」に他の特定のもの（以下、「B」という）を形成する」などと  
用いる場合に、A上に直接Bを形成するような場合と、A上に他のものを介してBを形成  
するような場合とが含まれるものとして、「上方」という文言を用いている。

**【0010】**

本発明に係る電子装置において、  
前記第1被覆層は、  
前記第1領域を避けて前記第2領域に形成された第1層と、  
前記第1領域および前記第2領域に形成された第2層と、  
を有し、

前記貫通孔は、前記第1領域の前記第1被覆層に形成されていることができる。

**【0011】**

このような電子装置によれば、貫通孔を通して層間絶縁層をエッチングしてMEMS構  
造体をリリースする際に、例えば、貫通孔が積層数の多い第2領域に形成される場合に比  
べて、各層におけるエッチングレートの差によって、貫通孔の内壁に段差が形成され  
ることを抑制できる。

**【0012】**

本発明に係る電子装置において、  
前記第1被覆層は、前記第1領域および前記第2領域に形成された第3層を、さらに有  
し、  
前記第1層は、前記第2層の下方に形成され、  
前記第3層は、前記第2層の上方に形成され、  
前記第2層の材質は、Al-Cu合金であり、  
前記第1層および前記第3層の材質は、TiN、Ti、W、Au、Ptの少なくともい  
ずれか1つ、もしくはこれらの合金であることができる。

**【0013】**

このような電子装置によれば、第1被覆層は、MEMS構造体をリリースする際のエッ

10

20

30

40

50

チング液に対して高い耐性を有しつつ、導電性を確保することができる。

【0014】

本発明に係る電子装置において、

前記第1領域の平面形状は、円形であることができる。

【0015】

このような電子装置によれば、MEMS構造体をリリースする際に、第1領域の外周において、均等に応力を開放することができる（詳細は後述）。例えば、第1領域の平面形状が四角形の場合は、角部に応力が集中し、第1領域の第1被覆層を安定して上方に変位せざることが困難な場合がある。

【0016】

本発明に係る電子装置において、

前記MEMS構造体は、

前記基板の上方に形成された第1電極と、

前記基板の上方に形成された支持部、および前記支持部から延出し前記第1電極と対向配置された梁部を有する第2電極と、  
を含むことができる。

【0017】

このような電子装置によれば、MEMS構造体は、振動子として機能することができる。  
。

【0018】

本発明に係る電子装置において、

前記MEMS構造体を発振させるための発振回路を、さらに含むことができる。

【0019】

このような電子装置によれば、発信器として機能することができる。

【0020】

本発明に係る電子装置の製造方法は、

基板の上方にMEMS構造体を形成する工程と、

前記基板および前記MEMS構造体の上方に、層間絶縁層を形成する工程と、

前記層間絶縁層の上方に、貫通孔を有する第1被覆層を形成する工程と、

前記貫通孔を通して、前記MEMS構造体の上方の前記層間絶縁層を除去する工程と、

前記第1被覆層の上方に、前記貫通孔を閉鎖する第2被覆層を形成する工程と、  
を含み、

前記第1被覆層を形成する工程において、

少なくとも前記MEMS構造体の上方に位置する第1領域の前記第1被覆層を、前記第1領域の周囲に位置する第2領域の前記第2被覆層より、薄くなるように形成し、

前記第2被覆層を形成する工程において、

前記第1領域の前記第1被覆層は、前記第2領域の前記第1被覆層より、上方に変位する。

【0021】

このような電子装置の製造方法によれば、第1領域の第1被覆層と基板との間の距離を、第2領域の第1被覆層と基板との間の距離より長くすることができる。そのため、第1被覆層とMEMS構造体とが接触することを抑制でき、高い信頼性を有する電子装置を提供することができる。

【0022】

本発明に係る電子装置の製造方法において、

前記第1被覆層を形成する工程は、

前記層間絶縁層の上方に、第1層を形成する工程と、

前記第1領域の前記第1層を除去して、前記層間絶縁層を露出する工程と、

前記第1領域の前記層間絶縁層の上方、および前記第2領域の前記第1層の上方に第2層を形成する工程と、

10

20

30

40

50

前記第1領域の前記第2層に、前記貫通孔を形成する工程と、  
を含むことができる。

【0023】

このような電子装置の製造方法によれば、貫通孔を通して層間絶縁層をエッチングしてMEMS構造体をリリースする際に、例えば、貫通孔が積層数の多い第2領域に形成される場合に比べて、各層におけるエッチングレートの差によって、貫通孔の内壁に段差が形成されることを抑制できる。

【図面の簡単な説明】

【0024】

【図1】本実施形態に係る電子装置を模式的に示す断面図。 10

【図2】本実施形態に係る電子装置を模式的に示す平面図。

【図3】本実施形態に係る電子装置を模式的に示す図。

【図4】本実施形態に係る電子装置の製造工程を模式的に示す断面図。

【図5】本実施形態に係る電子装置の製造工程を模式的に示す断面図。

【図6】本実施形態に係る電子装置の製造工程を模式的に示す断面図。

【図7】本実施形態に係る電子装置の製造工程を模式的に示す断面図。

【図8】本実施形態に係る電子装置の製造工程を模式的に示す断面図。

【図9】本実施形態に係る電子装置の製造工程を模式的に示す断面図。

【図10】本実施形態に係る電子装置の製造工程を模式的に示す断面図。

【図11】本実施形態に係る電子装置の製造工程を模式的に示す断面図。 20

【発明を実施するための形態】

【0025】

以下、本発明の好適な実施形態について、図面を参照しながら説明する。

【0026】

1. 電子装置

まず、本実施形態に係る電子装置について、図面を参照しながら説明する。図1は、本実施形態に係る電子装置100を模式的に示す断面図である。図2は、本実施形態に係る電子装置100を模式的に示す平面図である。図3は、本実施形態に係る電子装置100を模式的に示す図である。なお、図1は、図2のI-I線断面図である。また、図2では、便宜上、第2被覆層38およびパッシベーション層50の図示を省略している。また、図3では、便宜上、MEMS構造体20および発振回路60のみを図示している。 30

【0027】

電子装置100は、図1～図3に示すように、基板10と、MEMS構造体20と、被覆構造体30と、を含む。さらに、電子装置100は、層間絶縁層40, 42と、パッシベーション層50と、発振回路60と、を含むことができる。

【0028】

基板10は、支持基板12と、第1下地層14と、第2下地層16と、を有することができる。

【0029】

支持基板12としては、例えば、シリコン基板等の半導体基板を用いることができる。支持基板12として、セラミックス基板、ガラス基板、サファイア基板、ダイヤモンド基板、合成樹脂基板などの各種の基板を用いてもよい。支持基板12の厚みは、例えば、200μm～400μmである。 40

【0030】

第1下地層14は、支持基板12上に形成されている。第1下地層14としては、例えば、トレンチ絶縁層、LOCOS (local oxidation of silicon) 絶縁層、セミリセスLOCOS絶縁層を用いることができる。第1下地層14は、MEMS構造体20と他の素子とを電気的に分離することができる。

【0031】

第2下地層16は、第1下地層14上に形成されている。第2下地層16の材質として

は、例えば、窒化シリコンが挙げられる。第2下地層16は、空洞部1を形成する際に、エッキングストッパー層として機能することができる。

#### 【0032】

MEMS構造体20は、空洞部1に収容されている。MEMS構造体20は、例えば、第2下地層16上に形成された第1電極22と、第1電極22と間隔を空けて形成された第2電極24と、を有する振動子である。第2電極24は、第2下地層16上に形成された支持部24aと、支持部24aから延出し第1電極22に対向して配置された梁部24bと、を有する。MEMS構造体20の高さ（梁部24bの上面と基板10との間の距離）は、例えば、 $0.5\text{ }\mu\text{m} \sim 1\text{ }\mu\text{m}$ である。第1電極22および第2電極24の材質としては、例えば、所定の不純物をドーピングすることにより導電性が付与された多結晶シリコンが挙げられる。

10

#### 【0033】

発振回路60は、図3に示すように、MEMS構造体20と電気的に接続されており、発振回路60から電極22, 24間に電圧が印加されると、梁部24bは、電極22, 24間に発生する静電力により振動することができる。そして、発振回路60によってMEMS構造体20は、共振周波数で発振することができる。すなわち、電子装置100は、MEMS構造体（振動子）20と、発振回路60と、を含む発振器として機能することができる。

20

#### 【0034】

発振回路60を構成するトランジスター やキャパシター等は、例えば、支持基板12上に形成されていてもよい。これにより、MEMS構造体20と発振回路60をモノリシックに形成することができる。

20

#### 【0035】

なお、MEMS構造体20は、例えば、上述した振動子以外の、水晶振動子、SAW（弹性表面波）素子、加速度センサー、ジャイロスコープ、マイクロアクチュエーターなどの各種の機能素子であってもよい。すなわち、電子装置100は、空洞部1に収容される任意の機能素子を備えることができる。

30

#### 【0036】

層間絶縁層40, 42は、第2下地層16上に形成されている。図1に示す例は、第2下地層16側から、層間絶縁層40, 42の順で積層されている。図1に示す例では、電子装置100は、2層の層間絶縁層を有しているが、その数は特に限定されない。層間絶縁層40, 42の材質としては、例えば、酸化シリコンが挙げられる。

30

#### 【0037】

被覆構造体30は、MEMS構造体20が配置された空洞部1を画成する。被覆構造体30は、包囲壁31, 32, 34と、第1被覆層36と、第2被覆層38と、を有することができる。空洞部1は、包囲壁31, 32, 34、第1被覆層36、第2被覆層38、および基板10によって画成された空間であるといえる。

40

#### 【0038】

包囲壁31, 32, 34は、第2下地層16上であって、空洞部1の周囲に形成されている。図1に示す例では、第2下地層16側から、包囲壁31, 32, 34の順で積層されている。包囲壁31, 32, 34は、ガードリングともいえる。図1に示す例では、電子装置100は、3層の包囲壁を有しているが、その数は特に限定されず、例えば、層間絶縁層の数に応じて決定されてもよい。

40

#### 【0039】

包囲壁31, 32, 34は、図2に示すように、MEMS構造体20を囲む平面形状を有する。包囲壁31, 32, 34によって画成される空洞部1の平面形状は、MEMS構造体20を収容する形状であれば特に限定されず、例えば、円形状、多角形状などの任意の形状であるが、図示の例では四角形である。包囲壁31, 32, 34は、互いに電気的に接続されていてもよい。包囲壁32, 34の高さは、例えば、それぞれ $1\text{ }\mu\text{m} \sim 1.5\text{ }\mu\text{m}$ である。なお、図2には図示しないが、包囲壁31には、第1電極22や第2電極2

50

4と電気的に接続する配線の引き出し口が形成されていてもよい。

【0040】

包囲壁34および第1被覆層36は、配線層35として一体的に形成されることができる。図1に示す例では、包囲壁34および第1被覆層36以外の配線層35は図示されていないが、例えば、所定の配線パターンが形成されるように配線層35が形成され、その一部が包囲壁34および第1被覆層36となってもよい。そのため、包囲壁34は、後述する第2領域236の第1被覆層36と同じ積層構造を有することができる。包囲壁31, 32は、例えば、多結晶シリコンや、アルミニウム、銅、タンゲステン、チタンなどの金属やその合金を含んで構成されている。

【0041】

第1被覆層36は、図1に示すように、空洞部1を上方から覆って形成されている。第1被覆層36は、第1領域136と、第2領域236と、を有する。

【0042】

第1領域136は、少なくともMEMS構造体20の上方に位置している。すなわち、図2に示すように平面視において、第1領域136は、MEMS構造体20と重なっている領域を含む。第1領域136の平面形状は、特に限定されないが、図2に示す例では、円形である。第1領域136では、図1に示すように、中心に向かうに連れて、第1被覆層36と基板10（図示の例では第2下地層16）との間の距離L1が長くなり、最大となる距離L1は、例えば、 $1.6\mu m \sim 3.5\mu m$ である。すなわち、第1領域136の第1被覆層36の形状は、上に凸のアーチ状であるともいえる。これにより、空洞部1の形状は、ドーム状となることができる。

【0043】

第1領域136の第1被覆層36は、空洞部1に連通する貫通孔37を有する。貫通孔37は、例えば、MEMS構造体20の直上を避けて設けられている。図2に示す例では、貫通孔37は、8つ設けられているが、その数は特に限定されない。

【0044】

第2領域236は、第1領域136の周囲に位置している。図2に示す例では、第2領域236は、第1領域136を取り囲んでいる。第2領域236では、例えば、第1被覆層36と基板10との間の距離L2は一定であり、距離L2は、例えば、 $1.5\mu m \sim 3\mu m$ である。距離L1は、距離L2より長い距離である。すなわち、第1領域136の第1被覆層36は、第2領域236の第1被覆層36より上方に位置している。

【0045】

第1被覆層36は、例えば、第1層35a、第2層35b、第3層35c、および第4層35dが積層された積層構造を有する。

【0046】

第4層35dは、第1領域136を避けて、第2領域236に形成されている。第4層35dは、第2領域236の第1被覆層36の最下層を構成している。第4層35dの厚みは、例えば、 $10nm \sim 100nm$ である。第4層35dの材質としては、例えば、Tiが挙げられる。第4層35dは、層間絶縁層42に対する被覆性（カバレッジ性）を向上させることができる。

【0047】

第1層35aは、第1領域136を避けて、第2領域236の第4層35d上に形成されている。第1層35aの厚みは、例えば、 $50nm \sim 200nm$ である。第1層35aの材質としては、例えば、TiNが挙げられる。第1層35aは、層間絶縁層42の構成素材（Si原子など）や不純物等が第2層35bに侵入することを防止することができる。

【0048】

第2層35bは、第1領域136および第2領域236に形成されている。第1領域136では、第2層35bは、第1被覆層36の最下層を構成している。第2領域236では、第2層35bは、第1層35a上に形成されている。第2層35bの厚みは、例えば

10

20

30

40

50

、 $500\text{ nm}$  ~  $1000\text{ nm}$  である。第2層35bの材質としては、例えば、A1や、A1に1wt%以下のCuを添加したA1-Cu合金が挙げられる。第2層35bは、第1被覆層36の導電性を主に担保する層である。

#### 【0049】

第3層35cは、第1領域136および第2領域236の第2層35b上に形成されている。第3層35cは、第1被覆層36の最上層を構成している。第3層35cの厚みは、例えば、 $20\text{ nm}$  ~  $200\text{ nm}$  である。第3層35cの材質としては、例えば、TiNが挙げられる。第3層35cは、フォトプロセス用の反射防止層として機能することができる。

#### 【0050】

第1層35a、第2層35b、第3層35c、および第4層35dは、後述する層間絶縁層40, 42を除去するリリース工程において用いられるエッチングに対する耐性を有することができる。特に、第1層35a、第3層35c、および第4層35dは、フッ化水素酸を主体としたエッチング液に対して高い耐性を有する。このような高い耐性を有する素材としては、例えば、TiN、Ti、W、Au、Ptや、これらの合金が挙げられ、第1層35a、第3層35c、および第4層35dの材質は、このような高い耐性を有する素材であってもよい。

#### 【0051】

上記のように、第1領域136には、第2層35bおよび第3層35cが積層され、第2領域236には、第4層35d、第1層35a、第2層35b、および第3層35cが積層されている。すなわち、第1領域136の第1被覆層36は、第2領域236の第1被覆層36より薄いといえる。

#### 【0052】

なお、図示はしないが、第3層35cは形成されていなくてもよい。また、第1層35aおよび第4層35dのいずれか一方は、形成されていなくてもよい。

#### 【0053】

上述のように、包囲壁34は、第2領域236の第1被覆層36と一体的に形成することができる。すなわち、包囲壁34は、第4層35d、第1層35a、第2層35b、および第3層35cがこの順で積層された積層構造を有することができる。

#### 【0054】

包囲壁31, 32, 34および第1被覆層36には、一定の電位（例えば接地電位）が与えられることが望ましい。これにより、包囲壁31, 32, 34および第1被覆層36を、電磁シールドとして機能させることができる。そのため、MEMS構造体20を、外部と電気的に遮蔽することができる。これにより、MEMS構造体20は、より安定した特性を有し、高い信頼性を有することができる。

#### 【0055】

第2被覆層38は、第1被覆層36上に形成されている。第2被覆層38は、第1被覆層36の貫通孔37を閉鎖することができる。第2被覆層38の膜厚は、例えば、 $3\mu\text{m}$  程度である。第2被覆層38の材質としては、例えば、A1、Ti、Wが挙げられる。第1被覆層36および第2被覆層38は、空洞部1を上方から覆って、空洞部1を封止する封止部材として機能することができる。

#### 【0056】

パッシベーション層50は、第2被覆層38が形成されている領域を避けて、第1被覆層36上に形成されている。パッシベーション層50としては、例えば、TEOS（テトラ・エトキシ・シラン）酸化層、窒化シリコン層を用いることができる。

#### 【0057】

本実施形態に係る電子装置100によれば、例えば、以下の特徴を有する。

#### 【0058】

電子装置100によれば、第1被覆層36は、MEMS構造体20の上方に位置する第1領域136と、第1領域136の周囲に位置する第2領域236と、を有し、第1領域

136 の第 1 被覆層 36 と基板 10 との間の距離 L1 は、第 2 領域 236 の第 1 被覆層 36 と基板 10 との間の距離 L2 より長い。すなわち、第 1 領域 136 の第 1 被覆層 36 は、第 2 領域 236 の第 1 被覆層 36 より、上方に変位している。そのため、電子装置 100 は、例えば、平坦な第 1 被覆層によって空洞部の上方を覆う場合に比べて、外部衝撃等によって、第 1 被覆層 36 と MEMS 構造体 20 とが接触することを抑制できる。したがって、電子装置 100 は、高い信頼性を有することができる。

#### 【0059】

電子装置 100 によれば、第 1 領域 136 の第 1 被覆層 36 は、2 層の積層構造を有し、第 2 領域 236 の第 1 被覆層 36 は、4 層の積層構造を有することができる。すなわち、第 1 領域 136 の第 1 被覆層 36 は、第 2 領域 236 の第 1 被覆層 36 より、積層数が少ない。そして、貫通孔 37 は、第 1 領域 136 の第 1 被覆層 36 に形成されることがある。そのため、貫通孔 37 を通して層間絶縁層 40, 42 をエッチングして MEMS 構造体 20 をリリースする際に（詳細は後述）、例えば、貫通孔が 4 層の積層構造を有する第 2 領域に形成される場合に比べて、各層におけるエッチングレートの差によって、貫通孔の内壁に段差が形成されることを抑制できる。これにより、電子装置 100 は、高い信頼性を有することができる。

#### 【0060】

電子装置 100 によれば、第 1 被覆層 36 の第 2 層 35b は、例えば、Al - Cu 合金であり、第 1 被覆層 36 の第 1 層 35a、第 3 層 35c、および第 4 層 35d の材質は、TiN、Ti、W、Au、Pt の少なくともいずれか 1 つ、もしくはこれらの合金である。そのため、第 1 被覆層 36 は、MEMS 構造体 20 をリリースする際のエッチング液に対して高い耐性を有しつつ、導電性を確保することができる。

#### 【0061】

電子装置 100 によれば、第 1 領域 136 の平面形状は、円形であることができる。そのため、第 2 被覆層 38 を形成する際に、第 1 領域 136 の外周において、均等に応力を開放することができる（詳細は後述）。例えば、第 1 領域の平面形状が四角形の場合は、角部に応力が集中し、第 1 領域の第 1 被覆層を安定して上方に変位させることが困難な場合がある。

#### 【0062】

##### 2. 電子装置の製造方法

次に、本実施形態に係る電子装置の製造方法について、図面を参照しながら説明する。図 4 ~ 図 11 は、本実施形態に係る電子装置 100 の製造工程を模式的に示す断面図である。

#### 【0063】

図 4 に示すように、支持基板 12 上に、第 1 下地層 14 および第 2 下地層 16 をこの順で形成して、基板 10 を得る。第 1 下地層 14 は、例えば、STI (shallow trench isolation) 法、LOCOS 法により形成される。第 2 下地層 16 は、例えば、CVD (Chemical Vapor Deposition) 法、スパッタ法により形成される。

#### 【0064】

図 5 に示すように、第 2 下地層 16 上に、第 1 電極 22 および第 2 電極 24 を有する MEMS 構造体 20 を形成する。より具体的には、第 1 電極 22 は、CVD 法やスパッタ法などによって成膜された後、フォトリソグラフィー技術およびエッチング技術によるパターニングによって形成される。第 1 電極 22 が多結晶シリコンからなる場合は、導電性を付与するために所定の不純物をドーピングする。なお、図 5 に示すように、第 2 電極 24 を形成する際に、包囲壁 31 を形成してもよい。

#### 【0065】

次に、熱酸化処理を行うことにより、第 1 電極 22 を覆う犠牲層 70 を形成する。次に、犠牲層 70 上に第 2 電極 24 を形成する。第 2 電極 24 は、例えば、第 1 電極 22 と同様の成膜処理およびパターニング処理により形成される。第 2 電極 24 が多結晶シリコンからなる場合、導電性を付与するために所定の不純物をドーピングする。

10

20

30

40

50

## 【0066】

なお、発振回路60を構成するトランジスター(図示せず)の部材を、上述したMEMS構造体20を形成する工程と同一の工程で形成してもよい。具体的には、例えば、犠牲層70を形成する工程において、トランジスターのゲート絶縁層を形成してもよい。さらに、第2電極24を形成する工程において、トランジスターのゲート電極を形成してもよい。このように、MEMS構造体20と発振回路60との製造工程を共通化することで、製造工程の簡素化を図ることができる。

## 【0067】

図6に示すように、基板10上に層間絶縁層40を形成する。層間絶縁層40は、例えば、CVD法や塗布(スピンドルコート)法などで形成することができる。層間絶縁層40を形成した後に、層間絶縁層40の表面を平坦化する処理を行ってもよい。10

## 【0068】

次に、MEMS構造体20を取り囲むように、包囲壁31上に包囲壁32を形成する。包囲壁32は、例えば、層間絶縁層40をパターニングして包囲壁31を露出するコンタクトホールを形成し、該コンタクトホールにアルミニウムなどの金属を埋め込むことで形成される。

## 【0069】

図7に示すように、MEMS構造体20、包囲壁32、および層間絶縁層40上に、層間絶縁層42を形成する。層間絶縁層42は、層間絶縁層40と同様の方法で形成される。20

## 【0070】

次に、層間絶縁層42をパターニングして包囲壁32を露出するコンタクトホールを形成し、該コンタクトホール内および層間絶縁層42上に、第4層35dおよび第1層35aをこの順で成膜する。成膜処理は、例えば、スパッタ法、CVD法、真空蒸着法により行われる。

## 【0071】

図8に示すように、第1層35aおよび第4層35dを、フォトリソグラフィー技術およびエッチング技術によりパターニングして、第1領域136の第1層35aおよび第4層35dを除去する。これにより、層間絶縁層42が露出される。例えば、露出された層間絶縁層42の平面形状が円形となるように(すなわち第1領域136が円形となるように)、第1層35aおよび第4層35dを、パターニングすることができる。30

## 【0072】

図9に示すように、層間絶縁層42上および第1層35a上に、第2層35bを形成する。次に、第2層35b上に、第3層35cを形成する。より具体的には、第2層35bおよび第3層35cは、スパッタ法、CVD法、真空蒸着法などにより成膜した後、フォトリソグラフィー技術およびエッチング技術によるパターニングによって形成される。該パターニングによって、貫通孔37を形成することができる。

## 【0073】

以上の工程により、包囲壁34および第1被覆層36を、配線層35として一体的に形成することができる。また、第1領域136の第1被覆層36を、第2領域236の第1被覆層36より薄くなるように、形成することができる。40

## 【0074】

図10に示すように、貫通孔37を通して、MEMS構造体20の周囲および上方の層間絶縁層40、42と、犠牲層70と、を除去し空洞部1を形成する(リリース工程)。エッチングは、例えば、フッ化水素酸や緩衝フッ酸(フッ化水素酸とフッ化アンモニウムとの混合液)などを用いたウェットエッチングによって行われる。

## 【0075】

上述のとおり、第1層35a、第2層35b、第3層35c、および第4層35dは、リリース工程において用いられるエッチングに対する耐性を有し、特に、第1層35a、第3層35c、および第4層35dは、フッ化水素酸を主体としたエッチング液に対して50

高い耐性を有することができる。したがって、リリース工程によって、第1被覆層36が消失したり、薄くなったりすることを抑制できる。

#### 【0076】

また、上述のとおり、貫通孔37を、2層構造の第1領域136に形成することができる。そのため、貫通孔37を、4層構造の第2領域236に形成する場合に比べて、リリース工程の際に、各層におけるエッチングレートの差によって、貫通孔の内壁に段差が形成されることを抑制できる。

#### 【0077】

図11に示すように、第2被覆層38が形成される領域を避けて、第1被覆層36上にパッシベーション層50を形成する。パッシベーション層50は、例えば、スパッタ法やCVD法などにより形成される。

10

#### 【0078】

図1に示すように、第1被覆層36上に第2被覆層38を形成する。これにより、貫通孔37を閉鎖することができ、空洞部1を封止することができる。第2被覆層38は、スパッタ法、CVD法などの気相成長法により形成することができる。これにより、空洞部1を減圧状態のまま封止することができる。

20

#### 【0079】

ここで、スパッタ法、CVD法などにより第2被覆層38を形成する際にかかる熱ストレスにより、第1被覆層36に加わっていた応力が開放される。その際、第1領域136の第1被覆層36は、第2領域236の第1被覆層36より薄いため、変形しやすい。そのため、第1領域136の第1被覆層36は、第2被覆層38を形成する際にかかる熱ストレスにより、第2領域236の第1被覆層36より上方に変形する。すなわち、第1領域136の第1被覆層36と基板10との間の距離L1は、第2領域236の第1被覆層36と基板10との間の距離L2より長くなる。

20

#### 【0080】

上述のとおり、第1領域136の平面形状は、例えば円形である。そのため、第2被覆層38を形成する際に、第1領域136の外周において、均等に応力を開放することができる。例えば、第1領域の平面形状が四角形の場合は、角部に応力が集中し、第1領域の第1被覆層を安定して上方に変位させることが困難な場合がある。

30

#### 【0081】

ここで、例えば、層間絶縁層上にスパッタ法により形成されたAl-Cu合金層は、第2被覆層38が形成されることによる応力の開放によって、上方に変位する性質を有する。また、Al-Cu合金層は、熱膨張係数が大きく、第2被覆層38を形成する際の熱によって膨張し、上方に変位しやすい。電子装置100では、第1領域136の第2層35bは、第1被覆層36の最下層であり直下に空洞部1が形成されるため、下方に第1層35aおよび第4層35dが形成されている第2領域236の第2層35bに比べて、応力開放の影響を受けやすい。そのため、第2層35の材質をAl-Cu合金とすることにより、いっそう第1領域136の第1被覆層36を、第2領域236の第1被覆層36より上方に変位させることができる。

40

#### 【0082】

なお、上述のとおり、貫通孔37は、MEMS構造体20の直上を避けて形成されることができる。そのため、第2被覆層38の形成時に、貫通孔37を通って第2被覆層38を構成する素材が、MEMS構造体20に付着することを抑制できる。

#### 【0083】

以上の工程により、電子装置100を製造することができる。

#### 【0084】

本実施形態に係る電子装置100の製造方法によれば、例えば、以下の特徴を有する。

#### 【0085】

電子装置100の製造方法によれば、上述のように、第2被覆層38を形成する工程によって、第1領域136の第1被覆層36は、第2領域236の第1被覆層36より、上

50

方に変位する。すなわち、第1領域136の第1被覆層36と基板10との間の距離L1を、第2領域236の第1被覆層36と基板10との間の距離L2より長くすることができる。そのため、MEMS構造体20と第1被覆層36とが接触することを抑制することができる。

#### 【0086】

上記のように、本発明の実施形態について詳細に説明したが、本発明の新規事項および効果から実体的に逸脱しない多くの変形が可能であることは当業者には容易に理解できよう。したがって、このような変形例はすべて本発明の範囲に含まれるものとする。

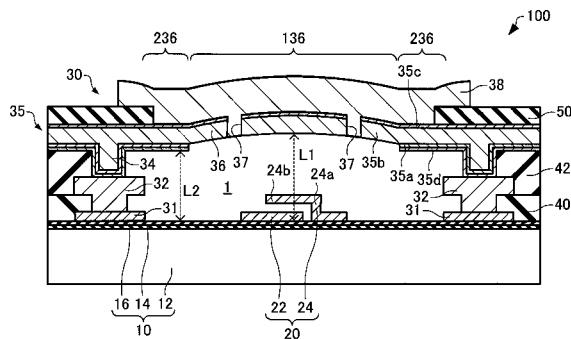
#### 【符号の説明】

#### 【0087】

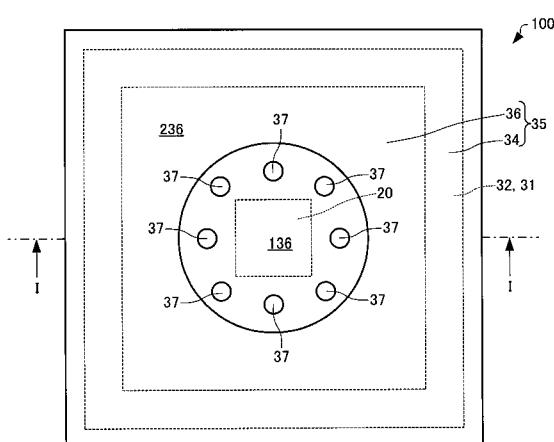
- 1 空洞部、10 基板、12 支持基板、14 第1下地層、16 第2下地層、  
 20 MEMS構造体、22 第1電極、24 第2電極、24a 支持部、  
 24b 梁部、30 被覆構造体、31 包囲壁、32 包囲壁、34 包囲壁、  
 35 配線層、35a 第1層、35b 第2層、35c 第3層、35d 第4層、  
 36 第1被覆層、37 貫通孔、38 第2被覆層、40 層間絶縁層、  
 42 層間絶縁層、50 パッシベーション層、60 発振回路、70 犠牲層、  
 100 電子装置、136 第1領域、236 第2領域

10

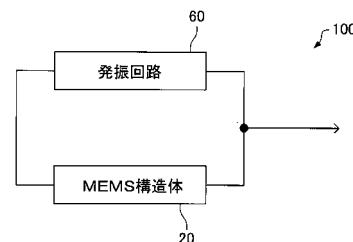
【図1】



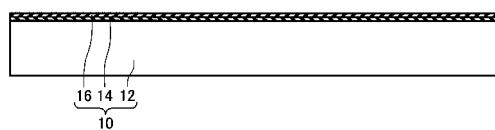
【図2】



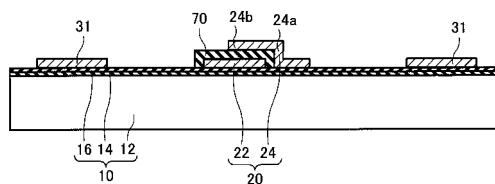
【図3】



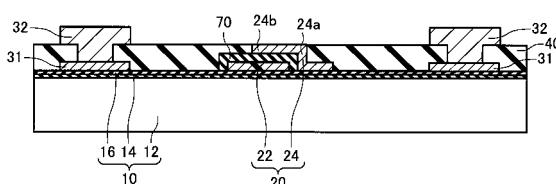
【図4】



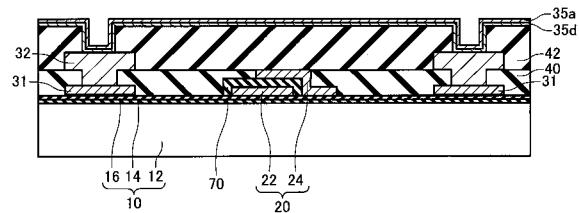
【図5】



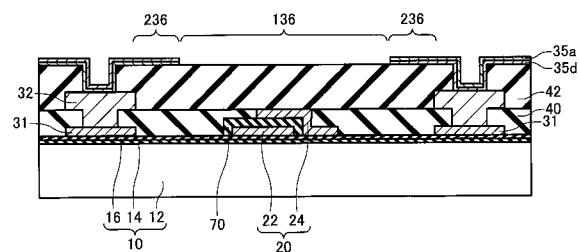
【図6】



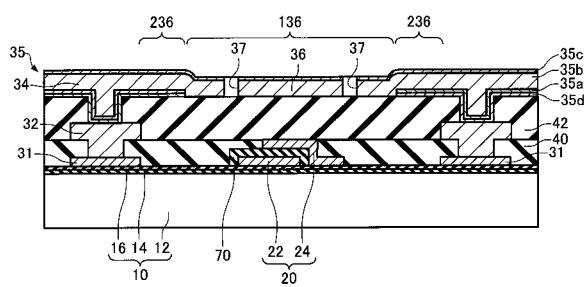
【図7】



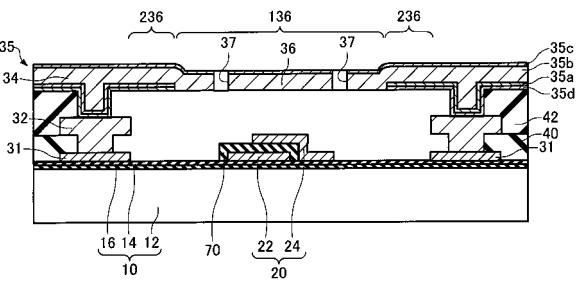
【図8】



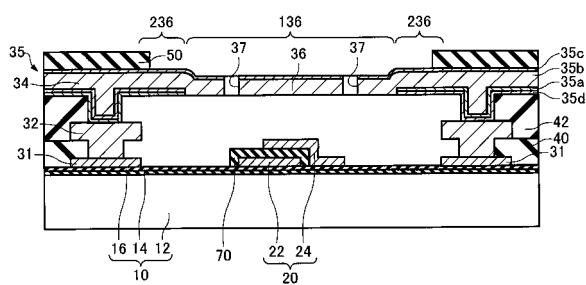
【図9】



【図10】



【図11】



---

フロントページの続き

(72)発明者 稲葉 正吾

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

Fターム(参考) 3C081 AA01 AA18 BA03 BA30 BA43 BA48 BA53 CA03 CA15 CA28

CA29 EA02 EA22

5J079 AA01 BA39 FA01 HA22

5J108 BB08 CC01 GG01 KK07