



[12] 发明专利说明书

专利号 ZL 200410033943.0

[45] 授权公告日 2006 年 11 月 22 日

[11] 授权公告号 CN 1286070C

[22] 申请日 2004.4.19

[21] 申请号 200410033943.0

[30] 优先权

[32] 2003.4.23 [33] JP [31] 2003-118202

[71] 专利权人 阿鲁策株式会社

地址 日本东京都

[72] 发明人 吉冈一荣 富士本淳

审查员 许彦

[74] 专利代理机构 北京银龙知识产权代理有限公司  
代理人 郝庆芬

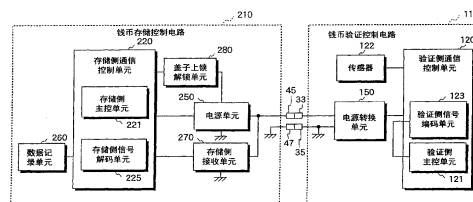
权利要求书 3 页 说明书 24 页 附图 18 页

[54] 发明名称

钱币验证装置

[57] 摘要

本发明提供一种钱币验证装置，在其中，虽然使装置具有高性能，但防止了与故障相联系的可靠性恶化。该钱币验证装置具有一个钱币验证单元，其用于识别从外界提供的钱的真伪；和一个可拆卸的钱币存储单元，其用于存储已被钱币验证单元识别为真的钱币。其中，当钱币验证单元电连接至钱币存储单元的时候，钱币验证单元通过两电源—信号连接同时将电源和钱币信息信号提供给钱币存储单元，该钱币信息信号表示存储在货币存储单元里的钱币的信息。



1. 一种钱币验证装置，其特征在于：

一个钱币验证单元，用于验证从外部提供的钱币的真假；

一个可拆卸的钱币存储单元，用于存储已被所述钱币验证单元判断为真的钱币；

其中，当钱币验证单元电连接至所述的钱币存储单元时，钱币验证单元通过两电源-信号连接将电源和钱币信息信号提供给钱币存储单元，该钱币信息信号表示要存到所述钱币存储单元中的钱币的信息。

2. 如权利要求1所述的钱币验证装置，其特征在于：所述钱币验证单元具有两个连接终端，所述钱币存储单元具有两个连接终端，从而钱币验证单元通过两电源-信号连接电连接到所述钱币存储单元。

3. 如权利要求1或2所述的钱币验证装置，其特征在于：

所述钱币验证单元包括一验证侧通信控制单元，其用于以脉冲信号将钱币信息信号输出；和一电源转换单元，其用于依照脉冲信号实现电源的供给和停止，以产生两电源-信号线之间的电压；及

所述钱币存储单元包括一电源单元，其基于两电压-信号连接间的电压将电源提供给钱币存储单元内的电路；一存储侧接收单元，其用于从两电源-信号连接之间的电压中析取出钱币信息信号；和一存储侧通信控制单元，其用于接收该析取的钱币信息信号。

4. 如权利要求3所述的钱币验证装置，其特征在于所述电源单元包括：

一第一二极管，其具有第一终端，该终端连接到两电源-信号连接中的一个；

一电容，其连接在所述第一二极管的第二个终端和另一个电源-信号连接之间；

一第二二极管，其具有第一个终端，该终端连接到所述第一二

极管的第二终端；和

一三终端调节器，其具有一输入终端，该终端连接到所述第二二极管的第二终端。

5. 如权利要求3所述的钱币验证装置，其特征在于所述存储侧接收单元包括：

一光电耦合器，其具有一发光二极管和一光电晶体管，其中，发光二极管用于依照由两电源-信号连接之间的电压引起的电流，在所述光电耦合器内产生光，该光电晶体管用于接收该产生的光，且相应于该接收的光产生一电流；和

一阻抗元件，其用于将所述光电晶体管产生的电流转换成相应于钱币信息信号的电压。

6. 如权利要求3所述的钱币验证装置，其特征在于：

所述钱币存储单元包括一盖子，其在取出所述存储单元中存储的钱币时打开；和一盖子上锁/解锁单元，其通过使用由所述电源单元提供的电源将盖子上锁或解锁；及

所述存储侧通信控制单元依照由所述存储侧接收单元通过两电源-信号连接接收到的控制信号，来控制所述盖子上锁/解锁单元以将盖子上锁或解锁。

7. 如权利要求3所述的钱币验证装置，其特征在于：

所述钱币存储单元进一步包括一个电流引入单元，其依照由存储侧通信控制单元产生的存储单元信息信号，通过两电源-信号连接中的一个，引入一电流以传输信号；及

所述钱币验证单元进一步包括一个验证侧接收单元，其基于两电源-信号连接中一个的电压，探测从所述电流引入单元传输来的信号。

8. 如权利要求3所述的钱币验证装置，其特征在于：

所述验证侧通信控制单元产生的钱币信息信号是编码成归零码格式的信号。

9. 权利要求8所述的钱币验证装置，其特征在于：

所述验证侧通信控制单元包括验证侧信号编码装置，其用于将钱币

信息信号输出至所述电源转换单元之前，将钱币信息信号从非归零码格式编码成归零码格式。

10. 如权利要求 8 钱币所述的钱币验证装置，其特征在于：  
所述存储侧通信控制单元包括存储侧信号解码装置，其用于在将所述存储侧接收单元输出的钱币信息信号从归零码格式解码成非归零码格式。

11. 如权利要求 7 所述的钱币验证装置，其特征在于：  
所述存储侧通信控制单元产生编码成归零码格式的存储单元信息信号。

12. 如权利要求 11 所述的钱币验证装置，其特征在于：  
所述存储侧通信控制单元包括存储侧信号编码装置，其用于在将存储单元信息信号输出至所述电流引入单元之前，将存储单元信息信号从非归零码格式编码成归零码格式。

13. 如权利要求 11 所述的钱币验证装置，其特征在于：  
所述验证侧通信控制单元包括验证侧信号解码装置，其用于将所述验证侧接收单元输入的存储单元信息信号从归零码格式解码成非归零码格式。

14. 如权利要求 3 所述的钱币验证装置，其特征在于：  
所述钱币存储单元包括一个电源极性标准化单元，该单元用来标准化从所述钱币验证单元经由两电源-信号连接提供的电压极性。

15. 如权利要求 14 所述的钱币验证装置，其特征在于：  
电源极性标准化单元包括一二极管桥电路，该桥电路具有被提供两电源-信号连接之间电压的第一和第二终端；一第三终端，用于根据提供的电压输出一正极电压的，和一第四终端，用于根据提供的电压输出一负极电压。

16. 如权利要求 2 所述的钱币验证装置，其特征在于：  
当所述钱币存储单元从钱币验证单元卸下时，钱币存储单元可通过提供在所述钱币存储单元中的两连接终端，连接至一收集装置，而不是所述钱币验证装置。

## 钱币验证装置

### 技术领域

本发明涉及一种钱币验证装置，其用于诸如投币机，自动贩卖机等游戏机中。

### 背景技术

通常的，一种钱币验证装置已被共知。该钱币验证装置具有一钱币验证单元，其用于验证自游戏机等钱币插入槽插入的钱币，和一钱币存储单元，其用于存储已被钱币验证单元判断为真，且被其释放的钱币。在这样的钱币验证装置中，钱币存储单元可以很容易的从钱币验证装置主体上拆卸下来。因此，当钱币被存储在钱币存储单元中时，存储有钱币的钱币存储单元可以被取出和运送。

作为相关技术，公开号为 JP-A-8-123991 的日本专利揭示了一种具有一盖子的钱币存储单元，该盖子位于钱币存储单元的钱币取出口上，且该盖子自动锁上以防止在运输过程中很容易地将钱取出。带有这种钱币存储单元的钱币验证装置利用马达或线圈作为功率源，其用于将位于钱币存储单元的钱币取出口上的盖子上锁和解锁。此外，当用于钱币存储单元功能的驱动源直接提供在钱币存储单元中时，需要给驱动源提供电源，且该电源通过位于钱币验证装置的主体和钱币存储单元上的连接终端提供。

此外，在该钱币验证装置中，为了确定后来在钱币存储单元运输过程中钱币存储单元里面的钱币是否丢失，来自钱币存储单元的钱币信息有时直接储存在钱币存储单元中，其中钱币信息为存储的钱币的种类和数量。通常，通过位于钱币验证装置主体上的钱币验证单元识别钱币，获得存储在钱币存储单元中的钱币信息，且该钱币信息存储在内置于钱币存储单元中的不稳定存储器等中。

从而，通过位于钱币验证装置主体和钱币存储单元上的连接终端，将表示这些钱币信息的信号从钱币验证单元提供给钱币存储单元。此外，

例如，通过位于钱币存储单元上的连接终端，利用安装在用于收集钱币的位置的计算机，将存储的钱币信息读出。

这样，当钱币存储单元本身变得具有更高性能时，该钱币存储单元具有信息存储功能和对钱币验证装置更高功能做出请求响应的马达，需要用来实现传输和接收来回于钱币验证装置主体中的电源和信号的连接终端数目在增加。

另一方面，存在这样一个问题：连接终端的数目增加导致整个装置的可靠性降低。也就是说，如果有任一个终端故障时，例如，当钱币存储单元的盖子不能开启时，整个钱币验证装置不可使用，进一步，安装有钱币验证装置的游戏机或者自动贩卖机也不能使用。考虑到可靠性分析，这种装置建立了一个毫无冗余的串行系统。在这种情形下，整个装置的可靠性一般是关于单个终端的可靠性的乘积。当单个终端的可靠性是相同时，整个装置的可靠性是每个终端到终端数目的电源的可靠性。因此终端数目的增加对整个装置的可靠性造成很大影响。

此外，由于为了使得钱币存储单元能够安全地便携，里面的钱币不能容易的取出，该钱币存储单元由坚固刚硬的材料制成，所以该单元相当重量，当钱币存储单元安装到钱币验证装置主体上时，操作员经常用很大的力量给它提供动力或者压力。此外，在游戏机里等等，由于堆积在钱币存储单元中的游戏币和现金经常要收集，不容易使钱币存储单元的终端接触点的寿命等于其它电子元件的可靠性。从而，考虑到在钱币验证装置中的可靠性，钱币存储单元的连接终端经常产生瓶颈效应。

#### 发明内容

本发明考虑到上述情况已被实现。本发明的目的在于当钱币验证装置具有更好的性能的时，防止与钱币验证装置的故障相关的可靠性恶化。

为了解决所描述的问题，依照本发明的一方面钱币验证装置包括：一钱币验证单元，用于验证从外部提供的钱币的真假；一可拆卸的钱币存储单元，用于存储已被所述钱币验证单元判断为真的钱币；其中，当钱币验证单元电连接至所述的钱币存储单元时，钱币验证单元通过两电源-信号连接将电源和钱币信息信号提供给钱币存储单元，该钱币信息信

号表示要存到所述钱币存储单元中的钱币的信息。

依照本发明，电源-信号连接合成为两个，通过该连接，钱币验证单元向钱币存储单元执行电源提供和信息信号传输。通过这两个电源-信号连接，钱币存储单元能够接收到电源和钱币信息信号。也就是说，在钱币验证装置中，钱币存储单元只需要两套线路来接收电源和来自钱币验证单元的传输信息。这样，通过抑制具有特定限度的可靠性的连接终端的使用数目，抑制了整个钱币验证装置的可靠性恶化。

本申请中，“钱币”意味着一种用于交换产品的媒介，或者是用于游戏的一种可携带媒介。因此，“钱币”不仅包括有政府发行的钞票和硬币，比如，还包括只存在于特殊游戏厅的游戏币。

此外，“两电源-信号连接”是指电源和信号的提供是由两个电连接完成的。例如，本发明也包括这样的情况：通过在钱币存储单元机壳和钱币识别单元机壳之间的接触，而没有使用特殊的连接终端，导线，或相似的，它们中的一个被电连接以使机壳接地；且另一个通过连接终端或一导线连接。

#### 附图说明

图 1 本发明为依照本发明的第一实施例的钱币验证装置的外观图；

图 2 本发明为依照本发明的第一实施例的钱币验证装置的外观图，其中钱币存储单元与该钱币验证装置相分离；

图 3 为依照本发明的第一实施例的钱币验证装置中的钱币存储单元的外观图；

图 4 为依照本发明的第一实施例的钱币验证装置中的控制电路的方框图；

图 5 为依照本发明的第一实施例的钱币验证装置中的钱币验证控制电路的电路图；

图 6 为依照本发明的第一实施例的钱币验证装置的钱币存储控制电路的电路图；

图 7 为依照本发明的第一实施例的钱币验证装置中的各个控制电路的信号波形图；

图 8 为在本发明的第一实施例的钱币验证装置中，验证侧主控处理的流程图；

图 9 为在本发明的第一实施例的钱币验证装置中，验证侧信号编码处理的流程图；

图 10 为在本发明的第一实施例的钱币验证装置中，存储侧信号解码处理的流程图；

图 11 为在本发明的第一实施例的钱币验证装置中，存储侧主控处理的流程图；

图 12 为依照本发明的第二实施例的钱币验证装置中的控制电路的方框图；

图 13 为依照本发明的第二实施例的钱币验证装置的钱币验证控制电路的电路图；

图 14 为依照本发明的第二实施例的钱币验证装置的钱币存储控制电路的电路图；

图 15 为依照本发明的第二实施例的钱币验证装置的各个控制电路的信号波形图；

图 16 为在本发明的第二实施例的钱币验证装置中，存储侧信号解码处理的流程图；

图 17 为在本发明的第二实施例的钱币验证装置中，验证侧信号解码处理的流程图；

图 18 显示了依照本发明的第三实施例的钱币验证装置的钱币存储单元和收集装置；及

图 19 为依照本发明的第三实施例的钱币验证装置的方框图。  
具体实施方式

在下文中，参照附图详细描述本发明的实施例。在这些实施例中，本发明应用于一钱币处理装置。

图 1 显示了依照本发明的第一实施例的作为钱币验证装置的钱币处理装置 11 的外观。本发明钱币处理装置 11 包括一钱币验证单元 13，其用于识别钱币真假；一钱币存储单元 15，其用于堆放及存储大量钱币；

及一个主体单元 17，其用于收容该钱币存储单元 15。钱币存储单元 15 可装至主体单元 17 上或自该主体单元 17 卸下。该钱币验证单元 13 具有一钱币接收口 19，其用于接收从装有该钱币处理装置 11 的游戏机，自动贩卖机等等的外部塞入钱币。

图 2 为该钱币处理装置 11 的外观图，其中，钱币存储单元 15 与该钱币处理装置 11 相分离。在钱币存储单元 15 中，具有一把手 23，其用于运送时提携钱币存储单元 15。该把手 23 也用来当将钱币处理单元 15 安装到主体单元 17 上和将钱币处理单元 15 自主体单元 17 卸下时抓住钱币存储单元 15。此外，钱币存储单元 15 有一个钱币存储口 21，其在钱币验证单元 13 判断塞入的钱币是真钞后，将该钱币传输至钱币存储单元 15 的内部。再次，钱币存储单元 15 具有一盖子 25，其在将钱币从钱币存储单元 15 中取出时使用。

钱币验证单元 13 有一内置的钱币验证控制电路板 27。一钱币验证控制电路 110（见图 4）安装在钱币验证控制电路板 27 上，该电路用于控制运送钱币的马达的驱动，用于通过探测来自钱币识别传感器的信号来判断钱币的真伪，和用于将信号传输给钱币存储单元 15。

主体单元 17 包括连接终端 33 和 35。通过两根电源-信号线 29 和 31，钱币验证控制电路板 27 和连接终端 33, 35 相互连接。每个连接终端 33, 35 由一由导电性材料制成的棒状突起构成，并且当其压入主体单元 17 的内部时其是可活动的，而它们中的每一个被用力按向由一个内置的弹性元件突出而成的突起的那一面。

图 3 显示了从有把手的相对面来看的钱币存储单元 15。钱币存储单元 15 有一内置的钱币存储控制电路板 39。在该钱币存储控制电路板 39 中安装有一个钱币存储电路 210（参见图 4），其用于监测钱币存储单元 15 的状态，和存储关于存储钱币的种类和数量的钱币信息。

此外，钱币存储单元 15 包括连接终端 45 和 47，钱币存储电路板 39 和连接终端 45,47 通过两电源-信号线相互连接。每个连接终端 45,47 为由导电材料制成的椭圆形平板。当钱币存储单元 15 安装到主体单元 17 时，平板连接终端 45 和 47 分别挤压位于主体单元 17 上突出的连接终端 33

和 37，从而产生电连接。因为平板连接终端 45 和 47 与突出的连接终端 33 和 37 相挤压且通过弹性元件加强（参见图 2），从而保持很好的连接。

如上所述，位于主体单元 17 侧的连接终端 33 和位于钱币存储单元 15 侧的连接终端 45 形成了第一套连接器，而位于主体单元 17 侧的连接终端 35 和位于钱币存储单元 15 侧的连接终端 47 形成了第二套连接器。通过这两套连接终端的连接，位于钱币验证单元 13 侧的钱币验证控制电路板 27 和位于钱币存储单元 15 侧的钱币存储控制电路板 39 通过电源-信号线 29、41 和电源-信号线 31、43 而连接。

由于连接终端具一固定的故障率，通过利用如上所述的一个连接终端来提供电源和信号传输，抑制了连接终端数目的增加，提高了整个钱币处理装置 11 的可靠性。

接下来，描述钱币处理装置 11 的操作。钱币处理装置 11 通常都是安装在诸如投币式游戏机、兑零钞机、自动贩卖机等等游戏机的机壳内，且钱币接收口 19 的一部分伸出游戏机等机壳。当通过钱币接收口 19 塞入钱币时，通过控制安装在钱币验证控制电路板 27 上的钱币验证控制电路 110，钱币存储单元 15 驱动内置马达，且将该钱币吸入其中。此时，来自传感器 122（见图 4）的信号被钱币验证控制电路 110 探测到，且与事先存储的真钞数据进行比较，以判断钱币是真钞还是假钞。

作为以上判断的结果，当判断钱币为假币时，钱币验证单元 13 把塞入的钱币退回到钱币接收口 19。另一方面，在判断钱币为真币时，验证单元 13 将塞入的钱币从钱币存储口 21 传输到钱币存储单元 15。钱币存储单元 15 以堆叠的方式将传送来的钱币存储于其中。

当验证单元 13 将已判断为真的钱币从钱币存储口 21 传送至钱币存储单元 15 时，关于传输钱币种类的信息从钱币验证控制电路 110（参见图 4）传输至钱币存储单元 15 的钱币存储控制电路 210。在钱币存储控制电路 210 中，已存储在钱币存储单元 15 中的钱币的种类和数量被累积存储。

当取出存储在钱币存储单元 15 中的钱币时，钱币存储单元 15 从主体单元 17 上拆卸下来。盖子 25 通常被一线圈 286（参见图 6）锁上，该

盖子在取出存储在钱币存储单元 15 中的钱币时打开。然而，当一个密码信号通过连接终端 45 和 47 从钱币存储单元 15 的外部输入时，钱币存储单元 15 中的钱币存储控制电路 210 驱动线圈 286 打开盖子 25。

此外，当取出存储在钱币存储单元 15 中的钱币时，关于存储在钱币存储单元 15 中的钱币种类和数目的信息，能通过连接终端 45 和 47 从钱币存储单元 15 的外部读出，其中这些信息已存储在钱币存储控制电路 210 中。因此，无论由钱币验证单元 13 验证是否为真的钱币，还是实际存储在钱币存储单元 15 中的钱币都能确认。此外，在钱币存储单元 15 运输过程中丢失钱币的这种最坏的情况下，也能知道丢失钱币的种类和数目。

接下来，参照图 4 的方框图，描述用于控制钱币处理装置 11 的控制电路结构。

钱币验证控制电路 110 安装在钱币验证单元中，该验证电路用于执行与钱币存储单元通信的控制。钱币验证控制电路 110 包括一验证侧通信控制单元 120，其用于产生通信数据等；一电源转化单元 150，其连接到验证侧通信控制单元 120；及一诸如光电传感器和磁传感器的传感器 122，其用于探测通过钱币接收口提供的钱币状态。

验证侧通信控制单元 120 由微型计算机单元（MCU，所谓的“微电脑”）和软件（程序）组成，在 MCU 中，CPU（中央处理单元）、ROM、RAM 等集成在一 IC 中。CPU 依照内置 ROM 中存储的程序，与 RAM，IO 端口，串行接口一起执行处理。因此，验证侧通信控制单元 120 产生传输给钱币存储控制电路 21 的钱币信息，例如钱币的种类和数目。

此外，验证侧通信控制单元 120 有一验证侧主控单元 121 和一验证侧信号编码单元 123，其作为由 MCU 和程序来实现的功能模块。验证侧信号编码单元 121 执行串行格式转换，以将钱币信息转换为能够串行传输的信号。此外，验证侧信号编码单元 123 将转化为串行格式的钱币信息信号转化成为 RZ（归零）编码格式的脉冲信号。

电源转换单元 150 由电流驱动的运算放大器或电平移相器构成，并依照验证侧信号编码单元 123 产生的脉冲信号来提供/停止输出电流。

电源转换单元 150 的一个输出连接至连接终端 33，另一个输出连接

至连接终端 35 作为接地信号。

钱币处理装置的钱币存储单元中具有钱币存储控制电路 210，其用于接收来自钱币验证单元的数据并记录该数据。钱币存储控制电路 210 具有一电源单元 250，一数据记录单元 260，一存储侧接收单元 270，和一盖子上锁/解锁单元 280。

电源单元 250 由一二极管，三终端调节器等构成。电源单元 250 仅从通过电源-信号线从连接终端 45 提供的信号成分和信号成分的混合电压中析取出电压成分，且将一稳定电压提供给位于钱币存储控制电路 210 中的存储侧通信控制单元 220 等。

存储侧接收单元 270 由二极管，光电耦合器等构成。存储侧接收单元 270 仅从通过电源-信号线从连接终端 45 提供的信号成分和信号成分的混合电压中析取出信号成分。特别的，当混合电压等于或大于预定值时，存储侧接收单元 270 输出高电平；当混合电压等于或小于预定值时，其输出低电平。

存储侧通信控制单元 220 是由微型计算机单元（MCU，所谓的“微电脑”）和软件（程序）组成的，且其中的 CPU（中央处理单元）、ROM、RAM 等集成在一 IC 上。存储侧通信控制单元 220 接收电源单元 250 提供的电源，且与数据记录单元 260，存储侧接收单元 270，盖子上锁/解锁单元 280 相连接。

内置 CPU 根据存储在内置 ROM 的程序，与 RAM、IO 输入输出、串行接口一起执行处理。因此，存储侧通信控制单元 220 将 RZ 码格式的脉冲信号转换为 NRZ（非归零）码格式的串行格式钱币信息信号，其中，RZ 码格式的脉冲信号来自存储侧接收单元 270，且将会在后面描述。

在这儿，“NRZ（非归零）”为用于数据通信的一种码传输系统，且其作为一种非归零码格式：当数据为“1”时信号脉冲是高电平，当数据为“0”时信号脉冲是低电平，且信号电平在一单位时隙内不变。相反，“RZ（归零）”为一归零码格式，其中信号脉冲的电平在一单位时隙内回复至参照电平。

此外，存储侧通信控制单元 220 具有一存储侧主控单元 221 和一存

储侧信号解码单元 225，以作为由 MCU 和程序实现的功能模块。存储侧主控单元 221 接收串行格式的钱币信息信号，并控制数据记录单元 260 存储该信号。

数据记录单元 260 由诸如 EEPROM 或闪存的稳定存储器构成，且连接至存储侧通信控制单元 220。数据记录单元 260 存储从存储侧通信控制单元 220 的存储侧主控单元 221 输出的数据，且进一步将由存储侧主控单元 221 读出的数据输出。

如上所述的，由于钱币验证控制电路 110 包括电源转换单元 150，钱币存储控制电路 210 包括一电源单元 250 和一存储侧接收单元 270，因此只需包括地线的两条电源-信号线，其中，电源转换单元 150 用于实现输出电流的提供/停止，该输出电流根据脉冲信号通过电源-信号线而提供；该电源单元 250 仅从通过电源-信号线提供的混合成分中析取电源成分，以实现稳定电压的提供；该存储侧接收单元 270，仅析取通过电源-信号线提供的混合成分中的信号成分。因此，仅需要两套连接终端 33、45、35 和 47，从而防止了具有预定故障率的连接终端数目的增加，从而，提高了整个钱币处理装置 11 的可靠性。

此外，盖子上锁/解锁单元 280 连接至钱币存储控制电路 210，该单元由一个线圈和用于控制驱动的控制电路构成。盖子上锁/解锁单元 280 连接到存储侧通信控制单元 220，并且驱动锁机械装置，以根据来自存储侧通信控制单元 220 的控制信号将位于钱币存储单元 15 上的盖子 25 上锁/解锁。因此，即使在钱币存储单元 15 从钱币处理装置 11 的主体单元 17 上卸下的情况下，可执行上锁控制，以防止盖子 25 意外地打开。

接下来，参照图 5 和图 6 的电路图，详细描述用于控制钱币处理装置的控制电路的结构。

参照图 5，验证侧通信控制单元 120 由微型计算机单元（MCU，称为“微电脑”）和软件（程序）构成。在 MCU 中，一 CPU（中央处理单元）126，其用于根据程序读出、写入、操作数据；一用于存储程序的 ROM128，一用于存储操作数据的 RAM127，一串行输出接口 129（在下文中，也称为串行 OUT IF），其用于将数据转换成特殊串行格式且将其

输出至终端；一 IO 端口 A130；一 IO 端口 B131；及一 IO 端口 C132（在下文中，分别指 PA,PB,PC）以被总线 133 连接的状态集成在一 IC 中。

CPU126 根据存储在内置的 ROM128 中的程序，与 RAM127 和串行输出接口 127 一起执行处理，因此，验证侧通信控制单元 120 实现了验证侧主控单元 121（图 4），其用于产生有关将要传输至钱币存储控制电路 210 钱币的诸如种类和数目的钱币信息，用于将钱币信息进行编码，和用于实现串行格式转换以使钱币能够信息串行输出。

串行输出接口（串行 OUT IF）129 由移位寄存器和时钟频率除法器构成，且将步调同步系统的串行格式信号以在 EIA/TIA-232(RS-232)定义的相同定时输出。

例如，当验证侧主控单元 121 以十六进制传输数据“86”时，CPU126 将数据“86”写入串行输出接口 129。然后，串行输出接口 129 以来自 MSB 的相同间隔输出“0100001101”的值，这些值通过在“10000110”前端增加一个起始位‘0’，且在其后端增加一个停止位‘1’而生成，在“10000110”中，数据被替代为二进制数。

从而，如图 7 所示，串行输出接口 129 的输出信号 SA 的波形变为“LHLLLHHLH”。在这里，“H（高电平）”是相对于数据“1”的 5V 电压，“L（低电平）”是相对于数据“0”的 0V 电压。当信号输出的比特率定时在 300b/s 到 9600b/s 之间时，具有低比特误差的数据传输可通过一简单的电路结构实现。此外，在 600b/s 至 2400b/s 的范围中，比特误差变小，且能够获得适当的数据传输速度。

串行输出接口 129 的输出信号 SA 输入到 IO 端口 B131。此时，CPU126 根据存储在内置 ROM 中的程序，与 RAM127、IO 端口 B131、和 IO 端口 C132 一起执行处理，从而，验证侧通信控制单元 120 实现了验证侧信号编码单元 123（图 4），其用于将编码格式编码成 RZ 归零码格式。

仅当输入 IO 端口 B131 的信号电平改变时，验证侧信号编码单元 123 在一短的持续时间内将一低电平信号输出至 IO 端口 C132，然后，将一高电平信号输出到 IO 端口 C132。

因此，例如，当输入如图 7 所示的信号 SA 波形的输入信号时，关于

输出到 IO 端口 C132 的输出信号 SB 的波形，只有在输入信号改变的点才会在短持续时间内输出低电平脉冲，在其它期间输出高电平。

电源转换单元 150 包括一电平移相器 151，其与 12V 电源连接且能输出电流；和一电阻 152，其与电源转换单元的输出串联。验证侧通信控制单元 120 的 IO 端口 C132 与电平移相器 151 的输入端相连接。电阻 152 的电阻大约 100 欧姆，其将用于电源的适当的阻抗提供给电源-信号线。

通过这些配置，例如，电源转换单元 150 的输出信号 SC 的波形相对于图 7 中显示的 SB 的信号波形输入，其波形与信号 SB 的波形相似，但高电平电压变成大约 12v。

通过电源-信号线 29、连接终端 33、连接终端 45（图 6）、和电源-信号线 41，将电源转换单元 150 的输出传输至钱币存储控制电路 210。同样，通过电源-信号线 31、连接终端 35、连接终端 47（图 6）、和电源-信号线 43，将地线连接至钱币存储控制电路 210。

参照图 6，电源-信号线 41 连接电源单元 250 和存储侧接收单元 270。

在电源单元 250 中，电源-信号线 41 连接至二极管 251 的阳极以防止电流逆流，并且二极管 251 的阴极通过滤波电容 252 接地。此外，二极管 251 的阴极通过二极管 253 连接至三终端调节器 254 的输入，且三终端调节器 254 的输出通过寄存器 256 和二极管 257 变为电源单元 250 的输出，且该调节器的输出连接到辅助电源电池 258 的正极。

当从钱币验证控制电路 110 提供给电源单元 250 的电源电压是高电平时，也就是大约 12V 时，电流从二极管 251 的阳极流到阴极，以给电源单元 250 的电容 252 充电。另一方面，当电源电压为低电平时，也就是大约 0V 时，充入电容 252 中的电荷绝对不会通过二极管 251 流动。因此，即使当提供给电源单元 250 的电源电压在一短的持续时间内是低电平时，电容 252 的电压也绝对不会突变。电源电压被例如三终端调节器 254 转变成例如 5V 的恒定电压，然后输出。也就是说，如图 7 所示的信号 SC，即使当电源单元 250 的输入电压在高电平和低电平之间变化以传输信号时，输出电压 SD 保持一恒定值，并提供稳定的电源。

从而，只有电源成分可从通过电源-信号线 41 提供的电源成分和信号

成分中取出。

在存储侧接收单元 270 中,电源-信号线 41 通过寄存器 271 和二极管 272 连接到位于一光电耦合器 273 中的 LED (发光二极管) 的阳极。LED 根据光电耦合器 273 里面流过电流在光电耦合器 273 内发光。此外,位于光电耦合器 273 中的光电晶体管接收该产生的光,以相应于该接收的光产生一电流。光电晶体管的发射极通过作为阻抗元件的寄存器 274 接地,以将电流转换为存储侧接收单元 270 的输出电压。位于光电耦合器 273 中的 LED 的阴极和光电晶体管的集电极连接到电源单元 250 的输出。

存储侧接收单元 270 的输出信号 SE 的波形与输入信号 SC 的波形相似,然而,通过光电耦合器 273,其高电平基本上与电源单元 250 的输出电平一样。从而,信号电压被转换成可被存储侧通信控制单元 220 输入的电平。此外,当确认电源是否从钱币验证控制电路提供时,电源-信号线的高电压没有直接监控,但通过光电耦合器 273 可被存储侧通信控制单元 220 输入的电平信号可被监控。

存储侧通信控制单元 220 是由一个微型计算机单元(MCU,所谓的“微电脑”)和软件(程序)构成的。在 MCU 中,一 CPU (中央处理单元) 226,其用于根据程序读出,写入,操作数据;一用于存储程序的 ROM228;一用于存储操作数据的 RAM;一串行输入接口(在下文中,也指串行 IN IF) 229,其用于转换自终端输入的一特殊串行格式的数据;一 IO 端口 A230;一 IO 端口 B231;和一 IO 端口 C232 (在下文中也分别写作 PA PB PC) 在由总线 233 连接的状态下集成在一 IC 中。由开关等形成的传感器 237、238 也连接在存储侧通信控制单元 220,这些传感器用于探测钱币存储单元 15 从主体单元 17 上拆下和盖子 25 打开。

存储侧接收单元 270 的输出输入到 IO 端口 C232。在这里,根据存储在内置 ROM128 中的程序,CPU226 与 RAM127、IO 端口 B231、IO 端口 C232 一起执行处理。因此,存储侧通信控制单元 220 实现了存储侧信号解码单元 225 (图 4),其用于将输入信号的编码格式从 RZ 码格式转换为 NRZ 码格式。

当输入到 IO 端口 C232 的信号电平变成低电平时,存储侧信号解码

单元 225 反转 IO 端口 B231 的输出电平。

因此，例如，在如图 7 所示的信号 SE 的波形的输入信号输入的情况下，仅当在输入信号中存在一低电平的脉冲时，去往 IO 端口 B231 的输出信号 SF 的波形反转。

结果，输出信号 SF 的波形变成和信号 SA 的波形一样。此外，在存储侧信号解码单元 225 的操作中，可监控电源是否从钱币验证控制电路提供。

根据存储在内置 ROM 中的程序，CPU226 与 RAM127、串行输入接口 229 一起执行处理，因此，存储侧通信控制单元 220 实现了存储侧主控单元 221（图 4），其用于将以串行格式传输的信号解码成诸如钱币信息的数据。

串行输入接口 229 由移位寄存器构成，且以 EIA/TIA-232(RS-232) 标准中定义的相同定时，将步调同步系统的串行格式信号解码。

例如，如图 7 所示，当从存储侧信号解码单元 225 输出的信号 SF 是“LHLLLLHHLH”时，通过除了前端停止位 L 和后端停止位 H 外从 MSB 上通过一定间隔连续捕捉，获得十六进制的数据“86”。

参照图 4 至 6，如上所述，由验证侧主控单元 121 发送的数据“86”通过连接终端 33,45 和电源-信号线 29,41 由存储侧主控单元 221 接收。此外，获得的数据写入存储器接口 235 中。存储器 IF235 与组成数据纪录单元 260 的外部存储器 261 进行通信，且允许外部存储器 261 存储写入的数据。当获得的数据是关于盖子 25 上锁或解锁的指令时，存储侧主控单元 221 通过将数据写入 IO 端口 A230 来控制连接到 IO 端口 A230 的盖子上锁/解锁单元 280 的晶体管 282，并驱动线圈 286 来对盖子上锁和解锁。

如上所述，数据被转换成串行格式，从而，能用两条线传输。此外，串行格式转换的信号被转换成 RZ 码格式，且与此相应，通过执行信号传输，在保持电源单元 250 的输出波形平稳时，可同时进行电源和信号传输。在该信号传输过程中，由电源转换单元 150 输出的电源电平仅在一段的持续时间内变为低电平，该持续时间与电源单元 250 的滤波电容 252

的时间常数有关。此时，在当信号传输到电源-信号线时，电压脉冲的低电平持续时间在 20ps 和 10ns 之间的情况下，电压单元 150 的输出波形的平稳性能保持很好。而且，在 50ps 和 2ns 之间时平稳性变得更好。

接下来，参照图 8 中的流程图描述：基于存储在 ROM128 中的程序，由验证侧通信控制单元 120 中的 CPU126 执行的验证侧主控制处理。

首先，在步骤 S10 中，CPU126 对塞入的钱币进行分析处理。例如，通过读出传感器 122 上的数据，且将其与存储在 ROM 中的参照值相比较，而执行钱币识别处理。

然后，根据上述分析处理的结果，判断塞入的钱币是否为真（步骤 S11）。当塞入的钱币判断为假时，CPU126 跳到步骤 S10。另一方面，当塞入的钱币判断为真时，CPU126 跳到步骤 S12。

在步骤 S12 中，CPU126 将钱币传送至钱币存储单元 15，并传输钱币信息。特别的，CPU126 将来自分析结果的钱币种类的信息写进串行输出接口 129。然后，CPU126 跳到步骤 S10。

接着，参照图 9 中的流程图描述：基于存储在 ROM128 中的程序，由验证侧通信控制单元 120 中的 CPU126 执行的验证侧信号编码处理。

首先，在步骤 S20 中，CPU126 探测 IO 端口 B131 的输入信号。特别的，CPU126 读出 IO 端口 B131 的数据。

然后，在步骤 S21 中，CPU126 从先前的探测结果辨别 IO 端口 B131 的输入信号电平是否已经改变。

当从先前的探测结果判断 IO 端口 B131 的输入信号电平没有改变时，CPU126 跳到步骤 S20。另一方面，当从先前的探测结果判断 IO 端口 B131 的输入信号电平改变时，CPU126 跳到步骤 S22。

在步骤 22 中，CPU126 将 IO 端口 C132 变为低电平。随后，CPU126 等待该处理一固定的脉冲持续时间（步骤 S23）。接着，CPU126 使得 IO 端口 C132 的输出变成高电平（步骤 S24）。然后 CPU126 跳到步骤 20。

通过这些处理，仅当输入到 IO 端口 B131 的串行通信信号反转时，验证侧通信控制单元 120 才在一特定短的持续时间内输出低电平脉冲。从而，执行了将 NRZ 格式信号转换为 RZ 格式信号的处理。

接下来，参照图 10 所示的流程图描述：基于存储在 ROM228 中的程序，由存储侧通信控制单元 220 中的 CPU226 执行的存储侧信号解码处理。

首先，在步骤 S30 中，CPU226 辨别 IO 端口 C232 的输入信号电平是否为低电平。当在步骤 S30 中判断 IO 端口 C232 的输入信号电平不是低电平时，CPU226 重复步骤 S30 步的处理。另一方面，当在步骤 S30 中判断 IO 端口 C232 的输入信号电平为低电平时，CPU226 跳到步骤 S31 处理。

在步骤 S31 步中，CPU226 将 IO 端口 B231 的输出电平反转。特别的，通过总线 233 和读出值的逻辑电平的反转操作，CPU226 读出 IO 端口 B231 的输出数据，然后再次将反转的数据写入 IO 端口 B231。

经过这些处理，存储侧通信控制单元 220 可将输入到 IO 端口 C232 的 RZ 码格式的脉冲信号转换成 NRZ 码格式的信号。

接下来，参照图 11 中的流程图描述：基于存储在 ROM128 中的程序由存储侧通信控制单元 220 中的 CPU226 执行的存储侧主控制处理。

首先，CPU226 在步骤 40 中辨别是否接收到钱币信息。特别的，CPU226 读出串行输出接口 229 的值，并将其与表示目前钱币信息的系列值比较。当判断没有接收到钱币信息时，CPU226 重复步骤 40 的操作。另一方面，当判断已接收到钱币信息时，CPU226 跳到步骤 S41 执行操作。

在步骤 41 中，CPU226 记录接收到的钱币信息。特别的，CPU226 将接收到的钱币信息写入到存储器接口 235。从而，要存储到钱币存储单元 15 中的钱币信息被存储到钱币存储控制电路 210 中。

接下来，描述本发明的第二实施例。

在依照本发明的第二实施例的作为货币验证装置的钱币处理装置中，除了在图 1 中显示的从钱币验证单元 13 到钱币存储单元 15 数据传输外，还执行了从钱币存储单元 15 到钱币验证单元 13 的数据的信号传输。

参照图 12 中的方框图，描述用于控制第二实施例的控制钱币处理装置的控制电路结构。

钱币处理装置 11 中的钱币存储单元 15 包括一钱币存储控制电路 1210，其用于接收来自钱币验证单元 13 的数据，且记录该数据。钱币存储控制电路 1210 与上述第一实施例中的钱币存储控制电路 210 相似的地方在于：电路 1210 具有一电源单元 1250，一数据记录单元 1260，一存储侧接收单元 1270，和一盖子上锁/解锁单元 1280。

然而，第二实施例中的钱币存储控制电路 1210 与上述第一实施例中的钱币存储控制电路 210 不同的地方在于：存储侧通信控制单元 1220 具有一存储侧信号编码单元 1223，和钱币存储控制电路 1210 进一步包括一电流引入单元 1300 和一电源极性标准化单元 1290。

接下来，第二实施例将重点描述作为不同点的电源极性标准化单元 1290，存储侧信号编码单元 1223 和电流引入单元 1300。

电源极性标准化单元 1290 由二极管桥构成的。因为电源极性标准化单元 1290 位于钱币存储控制电路中，即使连接终端 33 和 35 与连接终端 45 和 47 错误对接时，输入到电源单元 1250 和存储侧接收单元 1270 的电压极性变成相同的常数。从而，当具有这种形式的连接终端可能像电缆连接器那样反向连接时，电路元件也绝不会损坏。因此，提高了与钱币处理装置 11 故障有关的可靠性。

此外，存储侧通信控制单元 1220 由微型计算机单元（MCU，所谓的“微电脑”）和软件（程序）构成，在其中，CPU（中央处理单元）、ROM、RAM 等等集成在一 IC 中。CPU 与内置 RAM、IO 端口、串行接口一起进行处理，从而，实现了存储侧主控单元 1221 和存储侧信号编码单元 1223。存储侧主控单元 1221 用于实现串行格式转换，以使得信息串行传输到钱币验证控制电路 1110，存储侧信号编码单元 1223 用于将上述串行格式的转换信息信号转换成 RZ 码格式的脉冲信号。

依照由存储侧通信控制单元 1220 上的存储侧信号编码单元 1223 产生的脉冲信号，通过二极管桥，电流引入单元 1300 短路连接电源-信号线以使其接地。电源-信号线由钱币验证控制电路 1110 的电源转换单元 1150 驱动，利用寄存器 1152 将阻抗加到驱动输出上。从而，在通过二极管桥，由电流引入单元 1300 引起的电源-信号线短路期间，电源-信号线的电压

基本上变为低电平。

在图 1 中显示的钱币处理装置 11 上的钱币验证单元 13 中，安装有钱币验证控制电路 1110，其用于控制与钱币存储单元 15 的通信。钱币验证控制电路 1110 与上面描述的第一实施例的钱币验证控制电路 110 的相似点在于：其包括一用于产生通信数据等等的验证侧通信控制单元 1120，和一连接至验证侧通信控制单元 1120 的电源转换单元 1150。然而，第二实施例的钱币验证控制电路 1110 的不同点在于：钱币验证控制电路 1110 包括一验证侧接收单元 1160。

验证侧通信控制单元 1120 是由微型计算机单元（MCU，所谓的“微电脑”），和软件（程序）构成的，在微型计算机单元中，一 CPU（中央处理单元）、ROM、RAM 等等集成在一 IC 中。CPU 依照存储在内置 ROM 中的程序，与内置 RAM、IO 端口、串行接口一起执行处理，从而实现了验证侧信号解码单元和存储侧主控单元 1221，其中，验证侧信号解码单元用于将来自验证侧接收单元 1160 的 RZ 码格式的脉冲信号转换成串行格式的信息信号，存储侧主控单元 1221 用于接收串行格式信息信号。

参照图 12 至 14，描述在本发明的第二实施例中控制电路结构。

对于存储侧通信控制单元 1220 中的存储侧主控单元 1221，增加了执行串行格式转换的功能，且存储侧通信控制单元 1220 进一步包括了一存储侧信号编码单元 1223，其用于转换 RZ 码格式的脉冲信号。然而，这两个单元与在本发明的第一实施例的验证侧通信控制单元 120 上的验证侧主控单元 121 和验证侧信号编码单元 123 有着相同的结构和功能。

也就是说，串行输出接口（串行 OUT IF）1229 由移位寄存器和时钟频率除法器构成，且以在 EIA/TIA-232(RS-232) 标准中定义的相同定时，执行步调同步系统的串行格式信号的输出。

例如，当存储侧主控单元 1221 传输十六进制的数据“86”时，CPU1226 将数据“86”写入串行输出接口 1229。然后串行输出接口 1229 以来自 MSB 的固定间隔连续输出值“0100001101”，该值通过在“10000110”的前端加入一起始位“0”和在末端加入一停止位“1”而得到，在“10000110”中数据被二进制数所替代。从而，如图 15 所示，串行输出接口 1229 的

输出信号 SG 的波形变为“LHLLLLHHLH”。

在此，“H（高电平）”是相应于数据“1”的 5V 电压，“L（低电平）”是相对于数据“0”的 0V 电压。当信号输出的比特率定时在 300b/s 到 9600b/s 之间时，具有低比特误差的数据传输可通过一简单的电路结构实现。此外，在 600b/s 至 2400b/s 的范围中，比特误差变小，且能够获得适当的数据传输速度。

串行输出接口 1229 的输出信号 SG 输入到 IO 端口 B1231。此时，CPU1226 根据存储在内置 ROM 中的程序，与 RAM1227、IO 端口 E1241、和 IO 端口 D1240 一起执行处理，从而，存储侧通信控制单元 1220 实现了存储侧信号编码单元 1223（图 12），其用于将编码格式编码成 RZ 归零码格式。

仅当输入 IO 端口 E1240 的信号电平改变时，存储侧信号编码单元 1223 在一短的持续时间内将一低电平信号输出至 IO 端口 D1240，然后，将一高电平信号输出到 IO 端口 D1240。

因此，例如，当输入如图 15 所示的信号 SG 波形的输入信号时，关于输出到 IO 端口 D1240 的输出信号 SH 的波形，只有在输入信号改变的点才会在短持续时间内输出低电平脉冲，在其它期间输出高电平。

接下来，参照图 14，描述在第一实施例中钱币存储控制电路 210 中没有的电流引入单元 1300。电流引入单元 1300 的输入终端通过寄存器 1301 连接到晶体管 1302 的基极。晶体管 1302 的发射极接地，它的集电极通过寄存器 1306 接到电源极性标准化单元 1290。此外，一加速电容 1307 与寄存器 1306 并联。一用于防止饱和的寄存器 1303 连结在晶体管 1302 的基极和发射极之间。这样，通过电源极性标准化单元 1290 中的一个二极管 1291，在电流引入单元 1300 的电流输出侧的线路连接到电源-信号线 41 上。

此时，当来自 IO 端口 D1240 的信号 SH 变成高电平的时候，晶体管 1302 变成开的状态，以使得电流输出侧的线路以低阻抗接地。结果，通过二极管 1291 和晶体管 1302，从电源-信号线 41 将电流导入，因此降低了电源-信号线 41 的电压。

例如，当输入如图 15 中 SH 显示波形的信号，在有着如图 15SH 的情况下，电源-信号线的信号 SI 的波形和 SH 的波形相似，然而，高电压变成大约 12V。

通过在钱币存储单元 15 连接和关闭电压，产生与第一实施例的钱币验证单元 13 上进行电压编码时相同的作用。

即使当电源-信号线 41 的电压像信号 SI 那样改变时，电源单元 1250 的电源输出信号 SJ 像在第一实施例中那样稳定的提供。从而，通过使用如图 14 所示的电源-信号线 41，电源从钱币验证单元 13 提供给钱币存储单元 15，且执行从钱币存储单元 15 提供到钱币验证单元 13 的信号传输。结果，尽管电源-信号线的数目保持在两根，且连接连接器的套数也保持在两套，但能实现从钱币存储单元 15 到钱币验证单元 13 的信号传输。

参照图 12，在第二实施例的钱币验证控制电路 1110 中，增加了验证侧接收单元 1160，其用于仅从在电源-信号线中的电源成分和信号成分的混合电压中析取信号成分。此外，在验证侧通信控制单元 1120 中，增加了验证侧信号解码单元 1125，其用于将 RZ 码格式的脉冲信号转换成 NRZ 码格式的信号，并且，在存储侧主控单元 1121 中增加了接收串行格式输入数据的处理。所有这些都与本发明第一实施例的存储侧接收单元 270，存储侧信号解码单元 225 和存储侧主控单元 221 具有相同的结构和功能。

也就是说，如图 13 所示，在验证侧接收单元 1160 中，电源-信号线 29 通过寄存器 1162 连接到光电耦合 1161 的阳极。而且，光电耦合 1161 的发射极作为验证侧接收单元 1160 的输出端连接到验证侧通信控制单元 1120 的端口 D1133。光电耦合 1161 的阴极和集电极连接到 5V 电源。

验证侧接收单元 1160 的输出信号 SK 的波形和电源-信号线 29 的输入信号 SI 的波形相似，然而，其高电平通过光电耦合 1161 变成了完全一样的 5V 电源电平。因此，信号的电压转化成了可被验证侧通信控制单元 1120 输入的电平。

验证侧接收单元 1160 的输出输入到 IO 端口 D1133。此时，在验证侧通信控制单元 1120 中，根据存储在内置 ROM1128 中的程序，CPU1126 与 RAM1127、IO 端口 D1133、IO 端口 E1134 一起进行处理，因此，实

现了验证侧信号解码单元 1125（图 12），其用于将输入信号编码格式从 RZ 码格式转换成 NRZ 码格式。

当输入到 IO 端口 D1133 的信号电平变成低电平的时候，验证侧信号解码单元 1125 将 IO 端口 E1134 的输出电平反转。

因此，例如，当输入图 15 所示的信号 SK 的波形的信号时，仅当输入信号中具有一低电平脉冲时，才将 IO 端口 E1134 的输出信号 SL 的波形反转。结果，输出信号 SL 的波形变成与信号 SG 的波形一样。然后，信号 SL 输入到串行输入接口 1135。

这样，能实现从钱币存储控制电路 1210 到钱币验证控制电路 1110 的数据传输。

接下来，参照图 16 的流程图描述：基于存储在 ROM1228 中的程序，由第二实施例中的存储侧通信控制单元 1220 的 CPU1226（图 13）执行的存储侧主控处理。

首先，在步骤 S50 中，CPU1226 探测 IO 端口 E1241 的输入信号。特别的，CPU1226 读出 IO 端口 E1241 的数据。

接着，在步骤 S51 中，CPU1226 从先前的探测结果辨别 IO 端口 E1241 的输入信号电平是否改变。当从先前的探测结果判断 IO 端口 E1241 的输入信号电平没有改变时，CPU1226 跳到步骤 S50。另一方面，当从先前的探测结果判断 IO 端口 E1241 的输入信号电平改变时，CPU126 跳到步骤 S52。

在步骤 52 中，CPU1226 将 IO 端 D1240 变为低电平。随后，CPU1226 等待该处理一固定的脉冲持续时间。在步骤 54 中，CPU1226 使得 IO 端口 D1240 的输出变成低电平。然后 CPU1226 跳到步骤 50。

通过这些处理，仅当输入到 IO 端口 E1241 的串行通信信号反转时，存储侧通信控制单元 1220 才在一特定短的持续时间内输出低电平脉冲。从而，执行了将 NRZ 格式信号转换为 RZ 格式信号的处理。

接下来，参照图 17 所示的流程图描述：基于存储在 ROM1128 中的程序，由验证侧通信控制单元 1120 中的 CPU1226 执行的验证侧信号解码处理。

首先，在步骤 S60 中，CPU1126 辨别 IO 端口 D1133 的输入信号电平是否为低电平。当在步骤 S60 中判断 IO 端口 D1133 的输入信号电平不是低电平时，CPU1126 跳到步骤 60 处理。另一方面，当在步骤 S60 中判断 IO 端口 D1133 的输入信号电平为低电平时，CPU1126 跳到步骤 S61 处理。

在步骤 S61 步中，CPU1126 将 IO 端口 E1134 的输出电平反转。特别的，CPU1126 读出 IO 端口 E1134 的输出数据，执行输出值的逻辑电平的反转操作，然后再次将反转的数据写入 IO 端口 E1134。

经过这些处理，验证侧通信控制单元 1120 可将输入到 IO 端口 D1133 的 RZ 码格式的脉冲信号转换成 NRZ 码格式的信号。

在本发明的第二实施例中，当如图 12 所示的验证侧通信控制单元 1120 通过电源转换单元 1150 将信号传输到电源-信号线时，这些信号本身也同样通过验证侧接收单元 1160 输入到验证侧通信控制单元 1120。同样地，当存储侧通信控制单元 1220 通过电流引入单元 1300 将信号传输到电源-信号线 41 时，这些信号本身也同样通过存储侧接收单元 1270 输入到存储侧通信控制单元 1220。因此，不同于来自线路另一端的信号，其接收本身输出的信号，产生了所谓的回波。为了阻止接收不必要的数据，当进行输出信号时，信号接收的操作可停止。

接下来，参照图 18，描述本发明的第三实施例。

在第三实施例中，在第二实施例中的钱币存储单元 15 从钱币验证单元 13 上卸下，连接到一收集装置 1500。

收集装置 1500 为一个继电器装置，其用于当收集存储在钱币存储单元 15 中钱币时，从终端电脑 1600 传输打开位于钱币存储单元 15 上盖子 25 的控制信号。此外，当终端电脑 1600 收集存储在钱币存储单元 15 中的钱币信息时，收集装置 1500 接收来自钱币存储单元 15 的信息信号，然后传递给终端电脑 1600。比如，通过收集装置 1500，操作员可以连接终端电脑 1600 和钱币存储单元 15，以通过终端电脑 1600 显示存储在钱币存储单元 15 中的钱币信息，然后确认存储钱币的内容。此外，操作员能够操作终端电脑 1600 以将控制信号传输给钱币存储单元 15，和打开盖

子 25 来收集钱币。

当钱币存储单元 15 安装在收集装置 1500 上时，钱币存储单元 15 的平板连接终端 45 和 47 分别按压在位于收集装置 1500 上的凸出连接终端 1580 和 1581 上，从而产生电连接。连接终端 1580，1581 通过使用各自的电源-信号线，连接到电路板 1502 上，在该主板上具有一收集控制电路 1510（参见图 19）。电路板 1502 也连接到收集装置 1500 外部的终端电脑 1600 上。

参照图 19 描述电路结构，在该电路中，第三实施例的钱币存储单元 15 安装在收集装置 1500 上。在这种情况下，利用两电源-信号线，通过连接终端 45 和 1580 之间的连接及连接终端 47 和 1581 之间的连接，用于控制钱币存储单元 15 的钱币存储控制电路 1210 与收集装置 1500 中的收集控制电路 1510 相互连接。

收集控制电路 1510 包括一收集侧通信控制单元 1520，该单元用来产生通信数据等等。一电源转换单元 1550 和一收集侧接收单元 1560 连接至收集侧通信控制单元 1520。

收集侧通信控制单元 1520 由微型计算机单元（MCU，所谓的“微电脑”）和程序构成，在 MCU 中，将 CPU（中央处理单元）、ROM、RAM 等等集成一 IC 内。根据内置 ROM 中存储的程序，CPU 与内置 RAM，IO 输入输出、串行接口一起执行处理，从而，实现了收集侧信号解码单元 1525 和收集侧主控单元 1521，其中，收集侧信号解码单元 1525 用于将来自收集侧接收单元 1560 输出的 RZ 码格式的脉冲信号转换为串行编码格式的信息信号，收集侧主控单元 1521 用于接收串行编码格式的信息信号。通过终端通信单元 1526，将信息信号传输到终端电脑 1600。

电源转换单元 1550 由电流运算放大器或者电平移相器构成，且依照脉冲信号执行输出电流的供给/停止，该脉冲信号为基于来自终端电脑 1600 的信号，由收集侧通信控制单元 1520 的收集侧信号编码单元 1523 产生的信号。

第三实施例中位于收集控制电路 1510 上的收集侧信号编码单元 1523、收集侧信号解码单元 1525、电源转换单元 1550 和收集侧接收单元

1560 与第二实施例中的钱币验证控制电路 1110 上的验证侧信号编码单元 1123、验证侧信号编码单元 1125、电源转换单元 1150 和验证侧接收单元 1160 有着相同的结构和操作。

在第三实施例中，操作员操作终端电脑 1600，且将用于打开钱币存储单元 15 的盖子 25 的控制信息信号传输给收集侧控制电路 1520。传输的控制信息信号由收集侧主控单元 1521 转换成串行数据格式。

然后，这个控制信息信号由收集侧信号编码单元 1523 进一步转换成 RZ 格式的脉冲信号。根据于这个脉冲信号，电源转换单元 1550 关闭并将电源提供连接到电源-信号线上。

另一方面，在钱币存储控制电路 1210 中，恒定电源从电源-信号线中取出，这时电源转换单元 1550 关闭且连接电源提供。此外，存储侧接收单元 1270 取出控制信号。在存储侧信号解码单元 1225 中将取出的 RZ 格式的信号转换成 NRZ 格式信号，然后传输到存储侧主控单元 1221。在存储侧主控单元 1221 中，在控制信号的正确性校验后，盖子上锁/解锁单元 1280 打开盖子 25。

此外，从钱币验证单元 13 接收的钱币数据和当钱币存储单元 15 连接到钱币验证单元 13 时存储在数据记录单元 1260 的数据，由存储侧主控单元 1221 读出并且转换成串行格式。然后，在存储侧信号编码单元 1223 中将钱币数据转换成 RZ 格式，然后传给电流引入单元 1300。电流引入单元 1300 根据转换成 RZ 格式的信号脉冲，通过一个元件将电源-信号线接地，且降低了电源电压。收集控制电路 1510 上的收集侧接收单元 1560 从降低的电源电压波形中取出信号成分。信号成分被收集侧信号编码单元 1525 转换成 NRZ 码格式的串行数据，然后经过终端通信单元 1526 传输给终端电脑 1600，从而其内容被显示出来。

如上所述，从收集装置 1500 到钱币存储单元 15 的信息传输，或相反地从钱币存储单元 15 到收集装置 1500 的信号传输，是通过使用两个电源-信号线来实现的。此外，通过使用两套连接终端的两条电源-信号线，这两条线路提供电源和信号给钱币存储单元 15。因此，对于钱币存储单元来说仅需要两连接终端，从而抑制了连接终端数目的增加，且提高了

整个装置的可靠性。

在上面提到的实施例中，验证侧信号编码单元，验证侧信号解码单元，存储侧信号编码单元，和存储侧信号解码单元是基于计算机程序由CPU的处理来实现的。然而，对软件处理没有限制，各个单元可以是由硬件组成脉冲电路和逻辑电路。例如，信号编码单元可以由一包括单稳态多路振荡器的脉冲发生电路构成。此外，信号解码单元可以由频率除法电路构成，以将信号频率一分为二。

如上所述，依照本发明，钱币验证装置的钱币存储单元可通过两电源-信号线接收到电源和钱币信息。在此，仅需两套线路，用于接收来自钱币识别单元的电源和接收传输信息。因此，通过抑制具有特定限制的可靠性的部件的使用数目，抑制与整个钱币验证装置的故障相关的可靠性恶化。

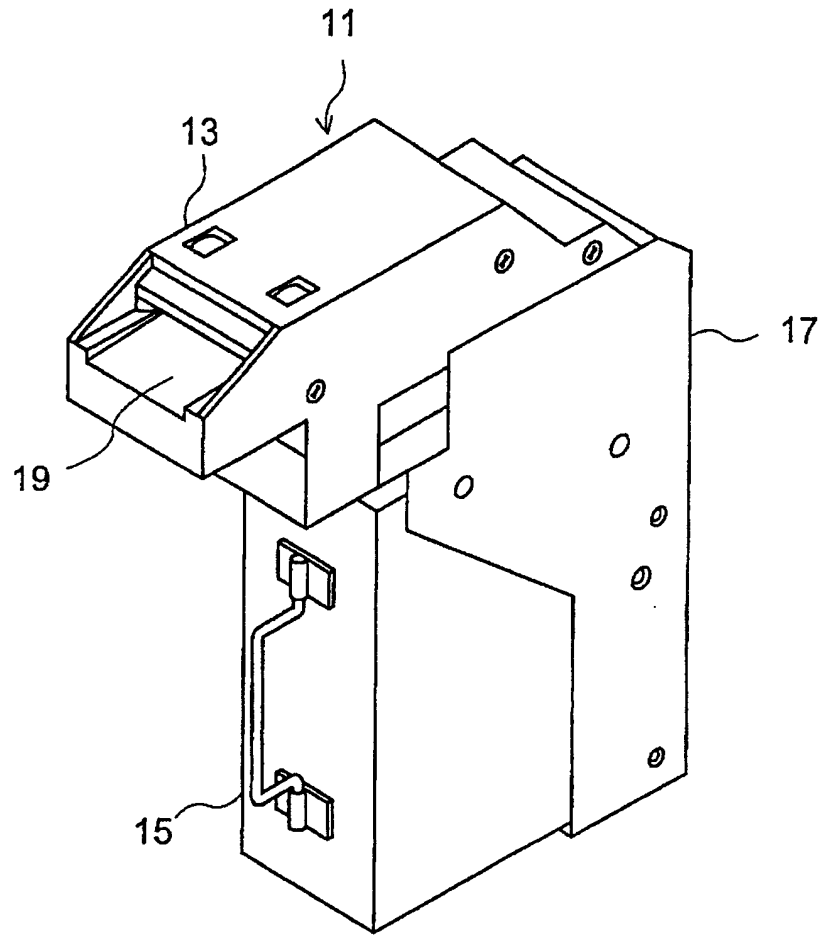


图1

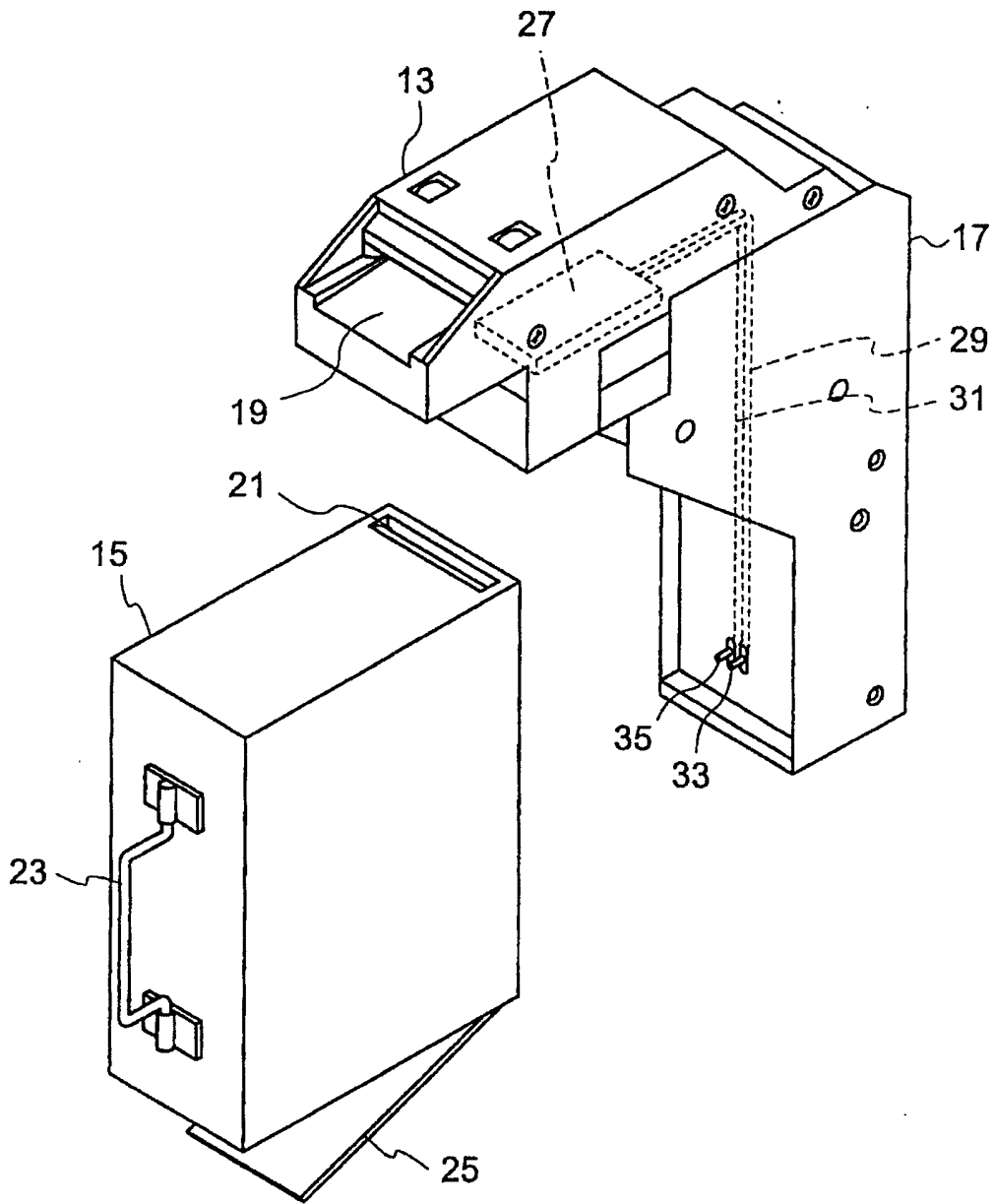


图2

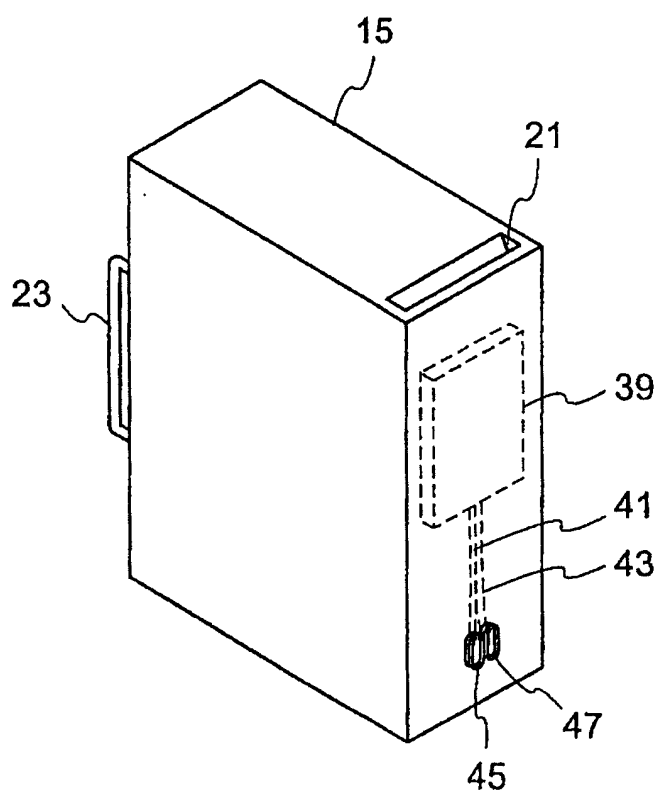


图3

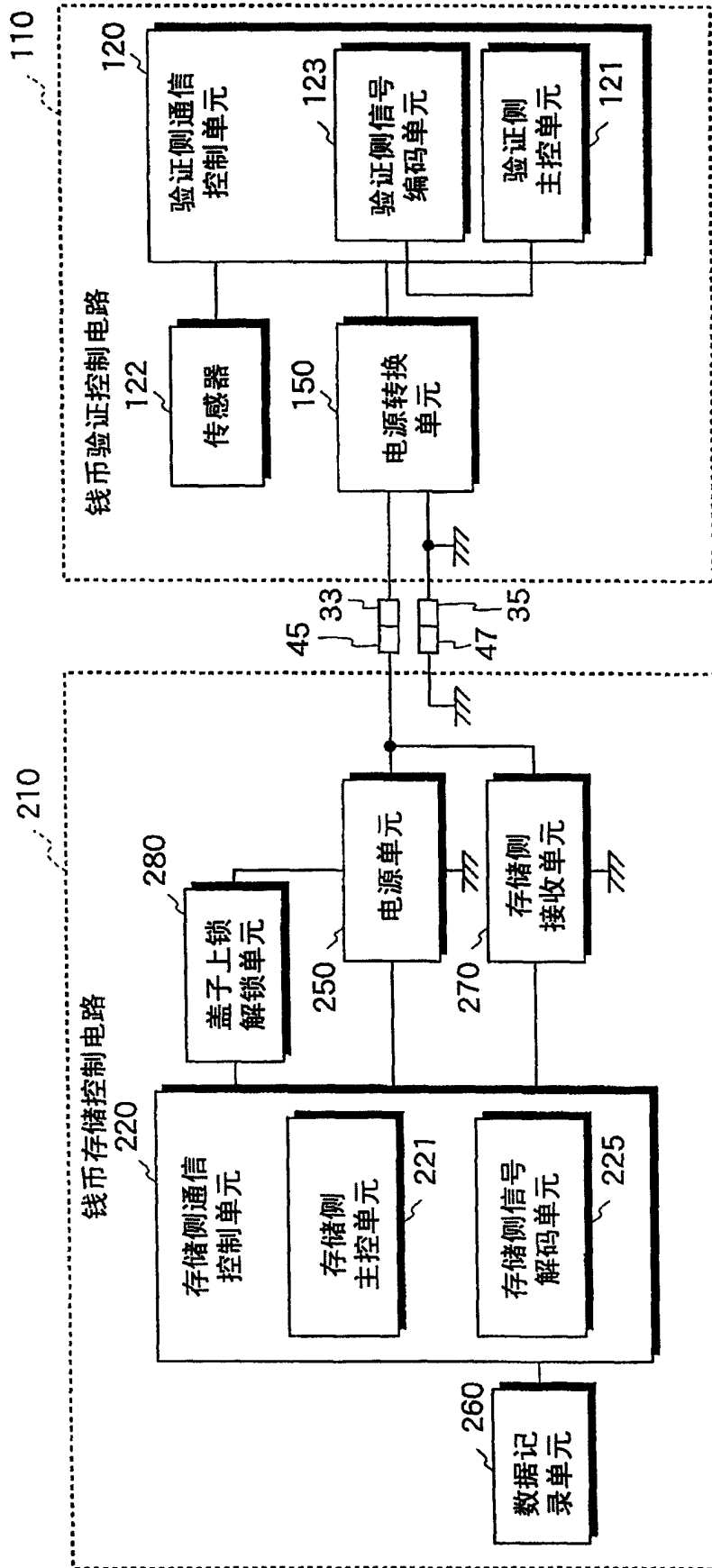


图4

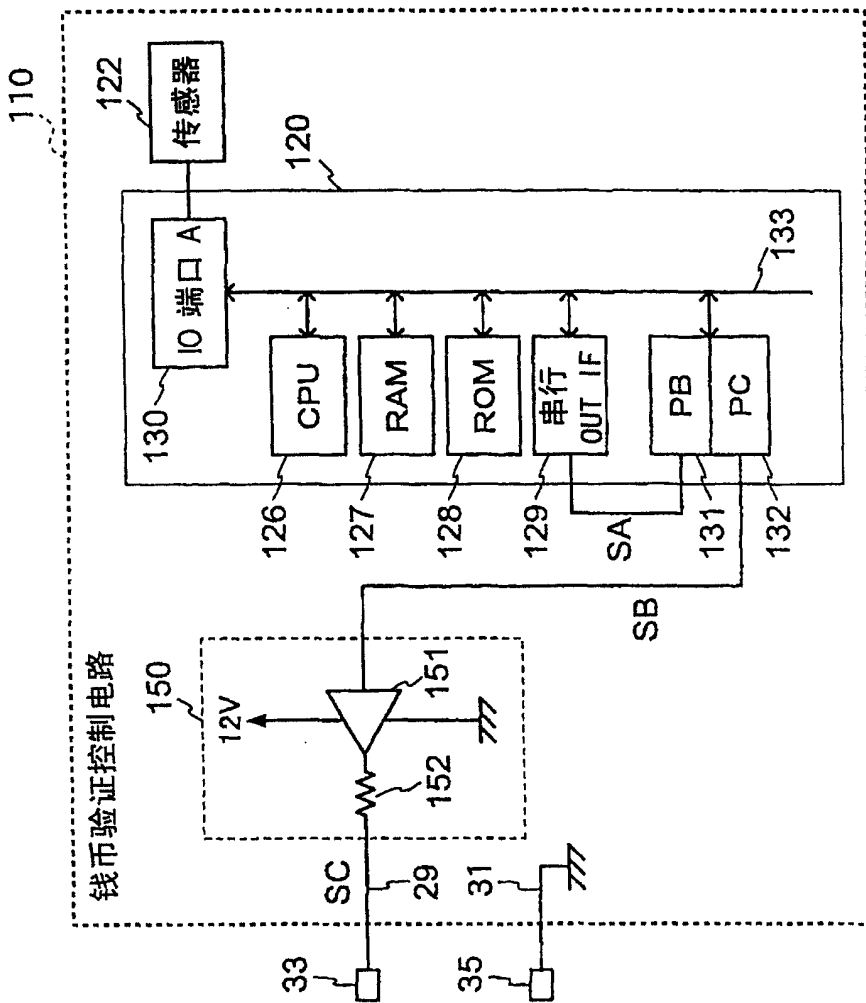


图5

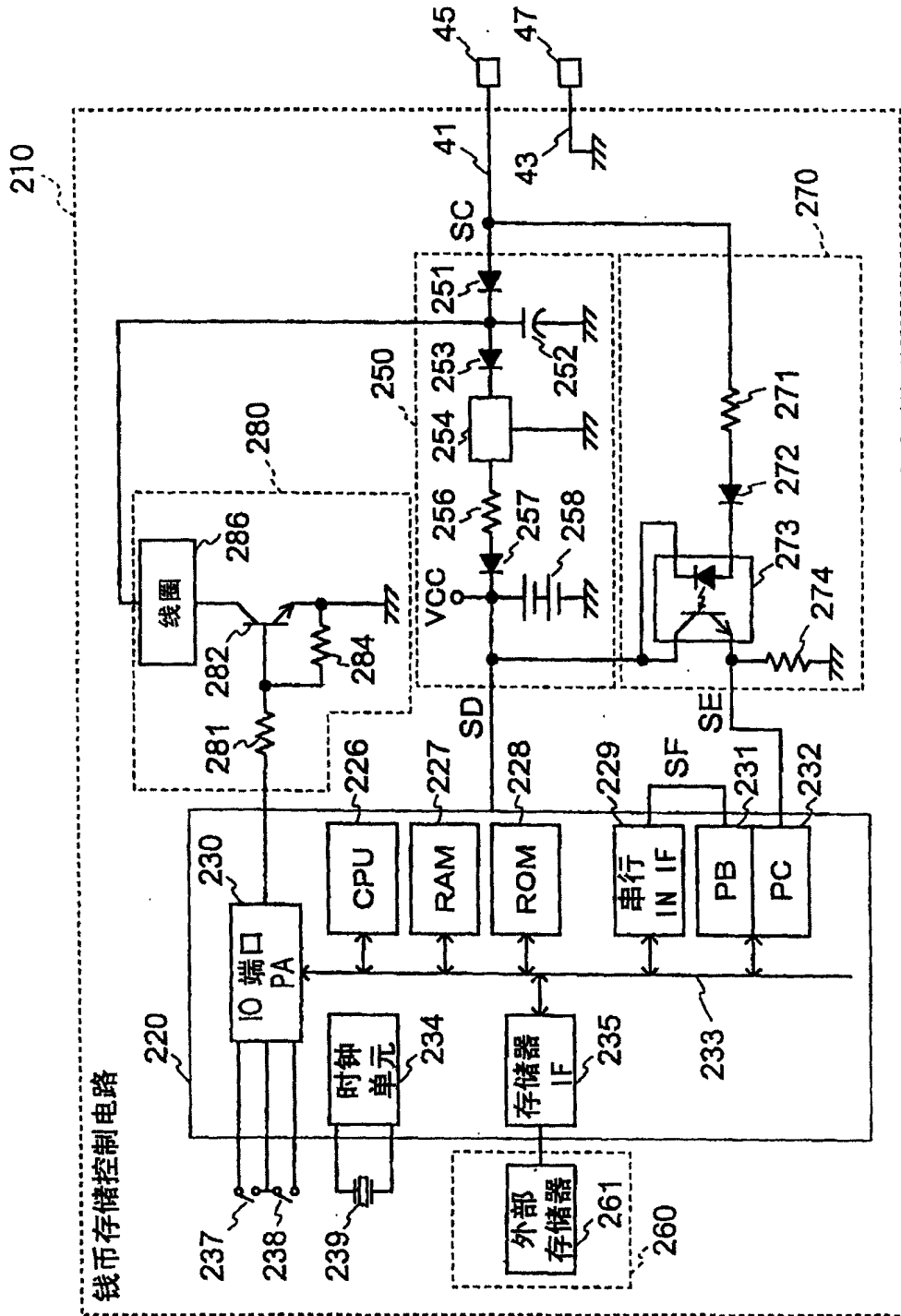


图6

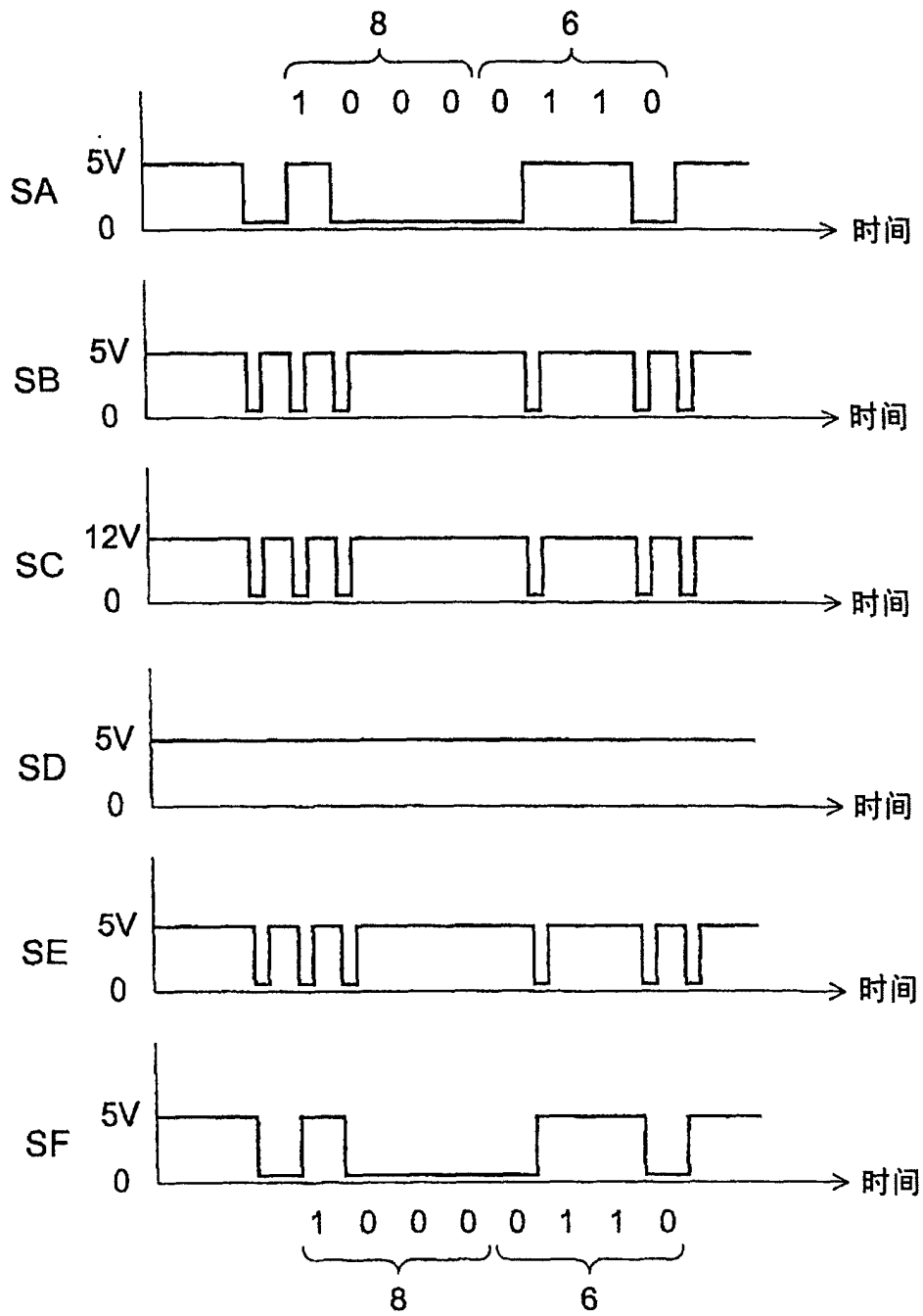


图7

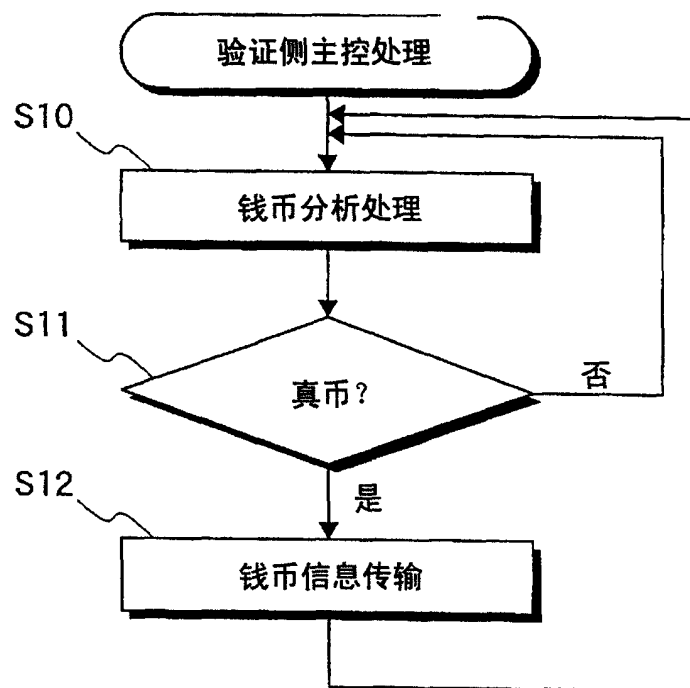


图8

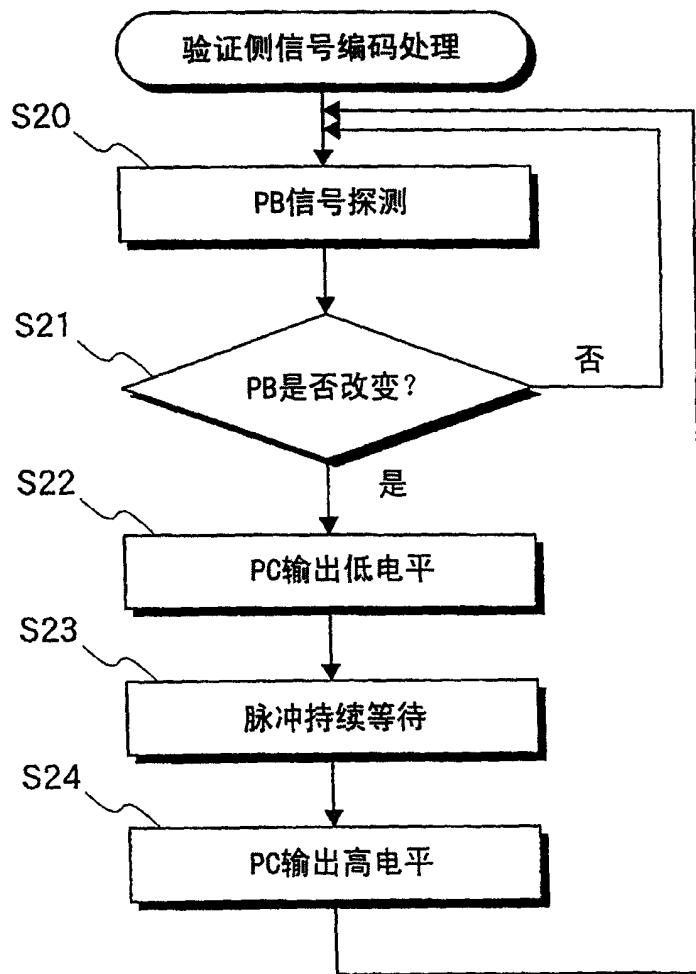


图9

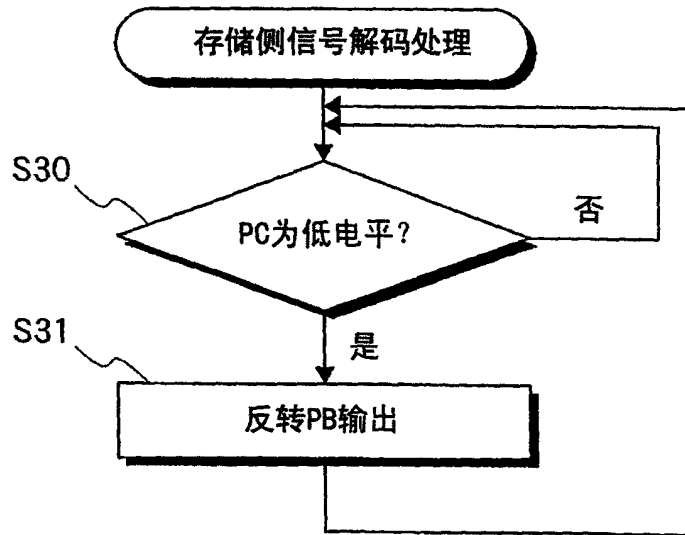


图10

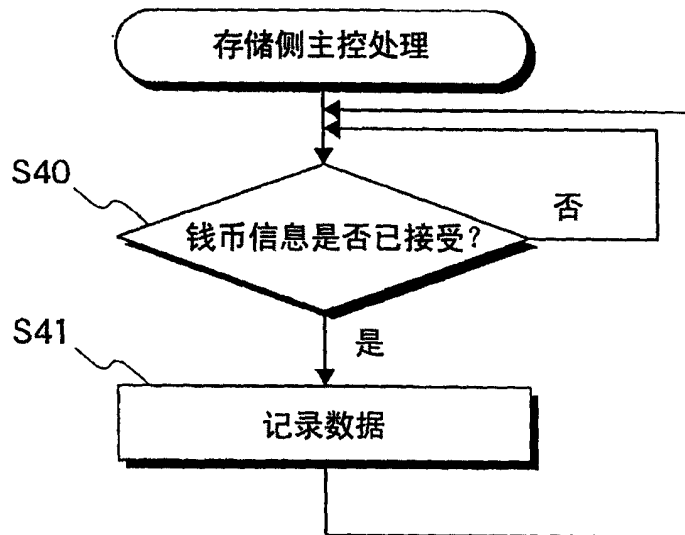


图11

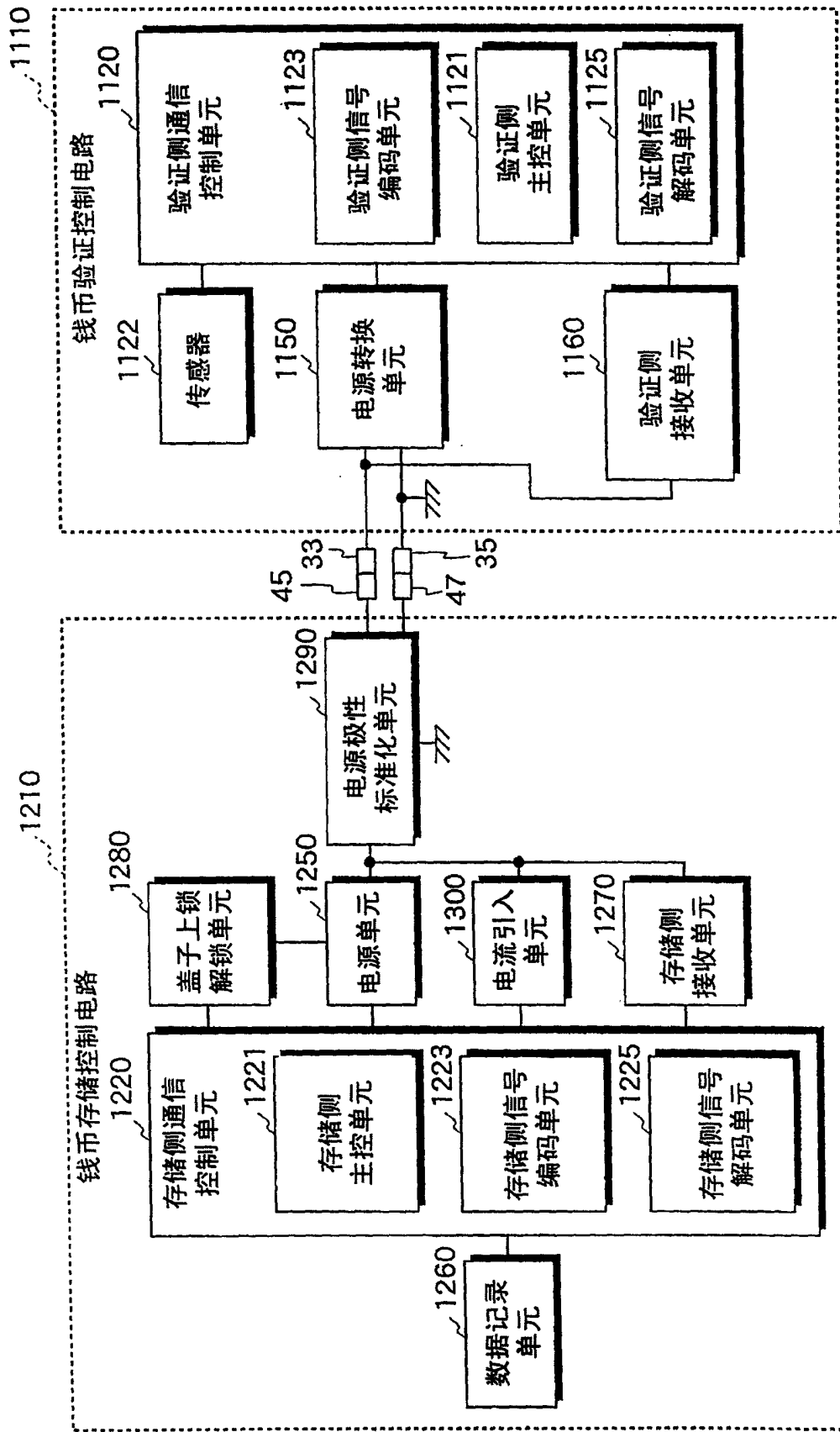


图12

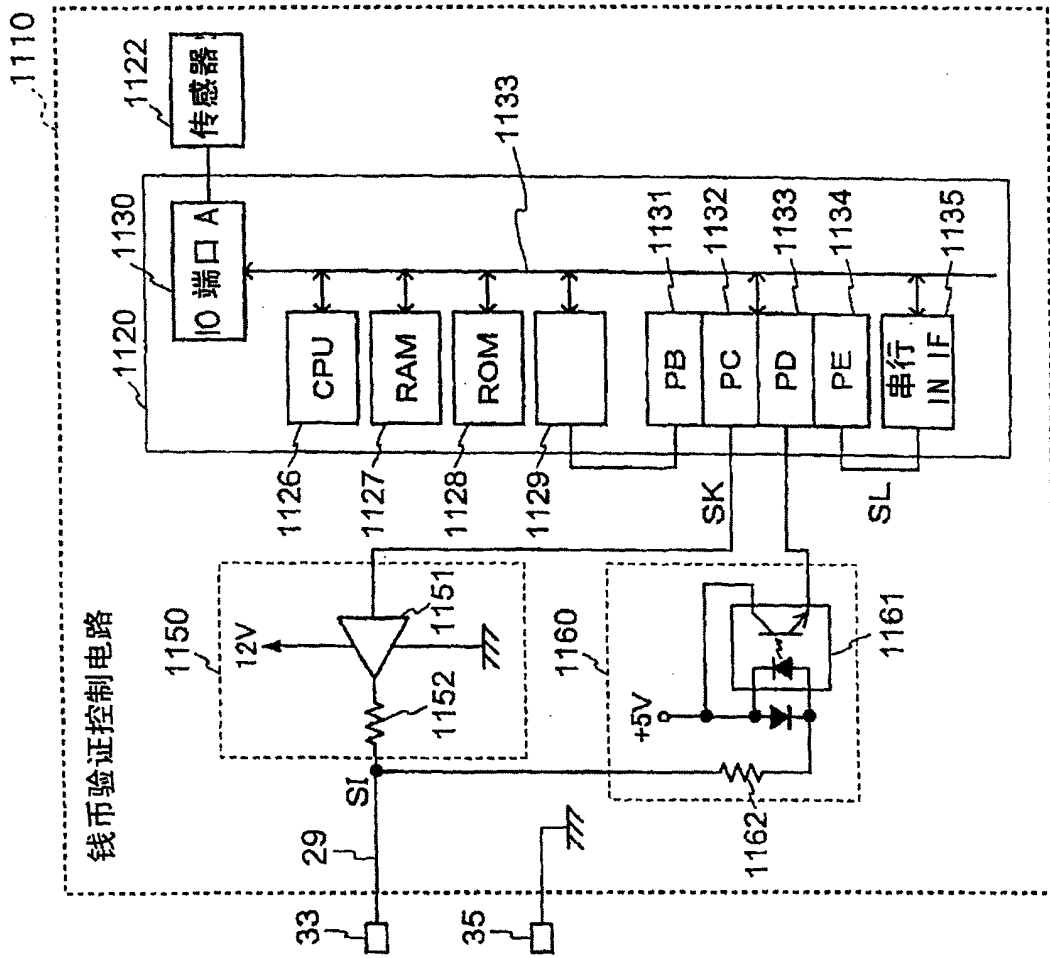


图13

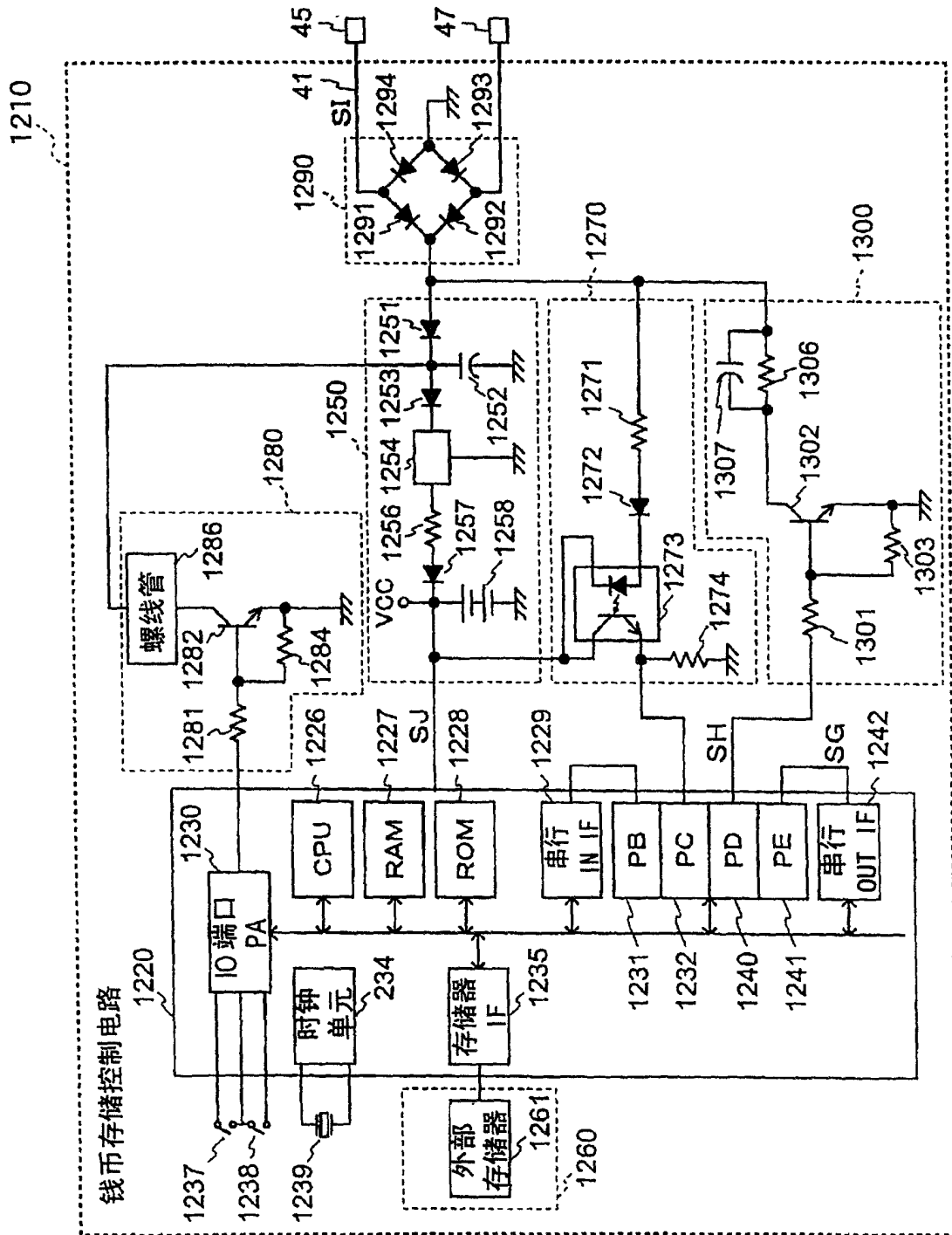


图14

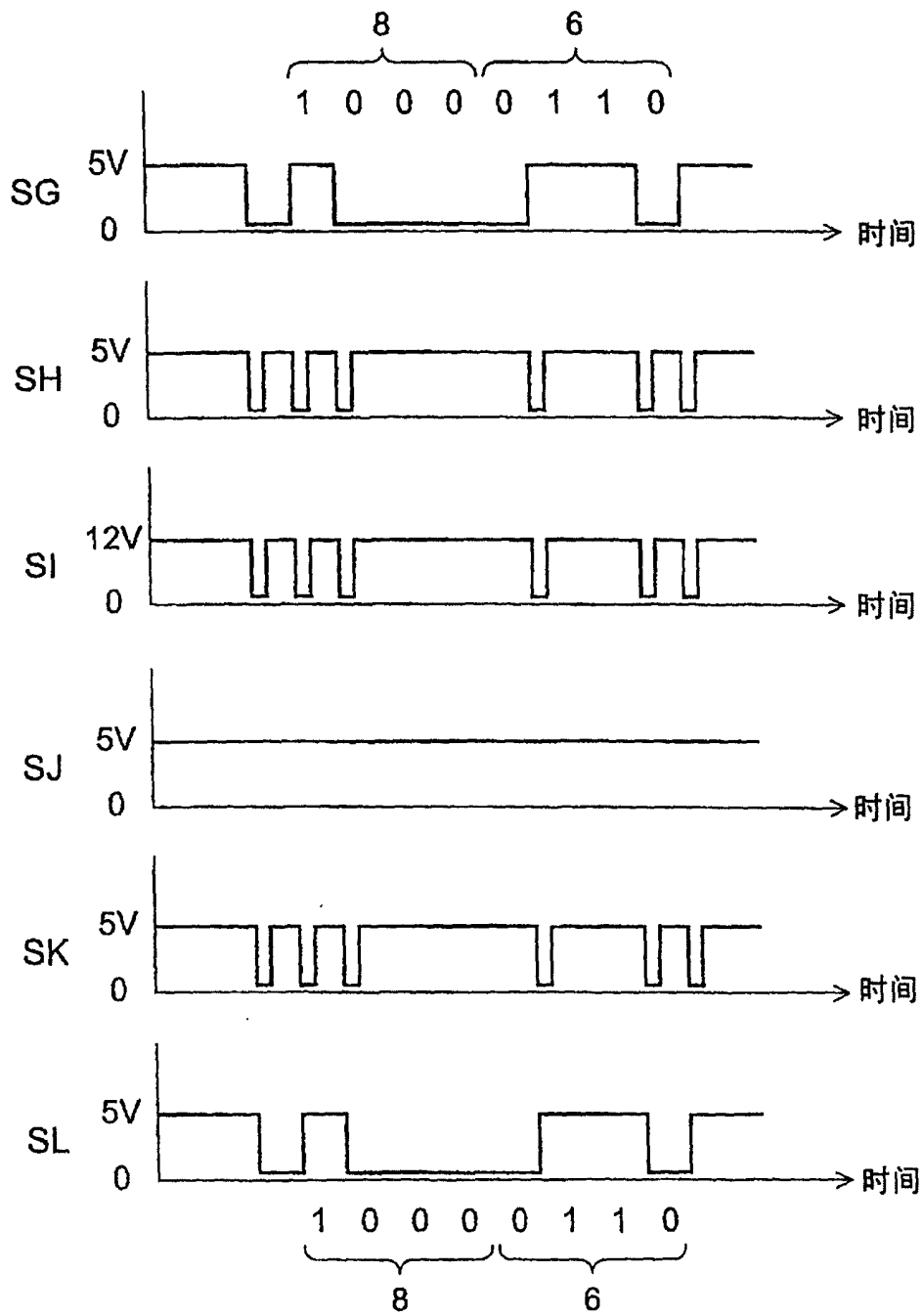


图15

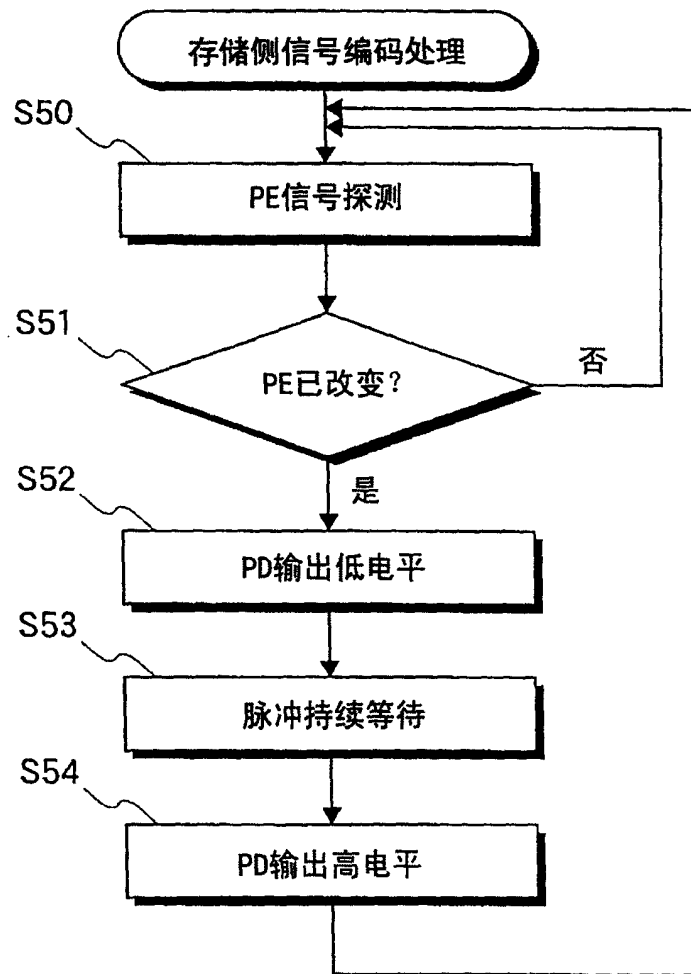


图16

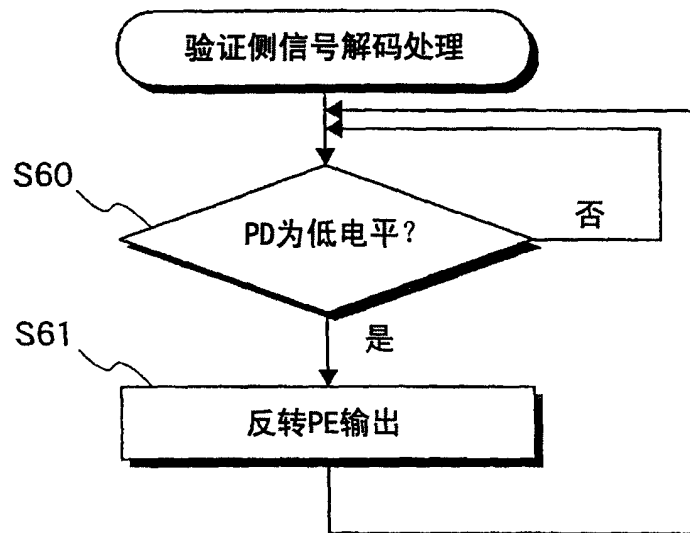


图17

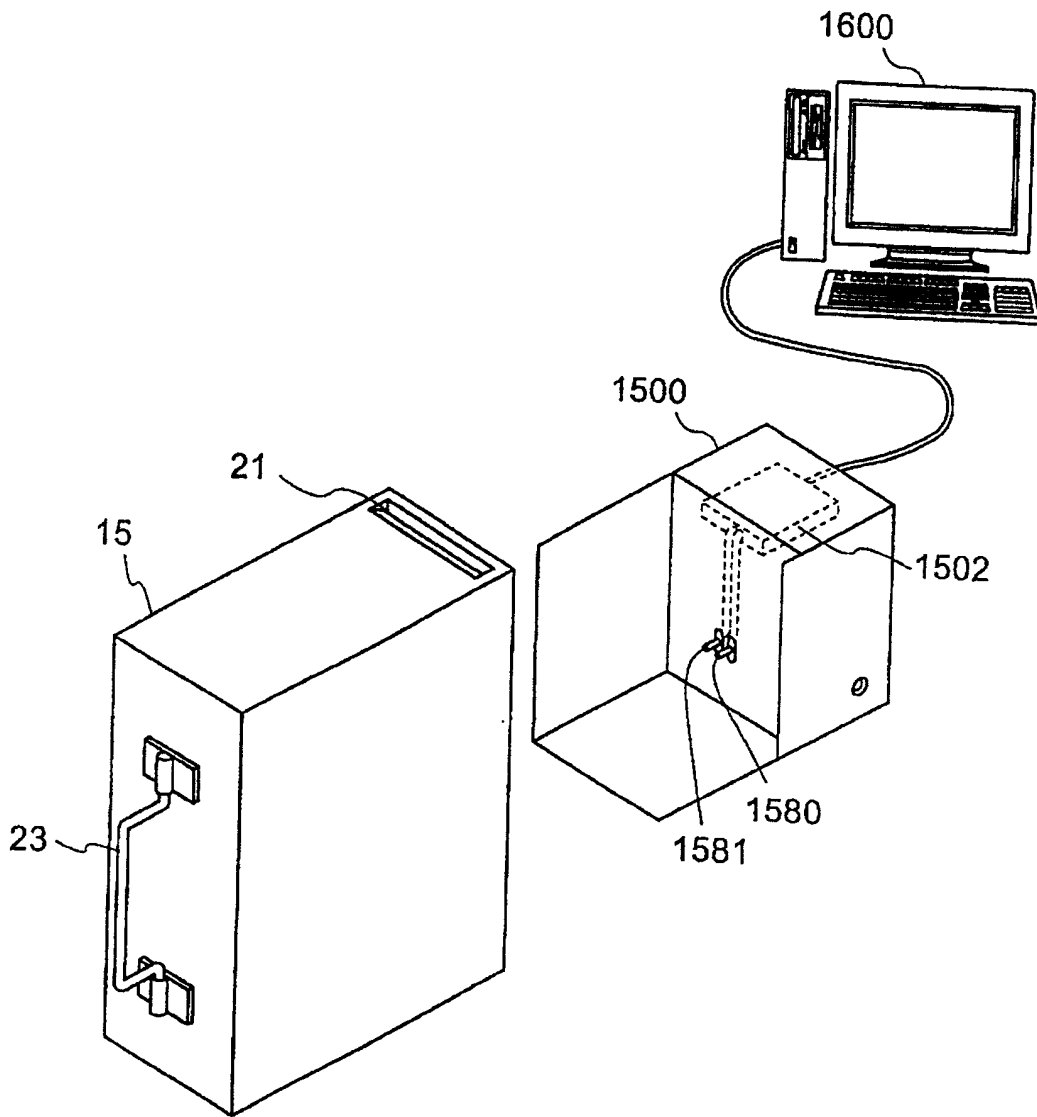


图18

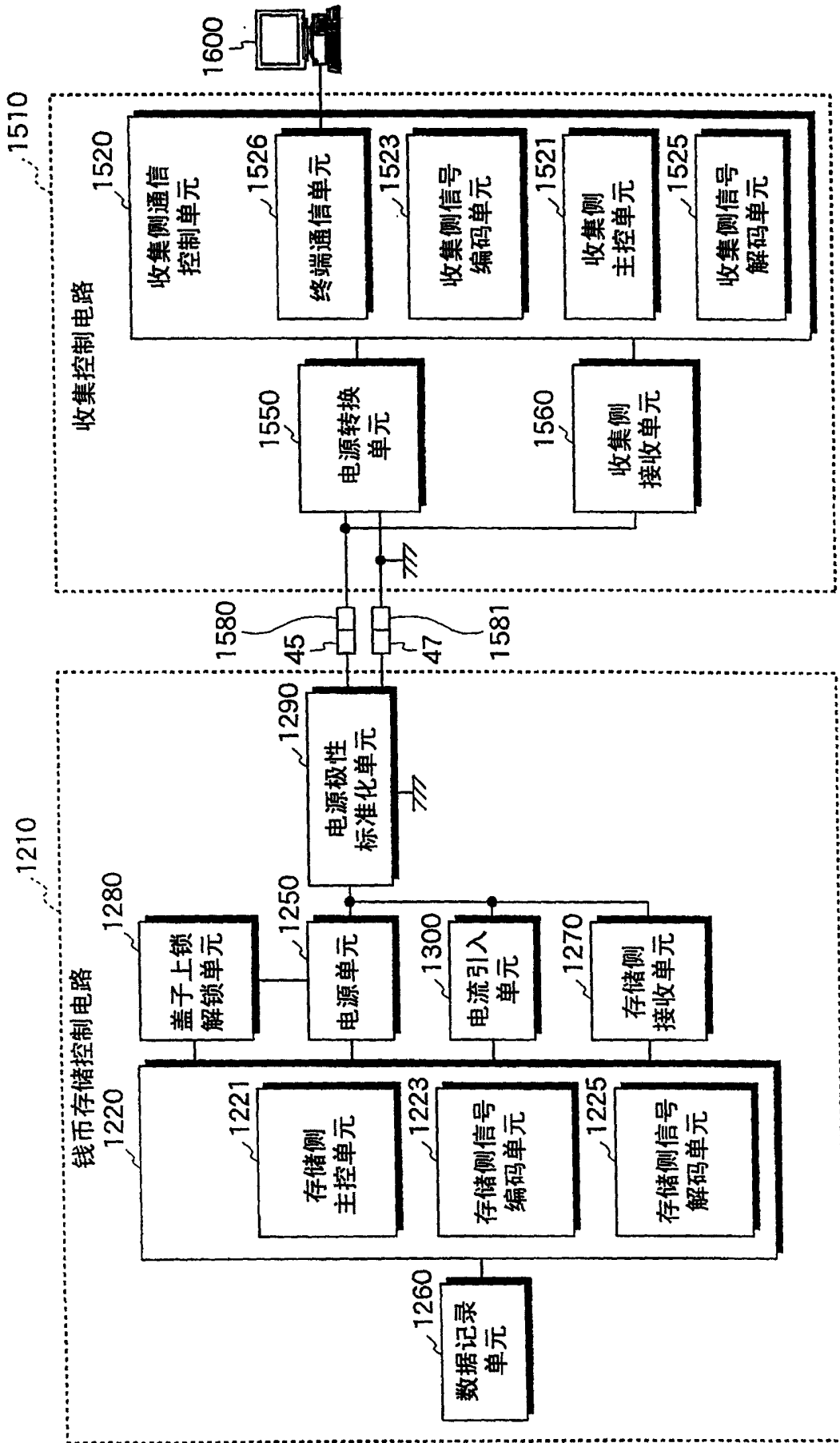


图19