(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2004-363447
(P2004-363447A)
(43)公開日　平成16年12月24日(2004.12.24)

(51)Int.Cl.[7]	F I		テーマコード（参考）
H01L 21/768	H01L 21/90	J	5F033
H01L 21/3205	H01L 21/88	M	
	H01L 21/90	A	

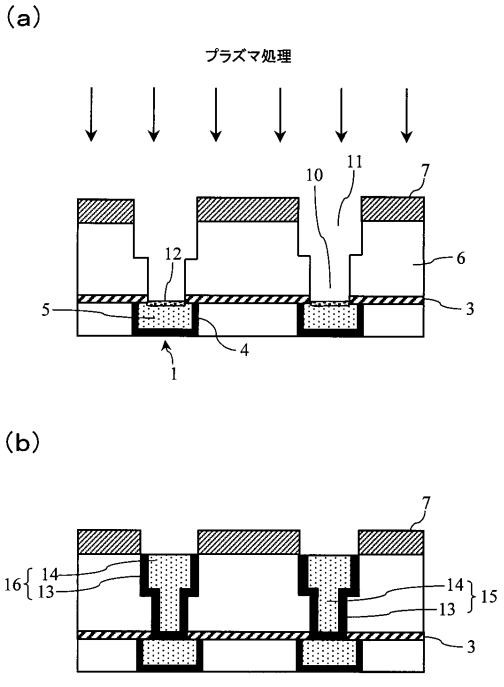
審査請求 有　請求項の数 8　OL　（全 12 頁）

(21)出願番号　特願2003-162042(P2003-162042)
(22)出願日　平成15年6月6日(2003.6.6)

(71)出願人　597114926
株式会社半導体先端テクノロジーズ
茨城県つくば市小野川１６番地１
(74)代理人　100082175
弁理士　高田　守
(74)代理人　100106150
弁理士　高橋　英樹
(74)代理人　100120569
弁理士　大阿久　敦子
(72)発明者　岡村　浩志
茨城県つくば市小野川１６番地１　株式会社半導体先端テクノロジーズ内
(72)発明者　大塚　信幸
茨城県つくば市小野川１６番地１　株式会社半導体先端テクノロジーズ内
最終頁に続く

(54)【発明の名称】半導体装置およびその製造方法

(57)【要約】
【課題】ビアホールおよび配線溝の形状を変えることなしに高抵抗層を除去することのできる半導体装置の製造方法を提供する。
【解決手段】ビアホール１０の底部に露出している銅配線層１表面の高抵抗層１２を、還元性ガスを含むエッチングガスを用いてプラズマ処理する。還元性ガスは、水素、アンモニアおよびヒドラジンよりなる群から選ばれる少なくとも１のガスを含むことができる。また、層間絶縁膜６は、ヤング率が７ＧＰａ以上で比誘電率が３未満のものを用いる。
【選択図】　図３



【特許請求の範囲】
【請求項１】
金属配線を有する半導体装置であって、
前記金属配線上の層間絶縁膜は、ヤング率が７ＧＰａ以上で比誘電率が３未満であることを特徴とする半導体装置。
【請求項２】
前記金属配線は銅配線である請求項１に記載の半導体装置。
【請求項３】
前記層間絶縁膜は、多孔質SiO_2膜、ＳｉＯＣ膜、ポリアリルエーテル誘導体膜、フッ素化アリレン膜、ＰＳＧ膜、ＢＰＳＧ膜、ＵＳＧ膜、ＦＳＧ膜、ＰＥ－ＴＥＯＳ膜およびＳＯＧ膜よりなる群から選ばれるいずれか１の膜である請求項１または２に記載の半導体装置。
【請求項４】
金属配線を有する半導体装置の製造方法であって、
前記金属配線の上にストッパー膜を形成する工程と、
前記ストッパー膜の上にヤング率が７ＧＰａ以上で比誘電率が３未満である層間絶縁膜を形成する工程と、
前記層間絶縁膜をエッチングして前記ストッパー膜に達する開口部を形成する工程と、
前記開口部に露出しているストッパー膜をエッチングすることによりビアホールを形成して前記金属配線を露出させる工程と、
前記層間絶縁膜をエッチングして配線溝を形成する工程と、
前記露出した金属配線の表面を還元性ガスでプラズマ処理する工程とを有することを特徴とする半導体装置の製造方法。
【請求項５】
前記還元性ガスは、水素、アンモニアおよびヒドラジンよりなる群から選ばれる少なくとも１のガスを含む請求項４に記載の半導体装置の製造方法。
【請求項６】
前記還元性ガスは、５ａｔｏｍ％以下の濃度の水素ガスを含む請求項４に記載の半導体装置の製造方法。
【請求項７】
前記還元性ガスは、０．５ａｔｏｍ％～２ａｔｏｍ％の濃度の水素ガスを含む請求項６に記載の半導体装置の製造方法。
【請求項８】
前記還元性ガスは、窒素、ヘリウム、ネオン、アルゴン、クリプトンおよびキセノンよりなる群から選ばれる少なくとも１のガスをさらに含む請求項５～７のいずれか１に記載の半導体装置の製造方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は半導体装置の製造方法に関し、より詳しくは、低誘電率絶縁膜を用いたダマシン法による半導体装置の製造方法に関する。
【０００２】
【従来の技術】
近年、半導体デバイスの高速化は著しく、多層配線部における配線抵抗と配線間や配線層間の寄生容量に起因する信号伝搬速度の低下による伝送遅延が問題となってきている。こうした問題は、半導体デバイスの高集積化に伴う配線幅および配線間隔の微細化につれて配線抵抗が上昇し且つ寄生容量が増大するので、益々顕著となる傾向にある。
【０００３】
配線抵抗および寄生容量の増大に基づく信号遅延を防止するために、従来より、アルミニウム配線に代わる銅配線の導入が行われるとともに、層間絶縁膜として低誘電率の絶縁膜

（以下、Ｌｏｗ－ｋ膜という。）を用いることが試みられてきた。
【０００４】
Ｌｏｗ－ｋ膜を用いた銅配線の形成方法としては、ダマシン法によるものがある。これは、銅がアルミニウムに比較してエッチングレートの制御が困難であることに鑑み、銅をエッチングせずに配線を形成する技術として知られている。
【０００５】
図６および図７を用いて、ダマシン法による従来の銅配線形成工程について説明する。
【０００６】
まず、銅配線層２０が形成されたシリコン基板２１の上に、ストッパー膜２２、Ｌｏｗ－ｋ膜２３をこの順に形成して、図６（ａ）に示す構造とする。ここで、銅配線層２０はバリアメタル膜２４と銅層２５とを有している。次に、Ｌｏｗ－ｋ膜２３およびストッパー膜２２をエッチングし、図６（ｂ）に示すビアホール２６および配線溝２７を形成する。
【０００７】
【発明が解決しようとする課題】
ビアホール２６の形成によって露出した銅配線層２０の表面には、酸化銅などの高抵抗層２８が形成されている。従来は、アルゴンプラズマを用いた物理的エッチングによって高抵抗層２８を除去していた。しかしながら、この方法では、高抵抗層２８だけでなくビアホール２６や配線溝２７の内壁もエッチングされるために、開口面積が広がって、これらの断面形状がテーパ状になるという問題があった（図７（ａ））。特に、Ｌｏｗ－ｋ膜２３として多孔質化膜を用いた場合、このような現象が顕著に見られるようになる。
【０００８】
高抵抗層２８を除去した後は、ビアホール２６および配線溝２７の内面にバリアメタル膜２９を形成し、ビアホール２６および配線溝２７に銅層３０を埋め込んで、ビアプラグ３１および銅配線層３２を形成する。以上の工程によって、シリコン基板２１に形成された銅配線層２０と上層の銅配線層３２とがビアプラグ３１を介して電気的に接続された銅配線が形成される（図７（ｂ））。ここで、従来法によれば、ビアホール２６および配線溝２７の開口面積が大きくなるために、隣接する配線間の距離Ｒが短くなって短絡が生じるという問題があった。
【０００９】
また、プラズマエッチングされた銅が、ビアホール２６の側壁に付着するという問題もあった。付着した銅は、後工程での加熱によってＬｏｗ－ｋ膜２３中を拡散し、配線間でのリーク電流を増大させることになる。
【００１０】
さらには、アルゴンプラズマによってＬｏｗ－ｋ膜２３がダメージを受ける結果、配線間での容量が増加したり、Ｌｏｗ－ｋ膜２３が収縮して信頼性が低下したりするなどの問題もあった。
【００１１】
本発明はこのような問題点に鑑みてなされたものである。即ち、本発明の目的は、ビアホールおよび配線溝の形状を変えることなしに高抵抗層を除去することのできる半導体装置の製造方法を提供することにある。
【００１２】
また、本発明の目的は、高抵抗層を除去する際のビアホールや配線溝の内壁への銅の付着を防いで、リーク電流を低減させることのできる半導体装置の製造方法を提供することにある。
【００１３】
さらに、本発明の目的は、プラズマダメージを受けにくいＬｏｗ－ｋ膜を使用することによって、電気的特性および信頼性に優れた半導体装置を提供することにある。
【００１４】
本発明の他の目的および利点は、以下の記載から明らかとなるであろう。
【００１５】

【課題を解決するための手段】
本発明は、金属配線を有する半導体装置であって、この金属配線上の層間絶縁膜は、ヤング率が７ＧＰａ以上で比誘電率が３未満であることを特徴とする。本発明において、金属配線は銅配線とすることができる。また、層間絶縁膜は、多孔質SiO_2膜、ＳｉＯＣ膜、ポリアリルエーテル誘導体膜、フッ素化アリレン膜、ＰＳＧ膜、ＢＰＳＧ膜、ＵＳＧ膜、ＦＳＧ膜、ＰＥ－ＴＥＯＳ膜およびＳＯＧ膜よりなる群から選ばれるいずれか１の膜とすることができる。
【００１６】
また、本発明は、金属配線を有する半導体装置の製造方法であって、この金属配線の上にストッパー膜を形成する工程と、このストッパー膜の上にヤング率が７ＧＰａ以上で比誘電率が３未満である層間絶縁膜を形成する工程と、この層間絶縁膜をエッチングしてストッパー膜に達する開口部を形成する工程と、この開口部に露出しているストッパー膜をエッチングすることによりビアホールを形成して金属配線を露出させる工程と、層間絶縁膜をエッチングして配線溝を形成する工程と、露出した金属配線の表面を還元性ガスでプラズマ処理する工程とを有することを特徴とする。
【００１７】
本発明の半導体装置の製造方法において、還元性ガスは、水素、アンモニアおよびヒドラジンよりなる群から選ばれる少なくとも１のガスを含むことができる。
【００１８】
また、本発明の半導体装置の製造方法において、還元性ガスは、５ａｔｏｍ％以下の濃度の水素ガスを含むことができる。また、還元性ガスは、０．５ａｔｏｍ％～２ａｔｏｍ％の濃度の水素ガスを含むことが好ましい。
【００１９】
また、本発明の半導体装置の製造方法において、還元性ガスは、上記のガスに加えて、窒素、ヘリウム、ネオン、アルゴン、クリプトンおよびキセノンよりなる群から選ばれる少なくとも１のガスをさらに含むことができる。
【００２０】
【発明の実施の形態】
以下、本発明の実施の形態を図面を参照しながら詳細に説明する。
【００２１】
図１～図３は、本実施の形態における半導体装置の製造方法を示す断面図である。
【００２２】
まず、金属配線層としての銅配線層１が形成された半導体基板２を準備する。ここで、銅配線層１は、バリアメタル膜４および銅層５を有している。半導体基板２としては、例えばシリコン基板などを用いることができる。
【００２３】
次に、半導体基板２の上にストッパー膜３を形成して、図１（ａ）に示す構造とする。ストッパー膜３は、上に形成される層間絶縁膜とのエッチング選択比が大きい材料を用いることが好ましい。具体的には、層間絶縁膜の種類に応じて適宜決定されるが、例えば、ＳｉＣ膜、Si_xN_y（例えば、Si_3N_4、Si_2N_3、ＳｉＮなど。）膜、ＳｉＣＮ膜またはＳｉＯＣ膜などを用いることができる。これらの膜は、ＣＶＤ（Ｃｈｅｍｉｃａｌ　Ｖａｐｏｒ　Ｄｅｐｏｓｉｔｉｏｎ）法またはスパッタ法などによって成膜することができる。
【００２４】
次に、ストッパー膜３の上に層間絶縁膜６を形成する（図１（ｂ））。
【００２５】
本発明において、層間絶縁膜６は、低誘電率の絶縁膜（以下、Ｌｏｗ－ｋ膜という。）であることが好ましく、比誘電率が３未満のＬｏｗ－ｋ膜であることがより好ましく、ヤング率が７ＧＰａ以上で比誘電率が３未満のＬｏｗ－ｋ膜であることが特に好ましい。層間絶縁膜の比誘電率を小さくすることによって、配線間容量を小さくして配線遅延時間の低

減を図ることができる。また、ヤング率が７ＧＰａ以上の材料を用いることによって、耐プラズマ性に十分な機械的強度を有する層間絶縁膜とすることができる。

【００２６】

比誘電率が３未満のＬｏｗ－ｋ膜としては、例えば、多孔質SiO_2膜、ＳｉＯＣ膜、ポリアリルエーテル誘導体膜、フッ素化アリレン膜、ＰＳＧ（リン含有ケイ酸塩ガラス）膜、ＢＰＳＧ（ホウ素リン含有ケイ酸塩ガラス）膜、ＵＳＧ（アンドープケイ酸塩ガラス）膜、ＦＳＧ（フッ素ドープケイ酸塩ガラス）膜、ＰＥ－ＴＥＯＳ（Ｐｌａｓｍａ Ｅｎｈａｎｃｅｄ－ｔｅｔｒａ Ｅｔｈｙｌ Ｏｒｔｈｏ Ｓｉｌｉｃａｔｅ）膜またはＳＯＧ（Ｓｐｉｎ ｏｎ Ｇｌａｓｓ）膜などを挙げることができる。さらに、ＳＯＧ膜の材料としては、例えば、水素シルセスキオキサン（ＨＳＱ）またはメチルシルセスキオキサン（ＭＳＱ）などを挙げることができる。これらの膜は、ＣＶＤ法、ＰＶＤ（Ｐｈｙｓｉｃａｌ Ｖａｐｏｒ Ｄｅｐｏｓｉｔｉｏｎ）法またはＳＯＤ（Ｓｐｉｎ ｏｎ Ｄｉｅｌｅｃｔｒｉｃ Ｃｏａｔｉｎｇ）法などによって成膜することができる。

【００２７】

また、Ｌｏｗ－ｋ膜のヤング率は、例えば、層間絶縁膜を構成する樹脂の骨格を変えたり、多孔質化材の大きさや量などを変えたりすることによって制御することができる。ヤング率が大きいほど膜の硬度は上昇することから、プラズマに対する耐性を向上させるためには、Ｌｏｗ－ｋ膜のヤング率は大きい方が好ましい。本発明者は、鋭意研究した結果、ヤング率が７ＧＰａ以上の値を有していれば、配線間容量の増加や膜収縮のレベルが実用上問題のない範囲に収まることを見出した。

【００２８】

層間絶縁膜６を形成した後は、この上にハードマスク７を形成する（図１（ｂ））。

【００２９】

ハードマスク７は、後述するレジスト膜の形成の際に層間絶縁膜６がエッチングされるのを防ぐ役割を有する。ハードマスク７としては、例えば、ＣＶＤ法またはスパッタ法などによって成膜された、SiO_2膜またはSi_xN_y（例えば、Si_3N_4、Si_2N_3、ＳｉＮなど。）膜などを用いることができる。

【００３０】

ハードマスク７を形成した後は、この上に所定のパターンを有するレジスト膜８を形成して、図１（ｃ）に示す構造とする。具体的には、ハードマスク７の上にフォトレジストを塗布した後、これを露光・現像することによってレジスト膜８を形成することができる。

【００３１】

次に、レジスト膜８をマスクとして、ハードマスク７および層間絶縁膜６を異方性エッチングして開口部９を形成する。このエッチングは、ストッパー膜３に達した時点で自動的に停止する。そして、図２（ａ）に示すように、開口部９の底部にストッパー膜３の一部３ａが露出する。

【００３２】

エッチング装置としては、例えば、上部電極と下部電極にそれぞれ所定の高周波を印加することのできる２周波励起平行平板型リアクティブイオンエッチャーを用いることができる。また、エッチングガスとして、テトラフルオロメタン（CF_4）、ヘキサフルオロブチン（C_4F_6）、オクタフルオロブテン（C_4F_8）、オクタフルオロペンチン（C_5F_8）、トリフルオロメタン（CHF_3）およびジフルオロメタン（CH_2F_2）よりなる群から選ばれる少なくとも１種のガスと、エッチングガス以外の希釈ガスとして、ヘリウム（Ｈｅ）、アルゴン（Ａｒ）、窒素（N_2）、一酸化炭素（ＣＯ）および酸素（O_2）よりなる群から選ばれる少なくとも１種のガスとを含む混合ガスを用いることができる。例えば、オクタフルオロブテン（C_4F_8）、窒素（N_2）およびアルゴン（Ａｒ）からなる混合ガスをエッチングガスとして装置内に導き、エッチングチャンバ内を所定の圧力に維持した状態で、上部電極と下部電極にそれぞれ所定の電力を印加してプラズマを発生させる。

【００３３】

ハードマスク７および層間絶縁膜６のエッチングが終了した後は、不要となったレジスト膜８をアッシングにより除去する。例えば、酸素（O_2）ガス、アンモニア（NH_3）ガス、または窒素（N_2）と水素（H_2）との混合ガスなどを用いてアッシングを行うことができる。

【００３４】

次に、開口部９に露出したストッパー膜３ａのエッチングを行い、ビアホール１０を形成する（図２（ｂ））。例えば、上記の２周波励起平行平板型リアクティブイオンエッチャー内に、テトラフルオロメタン（CF_4）と窒素（N_2）との混合ガスを導き、エッチングチャンバ内を所定の圧力に維持した状態で、上部電極と下部電極にそれぞれ所定の電力を印加する。これにより発生したプラズマによって、ストッパー膜３ａのエッチングを行うことができる。

【００３５】

次に、フォトリソグラフィー法によってビアホール１０の上に配線溝１１を形成し、図２（ｃ）に示す構造とする。

【００３６】

図２（ｃ）において、ビアホール１０の底面には、下層の銅配線層１の表面が露出している。そして、この露出した銅配線層１の表面には、銅が雰囲気中の酸素と反応して生成した酸化銅を主成分とする高抵抗層１２が形成される（図３（ａ））。高抵抗層１２が存在したままで上層の銅配線層を形成すると、接触抵抗が増加して半導体装置の電気的特性を低下させることになる。そこで、ビアホール１０および配線溝１１を形成した後、図３（ａ）に示すようにして高抵抗層１２の除去を行ってから、上層の銅配線層形成工程へと進む。

【００３７】

本発明は、還元性のガスを用いた銅配線層１表面のプラズマ処理によって高抵抗層１２を除去することを特徴としている。還元性のガスとしては、例えば、水素、アンモニアおよびヒドラジンよりなる群から選ばれる少なくとも１種のガスを用いることができる。また、還元性のガスと、これに不活性なガスとの混合ガスを用いてプラズマ処理を行ってもよい。還元性のガスに不活性なガスとしては、例えば、窒素（N_2）、ヘリウム（Ｈｅ）、ネオン（Ｎｅ）、アルゴン（Ａｒ）、クリプトン（Ｋｒ）およびキセノン（Ｘｅ）よりなる群から選ばれる少なくとも１種のガスを挙げることができる。酸素などの酸化性ガスがエッチングガス中に含まれると、還元性ガスと反応して還元作用が低下することから好ましくない。

【００３８】

還元性ガスを用いてプラズマ処理を行うと、プラズマ中に発生した活性水素が銅配線層１の表面に吸着して酸化銅を銅に還元する。また、活性水素は、銅配線層１の表面に衝突して物理的エッチングも行う。エッチングガス中に不活性ガスが含まれている場合には、不活性ガスから生じた活性種による物理的エッチングも行われる。

【００３９】

従来法による高抵抗層の除去では、アルゴンプラズマによる物理的エッチングのみが行われていた。これに対して、本発明では、高抵抗層の主成分である酸化銅を銅に還元する化学的エッチングと、活性種の衝突による物理的エッチングの両方を併用することを特徴としている。これにより、高抵抗層を効率的に除去することが可能となるので、配線溝およびビアホールの内壁へのエッチングを抑制するとともに、層間絶縁膜へ与えるダメージを低減させることが可能となる。また、銅への還元反応によって酸化銅を除去するので、物理的エッチングのみによって酸化銅を除去する場合に比べて、ビアホールおよび配線溝の内壁への銅の付着を低減させることができる。

【００４０】

本発明においては、ビアホールおよび配線溝の内壁がエッチングされることによる配線間容量の増大が実用上問題ないレベルに収まるようにして、エッチングガス中に含まれる還元性ガスの濃度を決定することが望ましい。例えば、還元性ガスとして水素（H_2）を含

むガスを用いる場合、水素濃度が多くなりすぎると、配線溝およびビアホールの内壁のエッチング、並びにプラズマダメージによる層間絶縁膜の膜質変化がおこり、配線間容量が増大するようになる。したがって、実用上は、水素濃度が５ａｔｏｍ％以下であることが好ましく、２ａｔｏｍ％以下であることがより好ましい。一方、エッチングガス中に水素が存在することによって還元作用が認められるようになるが、水素濃度が低くなりすぎると、還元に時間を要してスループットが低下する。したがって、水素濃度の下限値は、０．５ａｔｏｍ％以上であることが好ましい。

【００４１】

高抵抗層１２を除去した後は、ビアホール１０および配線溝１１の内面にバリアメタル膜１３を形成し、バリアメタル膜１３を介してこれらの内部に銅層１４の埋込みを行うことによって、ビアプラグ１５および銅配線層１６を形成する（図３（ｂ））。高抵抗層１２の除去からバリアメタル膜１３の形成までの工程は、連続して行うことが好ましい。具体的には、次のようにして行うことができる。

【００４２】

高抵抗層１２を除去した後、同一のチャンバ内において真空を維持した状態で、ＣＶＤ法またはスパッタ法などによって、ＴｉＮ膜またはＴａＮ膜などのバリアメタル膜を成膜する。続いて、この上にさらに銅層を成膜する。その後、化学機械研磨（Ｃｈｅｍｉｃａｌ　Ｍｅｃｈａｎｉｃａｌ　Ｐｏｌｉｓｈｉｎｇ，以下、ＣＭＰという。）法によって、銅層およびバリアメタル膜の研磨を行う。これにより、ビアホールおよび配線溝の内部にのみ、銅層およびバリアメタル膜が残るようにすることができる。

【００４３】

銅層の埋め込みは、他の方法によって行ってもよい。例えば、バリアメタル膜を形成した後、バリアメタル膜の上に電界めっき用シード層を形成する。その後、硫酸銅（$CuSO_4$）をベースとした電解液を用いるめっき法によって、ビアホールおよび配線溝の内部に銅を埋め込んでもよい。

【００４４】

以上の工程によって、銅配線層１を有する半導体基板２の上に、ビアプラグ１５および銅配線層１６を形成することができる（図３（ｂ））。ここで、銅配線層１６は、ビアプラグ１５を介して銅配線層１と電気的に接続している。

【００４５】

１つの例として、銅配線層が形成されたシリコン基板の上に、ストッパー膜を介して、比誘電率が２．２の多孔質ＭＳＱ膜をＰＶＤ法によって形成した。次いで、この多孔質ＭＳＱ膜にビアホールおよび配線溝を形成した後、ビアホールの底面に露出した銅配線層に対して、高抵抗層除去のためのプラズマ処理を行った。

【００４６】

具体的には、まず、配線溝の形成までが行われたシリコン基板をエッチングチャンバ内に入れ、チャンバ内を所定の真空度にした。次に、ヘリウムガス中に水素ガスを混合したエッチングガスをチャンバ内に導入した後、上部電極および下部電極に所定の高周波を印加してプラズマ処理を１０秒間行った。

【００４７】

続いて、真空を維持した状態でバリアメタル膜を形成した。具体的には、ＰＶＤ法によって、ＴａＮ膜（膜厚１０ｎｍ程度）およびＴａ膜（膜厚１５ｎｍ程度）を順に成膜し、これらをバリアメタル膜とした。

【００４８】

バリアメタル膜を形成した後は、引き続き真空を維持した状態で、バリアメタル膜の上に電界めっき用シード層の形成を行った。具体的には、ＰＶＤ法によって銅膜（膜厚１００ｎｍ）を成膜し、これを電界めっき用シード層とした。その後、電界めっき法によって、電界めっき用シード層の上に銅層を形成した後、ＣＭＰ法によって銅層、電界めっき用シード層およびバリアメタル膜を研磨した。

【００４９】

上記の例において、高抵抗層除去のためのプラズマ処理工程の前後で、ビアホールおよび配線溝の形状について詳細な観察を行った。ヘリウムガス中に混合した水素の濃度が２ａｔｏｍ％を超えると、ビアホールおよび配線溝の開口面積の増大とともに、層間絶縁膜の膜質変化による配線間容量の増大が見られるようになった。尚、比較例１として、ヘリウムガスのみを用いてプラズマ処理を行った場合には、高抵抗層を除去することはできなかった。

【００５０】

他の例として、銅配線層が形成されたシリコン基板の上に、ストッパー膜を介して、ヤング率が９．８ＧＰａで比誘電率が２．３である多孔質ＭＳＱ膜をＰＶＤ法によって形成した。次いで、この多孔質ＭＳＱ膜にビアホールおよび配線溝を形成した後、ビアホールの底面に露出した銅配線層に対して、高抵抗層除去のためのプラズマ処理を行った。

【００５１】

具体的には、まず、配線溝の形成までが行われたシリコン基板をエッチングチャンバ内に入れ、チャンバ内を所定の真空度にした。次に、ヘリウムガス中に水素ガスを１ａｔｏｍ％の濃度で混合したエッチングガスをチャンバ内に導入した後、上部電極および下部電極に所定の高周波を印加してプラズマ処理を１０秒間行った。

【００５２】

続いて、真空を維持した状態でバリアメタル膜を形成した。具体的には、ＰＶＤ法によって、ＴａＮ膜（膜厚１０ｎｍ程度）およびＴａ膜（膜厚１５ｎｍ程度）を順に成膜し、これらをバリアメタル膜とした。

【００５３】

バリアメタル膜を形成した後は、引き続き真空を維持した状態で、バリアメタル膜の上に電界めっき用シード層の形成を行った。具体的には、ＰＶＤ法によって銅膜（膜厚１００ｎｍ）を成膜し、これを電界めっき用シード層とした。その後、電界めっき法によって、電界めっき用シード層の上に銅層を形成した後、ＣＭＰ法によって銅層、電界めっき用シード層およびバリアメタル膜を研磨した。

【００５４】

その後、ＳｉＣカバー膜、SiO_2層間絶縁膜を順に積層し、コンタクトを開口した後、さらに、Ｔｉ膜、ＴｉＮ膜、Ａｌ膜を順に積層して１００μｍ□のＡｌパッドを形成した。

【００５５】

上記の例において、Ａｌパッドの電気的特性の評価を行った。図４は、ワイヤリングキャパシタンスに対する累積分布関数の変化を示したものである。図の例において、測定箇所の配線幅および配線間隔はともに０．１６μｍである。また、高抵抗層除去のためのプラズマ処理を行わずに作製したＡｌパッドを比較例２とし、これについても同様の評価を行った。尚、比較例２は、配線溝を形成した後にプラズマ処理を行わずにバリアメタル膜を成膜したことを除いては、上記と同様の工程で製造した。

【００５６】

図４から分かるように、プラズマ処理の有無にかかわらず、配線間容量の増加は殆ど認められなかった。このことは、プラズマ処理を行ってもビアホールおよび配線溝の形状が殆ど変化しないことを示している。

【００５７】

さらに、比較例３として、ヤング率が３．７ＧＰａで比誘電率が２．２である多孔質ＭＳＱ膜をＰＶＤ法によって形成したサンプルを作製し、図４と同様の評価を行った。図３の例とはＭＳＱ膜を構成する樹脂の骨格を変えることによって、ヤング率を低くした。また、比較例３と同じ多孔質ＭＳＱ膜を用い、高抵抗層除去のためのプラズマ処理を行わずに作製したＡｌパッドを比較例４として、同様の評価を行った。尚、比較例３および比較例４は、上記以外は図４の例と同様の工程で製造した。

【００５８】

図５は、比較例３および比較例４について、ワイヤリングキャパシタンスに対する累積分

布関数の変化を示したものである。図５から分かるように、高抵抗層除去のためのプラズマ処理を行うことによって、配線間容量は最大で１４％程度まで変化した。

【００５９】

また、これらのＡｌパッドについて断面の形状を詳細に観察した。ヤング率が９．８ＧＰａの多孔質ＭＳＱ膜では、高抵抗層除去のためのプラズマ処理を行っても断面形状に殆ど変化は見られなかった。一方、ヤング率が３．７ＧＰａの多孔質ＭＳＱ膜では、プラズマ処理によるＭＳＱ膜の収縮が見られた。収縮率は、配線間隔の５％程度であった。

【００６０】

尚、本実施の形態においては銅配線層を形成する例について述べたが、本発明はこれに限られるものではない。例えば、銅以外の他の金属の配線層が半導体基板に形成されていてもよい。さらに、酸化されて形成された高抵抗層をプラズマ処理によって除去する目的であれば、本発明を適用することが可能である。

【００６１】

また、本実施の形態では、レジストパターンをハードマスクへ転写した後、このハードマスクを用いて層間絶縁膜をエッチングする例について示したが、本発明はこれに限られるものではない。例えば、ハードマスクを設けずに、層間絶縁膜にレジストパターンを直接転写してもよい。

【００６２】

【発明の効果】

本発明によれば、還元性のガスを用いて高抵抗層の除去を行うことにより、ビアホールおよび配線溝の内壁がエッチングされるのを防いで、配線間容量の増加を抑制することができる。また、ビアホールや配線溝の内壁への金属の付着を防いでリーク電流を低減させることができる。

【００６３】

また、本発明によれば、ヤング率が７ＧＰａ以上の値を有する層間絶縁膜を用いることによって、プラズマ処理によるダメージを低減させることができる。

【図面の簡単な説明】

【図１】（ａ）～（ｃ）は、本実施の形態における半導体装置の製造工程を示す断面図である。

【図２】（ａ）～（ｃ）は、本実施の形態における半導体装置の製造工程を示す断面図である。

【図３】（ａ）～（ｂ）は、本実施の形態における半導体装置の製造工程を示す断面図である。

【図４】ヤング率９．８ＧＰａの場合のワイヤリングキャパシタンスに対する累積分布関数の変化を示す図である。

【図５】ヤング率３．７ＧＰａの場合のワイヤリングキャパシタンスに対する累積分布関数の変化を示す図である。

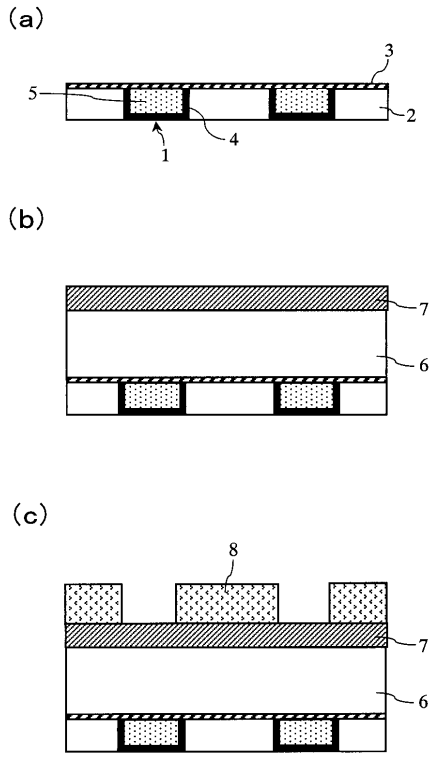
【図６】（ａ）～（ｂ）は、従来の半導体装置の製造工程を示す断面図である。

【図７】（ａ）～（ｂ）は、従来の半導体装置の製造工程を示す断面図である。

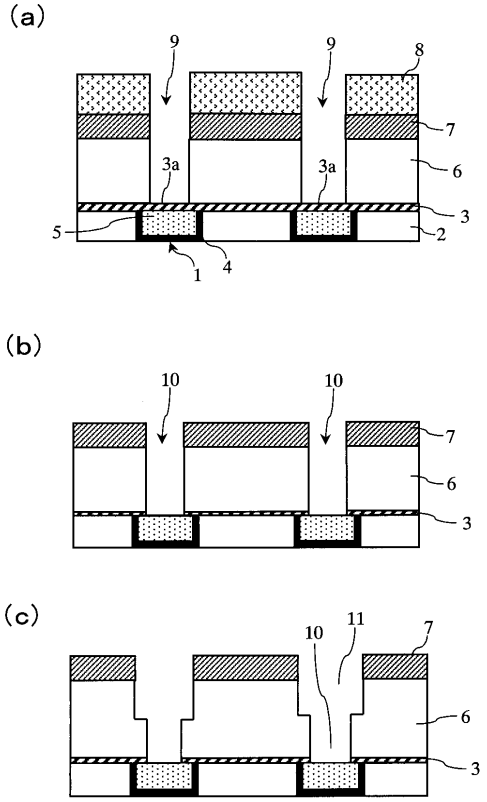
【符号の説明】

１，２０　銅配線層、　２　半導体基板、　３，２２　ストッパー膜、　４，１３，２４，２９　バリアメタル膜、　５，１４，２５，３０　銅層、　６，２３　層間絶縁膜、　７　ハードマスク、　８　レジスト膜、　９　開口部、　１０，２６　ビアホール、　１１，２７　配線溝，　１５，３１　ビアプラグ、　２１　シリコン基板。

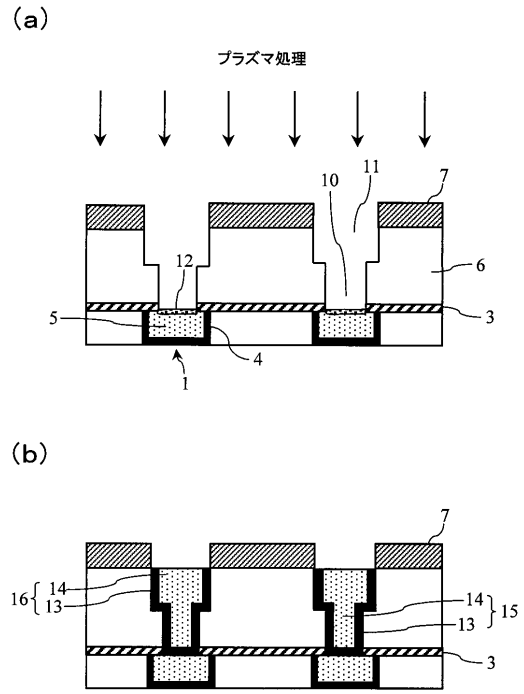
【図１】


(a)
3
5
2
4
1
(b)
7
6
(c)
8
7
6

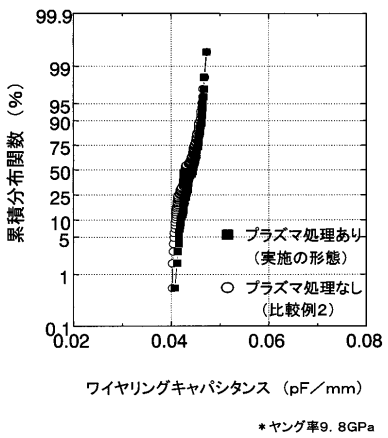
【図２】


(a)
9
9
8
7
3a
3a
6
3
5
2
1
4
(b)
10
10
7
6
3
(c)
10
11
7
6
3

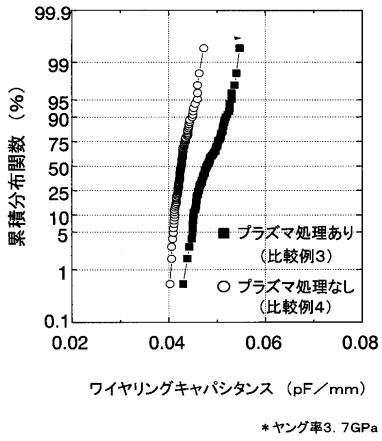
【図３】


(a)
プラズマ処理
10
11
7
12
6
5
3
4
1
(b)
7
16
14
13
14
13
15
3

【図４】

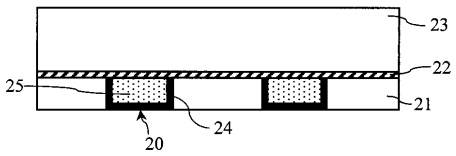

99.9
99
95
90
75
50
25
10
5
1
0.1
累積分布関数（%）
0.02
0.04
0.06
0.08
プラズマ処理あり
（実施の形態）
プラズマ処理なし
（比較例2）
ワイヤリングキャパシタンス（pF／mm）
＊ヤング率9．8GPa

【図５】

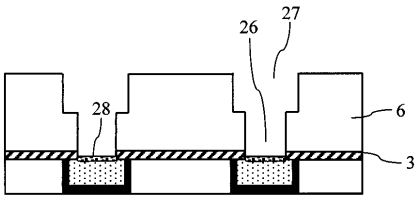

99.9
99
95
90
75
50
25
10
5
1
0.1
累積分布関数（%）
■ プラズマ処理あり
（比較例3）
○ プラズマ処理なし
（比較例4）
0.02
0.04
0.06
0.08
ワイヤリングキャパシタンス（pF／mm）
＊ヤング率3．7GPa

【図６】

（a）

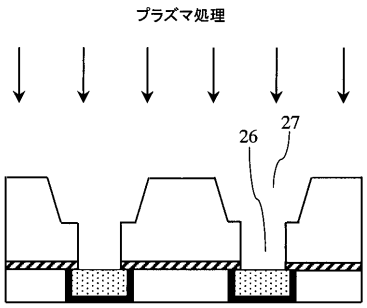

23
22
25
21
24
20

（b）

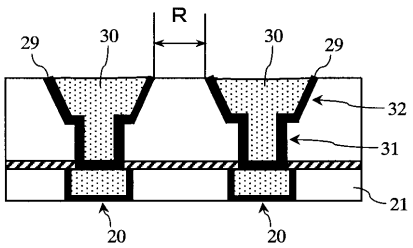

26
27
28
6
3

【図７】

（a）


プラズマ処理
26
27

（b）


R
29
30
30
29
32
31
21
20
20

フロントページの続き

(72)発明者　曽祢　修次
茨城県つくば市小野川１６番地１　株式会社半導体先端テクノロジーズ内

Ｆターム(参考) 5F033 HH08 HH11 HH18 HH21 HH32 HH33 JJ01 JJ08 JJ11 JJ18
JJ21 JJ32 JJ33 KK11 KK21 KK32 MM01 MM02 MM12 MM13
NN06 NN07 PP06 PP14 PP15 PP27 PP33 QQ00 QQ09 QQ10
QQ11 QQ13 QQ21 QQ25 QQ28 QQ37 QQ48 QQ94 QQ98 RR01
RR04 RR05 RR06 RR09 RR11 RR14 RR15 RR21 RR24 RR25
RR29 SS04 SS07 SS08 SS11 SS15 SS21 TT04 VV07 WW00
WW04 XX00 XX09 XX24 XX27