СОЮЗ СОВЕТСКИХ СОЦИАЛИСТИЧЕСКИХ РЕСПУБЛИК

(19) SU (11) 1104582 A

3 (51) G 11 C 11/00

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

13 13

# ОПИСАНИЕ ИЗОБРЕТЕНИЯ

## К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 3559992/18-24
(22) 28.02.83
(46) 23.07.84. Бюл. № 27
(72) А. Л. Хлюнев и А. А. Кузнецов
(53) 681.327(088.8)
(56) 1. Патент Франции № 2123040, кл. G 11 C 11/00, опублик. 1972.
2. Авторское свидетельство СССР № 583475, кл. G 11 C 11/00; G 11 C 9/00, 1975 (прототип).

(54)(57) ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО, содержащее накопитель, адресные входы которого соединены с выходом дешифратора адреса, входы которого подключены к выходам первого регистра адреса, усилители считывания, входы которых соединены с разрядными выходами накопителя, а выходы — с одними из входов коммутатора и информационными входами регистра регенерации, выходы которого подключены к входам записи накопителя, блок управления, входы которого соединены с выходами второго регистра адреса, а выходы — с управляющими входами коммутатора, выходы которого являются выходами устройства, *отличающееся* тем, что, с целью упрощения устройства, в него введены дешифратор номера корректируемого слова, триггер записи единиц, триггер записи нулей, триггер режима коррекции и триггеры номера корректируемого слова, выходы которых подключены к информационным входам дешифратора номера корректируемого слова, управляющий вход которого соединен с выходом триггера режима коррекции, причем выходы триггера записи единиц, триггера записи нулей и дешифратора номера корректируемого слова подключены соответственно к управляющим входам регистра регенерации, входы коррекции которого соединены с выходами коммутатора, другие входы которого являются информационными входами устройства, управляющими входами которого являются входы триггеров записи единиц, записи нулей, режима коррекции и номера корректируемого слова.

(19) SU (11) 1104582 A

Изобретение относится к вычислительной технике и может быть использовано в вычислительных устройствах и системах обработки информации.

Известно устройство, которое содержит дешифратор адреса, входы которого соединены с регистром адреса, накопитель, первая группа входов записи которого соединена с первой группой выходов регистра регенерации, блок усилителей считывания, первая группа выходов которого соединена с первой группой входов регистра регенерации и адреса слова, соединенный с первыми входами блока управления, обладающая избытком оборудования [1].

Недостатком этого устройства является сложность.

Наиболее близким техническим решением к изобретению является запоминающее устройство, содержащее дешифратор адреса, входы которого соединены с регистром адреса, накопитель, первая группа входов записи которого соединена с первой группой регистра регенерации, блок усилителей считывания, первая группа выходов которого соединена с информационными входами блока ключей коммутации, выходы которого соединены с первой группой входов регистра регенерации и регистр адреса слова, вторая группа входов регистра регенерации соединена с выходом регистра адреса слова, вторая группа выходов блока усилителей считывания соединена со вторыми входами блока управления, выходы которого подключены к управляющим входам блока ключей коммутации, а вторая группа выходов регистра регенерации соединена со второй группой входов записи накопителя [2].

Недостатком известного устройства является избыток оборудования, обусловленный необходимостью хранить в накопителе указатель положения информации в ячейке памяти, и отсутствие возможности менять информацию отдельного элементарного слова без предварительной обработки информации вне запоминающего устройства.

Целью изобретения является упрощение устройства.

Поставленная цель достигается тем, что в запоминающее устройство, содержащее накопитель, адресные входы которого соединены с выходом дешифратора адреса, входы которого подключены к выходам первого регистра адреса, усилители считывания, входы которых соединены с разрядными выходами накопителя, а выходы — с одними из входов коммутатора и информационными входами регистра регенерации, выходы которого подключены к входам записи накопителя, блок управления, входы которого соединены с выходами второго регистра адреса, а выходы — с управляющими входами коммутатора, выходы которого являются выходами устройства, введены дешифратор номера корректируемого слова, триггер записи единиц, триггер записи нулей, триггер режима коррекции и триггеры номера корректируемого слова, выходы которых подключены к информационным входам дешифратора номера корректируемого слова, управляющий вход которого соединен с выходом триггера режима коррекции, причем выходы триггера записи единиц, триггера записи нулей и дешифратора номера корректируемого слова подключены соответственно к управляющим входам регистра регенерации, входы коррекции которого соединены с выходами коммутатора, другие входы которого являются информационными входами устройства, управляющими входами которого являются входы триггеров записи единиц, записи нулей, режима коррекции и номера корректируемого слова.



На чертеже приведена функциональная схема предлагаемого запоминающего устройства.

Устройство содержит накопитель 1, дешифратор 2 адреса, первый регистр 3 адреса, усилители 4 считывания, коммутатор 5, блок 6 управления, второй регистр 7 адреса, регистр 8 регенерации.

На чертеже обозначены выходы 9 и информационные входы 10 устройства, управляющие входы 11 коммутатора. Устройство содержит также триггер 12 записи единиц, триггер 13 записи нулей, триггер 14 режима коррекции и триггеры 15 номера корректируемого слова.

На чертеже обозначены также управляющие входы 16 устройства. Устройство содержит дешифратор 17 номера корректируемого слова.

Устройство работает следующим образом.

Адрес выбираемого слова состоит из адреса ячейки накопителя 1 и адреса слова в ячейке. Адрес ячейки из регистра 3 поступает в дешифратор 2 для выборки всей группы из K элементарных слов (где K — целое число). Адрес слова в ячейке из регистра 7 поступает на входы блока 6. Считанная информация, состоящая из K элементарных слов, с выходов усилителей 4 поступает на первые информационные входы регистра 8 и на одни из входов коммутатора 5. На каждый из выходов 9 коммутатор 5 пропускает только ту группу из m разрядов, номер которой определен управляющим сигналом на выходе 11 блока 6, при этом с выходов коммутатора 5 на выходы 9 устройства поступает информация с циклическим сдвигом на $j\,m$ разрядов (где $j=0,1,2,\ldots, K-1$ — номер, m — число разрядов элементарного слова). В результате на выходах 9 устройства информации принимает вид, необходимый для дальнейшего использования, а содержимое ячейки нако-

пителя 1 после регенерации остается без изменения.

В режиме коррекции информации К-го элементарного слова на входы триггеров 15 поступает информация, определяющая номер корректируемого слова, а триггер 14 устанавливается в «единицу». Со входов 10 корректирующая информация поступает на другие входы коммутатора 5. С выходов блока 6 на входы 11 коммутатора 5 поступают сигналы, определяющие коммутацию корректирующего слова.

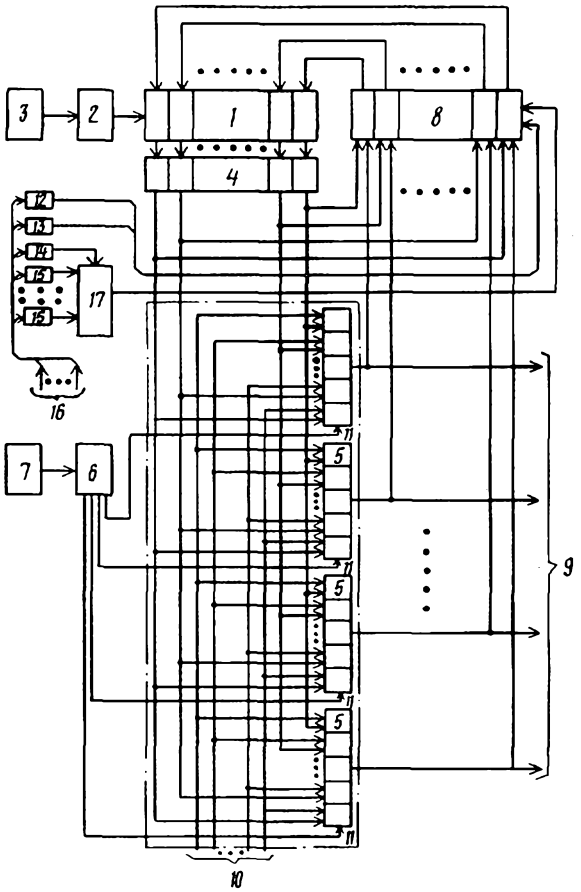
Одновременно происходит считывание корректируемой группы элементарных слов из накопителя 1 и поступление ее на первые информационные входы регистра 8 регенерации.

С выходов коммутатора 5 на входы коррекции регистра 8 поступает корректирующее слово. Управляющий сигнал, поступающий по соответствующему выходу из дешифратора 17 на соответствующий управляющий вход регистра 8, разрешает прием с первого по $j$-1 и с $j+1$ по К-е элементарных слов с информационных входов регистра 8 и $j$-го слова со входов коррекции регистра 8. С выходов последнего откорректированная информация поступает на входы записи накопителя 1.

Если требуется записать в элементарные слова с первого по $(j-1)$-ое и с $(j+1)$-го по К-е «единицы» или «нули», то устанавливается в «единицу» соответственно триггер 12 или триггер 13 и на соответствующий управляющий вход регистра 8 поступает сигнал записи «единиц» или «нулей».

Таким образом, предлагаемое изобретение позволяет корректировать хранимую информацию без предварительной обработки вне устройства и сократить объем оборудования за счет исключения необходимости хранить и воспроизводить в памяти указатель положения слов в ячейке.

Технико-экономическое преимущество предложенного устройства заключается в его упрощении по сравнению с известными.




Составитель Т. Зайцева
Редактор Н. Данкулич Техред И. Верес Корректор О. Билак
Заказ 5028/39 Тираж 575 Подписное
ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж—35, Раушская наб., д. 4/5
Филиал ППП «Патент», г. Ужгород, ул. Проектная, 4