

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2016 年 12 月 29 日 (29.12.2016)



(10) 国际公布号
WO 2016/206133 A1

- (51) 国际专利分类号:
G02F 1/1362 (2006.01) *G02F 1/1368* (2006.01)
- (21) 国际申请号: PCT/CN2015/083648
- (22) 国际申请日: 2015 年 7 月 9 日 (09.07.2015)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201510362528.8 2015 年 6 月 26 日 (26.06.2015) CN
- (71) 申请人: 武汉华星光电技术有限公司 (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD) [CN/CN]; 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430070 (CN)。
- (72) 发明人: 明星 (MING, Xing); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
申智渊 (SHEN, Zhiyuan); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (74) 代理人: 广州三环专利代理有限公司 (GUANGZHOU SCIHEAD PATENT AGENT CO., LTD); 中国

广东省广州市越秀区先烈中路 80 号汇华商贸大厦 1508 室, Guangdong 510070 (CN)。

- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第 21 条(3))。

(54) Title: PIXEL STRUCTURE, ARRAY SUBSTRATE AND DISPLAY DEVICE

(54) 发明名称: 像素结构、阵列基板及显示装置

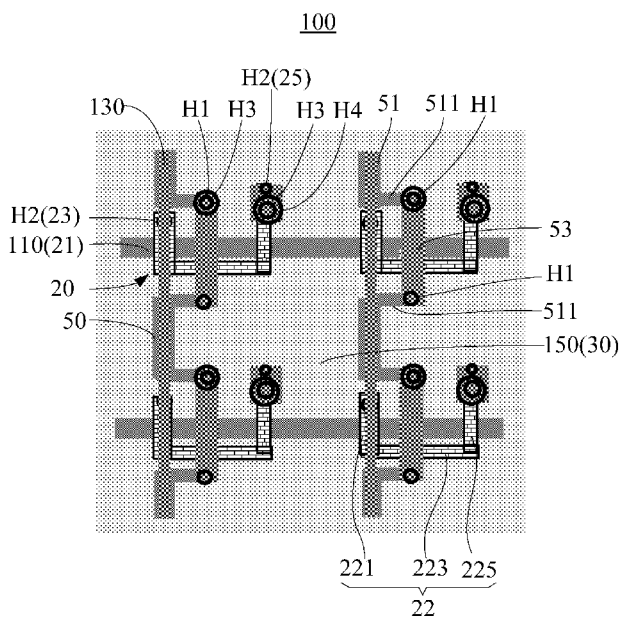


图 1

(57) Abstract: A pixel structure (100) comprises scan lines (110), data lines (130) and a pixel region (150). The scan lines (110) are arranged in parallel at intervals in a horizontal direction, the data lines (130) are arranged in parallel at intervals in a vertical direction, the scan lines (110) and the data lines (130) overlap with each other to form the pixel region (150). The pixel structure (100) further comprises a connecting electrode (50) for connection with the pixel region. The connecting electrode (50) comprises a first connecting layer (51) and a second connecting layer (53). The first connecting layer (51) and the scan lines (110) are located on the same layer, and the first connecting layer (51) is arranged to intersect with the scan lines (110). The first connecting layer (51) is cut off at an intersection with the scan lines (110). The second connecting layer (53) and the data lines (130) are located on the same layer, and the second connecting layer (53) is arranged in a manner of striding over the scan lines (110). The first connecting layer (51) is electrically connected with the second connecting layer (53) on two sides of the intersection through first through holes (H1). Also provided are an array substrate (200) and a display device. The pixel structure (100) can simplify the process flow for the array substrate (200).

(57) 摘要:

[见续页]



一种像素结构（100），包括扫描线（110）、数据线（130）及像素区域（150），所述扫描线（110）沿水平方向平行间隔设置，所述数据线（130）沿垂直方向平行间隔设置，所述扫描线（110）与所述数据线（130）相互交叠形成所述像素区域（150），所述像素结构（100）还包括用于连接所述像素区域的连接电极（50），所述连接电极（50）包括第一连接层（51）和第二连接层（53），所述第一连接层（51）与所述扫描线（110）位于同一图层，并与所述扫描线（110）交叉设置，所述第一连接层（51）在与所述扫描线（110）的交叉处被隔断，所述第二连接层（53）与所述数据线（130）位于同一图层，并跨越所述扫描线（110）设置，所述第一连接层（51）在所述交叉处的两侧通过第一过孔（H1）与所述第二连接层（53）电性连接。还提供一种阵列基板（200）及显示装置。所述像素结构（100）可以简化所述阵列基板（200）的工艺流程。

像素结构、阵列基板及显示装置

5 本发明要求 2015 年 6 月 26 日递交的发明名称为“像素结构、阵列基板及显示装置”的申请号（201510362528.8）的在先申请优先权，上述在先申请的内容以引入的方式并入本文本中。

技术领域

本发明涉及液晶显示技术领域，尤其涉及一种像素结构、一种具有该像素结构的阵列基板及一种应用该阵列基板的显示装置。

背景技术

10 随着触摸屏技术的不断发展，触控（Touch）和显示（Display）不再是两种独立的技术形式，越来越多的薄膜晶体管型液晶显示屏（Thin Film Transistor-Liquid Crystal Display, TFT-LCD）厂家开始尝试将 Touch 和 Display 两者进行有机的结合，内嵌式触控（In-Cell Touch）、单片式触控（One Glass Solution, OGS）、覆盖表面式触控（On-Cell Touch）和混合内嵌式触控（Hybrid In-Cell Touch）等将 Touch 和 Display 相结合的触控技术竞相涌现。

20 相比 OGS、On-Cell Touch 或 Hybrid In-Cell Touch 面板，In-Cell Touch 面板具备更加轻薄、工艺流程更少、结构更加稳定等优点。In-Cell Touch 技术将触控电路全部集成在 LCD 内部，无须再外贴触控感应玻璃（Touch Sensor Glass）或者在 LCD 上面再进行 On-Cell 制程，从而实现了集成化及缩短了生产流程和生产时间，使得 LCD 生产厂商的利润更大化。同时，通过使用高分辨的曝光机，可以实现 In-Cell Touch 面板更高的分辨率，并能有效防止莫瑞干涉。因此，In-Cell Touch 面板将成为中小尺寸触控面板未来发展的主流方向。

25 在 In-Cell Touch 面板的生产过程中，需要在阵列基板上设计为了触控显示的电极和走线，如采用低温多晶硅（Low Temperature Poly-silicon, LTPS）阵列，其阵列制程比传统的传统非晶硅（ α -Si）制程复杂得多。所以 In-Cell Touch 和 LTPS 的集成不但会使得阵列制程更加复杂，生产周期更长，而且对阵列制程的要求也更加严格。

In-Cell Touch 面板一般可分为自容式和互容式，二者都需要用于连接像素区域的连接电极，因此制程上会增加一道或两道光刻 (Photo Engraving Process, PEP) 制程来制作连接像素区域的连接电极 (或称作 Metal3 或 M3) 和相应的绝缘层。增加的 M3 制程会对产品的良率产生风险，因为 M3 的刻蚀制程会导致斑纹 (Mura) 缺陷。然而，在 In-Cell Touch 技术中又不得不采用 M3 以连接像素区域，因此一定程度上限制了 In-Cell Touch 面板良率提升。

发明内容

10 本发明提供一种像素结构，通过利用现有的栅极金属和源/漏极金属来制作用于连接像素区域的连接电极，以简化阵列基板制程、降低产生斑纹缺陷的风险、提升产品良率。

另外，本发明还提供一种应用该像素结构的阵列基板。

此外，本发明还提供一种应用该阵列基板的显示装置。

15 一种像素结构，包括扫描线、数据线及像素区域，所述扫描线沿水平方向平行间隔设置，所述数据线沿垂直方向平行间隔设置，所述扫描线与所述数据线相互交叠形成所述像素区域，其中，所述像素结构还包括用于连接所述像素区域的连接电极，所述连接电极包括第一连接层和第二连接层，所述第一连接层与所述扫描线位于同一图层，并与所述扫描线交叉设置，所述第一连接层在与所述扫描线的交叉处被隔断，所述第二连接层与所述数据线位于同一图层，并跨越所述扫描线设置，所述第一连接层在所述交叉处的两侧通过第一过孔与
20 所述第二连接层电性连接。

其中，所述第一连接层设置于所述数据线下方，并在被所述扫描线隔断处的两侧沿平行于所述扫描线的方向同向延伸一段距离，以在所述隔断处的两侧各形成一连接端，所述第二连接层的两端在正投影方向上与所述连接端部分重
25 叠，并通过所述第一过孔与所述连接端电性连接。

其中，所述像素结构还包括薄膜晶体管、公共电极和像素电极，所述薄膜晶体管形成于所述扫描线与所述数据线的交叠处，所述薄膜晶体管包括栅极、多晶硅层、源极和漏极，所述栅极与所述扫描线电性连接，所述多晶硅层设置于所述栅极上方，所述源极和漏极设置于所述多晶硅层上方，并分别通过一第

二过孔与所述多晶硅层电性连接,所述公共电极通过一第三过孔与所述第二连接层电性连接,所述像素电极通过一第三过孔及一第四过孔与所述漏极电性连接。

其中,所述像素结构还包括基板及依次层叠设置于所述基板上的第一绝缘层、第二绝缘层、第三绝缘层和第四绝缘层,所述栅极与所述第一连接层间隔设置于所述基板上,所述第一绝缘层设置于所述栅极及第一连接层上方,所述多晶硅层设置于所述第一绝缘层上方,且在正投影方向上与所述栅极对齐,所述第二绝缘层设置于所述多晶硅层上方,所述第三绝缘层设置于所述第二绝缘层上方,所述公共电极设置于所述第三绝缘层上方,所述第四绝缘层设置于所述公共电极上方,所述像素电极设置于所述第四绝缘层上方。

其中,所述源极、漏极及所述第二连接层设置于所述第三绝缘层内,且所述源极在正投影方向上与所述多晶硅层的一端部分重叠,所述漏极在正投影方向上所述多晶硅层的另一端部分重叠,所述第二连接层位于所述第一连接层上方,且在正投影方向上与所述第一连接层部分重叠。

其中,所述多晶硅层包括第一连接段、第二连接段及第三连接段,所述第一连接段与所述第三连接段相互平行间隔地跨越所述扫描线设置,所述第二连接段连接于所述第一连接段和第三连接段位于所述扫描线同一侧的两端之间,并与所述扫描线平行。

其中,所述第一连接层与所述栅极和所述扫描线位于同一图层,所述第二连接层与所述源极、漏极和所述数据线位于同一图层,所述第一连接层与所述栅极和扫描线在同一次制作工艺中同步形成,所述第二连接层与所述源极、漏极和所述数据线在同一次制作工艺中同步形成。

一种阵列基板,包括多条扫描线、多条数据线及多个像素区域,所述扫描线沿水平方向平行间隔设置,所述数据线沿垂直方向平行间隔设置,所述扫描线与所述数据线相互交叠形成所述像素区域,其中,所述阵列基板还包括用于连接所述像素区域的连接电极,所述连接电极包括第一连接层和第二连接层,所述第一连接层与所述扫描线位于同一图层,并与所述扫描线交叉设置,所述第一连接层在与所述扫描线的交叉处被隔断,所述第二连接层与所述数据线位于同一图层,并跨越所述扫描线设置,所述第一连接层在所述交叉处的两侧通

过第一过孔与所述第二连接层电性连接。

其中，所述第一连接层设置于所述数据线下方，并在被所述扫描线隔断处的两侧沿平行于所述扫描线的方向同向延伸一段距离，以在所述隔断处的两侧各形成一连接端，所述第二连接层的两端在正投影方向上与所述连接端部分重叠，并通过所述第一过孔与所述连接端电性连接。

其中，所述阵列基板还包括多个薄膜晶体管、多个公共电极和多个像素电极，所述多个薄膜晶体管形成于所述扫描线与所述数据线的交叠处，每一所述薄膜晶体管包括栅极、多晶硅层、源极和漏极，所述栅极与所述扫描线电性连接，所述多晶硅层设置于所述栅极上方，所述源极和漏极设置于所述多晶硅层上方，并分别通过一第二过孔与所述多晶硅层电性连接，所述公共电极通过一第三过孔与所述第二连接层电性连接，所述像素电极通过一第三过孔及一第四过孔与所述漏极电性连接。

其中，所述阵列基板还包括基板及依次层叠设置于所述基板上的第一绝缘层、第二绝缘层、第三绝缘层和第四绝缘层，所述栅极与所述第一连接层间隔设置于所述基板上，所述第一绝缘层设置于所述栅极及第一连接层上方，所述多晶硅层设置于所述第一绝缘层上方，且在正投影方向上与所述栅极对齐，所述第二绝缘层设置于所述多晶硅层上方，所述第三绝缘层设置于所述第二绝缘层上方，所述公共电极设置于所述第三绝缘层上方，所述第四绝缘层设置于所述公共电极上方，所述像素电极设置于所述第四绝缘层上方。

其中，所述源极、漏极及所述第二连接层设置于所述第三绝缘层内，且所述源极在正投影方向上与所述多晶硅层的一端部分重叠，所述漏极在正投影方向上所述多晶硅层的另一端部分重叠，所述第二连接层位于所述第一连接层上方，且在正投影方向上与所述第一连接层部分重叠。

其中，所述多晶硅层包括第一连接段、第二连接段及第三连接段，所述第一连接段与所述第三连接段相互平行间隔地跨越所述扫描线设置，所述第二连接段连接于所述第一连接段和第三连接段位于所述扫描线同一侧的两端之间，并与所述扫描线平行。

其中，所述第一连接层与所述栅极和所述扫描线位于同一图层，所述第二连接层与所述源极、漏极和所述数据线位于同一图层，所述第一连接层与所述

栅极和扫描线在同一次制作工艺中同步形成,所述第二连接层与所述源极、漏极和所述数据线在同一次制作工艺中同步形成。

一种显示装置,包括阵列基板,其中,所述阵列基板包括多条扫描线、多条数据线及多个像素区域,所述扫描线沿水平方向平行间隔设置,所述数据线沿垂直方向平行间隔设置,所述扫描线与所述数据线相互交叠形成所述像素区域,其中,所述阵列基板还包括用于连接所述像素区域的连接电极,所述连接电极包括第一连接层和第二连接层,所述第一连接层与所述扫描线位于同一图层,并与所述扫描线交叉设置,所述第一连接层在与所述扫描线的交叉处被隔断,所述第二连接层与所述数据线位于同一图层,并跨越所述扫描线设置,所述第一连接层在所述交叉处的两侧通过第一过孔与所述第二连接层电性连接。

其中,所述第一连接层设置于所述数据线下方,并在被所述扫描线隔断处的两侧沿平行于所述扫描线的方向同向延伸一段距离,以在所述隔断处的两侧各形成一连接端,所述第二连接层的两端在正投影方向上与所述连接端部分重叠,并通过所述第一过孔与所述连接端电性连接。

其中,所述阵列基板还包括多个薄膜晶体管、多个公共电极和多个像素电极,所述多个薄膜晶体管形成于所述扫描线与所述数据线的交叠处,每一所述薄膜晶体管包括栅极、多晶硅层、源极和漏极,所述栅极与所述扫描线电性连接,所述多晶硅层设置于所述栅极上方,所述源极和漏极设置于所述多晶硅层上方,并分别通过一第二过孔与所述多晶硅层电性连接,所述公共电极通过一第三过孔与所述第二连接层电性连接,所述像素电极通过一第三过孔及一第四过孔与所述漏极电性连接。

其中,所述阵列基板还包括基板及依次层叠设置于所述基板上的第一绝缘层、第二绝缘层、第三绝缘层和第四绝缘层,所述栅极与所述第一连接层间隔设置于所述基板上,所述第一绝缘层设置于所述栅极及第一连接层上方,所述多晶硅层设置于所述第一绝缘层上方,且在正投影方向上与所述栅极对齐,所述第二绝缘层设置于所述多晶硅层上方,所述第三绝缘层设置于所述第二绝缘层上方,所述公共电极设置于所述第三绝缘层上方,所述第四绝缘层设置于所述公共电极上方,所述像素电极设置于所述第四绝缘层上方。

其中,所述源极、漏极及所述第二连接层设置于所述第三绝缘层内,且所

述源极在正投影方向上与所述多晶硅层的一端部分重叠,所述漏极在正投影方向上所述多晶硅层的另一端部分重叠,所述第二连接层位于所述第一连接层上方,且在正投影方向上与所述第一连接层部分重叠。

其中,所述多晶硅层包括第一连接段、第二连接段及第三连接段,所述第一连接段与所述第三连接段相互平行间隔地跨越所述扫描线设置,所述第二连接段连接于所述第一连接段和第三连接段位于所述扫描线同一侧的两端之间,并与所述扫描线平行。

本发明所述像素结构,通过将所述第一连接层与所述栅极和扫描线在同一次制作工艺中同步形成,以及将所述第二连接层与所述源极、漏极和所述数据线在同一次制作工艺中同步形成,进一步通过所述第一过孔将所述第一连接层和所述第二连接层电性连接,形成用于连接所述像素区域的连接电极,从而无需单独增加一道或多道制作工艺来形成所述连接电极,简化了工艺流程,并能降低产生斑纹缺陷的风险,提升产品良率。

15 附图说明

为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

20 图1是本发明第一实施例的像素结构的平面结构示意图。

图2是图1所示像素结构的剖面结构示意图。

图3是本发明第二实施例的阵列基板的平面结构示意图。

具体实施方式

25 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

为便于描述,这里可以使用诸如“在...之下”、“在...下面”、“下”、“在...

之上”、“上”等空间相对性术语来描述如图中所示的一个元件或特征与另一个(些)元件或特征的关系。可以理解, 当一个元件或层被称为在另一元件或层“上”、“连接到”或“耦接到”另一元件或层时, 它可以直接在另一元件或层上、直接连接到或耦接到另一元件或层, 或者可以存在居间元件或层。相反, 当一个元件被称为“直接在”另一元件或层上、“直接连接到”或“直接耦接到”另一元件或层时, 不存在居间元件或层。

可以理解, 这里所用的术语仅是为了描述特定实施例, 并非要限制本发明。在这里使用时, 除非上下文另有明确表述, 否则单数形式“一”和“该”也旨在包括复数形式。进一步地, 当在本说明书中使用时, 术语“包括”和/或“包含”表明所述特征、整体、步骤、操作、元件和/或组件的存在, 但不排除一个或多个其他特征、整体、步骤、操作、元件、组件和/或其组合的存在或增加。

除非另行定义, 这里使用的所有术语(包括技术术语和科学术语)都具有本发明所属领域内的普通技术人员所通常理解的相同含义。将进一步理解, 诸如通用词典中所定义的术语, 否则应当被解释为具有与它们在相关领域的语境中的含义相一致的含义, 而不应被解释为理想化或过度形式化的意义, 除非在此明确地如此定义。

请参阅图 1, 本发明提供一种像素结构 100, 其通过利用现有的栅极金属和源/漏极金属来制作用于连接像素区域的连接电极, 以简化制程、降低产生斑纹缺陷的风险、提升产品良率。

所述像素结构 100 包括扫描线 110、数据线 130、像素区域 150 以及用于连接所述像素区域 150 的连接电极 50。所述扫描线 110 为栅极扫描线, 其沿水平方向相互平行间隔设置, 所述数据线 130 沿垂直方向相互平行间隔设置, 相邻的两条所述扫描线 110 与相邻的两条所述数据线 130 相互交叠, 从而形成一个像素区域 150。

所述连接电极 50 包括第一连接层 51 和第二连接层 53。所述第一连接层 51 与所述扫描线 110 位于同一图层, 所述第二连接层 53 与所述数据线 130 位于同一图层。所述第一连接层 51 与所述扫描线 110 相互交叉设置, 并在与所述扫描线 110 的交叉处被所述扫描线 110 隔断。所述第二连接层 53 与所述数

据线 130 平行，并跨越所述扫描线 110 设置。所述第一连接层 51 在所述交叉处的两侧通过第一过孔 H1 与所述第二连接层 53 电性连接，即，所述第一连接层 51 在所述扫描线 110 的两侧通过该第一过孔 H1 与所述第二连接层 53 电性连接，从而使得位于不同像素区域 150 的所述第一连接层 51 之间相互电性连接，形成所述连接电极 50，以连接不同的像素区域 150。

在本实施例中，所述第一连接层 51 设置于所述数据线 130 下方，并在被所述扫描线 110 隔断处的两侧沿平行于所述扫描线 110 的方向同向延伸一段距离，以在所述隔断处的两侧各形成一连接端 511。所述第二连接层 53 的两端在正投影方向上与所述第一连接层 51 被所述扫描线 110 隔断处两侧的连接端 511 部分重叠，并通过所述第一过孔 H1 与所述连接端 511 电性连接。

请一并参阅图 2，图 2 为图 1 所示像素结构 100 的部分剖面结构示意图。需要说明的是，图 2 所示的剖面结构示意图并非严格按照图 1 所述像素结构 100 的平面结构示意图中某一切剖方向进行切割而得到，因此，图 2 仅用于结合图 1 以进一步解释所述像素结构 100 的内部结构。

所述像素结构 100 还包括基板 10 及依次层叠设置于所述基板 10 上的第一绝缘层 11、第二绝缘层 13、第三绝缘层 15 和第四绝缘层 17，以及薄膜晶体管 20、公共电极 30 和像素电极 40。

所述薄膜晶体管 20 包括栅极 21、多晶硅层 22、源极 23 和漏极 25。所述栅极 21 与所述连接电极 50 的第一连接层 51 间隔设置于所述基板 10 上。所述第一绝缘层 11 设置于所述栅极 21 及第一连接层 51 上方。所述多晶硅层 22 设置于所述第一绝缘层 11 上方，且在正投影方向上与所述栅极 21 大致对齐。所述第二绝缘层 13 设置于所述多晶硅层 22 上，并贴紧该多晶硅层 22。所述第三绝缘层 15 设置于所述第二绝缘层 13 上方。所述源极 23、漏极 25 及所述连接电极 50 的第二连接层 53 设置于所述第三绝缘层 15 内。所述源极 23 和漏极 25 位于所述多晶硅层 22 上方，且所述源极 23 在正投影方向上与所述栅极 21 及多晶硅层 22 的一端部分重叠，所述漏极 25 在正投影方向上所述栅极 21 及多晶硅层 22 的另一端部分重叠。所述源极 23 和漏极 25 分别通过一第二过孔 H2 与所述多晶硅层 22 的相对两端电性连接。所述第二连接层 53 位于所述第一连接层 51 上方，且在正投影方向上与所述第一连接层 51 部分重叠。所述第

二连接层 53 两侧分别通过一第一过孔 H1 与所述第一连接层 51 电性连接。

所述公共电极 30 设置于所述第三绝缘层 15 上方，并通过一第三过孔 H3 与
所述第二连接层 53 电性连接。所述第四绝缘层 17 设置于所述公共电极 30
上方。所述像素电极 40 设置于所述第四绝缘层 17 上方，并通过一贯穿所述第
5 四绝缘层 17 的第四过孔 H4 和贯穿部分第三绝缘层 15 的第三过孔 H3 与所述
薄膜晶体管 20 的漏极 25 电性连接。

请再次参阅图 1，所述薄膜晶体管 20 形成于所述扫描线 110 与所述数据
线 130 的交叠处。所述栅极 21 与所述扫描线 110 位于同一图层，并与所述扫
描线 110 电性连接。所述多晶硅层 22 大致呈“U”形，其包括第一连接段 221、
10 第二连接段 223 及第三连接段 225。所述第一连接段 221 与所述第三连接段 225
相互平行间隔地跨越所述扫描线 110 设置。所述第二连接段 223 连接于所述第
一连接段 221 和第三连接段 225 位于所述扫描线 110 同一侧的两端之间，并与
所述扫描线 110 平行。所述源极 23、漏极 25 分别设置于所述第一连接段 221
和第三连接段 225 远离所述第二连接段 223 一端的上方(即，所述源极 23 和漏
15 极 25 分别设置于所述第一连接段 221 和第三连接段 225 相对所述扫描线 110
另一侧的两端)，并分别通过所述第二过孔 H2 与所述第一连接段 221 和第三连
接段 225 电性连接。所述源极 23 与所述数据线 130 位于同一图层，并与所述
数据线 130 电性连接。所述漏极 25 通过所述第三过孔 H3 和第四过孔 H4 与所
述像素电极(图未示)电性连接。所述公共电极 30 通过所述第三过孔 H3 与
20 所述第二连接层 53 电性连接。可以理解的是，在本申请的图 1 中，由于源极
23 与第二过孔 H2 的位置重叠，因此二者用一条引线表示，同理，图 1 中栅极
21 与扫描线 110 用一条引线表示，漏极 25 与第二过孔 H2 用一条引线表示，
像素区域 150 与公共电极 30 也用一条引线表示。

可以理解，所述第一连接层 51 与所述栅极 21 和所述扫描线 110 位于同一
25 图层，所述第二连接层 53 与所述源极 23、漏极 25 和所述数据线 130 位于同
一图层。因此，所述第一连接层 51 可以与所述栅极 21 和扫描线 110 在同一次
制作工艺中同步形成，所述第二连接层 53 可以与所述源极 23、漏极 25 和所
述数据线 130 在同一次制作工艺中同步形成。进一步地，通过所述第一过孔
H1 将所述第一连接层 51 和所述第二连接层 53 电性连接，形成用于连接所述

像素区域 150 的连接电极 50，从而无需单独增加一道或多道制作工艺来形成所述连接电极 50，简化了工艺流程。

请参阅图 3，本发明第二实施例提供一应用图 1 及图 2 所示的像素结构 100 的阵列基板 200。所述阵列基板 200 包括多条扫描线 210、多条数据线 230 及
5 多个像素区域 250。所述多条扫描线 210 为栅极扫描线，其沿水平方向相互平行间隔设置，所述多条数据线 230 沿垂直方向相互平行间隔设置，相邻的两条所述扫描线 210 与相邻的两条所述数据线 230 相互交叠，从而形成一个像素区域 250。

所述阵列基板 200 还包括多条用于连接所述像素区域 250 的连接电极 50。
10 所述连接电极 50 包括第一连接层 51 和第二连接层 53。所述第一连接层 51 与所述扫描线 210 位于同一图层，所述第二连接层 53 与所述数据线 230 位于同一图层。所述第一连接层 51 与所述扫描线 210 相互交叉设置，并在与所述扫描线 210 的交叉处被所述扫描线 210 隔断。所述第二连接层 53 与所述数据线 230 平行，并跨越所述扫描线 210 设置。所述第一连接层 51 在所述交叉处的
15 两侧通过第一过孔 H1 与所述第二连接层 53 电性连接，即，所述第一连接层 51 在所述扫描线 210 的两侧通过该第一过孔 H1 与所述第二连接层 53 电性连接，从而使得位于不同像素区域 250 的所述第一连接层 51 之间相互电性连接，形成所述连接电极 50，以连接不同像素区域 250。

在本实施例中，所述第一连接层 51 设置于所述数据线 230 下方，并在被
20 所述扫描线 210 隔断处的两侧沿平行于所述扫描线 210 的方向同向延伸一段距离，以在所述隔断处的两侧各形成一连接端 511。所述第二连接层 53 的两端在正投影方向上与所述第一连接层 51 被所述扫描线 210 隔断处两侧的连接端 511 部分重叠，并通过所述第一过孔 H1 与所述连接端 511 电性连接。

所述阵列基板 200 还包括多个薄膜晶体管 T、多个公共电极 Vcom 及多个
25 像素电极（图未示）。所述多个薄膜晶体管 T 形成于所述扫描线 210 与所述数据线 230 交叠处。每一所述薄膜晶体管 T 包括栅极 g、多晶硅层 p、源极 s 和漏极 d。所述栅极 g 与所述扫描线 210 位于同一图层，并与所述扫描线 210 电性连接。所述多晶硅层 p 大致呈“L”形，其包括第一连接段 p1、第二连接段 p3 及第三连接段 p5。所述第一连接段 p1 与所述第三连接段 p5 相互平行

间隔地跨越所述扫描线 210 设置。所述第二连接段 p3 连接于所述第一连接段 p1 和第三连接段 p5 位于所述扫描线 210 同一侧的两端之间，并与所述扫描线 210 平行。所述源极 s、漏极 d 分别设置于所述第一连接段 p1 和第三连接段 p5 远离所述第二连接段 p3 一端的上方(即，所述源极 s 和漏极 d 分别设置于所述第一连接段 p1 和第三连接段 p3 相对所述扫描线 210 另一侧的两端)，并分别通过一第二过孔 H2 与所述第一连接段 p1 和第三连接段 p5 电性连接。所述公共电极 Vcom 通过一第三过孔 H3 与所述第二连接层 53 电性连接。所述源极 s 与所述数据线 230 位于同一图层，并与所述数据线 230 电性连接。所述漏极 d 通过一第三过孔 H3 及一第四过孔 H4 与所述像素电极(图未示)电性连接。可以理解的是，在本申请的图 3 中，由于源极 s 与第二过孔 H2 的位置重叠，因此二者用一条引线表示，同理，图 1 中栅极 g 与扫描线 210 用一条引线表示，漏极 d 与第二过孔 H2 用一条引线表示，像素区域 250 与公共电极 Vcom 也用一条引线表示。

可以理解，所述第一连接层 51 与所述栅极 g 和所述扫描线 210 位于同一图层，所述第二连接层 53 与所述源极 g、漏极 d 和所述数据线 230 位于同一图层。因此，所述第一连接层 51 可以与所述栅极 g 和扫描线 210 在同一次制作工艺中同步形成，所述第二连接层 53 可以与所述源极 s、漏极 d 和所述数据线 230 在同一次制作工艺中同步形成。进一步地，通过所述第一过孔 H1 将所述第一连接层 51 和所述第二连接层 53 电性连接，形成用于连接所述像素区域 250 的连接电极 50，从而无需单独增加一道或多道制作工艺来形成所述连接电极 50，简化了制造所述阵列基板 200 的工艺流程。

另，本发明还提供一种应用所述阵列基板 200 的显示装置，通过将所述第一连接层 51 与所述栅极 g 和扫描线 210 在同一次制作工艺中同步形成，并将所述第二连接层 53 与所述源极 s、漏极 d 和所述数据线 230 在同一次制作工艺中同步形成。进而通过所述第一过孔 H1 将所述第一连接层 51 和所述第二连接层 53 电性连接，形成用于连接所述像素区域 250 的连接电极 50，从而无需单独增加一道或多道制作工艺来形成所述连接电极 50，简化了制造所述显示装置的工艺流程，并能降低产生斑纹缺陷的风险，提升产品良率。

以上所揭露的仅为本发明的较佳实施例而已，当然不能以此来限定本发明

之权利范围，本领域普通技术人员可以理解实现上述实施例的全部或部分流程，并依本发明权利要求所作的等同变化，仍属于发明所涵盖的范围。

权 利 要 求

1、一种像素结构，包括扫描线、数据线及像素区域，所述扫描线沿水平方向平行间隔设置，所述数据线沿垂直方向平行间隔设置，所述扫描线与所述
5 数据线相互交叠形成所述像素区域，其中，所述像素结构还包括用于连接所述像素区域的连接电极，所述连接电极包括第一连接层和第二连接层，所述第一连接层与所述扫描线位于同一图层，并与所述扫描线交叉设置，所述第一连接层在与所述扫描线的交叉处被隔断，所述第二连接层与所述数据线位于同一图层，并跨越所述扫描线设置，所述第一连接层在所述交叉处的两侧通过第一过
10 孔与所述第二连接层电性连接。

2、如权利要求 1 所述的像素结构，其中，所述第一连接层设置于所述数据线下，并在被所述扫描线隔断处的两侧沿平行于所述扫描线的方向同向延伸一段距离，以在所述隔断处的两侧各形成一连接端，所述第二连接层的两端在正投影方向上与所述连接端部分重叠，并通过所述第一过孔与所述连接端电
15 性连接。

3、如权利要求 1 所述的像素结构，其中，所述像素结构还包括薄膜晶体管、公共电极和像素电极，所述薄膜晶体管形成于所述扫描线与所述数据线的交叠处，所述薄膜晶体管包括栅极、多晶硅层、源极和漏极，所述栅极与所述扫描线电性连接，所述多晶硅层设置于所述栅极上方，所述源极和漏极设置于
20 所述多晶硅层上方，并分别通过一第二过孔与所述多晶硅层电性连接，所述公共电极通过一第三过孔与所述第二连接层电性连接，所述像素电极通过一第三过孔及一第四过孔与所述漏极电性连接。

4、如权利要求 3 所述的像素结构，其中，所述像素结构还包括基板及依次层叠设置于所述基板上的第一绝缘层、第二绝缘层、第三绝缘层和第四绝缘
25 层，所述栅极与所述第一连接层间隔设置于所述基板上，所述第一绝缘层设置于所述栅极及第一连接层上方，所述多晶硅层设置于所述第一绝缘层上方，且在正投影方向上与所述栅极对齐，所述第二绝缘层设置于所述多晶硅层上方，所述第三绝缘层设置于所述第二绝缘层上方，所述公共电极设置于所述第三绝缘层上方，所述第四绝缘层设置于所述公共电极上方，所述像素电极设置于所

述第四绝缘层上方。

5 5、如权利要求 4 所述的像素结构，其中，所述源极、漏极及所述第二连接层设置于所述第三绝缘层内，且所述源极在正投影方向上与所述多晶硅层的一端部分重叠，所述漏极在正投影方向上所述多晶硅层的另一端部分重叠，所述第二连接层位于所述第一连接层上方，且在正投影方向上与所述第一连接层部分重叠。

10 6、如权利要求 3 所述的像素结构，其中，所述多晶硅层包括第一连接段、第二连接段及第三连接段，所述第一连接段与所述第三连接段相互平行间隔地跨越所述扫描线设置，所述第二连接段连接于所述第一连接段和第三连接段位于所述扫描线同一侧的两端之间，并与所述扫描线平行。

15 7、如权利要求 3 所述的像素结构，其中，所述第一连接层与所述栅极和所述扫描线位于同一图层，所述第二连接层与所述源极、漏极和所述数据线位于同一图层，所述第一连接层与所述栅极和扫描线在同一次制作工艺中同步形成，所述第二连接层与所述源极、漏极和所述数据线在同一次制作工艺中同步形成。

20 8、一种阵列基板，包括多条扫描线、多条数据线及多个像素区域，所述扫描线沿水平方向平行间隔设置，所述数据线沿垂直方向平行间隔设置，所述扫描线与所述数据线相互交叠形成所述像素区域，其中，所述阵列基板还包括用于连接所述像素区域的连接电极，所述连接电极包括第一连接层和第二连接层，所述第一连接层与所述扫描线位于同一图层，并与所述扫描线交叉设置，所述第一连接层在与所述扫描线的交叉处被隔断，所述第二连接层与所述数据线位于同一图层，并跨越所述扫描线设置，所述第一连接层在所述交叉处的两侧通过第一过孔与所述第二连接层电性连接。

25 9、如权利要求 8 所述的阵列基板，其中，所述第一连接层设置于所述数据线下方，并在被所述扫描线隔断处的两侧沿平行于所述扫描线的方向同向延伸一段距离，以在所述隔断处的两侧各形成一连接端，所述第二连接层的两端在正投影方向上与所述连接端部分重叠，并通过所述第一过孔与所述连接端电性连接。

10、如权利要求 8 所述的阵列基板，其中，所述阵列基板还包括多个薄膜

晶体管、多个公共电极和多个像素电极，所述多个薄膜晶体管形成于所述扫描线与所述数据线的交叠处，每一所述薄膜晶体管包括栅极、多晶硅层、源极和漏极，所述栅极与所述扫描线电性连接，所述多晶硅层设置于所述栅极上方，所述源极和漏极设置于所述多晶硅层上方，并分别通过一第二过孔与所述多晶硅层电性连接，所述公共电极通过一第三过孔与所述第二连接层电性连接，所述像素电极通过一第三过孔及一第四过孔与所述漏极电性连接。

11、如权利要求 10 所述的阵列基板，其中，所述阵列基板还包括基板及依次层叠设置于所述基板上的第一绝缘层、第二绝缘层、第三绝缘层和第四绝缘层，所述栅极与所述第一连接层间隔设置于所述基板上，所述第一绝缘层设置于所述栅极及第一连接层上方，所述多晶硅层设置于所述第一绝缘层上方，且在正投影方向上与所述栅极对齐，所述第二绝缘层设置于所述多晶硅层上方，所述第三绝缘层设置于所述第二绝缘层上方，所述公共电极设置于所述第三绝缘层上方，所述第四绝缘层设置于所述公共电极上方，所述像素电极设置于所述第四绝缘层上方。

12、如权利要求 11 所述的阵列基板，其中，所述源极、漏极及所述第二连接层设置于所述第三绝缘层内，且所述源极在正投影方向上与所述多晶硅层的一端部分重叠，所述漏极在正投影方向上所述多晶硅层的另一端部分重叠，所述第二连接层位于所述第一连接层上方，且在正投影方向上与所述第一连接层部分重叠。

13、如权利要求 10 所述的阵列基板，其中，所述多晶硅层包括第一连接段、第二连接段及第三连接段，所述第一连接段与所述第三连接段相互平行间隔地跨越所述扫描线设置，所述第二连接段连接于所述第一连接段和第三连接段位于所述扫描线同一侧的两端之间，并与所述扫描线平行。

14、如权利要求 10 所述的阵列基板，其中，所述第一连接层与所述栅极和所述扫描线位于同一图层，所述第二连接层与所述源极、漏极和所述数据线位于同一图层，所述第一连接层与所述栅极和扫描线在同一次制作工艺中同步形成，所述第二连接层与所述源极、漏极和所述数据线在同一次制作工艺中同步形成。

15、一种显示装置，包括阵列基板，其中，所述阵列基板包括多条扫描线、

多条数据线及多个像素区域,所述扫描线沿水平方向平行间隔设置,所述数据线沿垂直方向平行间隔设置,所述扫描线与所述数据线相互交叠形成所述像素区域,其中,所述阵列基板还包括用于连接所述像素区域的连接电极,所述连接电极包括第一连接层和第二连接层,所述第一连接层与所述扫描线位于同一
5 图层,并与所述扫描线交叉设置,所述第一连接层在与所述扫描线的交叉处被隔断,所述第二连接层与所述数据线位于同一图层,并跨越所述扫描线设置,所述第一连接层在所述交叉处的两侧通过第一过孔与所述第二连接层电性连接。

16、如权利要求 15 所述的显示装置,其中,所述第一连接层设置于所述
10 数据线下方,并在被所述扫描线隔断处的两侧沿平行于所述扫描线的方向同向延伸一段距离,以在所述隔断处的两侧各形成一连接端,所述第二连接层的两端在正投影方向上与所述连接端部分重叠,并通过所述第一过孔与所述连接端电性连接。

17、如权利要求 15 所述的显示装置,其中,所述阵列基板还包括多个薄
15 膜晶体管、多个公共电极和多个像素电极,所述多个薄膜晶体管形成于所述扫描线与所述数据线的交叠处,每一所述薄膜晶体管包括栅极、多晶硅层、源极和漏极,所述栅极与所述扫描线电性连接,所述多晶硅层设置于所述栅极上方,所述源极和漏极设置于所述多晶硅层上方,并分别通过一第二过孔与所述多晶硅层电性连接,所述公共电极通过一第三过孔与所述第二连接层电性连接,所
20 述像素电极通过一第三过孔及一第四过孔与所述漏极电性连接。

18、如权利要求 17 所述的显示装置,其中,所述阵列基板还包括基板及依次层叠设置于所述基板上的第一绝缘层、第二绝缘层、第三绝缘层和第四绝缘层,所述栅极与所述第一连接层间隔设置于所述基板上,所述第一绝缘层设置于所述栅极及第一连接层上方,所述多晶硅层设置于所述第一绝缘层上方,
25 且在正投影方向上与所述栅极对齐,所述第二绝缘层设置于所述多晶硅层上方,所述第三绝缘层设置于所述第二绝缘层上方,所述公共电极设置于所述第三绝缘层上方,所述第四绝缘层设置于所述公共电极上方,所述像素电极设置于所述第四绝缘层上方。

19、如权利要求 18 所述的显示装置,其中,所述源极、漏极及所述第二

连接层设置于所述第三绝缘层内，且所述源极在正投影方向上与所述多晶硅层的一端部分重叠，所述漏极在正投影方向上所述多晶硅层的另一端部分重叠，所述第二连接层位于所述第一连接层上方，且在正投影方向上与所述第一连接层部分重叠。

- 5 20、如权利要求 17 所述的显示装置，其中，所述多晶硅层包括第一连接段、第二连接段及第三连接段，所述第一连接段与所述第三连接段相互平行间隔地跨越所述扫描线设置，所述第二连接段连接于所述第一连接段和第三连接段位于所述扫描线同一侧的两端之间，并与所述扫描线平行。

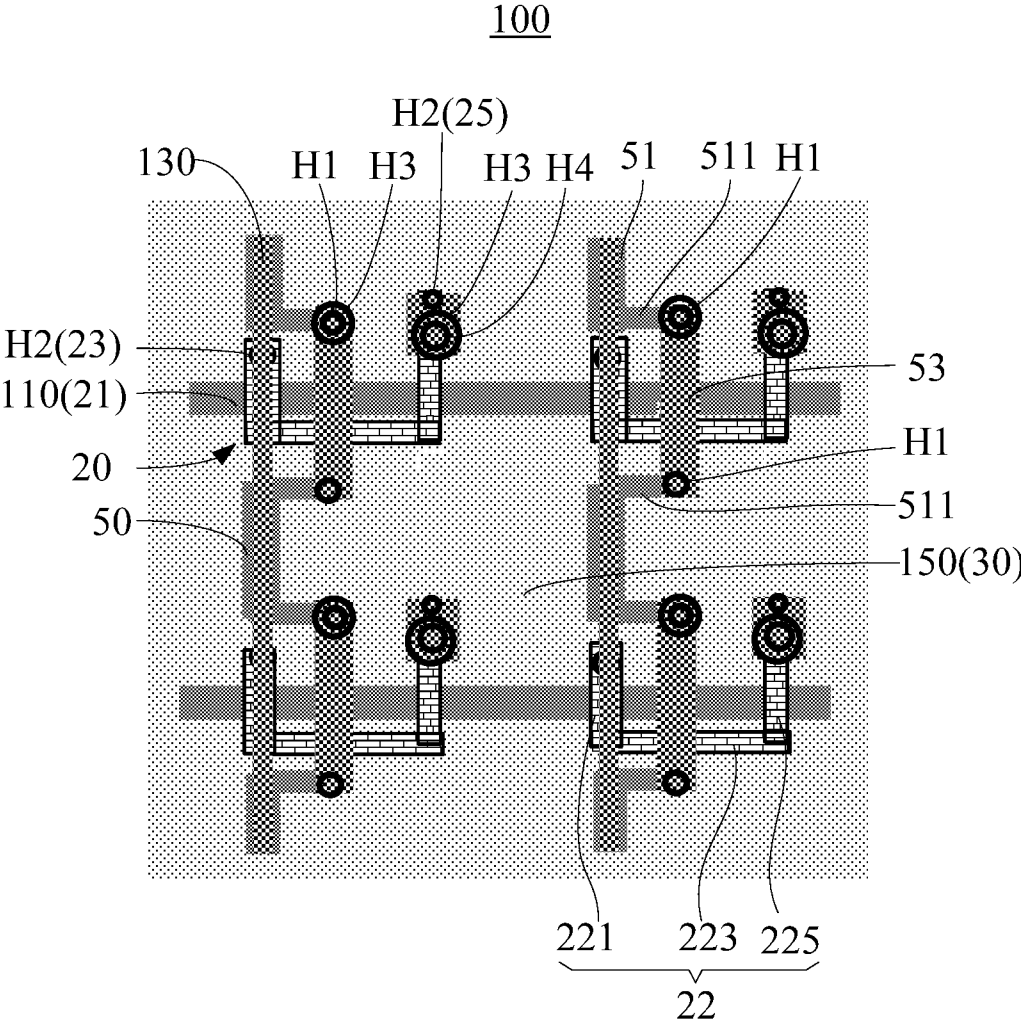


图 1

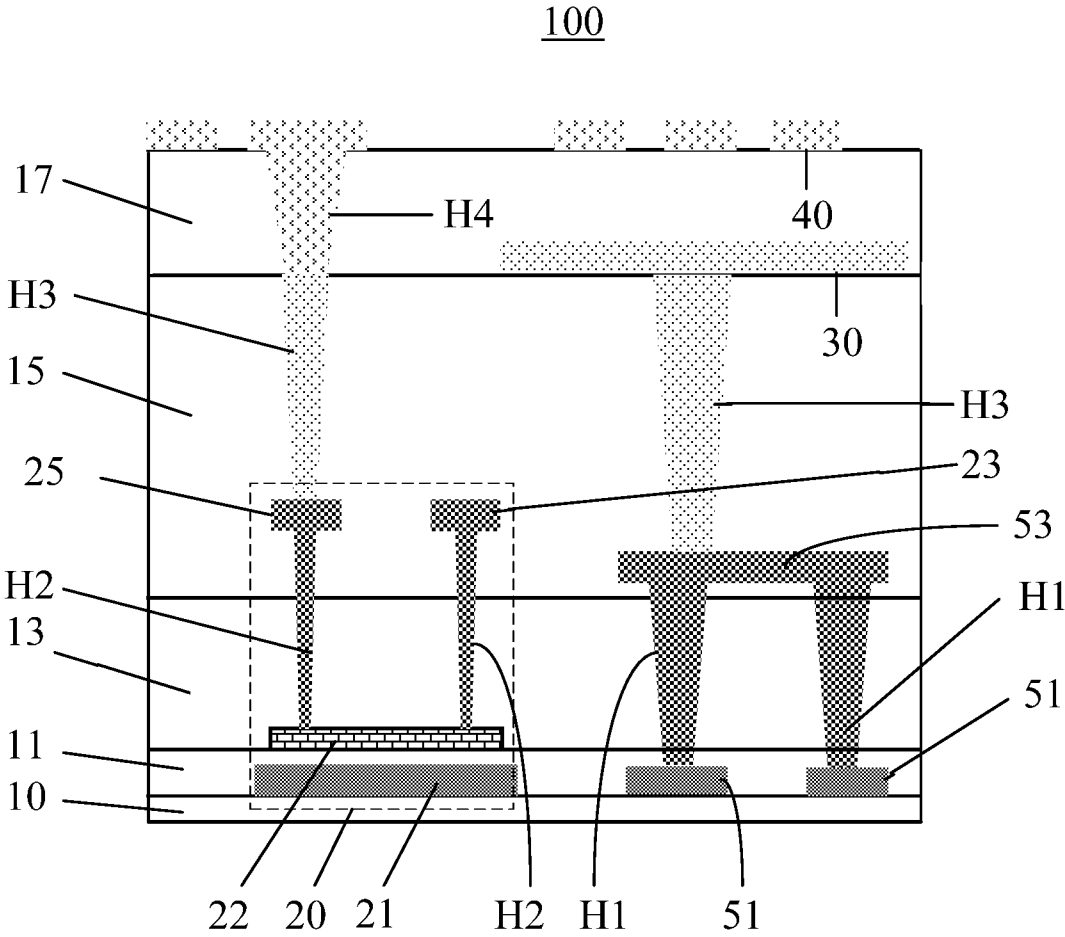


图 2

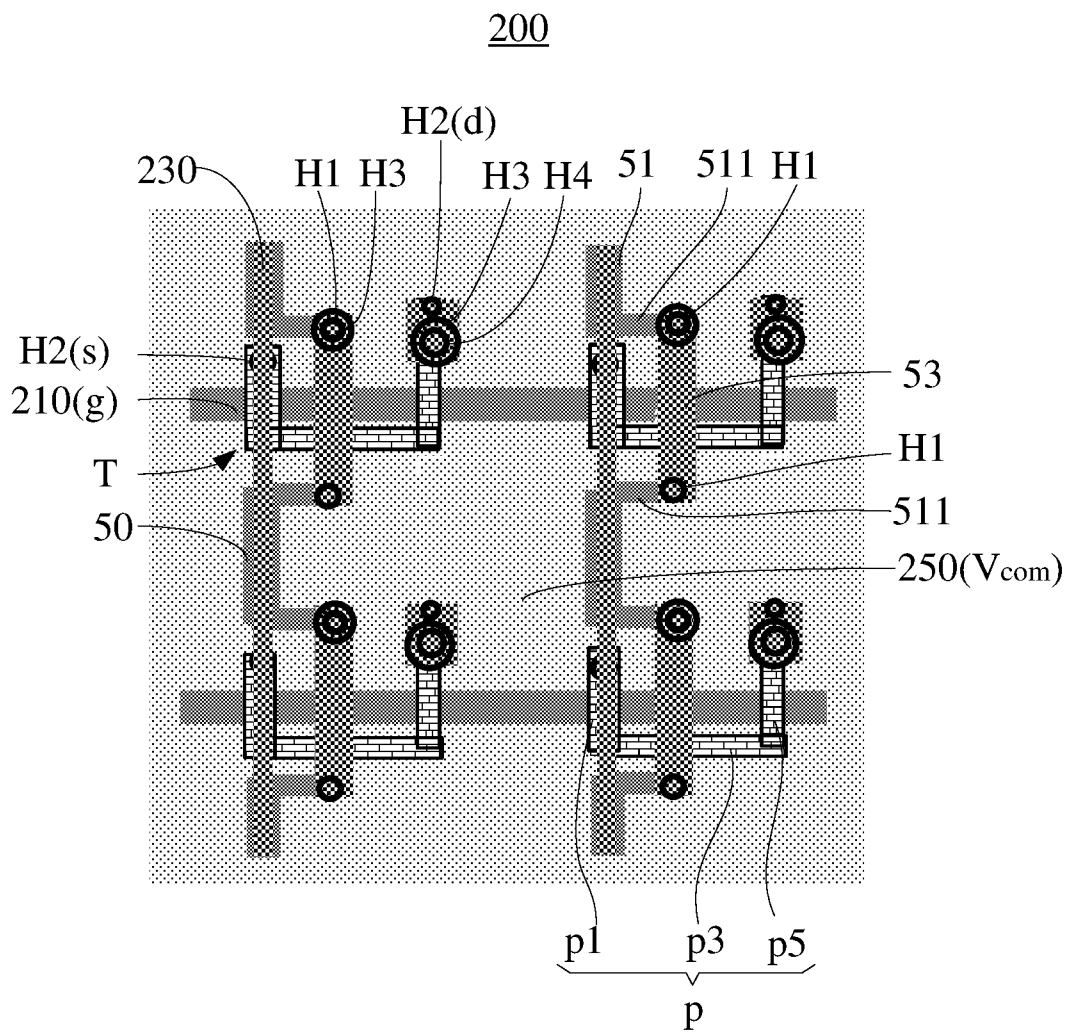


图 3

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2015/083648

A. CLASSIFICATION OF SUBJECT MATTER

G02F 1/1362 (2006.01) i; G02F 1/1368 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G02F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI, EPODOC, CNKI, CNPAT, Web of Knowledge: gate line, scan line, data wire, signal wire, electrode connection, metal electrode, common electrode, common electrode wire, pixel, same layer, gate OR grid OR grate OR scan+, data OR signal, line? OR wire?, electrode? OR metal, connect+, same

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 104503172 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 08 April 2015 (08.04.2015), description, paragraphs [0030]-[0045], and figures 3-4	1-20
A	CN 103926765 A (SHANGHAI AVIC OPTOELECTRONICS CO. LTD. et al.), 16 July 2014 (16.07.2014), the whole document	1-20
A	CN 104505391 A (SHANGHAI TIANMA MICRO-ELECTRONICS CO., LTD. et al.), 08 April 2015 (08.04.2015), the whole document	1-20
A	US 2009147203 A1 (NEC CORPORATION), 11 June 2009 (11.06.2009), the whole document	1-20
A	US 2013057793 A1 (SHARP KABUSHIKI KAISHA), 07 March 2013 (07.03.2013), the whole document	1-20

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 27 February 2016 (27.02.2016)	Date of mailing of the international search report 29 March 2016 (29.03.2016)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer DAN, Meijun Telephone No.: (86-10) 01061648471

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2015/083648

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 104503172 A	08 April 2015	None	
CN 103926765 A	16 July 2014	None	
CN 104505391 A	08 April 2015	None	
US 2009147203 A1	11 June 2009	US 2005174520 A1	11 August 2005
		JP 2005227403 A	25 August 2005
		JP 4367161 B2	18 November 2009
US 2013057793 A1	07 March 2013	WO 2011142061 A1	17 November 2011

A. 主题的分类		
G02F 1/1362(2006.01)i; G02F 1/1368(2006.01)i		
按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类		
B. 检索领域		
检索的最低限度文献(标明分类系统和分类号)		
G02F		
包含在检索领域中的除最低限度文献以外的检索文献		
在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))		
WPI, EPODOC, CNKI, CNPAT, Web of Knowledge, 栅线, 栅极线, 扫描线, 数据线, 信号线, 连接电极, 金属电极, 金属, 公共电极, 公共电极线, 共用电极线, 像素, 连接, 同层, 同一层, 同一次, gate OR grid OR grate OR scan+, data OR signal, line? OR wire?, electrode? OR metal, connect+, same		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 104503172 A (深圳市华星光电技术有限公司) 2015年 4月 8日 (2015 - 04 - 08) 说明书第[0030]-[0045]段, 图3-4	1-20
A	CN 103926765 A (上海中航光电子有限公司 等) 2014年 7月 16日 (2014 - 07 - 16) 全文	1-20
A	CN 104505391 A (上海天马微电子有限公司 等) 2015年 4月 8日 (2015 - 04 - 08) 全文	1-20
A	US 2009147203 A1 (NEC CORPORATION) 2009年 6月 11日 (2009 - 06 - 11) 全文	1-20
A	US 2013057793 A1 (SHARP KABUSHIKI KAISHA) 2013年 3月 7日 (2013 - 03 - 07) 全文	1-20
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期		国际检索报告邮寄日期
2016年 2月 27日		2016年 3月 29日
ISA/CN的名称和邮寄地址		授权官员
中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088		淡美俊
传真号 (86-10)62019451		电话号码 (86-10)01061648471

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2015/083648

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	104503172	A	2015年 4月 8日	无			
CN	103926765	A	2014年 7月 16日	无			
CN	104505391	A	2015年 4月 8日	无			
US	2009147203	A1	2009年 6月 11日	US	2005174520	A1	2005年 8月 11日
				JP	2005227403	A	2005年 8月 25日
				JP	4367161	B2	2009年 11月 18日
US	2013057793	A1	2013年 3月 7日	WO	2011142061	A1	2011年 11月 17日