

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3941149号

(P3941149)

(45) 発行日 平成19年7月4日(2007.7.4)

(24) 登録日 平成19年4月13日(2007.4.13)

(51) Int. Cl.		F I		
G 1 1 C 16/06	(2006.01)	G 1 1 C	17/00	6 3 9 C
G 1 1 C 16/04	(2006.01)	G 1 1 C	17/00	6 2 2 E
G 1 1 C 29/42	(2006.01)	G 1 1 C	29/00	6 3 1 Q

請求項の数 15 (全 21 頁)

(21) 出願番号	特願平9-55769	(73) 特許権者	000002185
(22) 出願日	平成9年3月11日(1997.3.11)		ソニー株式会社
(65) 公開番号	特開平10-222995		東京都港区港南1丁目7番1号
(43) 公開日	平成10年8月21日(1998.8.21)	(74) 代理人	100094053
審査請求日	平成15年9月26日(2003.9.26)		弁理士 佐藤 隆久
(31) 優先権主張番号	特願平8-323011	(72) 発明者	荒瀬 謙士朗
(32) 優先日	平成8年12月3日(1996.12.3)		東京都品川区北品川6丁目7番35号 ソ
(33) 優先権主張国	日本国(JP)		ニー株式会社内
(31) 優先権主張番号	特願平8-324293	(72) 発明者	野田 昌敬
(32) 優先日	平成8年12月4日(1996.12.4)		東京都品川区北品川6丁目7番35号 ソ
(33) 優先権主張国	日本国(JP)		ニー株式会社内
前置審査		(72) 発明者	杉山 寿伸
			東京都品川区北品川6丁目7番35号 ソ
			ニー株式会社内

最終頁に続く

(54) 【発明の名称】 半導体不揮発性記憶装置

(57) 【特許請求の範囲】

【請求項1】

電氣的にデータの処理が行われるメモリセルがマトリクス配置された半導体不揮発性記憶装置であって、

複数ビットデータ内に所定個数以内のエラービットが存在する場合に当該エラービットを訂正するエラー訂正手段と、

前記複数ビットデータを単位としたデータの処理を当該複数単位のメモリセルに対して行い、チェック信号を受けると当該データ処理未終了メモリセルの個数を計数する手段と

、
所定回数のデータ処理を繰り返し行った後に一括終点検出を行い、当該検出の結果、データ処理未終了メモリセルがあると前記チェック信号を出力してデータ処理未終了メモリセルの個数を計数させ、前記データ処理未終了メモリセルの個数が前記所定個数以内である場合に、当該データ処理未終了メモリセルを残したままデータの処理を終了し、当該データ処理未終了メモリセルを前記エラー訂正手段に救済させる手段と

を備えた半導体不揮発性記憶装置。

【請求項2】

電氣的にデータのプログラムが行われるメモリセルがマトリクス配置された半導体不揮発性記憶装置であって、

複数ビットデータを単位としてデータの読み出しを行い、当該複数ビットデータ内に所定個数以内のエラービットが存在する場合に当該エラービットを訂正するエラー訂正手段

10

20

と、

前記複数ビットデータを単位としたデータプログラムを当該複数単位のメモリセルに対して行い、チェック信号を受けるとプログラム未終了メモリセルの個数を計数する手段と

、
所定回数のプログラム動作を繰り返し行った後に一括終点検出を行い、当該検出の結果、プログラム未終了メモリセルがあると前記チェック信号を出力してプログラム未終了メモリセルの個数を計数させ、前記プログラム未終了メモリセルの個数が前記所定個数以内である場合に、当該プログラム未終了メモリセルを残したままデータプログラムを終了し、当該プログラム未終了メモリセルを前記エラー訂正手段に救済させる手段と

を備えた半導体不揮発性記憶装置。

10

【請求項 3】

セクタ単位のページデータが各ビット線毎に設けられたデータラッチ回路に転送されると共に、当該選択されたセクタを単位として一括して電氣的にデータプログラムが行われるメモリセルがマトリクス配置された半導体不揮発性記憶装置であって、

選択されたセクタのメモリセル毎にページデータの読み出しを行い、読み出した当該ページデータ内に所定個数以内のエラービットが存在する場合に当該エラービットを訂正するエラー訂正手段と、

前記ページプログラムデータに従ったデータプログラムがペリファイ読み出し動作を介して複数回のプログラム動作を繰り返し行うことによりなされ、各プログラム動作毎に一括終点検出によりプログラム未終了メモリセルが存在するか否かを検知し、プログラム未

20

終了メモリセルが存在する場合にチェック信号を出力する検知手段と、
プログラム未終了メモリセルが存在し、前記チェック信号を受けると、当該プログラム未終了メモリセルの個数を計数する計数手段と、

前記計数手段が前記チェック信号に応答して計数した結果、前記プログラム未終了メモリセルの個数が前記所定個数以内である場合に、当該プログラム未終了メモリセルを残したままデータプログラムを終了し、当該プログラム未終了メモリセルを前記エラー訂正手段に救済させる手段と

を備えた半導体不揮発性記憶装置。

【請求項 4】

上記セクタ単位はワード線単位である

30

請求項 3 記載の半導体不揮発性記憶装置。

【請求項 5】

前記エラー訂正手段は、プログラムすべき正規データよりエラー検査コードを発生する手段と、

前記正規データを記録するための正規メモリアレイ部と前記エラー検査コードを記録するためのパリティメモリアレイ部とから構成されたメモリアレイと、

前記正規データとエラー検査コードにより合成されたページデータを前記メモリアレイにページプログラムする手段と、

前記ページデータのデータ読み出し時に、読み出した正規データとエラー検査コードによりデータプログラム時のエラービットを訂正する手段と

40

を備えた請求項 3 記載の半導体不揮発性記憶装置。

【請求項 6】

前記検知手段は、各プログラム動作後のペリファイ読み出し動作毎に、プログラムが終了したメモリセルの接続されたデータラッチ回路にラッチされているデータを順次反転させて再プログラムデータを自動設定する手段と、

前記再プログラムデータの自動設定後に、プログラム未終了のデータがラッチされているデータラッチ回路が存在するか否かを検出する終点検出手段と

を備えた請求項 3 記載の半導体不揮発性記憶装置。

【請求項 7】

前記計数手段は、一定のクロックパルスに同期したカラムデコーダの動作によりページ

50

読み出しし、当該ページ読み出しデータを順次計数回路にシフト転送してプログラム未終了のデータの個数をカウントする

請求項 3 記載の半導体不揮発性記憶装置。

【請求項 8】

前記メモリセルがマトリクス配置されたメモリアレイは、複数のメモリセルが直列接続された N A N D 型構造をなす

請求項 3 記載の半導体不揮発性記憶装置。

【請求項 9】

前記メモリセルがマトリクス配置されたメモリアレイは、N O R 型構造をなし、かつ主ビット線がスイッチング手段を介して複数の副ビット線に階層化されている

10

請求項 3 記載の半導体不揮発性記憶装置。

【請求項 10】

電氣的にデータの消去およびプログラムを行うことによりデータの書き換えが可能なメモリセルがマトリクス配置された半導体不揮発性記憶装置であって、

複数ビットデータを単位としてデータの読み出しを行い、当該複数ビットデータ単位内に所定個数以内のエラービットが存在する場合に当該エラービットを訂正するエラー訂正手段と、

少なくとも 1 単位以上の前記複数ビットデータ単位のメモリセルに対してデータ消去を行い、チェック信号を受けると消去後に当該各複数ビットデータ単位内の消去未終了メモリセルの個数を計数する手段と、

20

所定回数の消去動作を繰り返し行った後に一括終点検出を行い、当該検出の結果、消去未終了メモリセルがあると前記チェック信号を出力して消去未終了メモリセルの個数を計数させ、前記消去未終了メモリセルの個数が前記所定個数以内である場合に、当該消去未終了メモリセルを残したままデータプログラムを行い、当該消去未終了メモリセルをデータ読み出し時に前記エラー訂正手段に救済させる手段と

を備えた半導体不揮発性記憶装置。

【請求項 11】

電氣的にデータの消去およびプログラムを行うことによりデータの書き換えが可能なメモリセルがマトリクス配置された半導体不揮発性記憶装置であって、

複数ビットデータを単位としてデータの読み出しを行い、当該複数ビットデータ単位内に所定個数以内のエラービットが存在する場合に当該エラービットを訂正するエラー訂正手段と、

30

少なくとも 1 単位以上の前記複数ビットデータ単位のメモリセルに対するデータ消去を、ペリファイ読み出し動作を介して複数回の消去電圧パルスを繰り返し印加して行い、各消去動作毎に一括終点検出により消去未終了メモリセルが存在するか否かを検知し、消去未終了メモリセルが存在する場合にチェック信号を出力する検知手段と、

プログラム未終了メモリセルが存在し、前記チェック信号を受けると、各複数ビットデータ単位内の消去未終了メモリセルの個数を計数する計数手段と、

前記計数手段が前記チェック信号に応答して計数した結果、前記消去未終了メモリセルの個数が前記所定個数以内である場合に、当該消去未終了メモリセルを残したままデータプログラムを行い、当該消去未終了メモリセルをデータ読み出し時に前記エラー訂正手段に救済させる手段と

40

を備えた半導体不揮発性記憶装置。

【請求項 12】

前記エラー訂正手段は、プログラムすべき正規データよりエラー検査コードを発生する手段と、

前記正規データを記録するための正規メモリアレイ部と前記エラー検査コードを記録するためのパリティメモリアレイ部とから構成されたメモリアレイと、

前記正規データとエラー検査コードにより合成された前記複数ビットデータ単位のプログラムデータをデータ消去後の前記メモリアレイにプログラムする手段と、

50

前記複数ビットデータ単位 of データ読み出し時に、読み出した正規データとエラー検査コードによりデータプログラム時のエラービットを訂正する手段と
を備えた請求項 1 記載の半導体不揮発性記憶装置。

【請求項 1 3】

前記複数ビットデータ単位 of メモリセルは、ワード線毎のページ単位 of メモリセルである

請求項 1 記載の半導体不揮発性記憶装置。

【請求項 1 4】

前記計数手段は、一定のクロックパルスに同期したカラムデコーダの動作によりページ読み出しし、読み出した当該ページデータを順次計数回路にシフト転送してプログラム未終了のデータの個数をカウントする

10

請求項 1 記載の半導体不揮発性記憶装置。

【請求項 1 5】

複数ビットデータを単位とした電氣的なデータプログラムを当該複数単位 of メモリセルに対して行われるメモリセルがマトリクス配置されたメモリ本体と、

複数ビットデータを単位としてデータの読み出しを行い、当該複数ビットデータ内に所定個数以内 of エラービットが存在する場合に当該エラービットを訂正するエラー訂正手段と、

所定回数 of プログラム動作を繰り返し行った後 の一括終点検出でプログラム未終了メモリセルがあると判定された後に計数されたプログラム未終了メモリセルの個数が前記所定個数以内 of である場合に、当該プログラム未終了メモリセルを残したままデータプログラムを終了し、当該プログラム未終了メモリセルを前記エラー訂正手段に救済させる手段と
を備えたメモリシステム。

20

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電氣的にデータのプログラムが可能な半導体不揮発性記憶装置に係り、特にデータプログラムおよび消去の高速化に関するものである。

【0002】

【従来の技術】

30

NAND 型フラッシュメモリ、DINOR 型フラッシュメモリ等の半導体不揮発性記憶装置においては、選択するワード線に接続されたすべてのメモリセル一括にデータプログラムが行われる。

すなわち、ワード線単位でページプログラムが行われる。

【0003】

図 7 (a)、図 7 (b) は、それぞれ NAND 型、DINOR 型フラッシュメモリにおける、メモリアレイ構造を示す図である。

【0004】

図 7 (a) は、便宜上、1 本のビット線に接続された NAND 列 1 本に 4 個 of メモリセルが接続された場合 of NAND 型フラッシュメモリアレイを示す図である。

40

図 7 (a) において、BL はビット線を示し、ビット線 BL に 2 個 of 選択トランジスタ ST1 ~ ST2、および 4 個 of メモリセル MT1 ~ MT4 が直列接続された NAND 列が接続されている。

選択トランジスタ ST1 ~ ST2 はそれぞれ選択ゲート線 SL1, SL2 により制御され、またメモリセル MT1 ~ MT4 はそれぞれワード線 WL1 ~ WL4 により制御される。

【0005】

図 7 (b) は、便宜上、1 本の主ビット線に接続された副ビット線 1 本に 4 個 of メモリトランジスタが接続された場合 of DINOR 型フラッシュメモリアレイを示す図である。

図 7 (b) において、MBL は主ビット線、SBL は副ビット線をそれぞれ示し、主ビッ

50

ト線 MBL および副ビット線 SBL は、選択ゲート線 SL により制御される選択トランジスタ ST1 を介して作動的に接続される。

副ビット線 SBL は、4 本のワード線 WL1 ~ WL4 と交差し、各交差位置には 4 個のメモリセル MT1 ~ MT4 が配置されている。

【0006】

また、NOR 型フラッシュメモリ等の半導体不揮発性記憶装置においては、データの書き換えは、所定のブロック単位（たとえば 64 K バイト程度）でデータの消去を行った後、当該消去ブロックのメモリセルに対してデータプログラムが行われる。

【0007】

図 8 は、一般的な NOR 型フラッシュメモリにおける、メモリアレイ構造およびデータ消去時のバイアス条件を示す図である。 10

【0008】

図 8 の NOR 型フラッシュメモリにおいては、便宜上、4 本のワード線 WL1 ~ WL4 と 4 本のビット線 BL1 ~ BL4 との格子位置にメモリセル MT11 ~ MT44 がマトリクス配置されている。

【0009】

次に、図 8 の NOR 型フラッシュメモリにおいて、データ消去動作について説明する。

データ消去は、図 8 に示すように、消去ブロックメモリアレイ内のすべてのワード線 WL1 ~ WL4 を接地レベル（0 V）に、すべてのビット線 BL1 ~ BL4 をフローティング状態とし、共通ソース線 VSS に高電圧（たとえば 12 V）の消去電圧パルスを印加する 20

。その結果、データプログラム時に各メモリセルに蓄積されていた電子がソース側からトンネル電流により引き抜かれて、各メモリセルのしきい値電圧 V_{th} は、データプログラム状態の 6 V ~ 7 V から消去状態の 2 V ~ 3 V に遷移する。

【0010】

【発明が解決しようとする課題】

ところで、上述した NAND 型、DINOR 型フラッシュメモリ等のようなワード線セクタを単位としたページプログラムを行う半導体不揮発性記憶装置においては、データのプログラムは選択ワード線に接続されたすべてのメモリセル一括にデータプログラムを行う 30

。しかし、選択ワード線に接続された各メモリセルは、製造プロセスに起因するサイズ等のバラツキのため、それぞれプログラム速度に差が生じる。

【0011】

図 9 は上述した各選択ワード線に接続されたメモリセル間のプログラム速度の差を示す図である。

図 9 において、横軸は t_{PROG} （プログラム時間）、すなわち各メモリセルのプログラム必要時間を表わしている。

また、縦軸は N（メモリセル個数）、すなわち横軸 t_{PROG} （プログラム時間）に対応したメモリセル個数の分布頻度を表わしている。

【0012】 40

図 9 に示すように、NAND 型フラッシュメモリ等のようなワード線セクタを単位としたページプログラムを行う半導体不揮発性記憶装置においては、メモリセル間でプログラム必要時間 t_{PROG} に分布が生じる。

このようなプログラム速度のバラツキを考慮して、一般的な NAND 型フラッシュメモリ等においては、プログラム時のしきい値電圧 V_{th} の分布を狭く抑える観点から、プログラム動作がベリファイ動作を介して行われ、かつ当該プログラム / ベリファイ動作をプログラム終了メモリセルから順次プログラム禁止にしてすべてのメモリセルのプログラムが終了するまで繰り返し行う、いわゆるビット毎ベリファイ動作が行われる。

【0013】

ところが図 9 に示すように、一般的なメモリセルの場合、プログラム必要時間 t_{PROG} 50

は図中 t_0 であるが、プロセス等のバラツキ要因から非常に長いプログラム必要時間 t_{PROG} 、たとえば図中 t_1 以上を要するメモリセルがごくまれに存在する場合がある。このような場合、ごくまれに存在するプログラムの遅いメモリセルのために、上述したプログラム／ベリファイ動作の回数も、たとえば 100 回以上と非常に多くなり、その結果、ページプログラムを終了するのに要する時間も非常に長くなる。

【0014】

図 10 は、かかる従来の NAND 型フラッシュメモリ等のようなワード線セクタを単位としたページプログラムを行う半導体不揮発性記憶装置における、データプログラム時のシーケンスフローを示す図である。

以下、図 6 のシーケンスフローについて、順を追って説明する。

10

【0015】

ステップステップ S F 1 でデータプログラムが開始され、最初にステップ S F 2 でページプログラムデータがメモリアレイ内の各ビット線毎に設けられたデータラッチ回路に転送される。

次に、ステップ S F 3 でプログラムベリファイ回数 K が 0 にリセットされ、プログラムパルス印加するプログラム動作（ステップ S F 4）、およびベリファイ読み出し後に再プログラムデータを自動設定するベリファイ読み出し動作（ステップ S F 5）が連続して行われる。

次に、ステップ S F 6 ですべてのメモリセルのプログラムが終了したかどうかの終点検出が、再プログラムデータ内に少なくとも 1 個以上のプログラム未終了メモリセルが残っているか否かを調べることにより行われる。

20

【0016】

その結果、全ビットプログラム終了の終点検出ができた場合には、データプログラムを完了する（ステップ S F 9）。

一方、全ビットプログラム終了の終点検出ができなかった場合には、さらにプログラムベリファイ回数 K がインクリメントされ（ステップ S F 7）、 K が予め設定された所定回数 k_0 （たとえば 100 回程度）未満であるかどうか調べられる（ステップ S F 8）。

そして K が k_0 未満である場合には、上述したステップ S F 4～ステップ S F 8 のシーケンスフローが繰り返し行われ、 K が k_0 に到達した時点でデータプログラム失敗と判断される（ステップ S F 10）。

30

【0017】

この所定のプログラムベリファイ回数 K_0 は、ごくまれに存在するプログラムの遅いメモリセルのために、従来の NAND 型フラッシュメモリ等の場合たとえば 100 回以上と非常に多くなり、その結果、ページプログラムを終了するのに要する時間も非常に長くなっていた。

【0018】

また、上述した NOR 型フラッシュメモリ等のような半導体不揮発性記憶装置においては、データの書き換えは、所定のブロック単位（たとえば 64 K バイト程度）でデータ消去を行った後、当該ブロック単位でデータプログラムを行う。しかし、消去ブロック単位内の各メモリセルは、製造プロセスに起因するサイズ等のバラツキのため、それぞれ消去速度に差が生じる。

40

【0019】

図 11 は上述した消去ブロック内のメモリセル間の消去速度の差を示す図である。

図 11 において、横軸は t_{erase} （消去時間）、すなわち各メモリセルの消去必要時間を表わしている。

また、縦軸は N （メモリセル個数）、すなわち横軸 t_{erase} （消去時間）に対応したメモリセル個数の分布頻度を表わしている。

【0020】

図 11 に示すように、NOR 型フラッシュメモリ等のような所定のブロック単位でデータ消去を行う半導体不揮発性記憶装置においては、メモリセル間で消去必要時間 t_{erase}

50

e に分布が生じる。

このような消去速度のバラツキを考慮して、一般的なNOR型フラッシュメモリにおいては、消去動作がベリファイ動作を介して行われ、かつ当該消去／ベリファイ動作を消去ブロック内のすべてのメモリセルのデータ消去が終了するまで繰り返し行われる。

【0021】

ところが図11に示すように、一般的なメモリセルの場合、消去必要時間 t_{erase} は図中 t_0 であるが、プロセス等のバラツキ要因から非常に長い消去必要時間 t_{erase} 、たとえば図中 t_1 以上を要するメモリセルがごくまれに存在する場合がある。

このような場合、ごくまれに存在する消去の遅いメモリセルのために、上述した消去／ベリファイ動作の回数も、たとえば100回～1000回以上と非常に多くなり、その結果、消去動作を終了するのに要する時間も非常に長くなり、ひいてはデータの書き換えに要する時間も長くなる。

10

さらに、ごくまれに存在する消去の遅いメモリセルのために消去／ベリファイ動作の回数が非常に多くなると、消去の速いメモリセルが過剰消去されて当該メモリセルのしきい値電圧 V_{th} がデプレッション状態 ($V_{th} < 0$) となって、誤動作の原因となる。

【0022】

図12は、かかる従来のNOR型フラッシュメモリ等のような所定のブロック単位でデータの書き換えを行う半導体不揮発性記憶装置における、データ消去およびその後のデータプログラム時のシーケンスフローを示す図である。

以下、図12のシーケンスフローについて、順を追って説明する。

20

【0023】

ステップSF21でデータ消去が開始され、ステップSF22で消去ベリファイ回数 K を最初の1に設定して消去パルス印加する消去動作(ステップSF23)、およびベリファイ読み出し動作(ステップSF24)が連続して行われる。

ステップSF24のベリファイ読み出し動作の結果、ブロック内のすべてのメモリセルの消去終了の終点検出ができた場合には(ステップSF25)、データ消去を完了して、ステップSF101のデータプログラム動作が開始される。

【0024】

一方、ステップSF24のベリファイ読み出し動作の結果、ブロック内のすべてのメモリセルの消去終了の終点検出ができなかった場合には(ステップSF25)、ステップSF26において、消去ベリファイ回数 K があらかじめ設定された所定回数 K_0 (たとえば100～1000回程度)未満であるか否かが調べられる。

30

その結果、消去ベリファイ回数 K が設定回数 K_0 未満である場合には、さらに消去ベリファイ回数 K がインクリメントされて(ステップSF27)、上述したステップSF23～SF27のシーケンスフローが繰り返し行われる。そして、消去ベリファイ回数 K が設定回数 K_0 に到達した時点でデータ消去失敗と判断される(ステップSF28)。

【0025】

次に、ブロック内のすべてのメモリセルの消去終了の終点検出ができた場合には、引き続いてデータプログラムが開始される。

まず、ステップSF101でメモリセルのアドレス番地 $Ar - NO$ を最初の1に設定して、当該メモリセルに対してデータ内容に応じてデータプログラムが行われ(ステップSF102)、アドレス番地 $Ar - NO$ が最終アドレス番地があるか否かが調べられる(ステップSF103)。

40

その結果、アドレス番地 $Ar - NO$ が最終アドレス番地でない場合には、さらにアドレス番地 $Ar - NO$ がインクリメントされて(ステップSF104)、上述したステップSF102～SF104のシーケンスフローが繰り返し行われる。そして、アドレス番地 $Ar - NO$ が最終アドレス番地に到達した時点でデータプログラムが完了する(ステップSF105)。

【0026】

上述したシーケンスフローにおいて、所定の消去ベリファイ回数 K_0 は、ごくまれに存在

50

する消去の遅いメモリセルのために、従来のNOR型フラッシュメモリ等の場合たとえば100回～1000回程度と非常に多くなり、その結果、消去動作を終了するのに要する時間も非常に長くなり、ひいてはデータの書き換えに要する時間も長くなっていった。さらには、上記消去の遅いメモリセルのために消去の速いメモリセルが過剰消去されて、誤動作の原因となっていた。

【0027】

本発明は、かかる事情に鑑みてなされたものであり、その目的は、データプログラムおよびデータ消去を高速に行うことができ、データの書き換えを高速に行うことが可能で、さらには過剰消去メモリセルの発生を防止でき、信頼性の向上を図れる半導体不揮発性記憶装置を提供することにある。

【0028】

【課題を解決するための手段】

上記目的を達成するため、本発明は、電氣的にデータの処理が行われるメモリセルがマトリクス配置された半導体不揮発性記憶装置であって、複数ビットデータ内に所定個数以内のエラービットが存在する場合に当該エラービットを訂正するエラー訂正手段と、前記複数ビットデータを単位としたデータの処理を当該複数単位のメモリセルに対して行い、チェック信号を受けると当該データ処理未終了メモリセルの個数を計数する手段と、所定回数のデータ処理を繰り返し行った後に一括終点検出を行い、当該検出の結果、データ処理未終了メモリセルがあると前記チェック信号を出力してデータ処理未終了メモリセルの個数を計数させ、前記データ処理未終了メモリセルの個数が前記所定個数以内である場合に、当該データ処理未終了メモリセルを残したままデータの処理を終了し、当該データ処理未終了メモリセルを前記エラー訂正手段に救済させる手段とを備えている。

【0029】

また、本発明は、電氣的にデータのプログラムが行われるメモリセルがマトリクス配置された半導体不揮発性記憶装置であって、複数ビットデータを単位としてデータの読み出しを行い、当該複数ビットデータ内に所定個数以内のエラービットが存在する場合に当該エラービットを訂正するエラー訂正手段と、前記複数ビットデータを単位としたデータプログラムを当該複数単位のメモリセルに対して行い、チェック信号を受けるとプログラム未終了メモリセルの個数を計数する手段と、所定回数のプログラム動作を繰り返し行った後に一括終点検出を行い、当該検出の結果、プログラム未終了メモリセルがあると前記チェック信号を出力してプログラム未終了メモリセルの個数を計数させ、前記プログラム未終了メモリセルの個数が前記所定個数以内である場合に、当該プログラム未終了メモリセルを残したままデータプログラムを終了し、当該プログラム未終了メモリセルを前記エラー訂正手段に救済させる手段とを備えている。

また、本発明は、複数ビットデータを単位とした電氣的なデータプログラムを当該複数単位のメモリセルに対して行われるメモリセルがマトリクス配置されたメモリ本体と、複数ビットデータを単位としてデータの読み出しを行い、当該複数ビットデータ内に所定個数以内のエラービットが存在する場合に当該エラービットを訂正するエラー訂正手段と、所定回数のプログラム動作を繰り返し行った後の一括終点検出でプログラム未終了メモリセルがあると判定された後に計数されたプログラム未終了メモリセルの個数が前記所定個数以内である場合に、当該プログラム未終了メモリセルを残したままデータプログラムを終了し、当該プログラム未終了メモリセルを前記エラー訂正手段に救済させる手段とを備えたメモリシステムである。

【0030】

また、本発明は、セクタ単位のページデータが各ビット線毎に設けられたデータラッチ回路に転送されると共に、当該選択されたセクタを単位として一括して電氣的にデータプログラムが行われるメモリセルがマトリクス配置された半導体不揮発性記憶装置であって、選択されたセクタのメモリセル毎にページデータの読み出しを行い、読み出した当該ページデータ内に所定個数以内のエラービットが存在する場合に当該エラービットを訂正するエラー訂正手段と、前記ページプログラムデータに従ったデータプログラムがベリファ

10

20

30

40

50

イ読み出し動作を介して複数回のプログラム動作を繰り返し行うことによりなされ、各プログラム動作毎に一括終点検出によりプログラム未終了メモリセルが存在するか否かを検知し、プログラム未終了メモリセルが存在する場合にチェック信号を出力する検知手段と、プログラム未終了メモリセルが存在し、前記チェック信号を受けると、当該プログラム未終了メモリセルの個数を計数する計数手段と、前記計数手段が前記チェック信号に 응답して計数した結果、前記プログラム未終了メモリセルの個数が前記所定個数以内である場合に、当該プログラム未終了メモリセルを残したままデータプログラムを終了し、当該プログラム未終了メモリセルを前記エラー訂正手段に救済させる手段とを備えている。

【0031】

また、好適には、前記エラー訂正手段は、プログラムすべき正規データよりエラー検査コードを発生する手段と、前記正規データを記録するための正規メモリアレイ部と前記エラー検査コードを記録するためのパリティメモリアレイ部とから構成されたメモリアレイと、前記正規データとエラー検査コードにより合成されたページデータを前記メモリアレイにページプログラムする手段と、前記ページデータのデータ読み出し時に、読み出した正規データとエラー検査コードによりデータプログラム時のエラービットを訂正する手段とを備えている。

【0032】

また、好適には、前記検知手段は、各プログラム動作後のペリファイ読み出し動作毎に、プログラムが終了したメモリセルの接続されたデータラッチ回路にラッチされているデータを順次反転させて再プログラムデータを自動設定する手段と、前記再プログラムデータの自動設定後に、プログラム未終了のデータがラッチされているデータラッチ回路が存在するか否かを検出する終点検出手段とを備えている。

【0033】

本発明の半導体不揮発性記憶装置によれば、所定回数のデータ処理、たとえばプログラム動作を繰り返し行った後にプログラム未終了メモリセルが存在しても、当該プログラム未終了メモリセルの個数がエラー訂正手段により訂正可能な所定個数以内のエラービットである場合には、プログラム未終了メモリセルを残したままデータプログラムを終了する。したがって、ごくまれに存在する非常にプログラムの遅いメモリセルに律速されることなく、高速にデータプログラムが可能となる。

【0034】

また、本発明は、電氣的にデータの消去およびプログラムを行うことによりデータの書き換えが可能なメモリセルがマトリクス配置された半導体不揮発性記憶装置であって、複数ビットデータを単位としてデータの読み出しを行い、当該複数ビットデータ単位内に所定個数以内のエラービットが存在する場合に当該エラービットを訂正するエラー訂正手段と、少なくとも1単位以上の前記複数ビットデータ単位のメモリセルに対してデータ消去を行い、チェック信号を受けると消去後に当該各複数ビットデータ単位内の消去未終了メモリセルの個数を計数する手段と、所定回数の消去動作を繰り返し行った後に一括終点検出を行い、当該検出の結果、消去未終了メモリセルがあると前記チェック信号を出力して消去未終了メモリセルの個数を計数させ、前記消去未終了メモリセルの個数が前記所定個数以内である場合に、当該消去未終了メモリセルを残したままデータプログラムを行い、

【0035】

また、本発明は、電氣的にデータの消去およびプログラムを行うことによりデータの書き換えが可能なメモリセルがマトリクス配置された半導体不揮発性記憶装置であって、複数ビットデータを単位としてデータの読み出しを行い、当該複数ビットデータ単位内に所定個数以内のエラービットが存在する場合に当該エラービットを訂正するエラー訂正手段と、少なくとも1単位以上の前記複数ビットデータ単位のメモリセルに対するデータ消去を、ペリファイ読み出し動作を介して複数回の消去電圧パルスを繰り返し印加して行い、各消去動作毎に一括終点検出により消去未終了メモリセルが存在するか否かを検知し、消

10

20

30

40

50

去未終了メモリセルが存在する場合にチェック信号を出力する検知手段と、プログラム未終了メモリセルが存在し、前記チェック信号を受けると、各複数ビットデータ単位内の消去未終了メモリセルの個数を計数する計数手段と、前記計数手段が前記チェック信号に回答して計数した結果、前記消去未終了メモリセルの個数が前記所定個数以内である場合に、当該消去未終了メモリセルを残したままデータプログラムを行い、当該消去未終了メモリセルをデータ読み出し時に前記エラー訂正手段に救済させる手段とを備えている。

【0036】

また、好適には、前記エラー訂正手段は、プログラムすべき正規データよりエラー検査コードを発生する手段と、前記正規データを記録するための正規メモリアレイ部と前記エラー検査コードを記録するためのパリティメモリアレイ部とから構成されたメモリアレイと、前記正規データとエラー検査コードにより合成された前記複数ビットデータ単位のプログラムデータをデータ消去後の前記メモリアレイにプログラムする手段と、前記複数ビットデータ単位のデータ読み出し時に、読み出した正規データとエラー検査コードによりデータプログラム時のエラービットを訂正する手段とを備えている。

【0037】

また、好適には、前記計数手段は、一定のクロックパルスに同期したカラムデコーダの動作によりページ読み出しし、読み出した当該ページデータを順次計数回路にシフト転送してプログラム未終了のデータの個数をカウントする。

【0038】

本発明の半導体不揮発性記憶装置によれば、所定回数の消去動作を繰り返し行った後に消去未終了メモリセルが存在しても、当該消去未終了メモリセルの個数がエラー訂正手段により訂正可能な所定個数以内のエラービットである場合には、消去未終了メモリセルを残したままデータプログラムが行われる。

したがって、ごくまれに存在する非常に消去の遅いメモリセルに律速されることなく、高速にデータプログラムが可能となり、ひいてはデータの書き換えを高速に行うことができる。

さらには、消去の速いメモリセルが過剰消去されることを防止でき、信頼性の高い半導体不揮発性記憶装置を実現することができる。

【0039】

【発明の実施の形態】

第1実施例

図1は、本発明に係る半導体不揮発性記憶装置、たとえばNAND型フラッシュメモリの具体的な構成例を示す図である。

【0040】

図1において、10はメモリ本体を示し、メモリ本体10は、メモリアレイ部11、ローデコーダ12、各ビット線毎に設けられたデータラッチ回路群13、カラム選択部14、再プログラムデータ自動設定回路群15および終点検出回路16等から構成されている。

【0041】

メモリアレイ11は、正規メモリアレイ11aとパリティメモリアレイ11bから構成されている。

正規メモリアレイ11aにはn本（通常は512バイト程度）の正規ビット線B1～Bnが配線され、パリティメモリアレイ11bにはj本（通常は10バイト程度）のパリティビット線b1～bjが配線されている。

なお、図中はワード線Wmを選択して、正規メモリセルMT1～MTnおよびパリティメモリセルmT1～mTjに対してページプログラムを行う場合を図示している。

【0042】

データラッチ回路群13は、正規データラッチ回路SA1～SA nおよびパリティデータラッチ回路sA1～sA jから構成され、カラム選択部14は正規カラム選択部14aおよびパリティカラム選択部14bから構成されている。

カラム選択部14はデータ転送クロック信号CLに同期して作動し、正規データラッチ

10

20

30

40

50

回路 $S A 1 \sim S A n$ およびパリティデータラッチ回路 $s A 1 \sim s A j$ にページプログラムデータをシフト転送し、またデータラッチ回路からページデータの読み出しを行う。

【 0 0 4 3 】

再プログラムデータ自動設定回路群 15 は、各正規データラッチ回路 $S A 1 \sim S A n$ およびパリティデータラッチ回路 $s A 1 \sim s A j$ 毎に対応して設けられた自動設定回路 $15 S - 1 \sim 15 S - n$ 、 $15 s - 1 \sim 15 s - j$ により構成されている。

自動設定回路 $15 S - 1 \sim 15 S - n$ 、 $15 s - 1 \sim 15 s - j$ は、各プログラム動作後のベリファイ読み出し動作毎に、プログラムが終了したメモリセルの接続されたデータラッチ回路にラッチされているデータを順次反転させて再プログラムデータを自動設定する。

10

【 0 0 4 4 】

終点検出回路 16 は、各正規データラッチ回路 $S A 1 \sim S A n$ およびパリティデータラッチ回路 $s A 1 \sim s A j$ 毎に設けられたトランジスタ $T 1 \sim T n$ および $T p 1 \sim T p j$ 、並びにトランジスタ $T s e t$ 、および反転回路 $I N V 1$ により構成されている。

各トランジスタ $T 1 \sim T n$ および $T 1 \sim T j$ のゲート電極がそれぞれの正規データラッチ回路 $S A 1 \sim S A n$ およびパリティデータラッチ回路 $s A 1 \sim s A j$ の反転出力に、ソース電極が接地電位に、ドレイン電極が共通接続されており、プログラム未終了セルが存在して少なくとも 1 個以上のデータラッチ回路の反転出力がハイレベルである場合に、共通接続された終点検出電位 $V a$ が接地電位となり、反転回路 $I N V 1$ により終点検出信号 $E N D o u t$ がハイレベルとして出力される。

20

またトランジスタ $T s e t$ は、終点検出電位 $V a$ を予め $V C C$ レベルにプリチャージするために設けられ、終点検出に先だってプリチャージ信号 $s e t$ により駆動される。

【 0 0 4 5 】

20 はデータ入力部を示し、データ入力部 20 は、データ入力回路 21 とエラー検査コード発生回路 22 とにより構成される。

データ入力回路 21 は正規入力データ $[D i n] 1 \sim n$ をエラー検査コード発生回路 22 に入力し、エラー検査コード（パリティ入力データ） $[C i n] 1 \sim j$ を発生する。正規入力データ $[D i n] 1 \sim n$ およびエラー検査コード $[C i n] 1 \sim j$ により合成されるページプログラムデータは、データ転送クロック信号 $C L$ に同期して、それぞれ正規データラッチ回路 $S A 1 \sim S A n$ およびパリティデータラッチ回路 $s A 1 \sim s A j$ にシフト転送され、対応する正規メモリセルおよびパリティメモリセルにページプログラムされる。

30

【 0 0 4 6 】

30 はデータ出力部を示し、データ出力部 30 は、エラー検査回路 31 とデータ訂正回路 32 とにより構成される。

エラー検査回路 31 は、ページ読み出しした正規出力データ $[D o u t] 1 \sim n$ およびエラー検査コード（パリティ出力データ） $[C o u t] 1 \sim j$ により、データ復調コード $[S] 1 \sim j$ を発生する。

データ訂正回路 32 は、正規出力データ $[D o u t] 1 \sim n$ およびデータ復調コード $[S] 1 \sim j$ により、ページ読み出しデータ内に所定個数（たとえば 1 ビット）以内のエラービットが存在する場合にこれを訂正し、訂正後の正しい正規出力データ $[D A T A] 1 \sim n$ を出力する。

40

【 0 0 4 7 】

40 はカウント回路（計数回路）を示し、カウント回路 40 は、所定回数のプログラムベリファイ回数（たとえば 10 回程度）を繰り返した後にプログラム未終了メモリセルが存在して終点検出できなかった場合、つまり少なくとも 1 個以上のデータラッチ回路の出力がローレベルである場合に、以下のようにプログラム未終了メモリセルの個数を計数する。

すなわち、基本データ転送クロック信号 $C L$ に同期したベリファイページ読み出しデータ $D A T A v e r$ の反転回路 $I N V 2$ の出力 $D A T A v e r '$ をシフト入力し、最後にチ

50

チェック信号 C H K の入力に応じてプログラム未終了メモリセルの個数を計数する。

【 0 0 4 8 】

未終了判定回路 5 0 は、メモリ本体 1 0 の反転回路 I N V 1 の出力信号 C H K をハイレベルで入力すると、プログラム未終了メモリセルがあるものとして、プログラム未終了メモリセルの個数の計数を開始するようにチェック信号 C H K をカウント回路 4 0 に出力する。

【 0 0 4 9 】

判定回路 6 0 は、カウント回路 4 0 の出力チェック信号 C N T がハイレベルに切り換わったならば、プログラム未終了のセルが 1 つ以上あるものとして、図示しない制御系に出力する。

10

本実施形態の場合、判定回路 6 0 は、たとえばフリップフロップにより構成される。

【 0 0 5 0 】

図 2 は、図 1 の半導体不揮発性記憶装置におけるエラー訂正手段において、1 ビットエラーに対処できる正規データビット数 n とパリティデータビット数（エラー検査ビット数） j との関係を示す図である。

【 0 0 5 1 】

エラー訂正の原理、エラー検査コード発生回路 2 2、エラー検査回路 3 1、およびデータ訂正回路 3 2 については、本発明の骨子と直接関係しないため、ここでは詳述しない。しかし図 2 によれば、5 1 2 ビットの正規データビット数には 1 0 ビットのエラー検査ビット数が必要であり、したがって一般的な 5 1 2 ビットの正規入力データ $[D_{in}]_1 \sim n$ には 1 0 ビットのエラー検査コード $[C_{in}]_1 \sim j$ を発生させる必要がある。

20

【 0 0 5 2 】

図 3 は、図 1 の半導体不揮発性記憶装置における、データプログラム時のシーケンスフローを示す図である。

以下、図 3 のシーケンスフローについて、図 1 の構成例等を参照しながら順を追って説明する。

【 0 0 5 3 】

ステップ S 1 でデータプログラムが開始され、最初にデータ入力回路 2 1 を介して入力された正規入力データ $[D_{in}]_1 \sim n$ に基づき、エラー検査コード発生回路 2 2 によりエラー検査コード $[C_{in}]_1 \sim j$ が発生される（ステップ S 2）。

30

そして、正規入力データ $[D_{in}]_1 \sim n$ およびエラー検査コード $[C_{in}]_1 \sim j$ は正規カラム選択 1 4 a およびパリティカラム選択 1 4 b に入力され、合成したページプログラムデータがメモリアレイ内の各ビット線毎に設けられた正規データラッチ回路 $S A 1 \sim S A n$ およびパリティデータラッチ回路 $s A 1 \sim s A j$ に転送される（ステップ S 3）。

【 0 0 5 4 】

次に、図示しないプログラム制御系によりステップ S 4 でプログラムベリファイ回数 K が 0 にリセットされ、プログラムパルス印加するプログラム動作が行われ（ステップ S 5）、ベリファイ読み出し後に、自動設定回路 1 5 S - 1 \sim 1 5 S - n 、1 5 s - 1 \sim 1 5 s - j においてプログラム終了メモリセルの正規データラッチ回路 $S A 1 \sim S A n$ およびパリティデータラッチ回路 $s A 1 \sim s A j$ 内のデータを順次反転させて再プログラムデータを自動設定するベリファイ読み出し動作（ステップ S 6）が連続して行われる。

40

【 0 0 5 5 】

次に、ステップ S 7 で終了検出回路 1 6 および未終了判定回路 5 0 において、すべてのメモリセルのプログラムが終了したかどうかの終点検出が、再プログラムデータ内に少なくとも 1 個以上のプログラム未終了メモリセルに対応するデータが残っているか否かを調べるにより行われる。

【 0 0 5 6 】

その結果、全ビットプログラム終了の終点検出ができた場合には、データプログラムを完了する（ステップ S 1 2）。

しかし、全ビットプログラム終了の終点検出ができなかった場合には、さらにプログラム

50

ベリファイ回数 K がインクリメントされて (ステップ $S8$)、 K が予め設定された所定回数 $k0$ (たとえば 10 回程度) 未満であるかどうか調べられる (ステップ $S9$)。そして K が $k0$ 未満である場合には、上述したステップ $S5 \sim S9$ のシーケンスフローが繰り返し行われ、 K が $k0$ に到達した時点でステップ $S10$ に進む。

【0057】

次にステップ $S10$ では、データラッチ回路内のデータがページ読み出しされて、プログラム未終了メモリセルの個数がカウント回路 40 でカウントされる。

次に、ステップ $S11$ おいて、計数したプログラム未終了メモリセルの個数がエラー訂正可能な所定個数 (たとえば 1 個) 以内であるかどうか調べられる。

その結果、プログラム未終了メモリセルの個数がエラー訂正可能な所定個数以内である場合にはデータプログラムを完了し (ステップ $S12$)、所定個数を超過している場合にはデータプログラム失敗と判断される (ステップ $S13$)。

10

【0058】

以上のシーケンスフローによりデータプログラムが行われた本発明の半導体不揮発性記憶装置においては、データ読み出し時に、エラー検査回路 31 およびデータ訂正回路 32 とによりプログラム未終了メモリセルのエラー訂正がなされ、正しい正規データ [DATA]_{1 ~ n} が読み出される。

【0059】

以上説明したように、本第 1 の実施例に係る半導体不揮発性記憶装置によれば、所定回数のプログラム動作を繰り返し行った後にプログラム未終了メモリセルが存在しても、当該プログラム未終了メモリセルの個数がエラー訂正手段により訂正可能な所定個数以内のエラービットである場合には、プログラム未終了メモリセルを残したままデータプログラムを終了する。

20

したがって、ごくまれに存在する非常にプログラムの遅いメモリセルに律速されることなく、高速にデータプログラムが可能となる。

【0060】

第 2 実施例

図 4 は、本発明に係る半導体不揮発性記憶装置、たとえば NOR 型フラッシュメモリの具体的な構成例を示す図である。

【0061】

30

すなわち、図 4 において、100 はメモリ本体を示し、メモリ本体 100 は、メモリアレイ部 111、ローデコーダ 112、各ビット線毎に設けられたデータラッチ回路群 113、カラム選択部 114、再プログラムデータ自動設定回路群 115 および終点検出回路 116 等から構成されている。

【0062】

メモリアレイ 111 は、正規メモリアレイ 111a とパリティメモリアレイ 111b とから構成されている。

正規メモリアレイ 111a には n 本 (通常は 512 バイト程度) の正規ビット線 $B1 \sim Bn$ が配線され、パリティメモリアレイ 111b には j 本 (通常は 10 バイト程度) のパリティビット線 $b1 \sim bj$ が配線されている。

40

なお、図中はワード線 Wm を選択して、正規メモリセル $MT1 \sim MTn$ およびパリティメモリセル $mt1 \sim mtj$ に対してページ読み出しを行う場合を図示している。

【0063】

データラッチ回路群 113 は、正規データラッチ回路 $SA1 \sim SAN$ およびパリティデータラッチ回路 $sa1 \sim saj$ から構成され、カラム選択部 114 は正規カラム選択部 114a およびパリティカラム選択部 114b から構成されている。

カラム選択部 114 はデータ転送クロック信号 CL に同期して作動し、正規データラッチ回路 $SA1 \sim SAN$ およびパリティデータラッチ回路 $sa1 \sim saj$ にページプログラムデータをシフト転送し、またデータラッチ回路からワード線単位のページデータの読み出しを行う。

50

【 0 0 6 4 】

再プログラムデータ自動設定回路群 1 1 5 は、各正規データラッチ回路 S A 1 ~ S A n およびパリティデータラッチ回路 s A 1 ~ s A j 毎に対応して設けられた自動設定回路 1 1 5 S - 1 ~ 1 1 5 S - n、1 1 5 s - 1 ~ 1 1 5 s - j により構成されている。

自動設定回路 1 1 5 S - 1 ~ 1 1 5 S - n、1 1 5 s - 1 ~ 1 1 5 s - j は、各プログラム動作後のペリファイ読み出し動作毎に、プログラムが終了したメモリセルの接続されたデータラッチ回路にラッチされているデータを順次反転させて再プログラムデータを自動設定する。

【 0 0 6 5 】

終点検出回路 1 1 6 は、各正規データラッチ回路 S A 1 ~ S A n およびパリティデータラッチ回路 s A 1 ~ s A j 毎に設けられたトランジスタ T 1 ~ T n および T p 1 ~ T p j、並びにトランジスタ T s e t、および反転回路 I N V 1 0 0 により構成されている。

各トランジスタ T 1 ~ T n および T p 1 ~ T p j のゲート電極がそれぞれの正規データラッチ回路 S A 1 ~ S A n およびパリティデータラッチ回路 s A 1 ~ s A j の反転出力に、ソース電極が接地電位に、ドレイン電極が共通接続されており、消去未終了セルが存在して少なくとも 1 個以上のデータラッチ回路の反転出力がハイレベルである場合に、共通接続された終点検出電位 V a が接地電位となり、反転回路 I N V 1 により終点検出信号 E N D o u t がハイレベルとして出力される。

またトランジスタ T s e t は、終点検出電位 V a を予め V C C レベルにプリチャージするために設けられ、終点検出に先だってプリチャージ信号 s e t により駆動される。

【 0 0 6 6 】

1 2 0 はデータ入力部を示し、データ入力部 1 2 0 は、データ入力回路 1 2 1 とエラー検査コード発生回路 1 2 2 とにより構成される。

データ入力回路 1 2 1 は正規入力データ [D i n] 1 ~ n をエラー検査コード発生回路 1 2 2 に入力し、エラー検査コード (パリティ入力データ) [C i n] 1 ~ j を発生する。正規入力データ [D i n] 1 ~ n およびエラー検査コード [C i n] 1 ~ j により合成されるワード線単位のページプログラムデータは、データ転送クロック信号 C L に同期して、それぞれ正規データラッチ回路 S A 1 ~ S A n およびパリティデータラッチ回路 s A 1 ~ s A j にシフト転送され、対応する正規メモリセルおよびパリティメモリセルに順次データプログラムされる。

【 0 0 6 7 】

1 3 0 はデータ出力部を示し、データ出力部 1 3 0 は、エラー検査回路 1 3 1 とデータ訂正回路 1 3 2 とにより構成される。

エラー検査回路 1 3 1 は、ページ読み出しした正規出力データ [D o u t] 1 ~ n およびエラー検査コード (パリティ出力データ) [C o u t] 1 ~ j により、データ復調コード [S] 1 ~ j を発生する。

データ訂正回路 1 3 2 は、正規出力データ [D o u t] 1 ~ n およびデータ復調コード [S] 1 ~ j により、ページ読み出しデータ内に所定個数 (たとえば 1 ビット) 以内のエラービットが存在する場合にこれを訂正し、訂正後の正しい正規出力データ [D A T A] 1 ~ n を出力する。

【 0 0 6 8 】

1 4 0 はカウント回路 (計数回路) を示し、カウント回路 1 4 0 は、所定回数の消去ペリファイ回数 (たとえば 1 0 回 ~ 数 1 0 回程度) を繰り返した後に消去ブロック内の各ページ内に消去未終了メモリセルが存在して終点検出できなかった場合、つまり各ページ毎のペリファイ読み出し時に 1 個以上のデータラッチ回路の出力がハイレベルである場合に、以下のように消去未終了メモリセルの個数を計数する。

すなわち、基本データ転送クロック信号 C L に同期したペリファイページ読み出しデータ D A T A v e r をシフト入力し、最後にチェック信号 C H K の入力に応じて消去未終了メモリセルの個数を計数する。

【 0 0 6 9 】

10

20

30

40

50

未終了判定回路 150 は、メモリ本体 100 の反転回路 INV100 の出力信号 CHK をハイレベルで入力すると、消去未終了メモリセルがあるものとして、消去未終了メモリセルの個数の計数を開始するようにチェック信号 CHK をカウント回路 140 に出力する。

【0070】

判定回路 160 は、カウント回路 140 の出力チェック信号 CNT がハイレベルに切り換わったならば、消去未終了のセルが 1 つ以上あるものとして、図示しない制御系に出力する。

本実施例の場合も、判定回路 160 は、たとえばフリップフロップにより構成される。

【0071】

図 4 の半導体不揮発性記憶装置におけるエラー訂正手段において、1 ビットエラーに対処できる正規データビット数 n とパリティデータビット数（エラー検査ビット数） j との関係は、第 1 実施例の場合と同様に、図 2 に示すような関係である。

【0072】

エラー訂正の原理、エラー検査コード発生回路 122、エラー検査回路 131、およびデータ訂正回路 132 については、本発明の骨子と直接関係しないため、ここでは詳述しない。

しかし図 2 によれば、512 ビットの正規データビット数には 10 ビットのエラー検査ビット数が必要である。

したがって、ワード線を 512 バイトページサイズとして 128 ページの 64 K バイトデ
消去ブロック単位が構成されている場合、各ページ毎で、512 バイトの正規入力データ
[Din]_{1~n} には 10 ビットのエラー検査コード [Cin]_{1~j} を発生させる必要
がある。

【0073】

図 5 は、図 4 の半導体不揮発性記憶装置においてデータの書き換えを行う場合データ消去時のシーケンスフローを示す図である。

また、図 6 は、その後のデータプログラム時のシーケンスフローを示す図である。

以下、図 5 および図 6 のシーケンスフローについて、図 4 の構成例等を参照しながら順を追って説明する。

【0074】

まず、図 5 のデータ消去時のシーケスフローについて説明する。

ステップ S21 でデータ消去が開始され、ステップ S22 で消去ベリファイ回数 K を最初の 1 に設定して消去パルスを印加する消去動作（ステップ S23）、およびベリファイ読み出し動作（ステップ S24）が連続して行われる。

ステップ S24 のベリファイ読み出し動作の結果、ブロック内のすべてのメモリセルの消去終了の終点検出ができた場合には（ステップ S25）、データ消去を完了する。

【0075】

一方、ステップ S24 のベリファイ読み出し動作の結果、ブロック内のすべてのメモリセルの消去終了の終点検出ができなかった場合には（ステップ S25）、ステップ S26 において、消去ベリファイ回数 K があらかじめ設定された所定回数 K_0 （たとえば 100 ~ 1000 回程度）未満であるか否かが調べられる。その結果、消去ベリファイ回数 K が設定回数 K_0 未満である場合には、さらに消去ベリファイ回数 K がインクリメントされて（ステップ S27）、上述したステップ S23 ~ S27 のシーケンスフローが繰り返し行われる。そして、消去ベリファイ回数 K が設定回数 K_0 に到達した時点で消去未終了メモリセルが存在するものとしてステップ S28 の処理に移行する。

【0076】

ステップ S28 において、消去ブロック内のページ番地 Pg - NO をまず最初の 1 に設定して、データラッチ回路の消去データをページ読み出しして、消去未終了メモリセルの個数がカウントされる（ステップ S29）。

【0077】

10

20

30

40

50

次に、ステップS30で、計数した消去未終了メモリセルの個数がエラー訂正可能所定個数（たとえば1個）以内であるか否かが調べられる。

その結果、消去未終了メモリセルの個数がエラー訂正可能な所定個数を超える場合にはデータ消去失敗と判断される（ステップS34）。

一方、消去未終了メモリセルの個数がエラー訂正可能な所定個数以内である場合には、ページ番地Pg-NOが最終アドレス番地であるか否かが調べられる（ステップS31）。

そして、ページ番地Pg-NOが最終アドレス番地でない場合には、さらにページ番地Pg-NOがインクリメントされて（ステップS32）、上述したステップS29～S32のシーケンスフローが繰り返し行われる。そして、ページ番地Pg-NOが最終ページ番地に到達した時点で、データ消去完了と判断される（ステップS33）。

10

【0078】

次に、図6のデータプログラム時のシーケンスフローについて説明する。

データの消去が完了した場合、（図3のステップS33）には、引き続いてデータプログラムが開始される（ステップS101）。

まず、ステップS102でブロック内のページ番地Pg-NOをまず最初の1に設定して、当該ページの正規入力データ[Din]1～nに基づき、エラー検査コード発生回路22によりエラー検査コード[Cin]1～jが発生される（ステップS103）。

次に、当該ページ内でメモリセルのアドレス番地Pg-NOを最初の1に設定して（ステップS104）、当該メモリセルに対してデータ内容に応じてデータプログラムが行われ（ステップS105）、アドレス番地Ar-NOが最終アドレス番地であるか否かが調べられる（ステップS106）。

20

その結果、アドレス番地Ar-NOが最終アドレス番地でない場合には、さらにアドレス番地Ar-NOがインクリメントされて（ステップS107）、上述したステップS103～S107のシーケンスフローが繰り返し行われる。そして、アドレス番地Ar-NOが最終アドレス番地に到達した時点で当該ページのデータプログラムが完了する。

【0079】

次に、ステップS108でページ番地Pg-NOが最終番地であるか否かが調べられる。

その結果、アドレス番地Pg-NOが最終番地でない場合には、さらにページ番地Pg-NOがインクリメントされて（ステップS109）、上述したステップS103～S109のシーケンスフローが繰り返し行われる。そして、アドレス番地Ar-NOが最終アドレス番地に到達した時点で当該ページのデータプログラムが完了する（S110）。

30

【0080】

以上のシーケンスフローによりデータの書き換えが行われた本発明の半導体不揮発性記憶装置においては、データ読み出し時に、エラー検査回路31およびデータ訂正回路32とにより消去未終了メモリセルのエラー訂正がなされ、正しい正規データ[DATA]1～nが読み出される。

【0081】

以上説明したように、本第2の実施例に係る半導体不揮発性記憶装置によれば、所定回数の消去動作を繰り返し行った後に消去未終了メモリセルが存在しても、当該消去未終了メモリセルの個数がエラー訂正手段により訂正可能な所定個数以内のエラービットである場合には、消去未終了メモリセルを残したままデータプログラムを行う。

40

したがって、ごくまれに存在する非常に消去の遅いメモリセルに律速されることなく、高速にデータプログラムが可能となり、ひいては、データの書き換えを高速に行うことができる。

さらには、消去の速いメモリセルが過剰消去されることを防止でき、信頼性の高い半導体不揮発性記憶装置を実現することができる。

【0082】

【発明の効果】

以上説明したように、本発明によれば、高速にデータプログラムを行うことができる半導体不揮発性記憶装置を実現することができる。

50

【 0 0 8 3 】

また、本発明によれば、データ消去を高速に行うことができ、データの書き換えを高速に行うことが可能で、さらには過剰消去メモリセルの発生を防止でき、信頼性の向上を図れる半導体不揮発性記憶装置を実現することができる。

【図面の簡単な説明】

【図 1】本発明に係る半導体不揮発性記憶装置の第 1 の実施例の構成例を示す図である。

【図 2】図 1 の半導体不揮発性記憶装置におけるエラー訂正手段において、1 ビットエラーに対処できる正規データビット数 n とパリティデータビット数（エラー検査ビット数） j との関係を示す図である。

【図 3】図 1 の半導体不揮発性記憶装置における、データプログラム時のシーケンスフローを示す図である。 10

【図 4】本発明に係る半導体不揮発性記憶装置の第 2 の実施例の構成例を示す図である。

【図 5】図 1 の半導体不揮発性記憶装置における、データ消去時のシーケンスフローを示す図である。

【図 6】図 1 の半導体不揮発性記憶装置における、データプログラム時のシーケンスフローを示す図である。

【図 7】NAND 型および DINOR 型フラッシュメモリにおける、メモリアレイ構造を示す図である。

【図 8】一般的な NOR 型フラッシュメモリにおける、メモリアレイ構造およびデータ消去時のバイアス条件を示す図である。 20

【図 9】従来のワード線セクタを単位としたページプログラムを行う半導体不揮発性記憶装置のメモリセル間のプログラム速度の差を示す図である。

【図 10】従来のワード線セクタを単位としたページプログラムを行う半導体不揮発性記憶装置における、データプログラム時のシーケンスフローを示す図である。

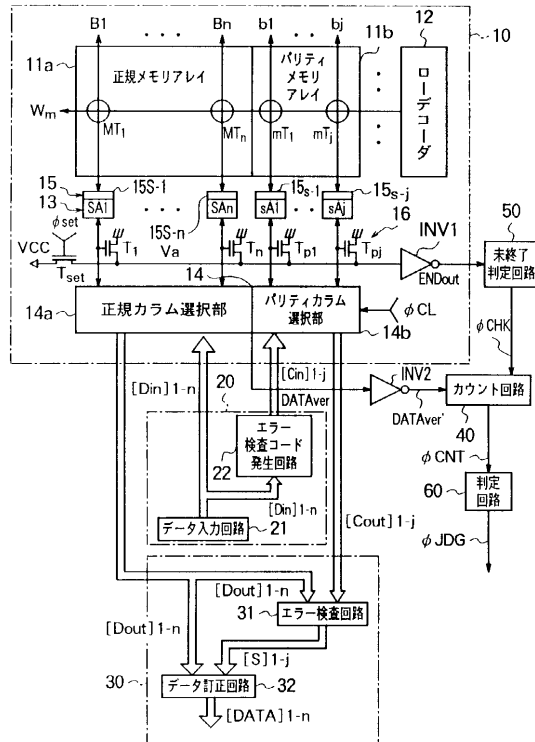
【図 11】消去ブロック内のメモリセル間の消去速度の差を示す図である。

【図 12】従来の NOR 型フラッシュメモリにおけるデータ書き換え時のシーケンスフローを示す図である。

【符号の説明】

B 1 ~ B n ... 正規ビット線、b 1 ~ b j ... パリティビット線、W m ... 選択ワード線、M T 1 ~ M T n ... 正規メモリセル、m T 1 ~ m T j ... パリティメモリセル、S A 1 ~ S A n ... 30
正規データラッチ回路、s A 1 ~ s A j ... パリティデータラッチ回路、[D i n] 1 ~ n ... 正規入力データ、[D o u t] 1 ~ n ... 正規出力データ、[D A T A] 1 ~ n ... エラー訂正後の正規出力データ、[C i n] 1 ~ j ... 入力エラー検査コード、[C o u t] 1 ~ j ... 出力エラー検査コード、[S] 1 ~ j ... データ復調コード、D A T A v e r ... ベリファイページ読み出しデータ、C L ... データ転送クロック信号、c h e c k ... チェック信号、s e t ... プリチャージ信号、E N D o u t ... 終点検出信号、V a ... 終点検出電位、I N V 1 ~ I N V 2 , I N V 1 0 0 ... 反転回路、1 0 , 1 0 0 ... メモリ本体、1 1 , 1 1 1 ... メモリアレイ部、1 1 a , 1 1 1 a ... 正規メモリアレイ、1 1 b , 1 1 1 b ... パリティメモリアレイ、1 2 , 1 1 2 ... ロードコーダ、1 3 , 1 1 3 ... データラッチ回路、1 4 , 1 1 4 ... カラム選択部、1 4 a , 1 1 4 a ... 正規カラム選択部、1 4 b , 1 1 4 b ... 40
パリティカラム選択部、1 5 , 1 1 5 ... 再プログラムデータ自動設定回路、1 6 , 1 1 6 ... 終点検出回路、2 0 , 1 2 0 ... データ入力部、2 1 , 1 2 1 ... データ入力回路、2 2 , 1 2 2 ... エラー検査コード発生回路、3 0 , 1 3 0 ... データ出力部、3 1 , 1 3 1 ... エラー検査回路、3 2 , 1 3 2 ... データ訂正回路、4 0 , 1 4 0 ... カウント回路、5 0 , 1 5 0 ... 未終了判定回路、6 0 , 1 6 0 ... 判定回路。

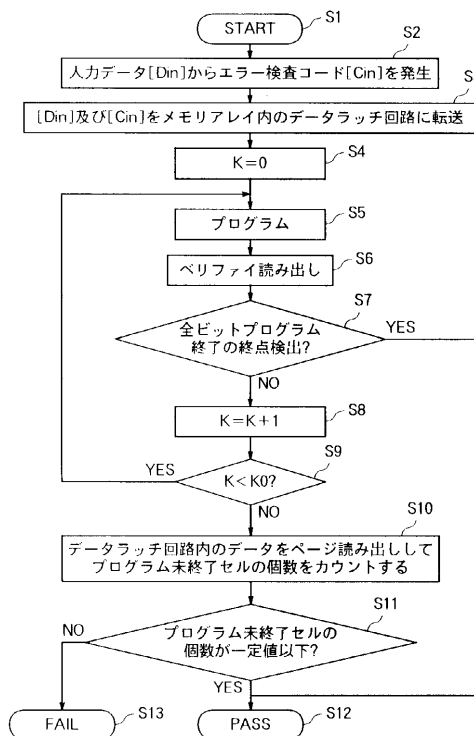
【図 1】



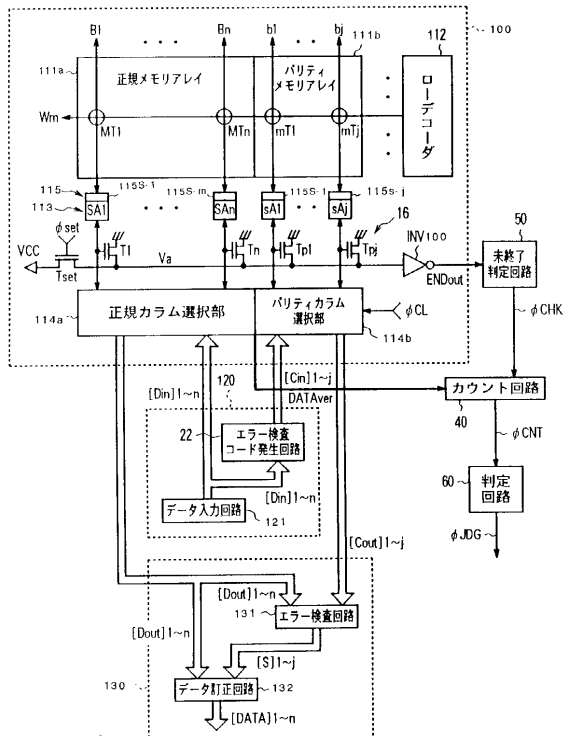
【図 2】

1024	11
512	10
256	9
128	8
64	7
32	6
16	5
8	4
正誤データビット数 n	エラー検出ビット数 j

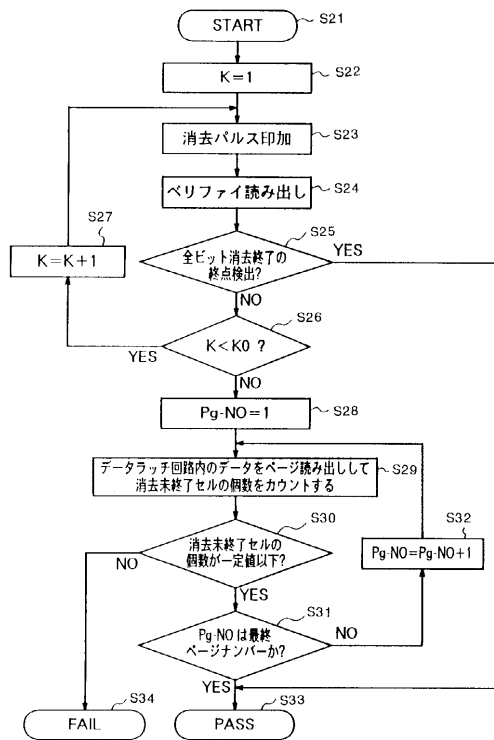
【図 3】



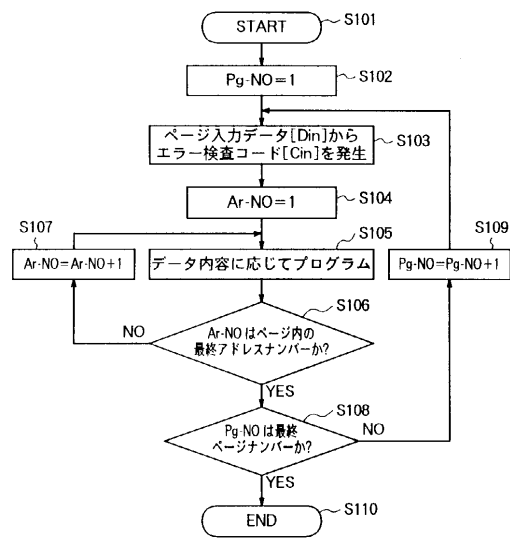
【図 4】



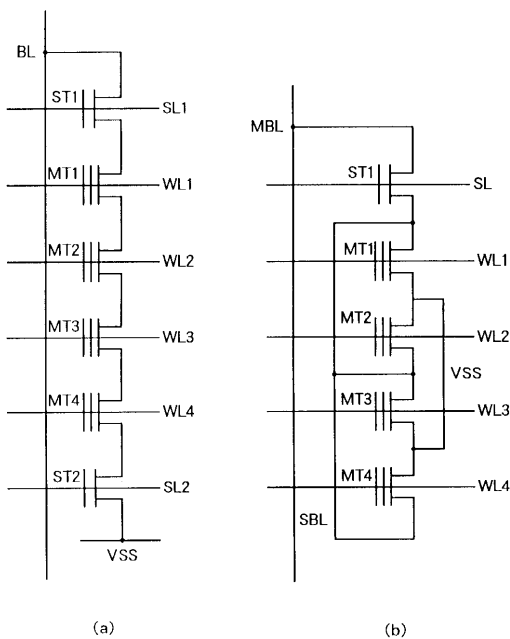
【図5】



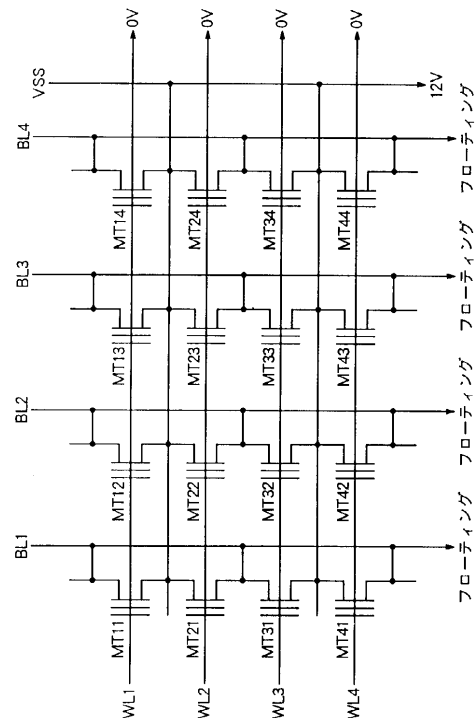
【図6】



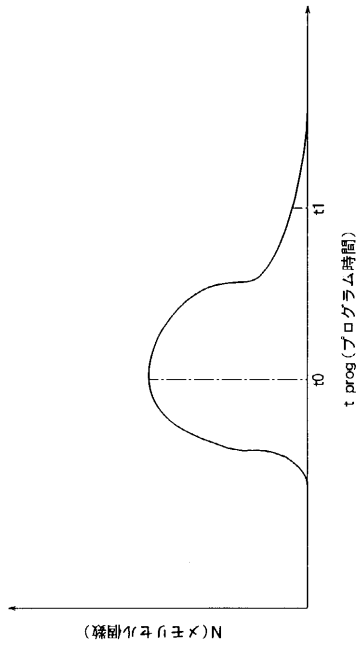
【図7】



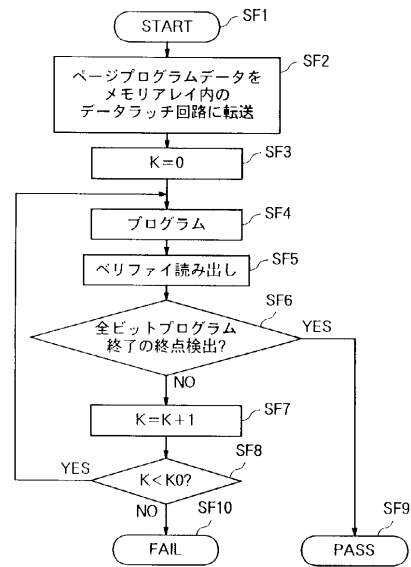
【図8】



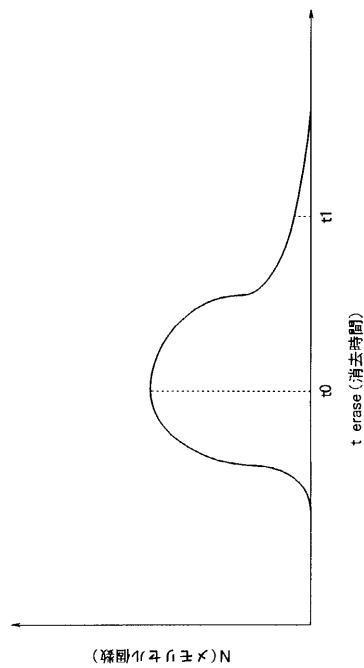
【図 9】



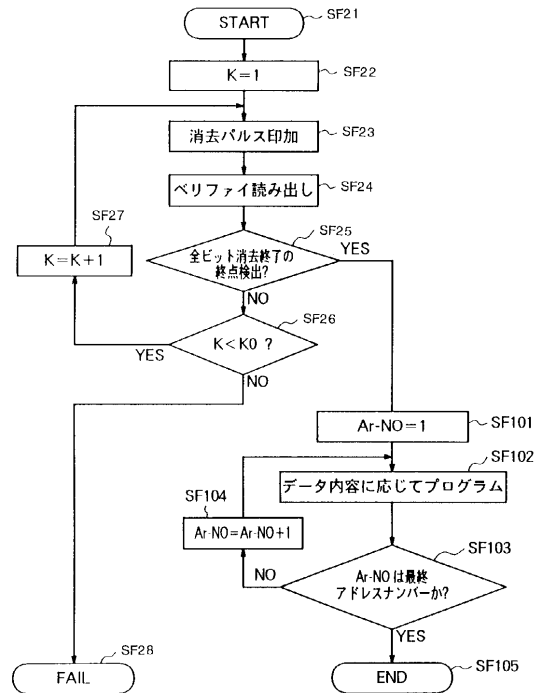
【図 10】



【図 11】



【図 12】



フロントページの続き

(72)発明者 内貴 唯八
東京都品川区北品川6丁目7番35号 ソニー株式会社内

審査官 石川 正二

(56)参考文献 特開平06-131884(JP,A)
特開平07-302175(JP,A)
特開平07-226097(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 16/06

G11C 16/04

G11C 29/42