

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7617003号
(P7617003)

(45)発行日 令和7年1月17日(2025.1.17)

(24)登録日 令和7年1月8日(2025.1.8)

(51)国際特許分類		F I	
H 1 0 B	12/00 (2023.01)	H 1 0 B	12/00 8 0 1
H 1 0 B	41/70 (2023.01)	H 1 0 B	41/70
H 1 0 B	99/00 (2023.01)	H 1 0 B	99/00 4 4 1
H 1 0 D	84/80 (2025.01)	H 0 1 L	27/06 1 0 2 A
H 1 0 D	84/83 (2025.01)	H 0 1 L	27/088 E
請求項の数 8 (全103頁) 最終頁に続く			
(21)出願番号	特願2021-538508(P2021-538508)	(73)特許権者	000153878
(86)(22)出願日	令和2年7月22日(2020.7.22)		株式会社半導体エネルギー研究所
(86)国際出願番号	PCT/IB2020/056864		神奈川県厚木市長谷398番地
(87)国際公開番号	WO2021/024071	(72)発明者	山崎 舜平
(87)国際公開日	令和3年2月11日(2021.2.11)		神奈川県厚木市長谷398番地 株式会
審査請求日	令和5年7月5日(2023.7.5)		社半導体エネルギー研究所内
(31)優先権主張番号	特願2019-143203(P2019-143203)	(72)発明者	木村 肇
(32)優先日	令和1年8月2日(2019.8.2)		神奈川県厚木市長谷398番地 株式会
(33)優先権主張国・地域又は機関			社半導体エネルギー研究所内
	日本国(JP)	(72)発明者	松崎 隆徳
(31)優先権主張番号	特願2019-152617(P2019-152617)		神奈川県厚木市長谷398番地 株式会
(32)優先日	令和1年8月23日(2019.8.23)		社半導体エネルギー研究所内
(33)優先権主張国・地域又は機関		(72)発明者	大貫 達也
	日本国(JP)		神奈川県厚木市長谷398番地 株式会
(31)優先権主張番号	特願2019-220338(P2019-220338)		社半導体エネルギー研究所内
	最終頁に続く		最終頁に続く

(54)【発明の名称】 記憶装置

(57)【特許請求の範囲】

【請求項1】

第1トランジスタの第1ゲート電極として機能する領域を有する第1導電体と、
容量素子の第1電極として機能する領域を有する第2導電体と、
第2トランジスタの第1ゲート電極として機能する領域を有する第3導電体と、
前記第2トランジスタの第2ゲート電極として機能する領域を有する第4導電体と、
前記第1トランジスタの第1ゲート絶縁膜として機能する領域を有する第1絶縁体と、
前記第1トランジスタの第2ゲート絶縁膜として機能する領域と、前記第2トランジスタ
の第2ゲート絶縁膜として機能する領域と、を有する第2絶縁体と、
前記第2トランジスタの第1ゲート絶縁膜として機能する領域を有する第3絶縁体と、
前記第1トランジスタのチャネル形成領域を有する第1半導体と、
前記第1トランジスタの第2ゲート電極及び前記容量素子の第2電極として機能する領域
と、前記第2トランジスタのチャネル形成領域と、を有する第2半導体と、を有し、
前記第1導電体は第1方向に延在し、
前記第1導電体の前記第1方向に延在する側面において、
前記第1絶縁体は前記第1導電体に隣接して設けられ、
前記第1半導体は前記第1絶縁体に隣接して設けられ、
前記第2絶縁体は前記第1半導体に隣接して設けられ、
前記第2半導体は前記第2絶縁体に隣接して設けられ、
前記第3絶縁体は前記第2半導体に隣接して設けられ、

前記第 1 導電体は、第 1 領域と、第 2 領域と、を有し、
前記第 1 領域において、前記第 2 導電体が前記第 3 絶縁体と隣接して設けられ、
前記第 2 領域において、前記第 3 導電体が前記第 3 絶縁体と隣接して設けられ、
前記第 2 領域において、
前記第 4 導電体が前記第 1 絶縁体と前記第 1 半導体の間に設けられている記憶装置。

【請求項 2】

前記第 1 領域において、前記第 1 絶縁体、前記第 2 絶縁体、前記第 3 絶縁体、前記第 1 半導体、および前記第 2 半導体のそれぞれが同心円状に設けられている、
請求項 1 に記載の記憶装置。

【請求項 3】

前記第 2 領域において、前記第 1 絶縁体、前記第 2 絶縁体、前記第 3 絶縁体、前記第 1 半導体、前記第 2 半導体、および前記第 4 導電体のそれぞれが同心円状に設けられている、
請求項 1 または請求項 2 に記載の記憶装置。

【請求項 4】

前記第 1 領域が前記第 1 トランジスタとして機能し、
前記第 2 領域が前記第 2 トランジスタとして機能する、
請求項 1 乃至請求項 3 のいずれか 1 項に記載の記憶装置。

【請求項 5】

前記第 1 半導体が酸化物半導体である、
請求項 1 乃至請求項 4 のいずれか一項に記載の記憶装置。

【請求項 6】

前記第 1 半導体は、インジウムまたは亜鉛の少なくとも一方を含む、
請求項 5 に記載の記憶装置。

【請求項 7】

前記第 2 半導体が酸化物半導体である、
請求項 1 乃至請求項 6 のいずれか一項に記載の記憶装置。

【請求項 8】

前記第 2 半導体は、インジウムまたは亜鉛の少なくとも一方を含む、
請求項 7 に記載の記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は、半導体装置に関する。

【0002】

なお本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の技術分野は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。

【0003】

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能しうるもの全般を指す。よって、トランジスタやダイオードなどの半導体素子や、半導体素子を含む回路は半導体装置である。また、表示装置、発光装置、照明装置、電気光学装置、記憶装置、撮像装置、通信装置および電子機器などは、半導体素子や半導体回路を含む場合がある。また、表示装置、発光装置、照明装置、電気光学装置、記憶装置、撮像装置、通信装置および電子機器なども、半導体装置と呼ばれる場合がある。

【背景技術】

【0004】

近年、扱われるデータ量の増大に伴って、より大きな記憶容量を有する半導体装置が求められている。単位面積あたりの記憶容量を増加させるためには、メモリセルを積層して形成することが有効である（特許文献 1、特許文献 2 参照）。メモリセルを積層して設ける

10

20

30

40

50

ことにより、単位面積当たりの記憶容量をメモリセルの積層数に応じて増加させることができる。特許文献3および特許文献4では、酸化物半導体を用いた記憶装置が開示されている。特許文献5では、電荷格納層として酸化物半導体を用いた半導体メモリが開示されている。

【0005】

また、非特許文献1では、結晶性酸化物半導体として、CAAC-IGZOが開示されている。また、非特許文献1では、CAAC-IGZOの成長メカニズムなども開示されている。

【先行技術文献】

【特許文献】

10

【0006】

【文献】米国特許公開2011/0065270A1公報

【文献】米国特許第9634097B2公報

【文献】特開2018-207038

【文献】特開特開2019-8862

【文献】特開2018-157205

【非特許文献】

【0007】

【文献】Noboru Kimizuka and Shunpei Yamazaki、
「PHYSICS AND TECHNOLOGY OF CRYSTALLINE OX
IDE SEMICONDUCTOR CAAC-IGZO」FUNDAMENTALS (20
米国)、Wiley-SID Series in Display Technolog
y、2017、p. 94-97

【発明の概要】

【発明が解決しようとする課題】

【0008】

特許文献1、および特許文献2においては、記憶素子（メモリセルともいう）が複数積層しており、これらが直列に接続することで、三次元構造のメモリセルアレイ（メモリストリングともいう）を構成している。

【0009】

30

特許文献1においては、柱状に設けられた半導体が、電荷蓄積層を有する絶縁体と接している。特許文献2においては、柱状に設けられた半導体が、トンネル誘電体として機能する絶縁体と接している。特許文献1および特許文献2ともに、メモリセルへの情報の書き込みは、絶縁体を介して電荷を引き抜きおよび注入することによって行われる。この場合、半導体と絶縁体が接する界面に、トラップセンターが形成される場合がある。トラップセンターは、電子を捕獲し、トランジスタのしきい値電圧を変動させる場合がある。よって、記憶装置の信頼性に悪影響を及ぼす恐れがある。

【0010】

本発明の一形態は、信頼性の高い記憶装置を提供することを課題の一とする。また、本発明の一形態は、記憶容量の大きい記憶装置を提供することを課題の一とする。また、本発明の一形態は、占有面積が小さい記憶装置を提供することを課題の一とする。また、本発明の一形態は、製造コストの低い記憶装置を提供することを課題の一とする。また、本発明の一形態は、信頼性の高い半導体装置を提供することを課題の一とする。また、本発明の一形態は、製造コストの低い半導体装置を提供することを課題の一とする。また、本発明の一形態は、新規な半導体装置を提供することを課題の一とする。

40

【0011】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一形態は、これらの課題の全てを解決する必要はない。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

50

【課題を解決するための手段】

【0012】

本発明の一態様は、第1方向に延在する第1導電体の側面に、第1導電体側から見て、第1絶縁体と、第1半導体と、第2絶縁体と、第2半導体と、第3絶縁体とが順に設けられた半導体装置である。第1導電体に、第1絶縁体、第1半導体、第2絶縁体、第2半導体、および第3絶縁体を介して第2導電体と重なる第1領域と、第1絶縁体、第1半導体、第2絶縁体、第2半導体、および第3絶縁体を介して第3導電体と重なる第2領域を有する。第2領域において、第1絶縁体と第1半導体の間に第4導電体を有する。

【0013】

本発明の別の態様は、第1導電体と、第2導電体と、第3導電体と、第4導電体と、第1絶縁体と、第2絶縁体と、第3絶縁体と、第1半導体と、第2半導体と、を有し、第1導電体は第1方向に延在し、第1導電体の第1方向に延在する側面において、第1絶縁体は第1導電体に隣接して設けられ、第1半導体は第1絶縁体に隣接して設けられ、第2絶縁体は第1半導体に隣接して設けられ、第2半導体は第2絶縁体に隣接して設けられ、第3絶縁体は第2半導体に隣接して設けられ、第1導電体は、第1領域と、第2領域と、を有し、第1領域において、第2導電体が第3絶縁体と隣接して設けられ、第2領域において、第3導電体が第3絶縁体と隣接して設けられ、第2領域において、第4導電体が第1絶縁体と第1半導体の間に設けられている記憶装置である。

10

【0014】

第1領域において、第1絶縁体、第2絶縁体、第3絶縁体、第1半導体、および第2半導体のそれぞれが同心円状に設けられていることが好ましい。第2領域において、第1絶縁体、第2絶縁体、第3絶縁体、第1半導体、第2半導体、および第4導電体のそれぞれが同心円状に設けられていることが好ましい。

20

【0015】

また、第1領域が第1トランジスタとして機能できる。また、第2領域が第2トランジスタとして機能できる。第1半導体は酸化物半導体であることが好ましい。第2半導体は酸化物半導体であることが好ましい。

【0016】

本発明の別の態様は、第1方向に延在する第1導電体と、第2方向に延在する第2導電体と、第2方向に延在する第3導電体と、第4導電体と、第1絶縁体と、第2絶縁体と、第3絶縁体と、第1半導体と、第2半導体と、を有し、第1導電体と第2導電体が交差する第1交差部と、第1導電体と第3導電体が交差する第2交差部のそれぞれにおいて、第1絶縁体は第1導電体と重なり、第1半導体は第1絶縁体と重なり、第2絶縁体は第1半導体と重なり、第2半導体は第2絶縁体と重なり、第3絶縁体は第2半導体と重なり、第2交差部において、第1半導体は、第4導電体を介して第1絶縁体と重なる記憶装置である。

30

【0017】

第1交差部において、第1絶縁体、第2絶縁体、第3絶縁体、第1半導体、および第2半導体のそれぞれが同心円状に設けられていることが好ましい。第2交差部において、第1絶縁体、第2絶縁体、第3絶縁体、第1半導体、第2半導体、および第4導電体のそれぞれが同心円状に設けられていることが好ましい。

40

【0018】

また、第1交差部が第1トランジスタとして機能できる。また、第2交差部が第2トランジスタとして機能できる。

【発明の効果】

【0019】

本発明の一形態により、信頼性の高い記憶装置を提供することができる。また、本発明の一形態により、記憶容量の大きい記憶装置を提供することができる。本発明の一形態により、占有面積が小さい記憶装置を提供することができる。また、本発明の一形態により、製造コストの低い記憶装置を提供することができる。また、本発明の一形態により、信頼

50

性の高い半導体装置を提供することができる。また、本発明の一形態により、製造コストの低い半導体装置を提供することができる。また、本発明の一形態により、新規な半導体装置を提供することができる。

【0020】

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

【図面の簡単な説明】

【0021】

図1は、記憶装置の斜視図である。

図2は、記憶装置の断面図である。

図3は、メモリストリングの断面図である。

図4は、メモリストリングの断面図である。

図5Aおよび図5Bは、メモリストリングの断面図である。

図6Aおよび図6Bは、メモリストリングの断面図である。

図7Aは、記憶素子の断面図である。図7Bは、記憶素子の斜視断面図である。

図8Aおよび図8Bは、メモリストリングの断面図である。

図9A乃至図9Fは、メモリストリングの断面図である。

図10Aおよび図10Bは、メモリストリングの断面図である。

図11AはIGZOの結晶構造の分類を説明する図である。図11BはCAAC-IGZO膜のXRDスペクトルを説明する図である。図11CはCAAC-IGZO膜の極微電子線回折パターンを説明する図である。

図12A乃至図12Cは、本発明の一態様に係る半導体装置の作製工程を説明する断面図である。

図13A乃至図13Cは、本発明の一態様に係る半導体装置の作製工程を説明する断面図である。

図14A乃至図14Cは、本発明の一態様に係る半導体装置の作製工程を説明する断面図である。

図15A乃至図15Cは、本発明の一態様に係る半導体装置の作製工程を説明する断面図である。

図16A乃至図16Cは、本発明の一態様に係る半導体装置の作製工程を説明する断面図である。

図17A乃至図17Cは、本発明の一態様に係る半導体装置の作製工程を説明する断面図である。

図18A乃至図18Cは、本発明の一態様に係る半導体装置の作製工程を説明する断面図である。

図19A乃至図19Dは、本発明の一態様に係る半導体装置の作製工程を説明する断面図である。

図20A乃至図20Cは、本発明の一態様に係る半導体装置の作製工程を説明する断面図である。

図21A乃至図21Cは、本発明の一態様に係る半導体装置の作製工程を説明する断面図である。

図22A乃至図22Cは、本発明の一態様に係る半導体装置の作製工程を説明する断面図である。

図23A乃至図23Cは、本発明の一態様に係る半導体装置の作製工程を説明する断面図である。

図24A乃至図24Cは、本発明の一態様に係る半導体装置の作製工程を説明する断面図である。

図25A乃至図25Cは、本発明の一態様に係る半導体装置の作製工程を説明する断面図

10

20

30

40

50

である。

図 2 6 A 乃至図 2 6 C は、本発明の一態様に係る半導体装置の作製工程を説明する断面図である。

図 2 7 A 乃至図 2 7 C は、本発明の一態様に係る半導体装置の作製工程を説明する断面図である。

図 2 8 A 乃至図 2 8 C は、本発明の一態様に係る半導体装置の作製工程を説明する断面図である。

図 2 9 は、記憶装置の斜視図である。

図 3 0 は、記憶装置の断面図である。

図 3 1 は、メモリストリングの断面図である。

10

図 3 2 A 乃至図 3 2 C は、本発明の一態様に係る半導体装置の作製工程を説明する断面図である。

図 3 3 A 乃至図 3 3 C は、本発明の一態様に係る半導体装置の作製工程を説明する断面図である。

図 3 4 A 乃至図 3 4 C は、本発明の一態様に係る半導体装置の作製工程を説明する断面図である。

図 3 5 A 乃至図 3 5 C は、本発明の一態様に係る半導体装置の作製工程を説明する断面図である。

図 3 6 A 乃至図 3 6 C は、本発明の一態様に係る半導体装置の作製工程を説明する断面図である。

20

図 3 7 A 乃至図 3 7 C は、本発明の一態様に係る半導体装置の作製工程を説明する断面図である。

図 3 8 A 乃至図 3 8 C は、本発明の一態様に係る半導体装置の作製工程を説明する断面図である。

図 3 9 A 乃至図 3 9 C は、本発明の一態様に係る半導体装置の作製工程を説明する断面図である。

図 4 0 A 乃至図 4 0 C は、本発明の一態様に係る半導体装置の作製工程を説明する断面図である。

図 4 1 A 乃至図 4 1 C は、本発明の一態様に係る半導体装置の作製工程を説明する断面図である。

30

図 4 2 A 乃至図 4 2 C は、本発明の一態様に係る半導体装置の作製工程を説明する断面図である。

図 4 3 A 乃至図 4 3 D は、本発明の一態様に係る半導体装置の作製工程を説明する断面図である。

図 4 4 A 乃至図 4 4 C は、本発明の一態様に係る半導体装置の作製工程を説明する断面図である。

図 4 5 A 乃至図 4 5 C は、本発明の一態様に係る半導体装置の作製工程を説明する断面図である。

図 4 6 A 乃至図 4 6 C は、本発明の一態様に係る半導体装置の作製工程を説明する断面図である。

40

図 4 7 A 乃至図 4 7 C は、本発明の一態様に係る半導体装置の作製工程を説明する断面図である。

図 4 8 A 乃至図 4 8 C は、本発明の一態様に係る半導体装置の作製工程を説明する断面図である。

図 4 9 A 乃至図 4 9 C は、本発明の一態様に係る半導体装置の作製工程を説明する断面図である。

図 5 0 A 乃至図 5 0 C は、本発明の一態様に係る半導体装置の作製工程を説明する断面図である。

図 5 1 は、MOCVD 装置の構成例を説明する図である。

図 5 2 A は、マルチチャンバ型の成膜装置の模式図である。図 5 2 B は、成膜室の断面図

50

である。

図 5 3 は、メモリストリングの回路構成例を説明する図である。

図 5 4 は、記憶素子 M C の等価回路図である。

図 5 5 は、メモリストリングの回路構成例を説明する図である。

図 5 6 は、メモリストリングの回路構成例を説明する図である。

図 5 7 は、メモリストリングの回路構成例を説明する図である。

図 5 8 は、メモリストリングの書き込み動作例を説明するタイミングチャートである。

図 5 9 A および図 5 9 B は、メモリストリングの書き込み動作例を説明する回路図である。

図 6 0 A および図 6 0 B は、メモリストリングの書き込み動作例を説明する回路図である。

図 6 1 A および図 6 1 B は、メモリストリングの書き込み動作例を説明する回路図である。

図 6 2 A および図 6 2 B は、メモリストリングの書き込み動作例を説明する回路図である。

図 6 3 A および図 6 3 B は、メモリストリングの読み出し動作例を説明するタイミングチャートである。

図 6 4 A および図 6 4 B は、メモリストリングの読み出し動作例を説明する回路図である。

図 6 5 A および図 6 5 B は、メモリストリングの読み出し動作例を説明する回路図である。

図 6 6 A および図 6 6 B は、トランジスタの $I_d - V_g$ 特性を説明する図である。

図 6 7 は、メモリストリングの回路構成例を説明する図である。

図 6 8 は、メモリストリングの書き込み動作例を説明するタイミングチャートである。

図 6 9 は、メモリストリングの読み出し動作例を説明するタイミングチャートである。

図 7 0 は、メモリストリングの回路構成例を説明する図である。

図 7 1 は、メモリストリングの回路構成例を説明する図である。

図 7 2 は、半導体装置の構成例を説明するブロック図である。

図 7 3 A 乃至図 7 3 C は、半導体装置の構成例を説明する斜視図である。

図 7 4 は、本発明の一態様に係る半導体装置を説明する断面図である。

図 7 5 は、本発明の一態様に係る半導体装置を説明する断面図である。

図 7 6 A は、半導体装置の模式図である。図 7 6 B は、半導体装置の斜視図である。

図 7 7 A 乃至図 7 7 E は、記憶装置の一例を説明するための図である。

図 7 8 A 乃至図 7 8 G は、電子機器の一例を説明するための図である。

【発明を実施するための形態】

【0022】

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する発明の構成において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その説明の繰り返しは省略する。

【0023】

また、図面等において示す各構成の、位置、大きさ、範囲などは、発明の理解を容易とするため、実際の位置、大きさ、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面等を開示された位置、大きさ、範囲などに限定されない。例えば、実際の製造工程において、エッチングなどの処理によりレジストマスクなどが意図せず目減りすることがあるが、理解を容易とするため図に反映しないことがある。

【0024】

また、図面などにおいて、説明を理解しやすくするために、一部の構成要素の記載を省略する場合がある。

【0025】

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

【0026】

また、本明細書等において、電気回路における「端子」とは、電流の入力または出力、電圧の入力または出力、もしくは、信号の受信または送信が行なわれる部位を言う。よって、配線または電極の一部が端子として機能する場合がある。

【0027】

なお、本明細書等において「上」や「下」の用語は、構成要素の位置関係が直上または直下で、かつ、直接接していることを限定するものではない。例えば、「絶縁層 A 上の電極 B」の表現であれば、絶縁層 A の上に電極 B が直接接して形成されている必要はなく、絶縁層 A と電極 B との間に他の構成要素を含むものを除外しない。

【0028】

また、ソースおよびドレインの機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合など、動作条件などによって互いに入れ替わるため、いずれがソースまたはドレインであるかを限定することが困難である。このため、本明細書においては、ソースおよびドレインの用語は、入れ替えて用いることができるものとする。

【0029】

また、本明細書等において、「電氣的に接続」には、直接接続している場合と、「何らかの電氣的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電氣的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。よって、「電氣的に接続する」と表現される場合であっても、現実の回路においては、物理的な接続部分がなく、配線が延在しているだけの場合もある。

【0030】

また、本明細書などにおいて、「平行」とは、例えば、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。従って、 -5° 以上 5° 以下の場合も含まれる。また、「垂直」および「直交」とは、例えば、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。従って、 85° 以上 95° 以下の場合も含まれる。

【0031】

なお、本明細書などにおいて、計数値および計量値に関して、または、計数値もしくは計量値に換算可能な物、方法、および事象などに関して、「同一」、「同じ」、「等しい」または「均一」などと言う場合は、明示されている場合を除き、プラスマイナス 20% の誤差を含むものとする。

【0032】

また、本明細書等において、「隣接」や「近接」の用語は、構成要素が直接接していることを限定するものではない。例えば、「絶縁層 A に隣接する電極 B」の表現であれば、絶縁層 A と電極 B が直接接して形成されている必要はなく、絶縁層 A と電極 B の間に他の構成要素を含むものを除外しない。

【0033】

また、電圧は、ある電位と、基準の電位（例えば接地電位またはソース電位）との電位差のことを示す場合が多い。よって、電圧と電位は互いに言い換えることが可能な場合が多い。本明細書などでは、特段の明示が無いかぎり、電圧と電位を言い換えることができるものとする。

【0034】

なお、「半導体」と表記した場合でも、例えば、導電性が十分低い場合は「絶縁体」としての特性を有する。よって、「半導体」を「絶縁体」に置き換えて用いることも可能である。この場合、「半導体」と「絶縁体」の境界は曖昧であり、両者の厳密な区別は難しい。したがって、本明細書に記載の「半導体」と「絶縁体」は、互いに読み換えることができる場合がある。

【0035】

また、「半導体」と表記した場合でも、例えば、導電性が十分高い場合は「導電体」としての特性を有する。よって、「半導体」を「導電体」に置き換えて用いることも可能であ

10

20

30

40

50

る。この場合、「半導体」と「導電体」の境界は曖昧であり、両者の厳密な区別は難しい。したがって、本明細書に記載の「半導体」と「導電体」は、互いに読み換えることができる場合がある。

【0036】

なお、本明細書等における「第1」、「第2」等の序数詞は、構成要素の混同を避けるために付すものであり、工程順または積層順など、なんらかの順番や順位を示すものではない。また、本明細書等において序数詞が付されていない用語であっても、構成要素の混同を避けるため、特許請求の範囲において序数詞が付される場合がある。また、本明細書等において序数詞が付されている用語であっても、特許請求の範囲において異なる序数詞が付される場合がある。また、本明細書等において序数詞が付されている用語であっても、特許請求の範囲などにおいて序数詞を省略する場合がある。

10

【0037】

なお、本明細書等において、トランジスタの「オン状態」とは、トランジスタのソースとドレインが電氣的に短絡しているとみなせる状態（「導通状態」ともいう。）をいう。また、トランジスタの「オフ状態」とは、トランジスタのソースとドレインが電氣的に遮断しているとみなせる状態（「非導通状態」ともいう。）をいう。

【0038】

また、本明細書等において、「オン電流」とは、トランジスタがオン状態の時にソースとドレイン間に流れる電流をいう場合がある。また、「オフ電流」とは、トランジスタがオフ状態である時にソースとドレイン間に流れる電流をいう場合がある。

20

【0039】

また、本明細書等において、高電源電位VDD（以下、単に「VDD」、「H電位」、または「H」ともいう）とは、低電源電位VSS（以下、単に「VSS」、「L電位」、または「L」ともいう）よりも高い電位の電源電位を示す。また、VSSとは、VDDよりも低い電位の電源電位を示す。また、接地電位（以下、単に「GND」、または「GND電位」ともいう）をVDDまたはVSSとして用いることもできる。例えばVDDが接地電位の場合には、VSSは接地電位より低い電位であり、VSSが接地電位の場合には、VDDは接地電位より高い電位である。

【0040】

また、本明細書等に示すトランジスタは、明示されている場合を除き、エンハンスメント型（ノーマリーオフ型）のnチャネル型電界効果トランジスタとする。よって、そのしきい値電圧（「V_{th}」ともいう。）は、0Vより大きいものとする。また、明示されている場合を除き、「トランジスタのゲートにH電位を供給する。」とは、「トランジスタをオン状態にする。」と同義の場合がある。また、明示されている場合を除き、「トランジスタのゲートにL電位を供給する。」とは、「トランジスタをオフ状態にする。」と同義の場合がある。

30

【0041】

また、本明細書等において、ゲートとは、ゲート電極およびゲート配線の一部または全部のことをいう。ゲート配線とは、少なくとも一つのトランジスタのゲート電極と、別の電極や別の配線とを電氣的に接続させるための配線のことをいう。

40

【0042】

また、本明細書等において、ソースとは、ソース領域、ソース電極、およびソース配線の一部または全部のことをいう。ソース領域とは、半導体層のうち、抵抗率が一定値以下の領域のことをいう。ソース電極とは、ソース領域に接続される部分の導電層のことをいう。ソース配線とは、少なくとも一つのトランジスタのソース電極と、別の電極や別の配線とを電氣的に接続させるための配線のことをいう。

【0043】

また、本明細書等において、ドレインとは、ドレイン領域、ドレイン電極、及びドレイン配線の一部または全部のことをいう。ドレイン領域とは、半導体層のうち、抵抗率が一定値以下の領域のことをいう。ドレイン電極とは、ドレイン領域に接続される部分の導電層

50

のことをいう。ドレイン配線とは、少なくとも一つのトランジスタのドレイン電極と、別の電極や別の配線とを電氣的に接続させるための配線のことをいう。

【0044】

また、図面などにおいて、配線、電極または導電体などの電位をわかりやすくするため、配線、電極または導電体などに隣接してH電位を示す“H”、またはL電位を示す“L”を付記する場合がある。また、電位変化が生じた配線、電極または導電体などには、“H”または“L”を囲み文字で付記する場合がある。また、トランジスタがオフ状態である場合、当該トランジスタに重ねて“×”記号を付記する場合がある。

【0045】

また、一般に、「容量」は、2つの電極が絶縁体（誘電体）を介して向かい合う構成を有する。本明細書等において、「容量素子」とは、前述の「容量」である場合が含まれる。すなわち、本明細書等において、「容量素子」とは、2つの電極が絶縁体を介して向かい合う構成を有したもの、2本の配線が絶縁体を介して向かい合う構成を有したもの、または、2本の配線が絶縁体を介して配置されたもの、である場合が含まれる。

【0046】

また、本明細書等において、複数の要素に同じ符号を用いる場合、特にそれらを区別する必要があるときは、符号に、「_1」、「_2」、「[n]」、「[m, n]」等、識別用の符号を付して記載する場合がある。例えば、2番目の配線GLを、配線GL[2]と記載する場合がある。

【0047】

（実施の形態1）

図1に、本発明の一態様に係る記憶装置100の斜視図を示す。記憶装置100は、三次元積層構造を有する記憶装置である。図2は、図1に一点鎖線で示した部位A1-A2の断面図である。なお、図1などにおいて、X方向、Y方向、およびZ方向を示す矢印を付す場合がある。X方向、Y方向、およびZ方向は、それぞれが互いに直交する方向である。本明細書などでは、X方向、Y方向、またはZ方向の1つを「第1方向」または「第1の方向」と呼ぶ場合がある。また、他の1つを「第2方向」または「第2の方向」と呼ぶ場合がある。また、残りの1つを「第3方向」または「第3の方向」と呼ぶ場合がある。

【0048】

図2は、X-Z平面の断面を示している。なお、前述した通り、説明をわかりやすくするため図1および図2などでは、構成要素の一部を省略している場合がある。

【0049】

＜記憶装置の構成例＞

本発明の一態様に係る記憶装置100は、メモリセルアレイ110を有する。メモリセルアレイ110は複数のメモリストリング120を有する。メモリストリング120はZ方向に延在し、XY平面上でマトリクス状に配置されている。

【0050】

図3に、本発明の一態様に係るメモリストリング120の断面構成例を示す。メモリストリング120は複数の記憶素子MC（「メモリセル」ともいう。）が直列に接続された構成を有する。本実施の形態では、記憶素子MCが5つ直列に接続する場合を示しているが、メモリストリング120が備える記憶素子MCの数は5に限定されるものではない。メモリストリング120が備える記憶素子MCの数をnとすると、nは2以上の整数であればよい。

【0051】

また、メモリストリング120は、複数の導電体WWLと、複数の導電体RWLと、導電体SGと、を有する。メモリセルアレイ110において、導電体WWL、導電体RWL、および導電体SGは、X方向に延在する。複数の導電体WWLと複数の導電体RWLは、絶縁体123を介して交互に積層して設けられている。導電体SGは、複数の導電体WWLおよび複数の導電体RWLよりも下層に設けられている。

【0052】

10

20

30

40

50

図3では、5つの記憶素子MCを記憶素子MC[1]乃至記憶素子MC[5]と示している。なお、記憶素子MC[1]乃至記憶素子MC[5]に共通の事柄を説明する場合は単に「記憶素子MC」と示す。導電体WWL、導電体RWL、および絶縁体123などの他の構成要素も同様である。

【0053】

メモリストリング120は、記憶素子MC[1]と電氣的に接続するトランジスタSTr1と、記憶素子MC[5]と電氣的に接続するトランジスタSTr2と、を有する。

【0054】

導電体WWL、導電体RWL、および導電体SGは、メモリセルアレイ110を越えて延在する領域を有する。また、導電体WWL、導電体RWL、および導電体SGは、メモリセルアレイ110の外側で、階段状に積層している（図1および図2参照。）。

10

【0055】

図3に一点鎖線で示した部位B1-B2をZ方向から見た断面を図5Aに示す。図3に一点鎖線で示した部位C1-C2をZ方向から見た断面を図5Bに示す。図3に二点鎖線で示した領域105の拡大図を図7Aに示す。図7Aは、記憶素子MCの断面図に相当する。

【0056】

メモリストリング120は、基体121上に導電体122を有する。基体121としては、例えば絶縁体を用いればよい。また、導電体122上に絶縁体123[1]、導電体SG、絶縁体123[2]、導電体RWL[1]、絶縁体123[3]、導電体WWL[1]、絶縁体123[4]、導電体RWL[2]、絶縁体123[5]、導電体WWL[2]、絶縁体123[6]、導電体RWL[3]、絶縁体123[7]、導電体WWL[3]、絶縁体123[8]、導電体RWL[4]、絶縁体123[9]、導電体WWL[4]、絶縁体123[10]、導電体RWL[5]、絶縁体123[11]、導電体WWL[5]、および絶縁体123[12]を有する（図3参照）。

20

【0057】

また、メモリストリング120は、絶縁体123[1]、導電体SG、絶縁体123[2]、導電体RWL[1]、絶縁体123[3]、導電体WWL[1]、絶縁体123[4]、導電体RWL[2]、絶縁体123[5]、導電体WWL[2]、絶縁体123[6]、導電体RWL[3]、絶縁体123[7]、導電体WWL[3]、絶縁体123[8]、導電体RWL[4]、絶縁体123[9]、導電体WWL[4]、絶縁体123[10]、導電体RWL[5]、絶縁体123[11]、導電体WWL[5]、および絶縁体123[12]の、それぞれの一部を除去した開口141（図4参照）を有する。図4は図3と同じ断面図である。ただし、開口141の断面形状を認識しやすくするため、図4では開口141内に設けられる構成要素を破線で示している。

30

【0058】

開口141はZ方向に延在し、導電体122に達する。また、開口141において、導電体RWLと重なる領域142の径は、導電体WWLと重なる領域143の径よりも大きい。よって、開口141の側面は凹凸形状を有する。

【0059】

また、開口141の側面に沿って、絶縁体124、半導体125、絶縁体126、および半導体127が設けられている。半導体125は絶縁体124を介して開口141の側面と重なる領域を有する。絶縁体126は、半導体125および絶縁体124を介して開口141の側面と重なる領域を有する。半導体127は、絶縁体126、半導体125および絶縁体124を介して開口141の側面と重なる領域を有する。また、開口141の底部において、半導体125は導電体122と電氣的に接続する領域を有する。

40

【0060】

また、メモリストリング120は、Z方向に延在する導電体130を有する。導電体130は開口141の中心もしくは中心付近に設けられている。また、導電体130の開口141と重なる領域に絶縁体129が設けられている。開口141の底部において、導電体130は、絶縁体129、半導体127、絶縁体126、半導体125を介して導電体1

50

22と重なる領域を有する。また、導電体RWLと重なる領域において、半導体127と絶縁体129の間に導電体128が設けられている。

【0061】

導電体WWLと導電体130との間には、導電体WWL側から、絶縁体124、半導体125、絶縁体126、半導体127、絶縁体129が順に設けられる（図5A参照）。導電体RWLと導電体130との間には、導電体RWL側から、絶縁体124、半導体125、絶縁体126、半導体127、導電体128、および絶縁体129が順に設けられる（図5B参照）。

【0062】

図5Aおよび図5Bでは、1つのメモリストリング120の断面（X-Y断面）を図示しているが、図6Aおよび図6Bでは、複数のメモリストリング120を設ける例を示している。複数のメモリストリング120は、X軸方向に並べて配置してもよいし、Y軸方向に並べて配置してもよいし、マトリクス状に配置してもよい。

10

【0063】

記憶素子MCは、トランジスタWTrとトランジスタRTrを有する（図7A参照）。導電体WWLと導電体130が重なる領域がトランジスタWTrとして機能する。言い換えると、導電体WWLと導電体130の交差部がトランジスタWTrとして機能する。導電体WWLと導電体130の交差部において、絶縁体129が導電体130に隣接し、半導体127が絶縁体129に隣接する。また、絶縁体126が半導体127に隣接し、半導体125が絶縁体126に隣接する。また、絶縁体124が半導体125に隣接する。

20

【0064】

導電体WWLがトランジスタWTrのゲート電極として機能し、導電体130がトランジスタWTrのバックゲート電極として機能する。また、半導体127の一部が、トランジスタWTrのチャンネルが形成される半導体層として機能する。トランジスタWTrのチャンネルが形成される半導体層は、絶縁体126、半導体125、および絶縁体124それぞれの一部を介してゲート電極（導電体WWL）と重なる。なお、本実施の形態などでは、導電体WWLの一部がゲート電極として機能する例を示しているが、ゲート電極および導電体WWLをそれぞれ独立して設け、両者を電氣的に接続してもよい。

【0065】

導電体RWL、および導電体130が重なる領域がトランジスタRTrとして機能する。言い換えると、導電体RWLと導電体130の交差部がトランジスタRTrとして機能する。また、導電体RWLと導電体130の交差部では、導電体128が設けられている。導電体WWLと導電体130の交差部と同様に、導電体RWLと導電体130の交差部においても、絶縁体129、半導体127、絶縁体126、半導体125、および絶縁体124のそれぞれが、Z方向と垂直な方向において互いに重なる領域を有する。ただし、導電体RWLと導電体130の交差部では、絶縁体129と半導体127の間に導電体128を有する点が、導電体WWLと導電体130の交差部と異なる。

30

【0066】

導電体128はトランジスタRTrのゲート電極として機能する。また、導電体RWLがトランジスタRTrのバックゲート電極として機能する。半導体125の一部が、トランジスタRTrのチャンネルが形成される半導体層として機能する。トランジスタRTrのチャンネルが形成される半導体層は、絶縁体126の一部を介してゲート電極（導電体128）と重なる。また、トランジスタRTrのチャンネルが形成される半導体層は、絶縁体124の一部を介してバックゲート電極（導電体RWL）と重なる。なお、本実施の形態などでは、導電体RWLの一部がバックゲート電極として機能する例を示しているが、バックゲート電極および導電体RWLをそれぞれ独立して設け、両者を電氣的に接続してもよい。

40

【0067】

また、メモリストリング120をZ軸方向に沿って分割することで、開口141内に設けられるメモリセルの数を増やすことができるため好ましい。メモリストリング120をZ軸方向に沿って分割する場合、導電体WWLおよび導電体RWLも分割して構わない。

50

【0068】

図8Aは、導電体WWL、およびメモリストリング120がX-Z面に沿って設けられた絶縁体153により分割される様子を示しており、図8Bは、導電体RWL、およびメモリストリング120がX-Z面に沿って設けられた絶縁体153により分割される様子を示している。なお、図8Aは、図5Aに示した断面の変形例に相当する。図8Bは、図5Bに示した断面の変形例に相当する。図8などでは、分割された構成要素の符号の末尾にaまたはbを付している。

【0069】

図8Aに示すように、導電体WWLaと導電体130aが重なる領域がトランジスタWTraとして機能する。具体的には、導電体WWLa、絶縁体124a、半導体125a、絶縁体126a、半導体127a、絶縁体129a、および導電体130aが重なる領域がトランジスタWTraとして機能する。導電体WWLaがトランジスタWTraのゲート電極として機能し、導電体130aがトランジスタWTraのバックゲート電極として機能する。また、半導体127aの一部が、トランジスタWTraのチャネルが形成される半導体層として機能する。トランジスタWTraのチャネルが形成される半導体層は、絶縁体124aの一部、半導体125aの一部、絶縁体126aの一部を介してゲート電極（導電体WWLa）と重なる。

【0070】

また、導電体WWLbと導電体130bが重なる領域がトランジスタWTrbとして機能する。具体的には、導電体WWLb、絶縁体124b、半導体125b、絶縁体126b、半導体127b、絶縁体129b、および導電体130bが重なる領域がトランジスタWTrbとして機能する。導電体WWLbがトランジスタWTrbのゲート電極として機能し、導電体130bがトランジスタWTrbのバックゲート電極として機能する。また、半導体127bの一部が、トランジスタWTrbのチャネルが形成される半導体層として機能する。トランジスタWTrbのチャネルが形成される半導体層は、絶縁体124bの一部、半導体125bの一部、絶縁体126bの一部を介してゲート電極（導電体WWLb）と重なる。

【0071】

図8Bに示すように、導電体RWLaと導電体130aが重なる領域がトランジスタRTraとして機能する。具体的には、RWLa、絶縁体124a、半導体125a、絶縁体126a、半導体127a、導電体128a、絶縁体129a、および導電体130aがトランジスタRTraとして機能する。導電体RWLaがトランジスタRTraのゲート電極として機能する。また、導電体130aがトランジスタRTraのバックゲート電極として機能する。半導体125aの一部が、トランジスタRTraのチャネルが形成される半導体層として機能する。トランジスタRTraのチャネルが形成される半導体層は、絶縁体124aを介してゲート電極（導電体RWLa）と重なる。トランジスタRTraのチャネルが形成される半導体層は、絶縁体126aの一部、半導体127aの一部、導電体128aの一部、絶縁体129aの一部を介してバックゲート電極（導電体130a）と重なる。

【0072】

また、導電体RWLbと導電体130bが重なる領域がトランジスタRTrbとして機能する。具体的には、RWLb、絶縁体124b、半導体125b、絶縁体126b、半導体127b、導電体128b、絶縁体129b、および導電体130bがトランジスタRTrbとして機能する。導電体RWLbがトランジスタRTrbのゲート電極として機能する。また、導電体130bがトランジスタRTrbのバックゲート電極として機能する。半導体125bの一部が、トランジスタRTrbのチャネルが形成される半導体層として機能する。トランジスタRTrbのチャネルが形成される半導体層は、絶縁体124bを介してゲート電極（導電体RWLb）と重なる。トランジスタRTrbのチャネルが形成される半導体層は、絶縁体126bの一部、半導体127bの一部、導電体128bの一部、絶縁体129bの一部を介してバックゲート電極（導電体130b）と重なる。

【0073】

上記のように、導電体WWL、導電体RWL、およびメモリストリング120を分割することで、開口141内に設けられるメモリセルの数を2倍に増やすことができる。なお、メモリストリング120の分割方法は上記に限らない。図8Aおよび図8Bでは、メモリストリング120はX軸方向に延伸する絶縁体153により分割されるが、図9Aおよび図9Bに示すように絶縁体153はX軸方向と異なる方向に延伸してもよい。また、図9C乃至図9Fに示すように、メモリストリング120を3以上に分割してもよい。図9Cおよび図9Dは、3分割されたメモリストリング120の一例を示しており、図9Eおよび図9Fは、4分割されたメモリストリング120の一例を示している。このとき、開口141内に設けられるメモリセルの数をそれぞれ3倍、4倍に増やすことができる。

10

【0074】

図9A乃至図9Fにおいて、絶縁体153は、導電体WWL、および導電体RWLのX軸方向の導通を妨げないように配置することが好ましい。

【0075】

ここで、バックゲートについて説明しておく。ゲートとバックゲートは、半導体層のチャネル形成領域を介して重なるように配置される。バックゲートはゲートと同様に機能させることができる。また、バックゲートの電位を変化させることで、トランジスタのしきい値電圧を変化させることができる。ゲートまたはバックゲートの一方を「第1ゲート」または「第1のゲート」と呼び、他方を「第2ゲート」または「第2のゲート」と呼ぶ場合がある。

20

【0076】

ゲートとバックゲートは、導電層または抵抗率が小さい半導体層などで形成されるため、トランジスタの外部で生じる電場が、チャネルが形成される半導体層に作用しないようにする機能（特に静電気に対する静電遮蔽機能）を有する。すなわち、静電気などの外部の電場の影響によりトランジスタの電氣的な特性が変動することを防止することができる。

【0077】

また、バックゲートの電位を制御することで、トランジスタのしきい値電圧を制御することができる。バックゲートの電位は、ゲートと同じ電位にしてもよく、接地電位（GND電位）や任意の電位としてもよい。

【0078】

トランジスタWTrおよびトランジスタRTrのチャネルが形成される半導体層は、単結晶半導体、多結晶半導体、微結晶半導体、または非晶質半導体などを、単体でまたは組み合わせて用いることができる。半導体材料としては、例えば、シリコンや、ゲルマニウムなどを用いることができる。また、シリコンゲルマニウム、炭化シリコン、ガリウムヒ素、酸化物半導体、窒化物半導体などの化合物半導体を用いてもよい。トランジスタSTr1およびトランジスタSTr2も同様である。

30

【0079】

なお、トランジスタに用いる半導体層は積層してもよい。半導体層を積層する場合は、それぞれ異なる結晶状態を有する半導体を用いてもよいし、それぞれ異なる半導体材料を用いてもよい。

40

【0080】

トランジスタWTr、トランジスタRTr、トランジスタSTr1、およびトランジスタSTr2に用いられる半導体層は、金属酸化物を有する酸化物半導体であることが好ましい。金属酸化物を半導体層に用いたトランジスタは、アモルファスシリコンを半導体層に用いたトランジスタと比べ、高い電界効果移動度が得られる。また、多結晶シリコンを半導体層に用いたトランジスタでは、半導体層に結晶粒界が生じる恐れがある。結晶粒界では、キャリアが捕獲され、トランジスタのオン電流の低下、電界効果移動度の低下などを引き起こす可能性が高い。一方、詳細は後述するが、酸化物半導体では、明確な結晶粒界が確認されない結晶構造、または結晶粒界が極めて少ない結晶構造を実現することができる。このような酸化物半導体を半導体層に用いることは、高いオン電流および電界効果移

50

動度など、良好な電気特性を有するトランジスタが実現できるため、好適である。

【0081】

また、酸化物半導体、特に結晶性の酸化物半導体であるCAAC-IGZOにおいては、被形成面に垂直な方向にc軸が配向する、数nm（例えば、1～3nm）のナノクラスタ同士が連結した特徴的な構造を持つ。そのため、Z方向に延在した開口内においても、明確な結晶粒界が確認されない結晶構造を形成することが可能となる。

【0082】

特に、トランジスタWTrは、チャネルが形成される半導体層に金属酸化物の一種である酸化物半導体を用いたトランジスタ（「OSTランジスタ」ともいう。）であることが好ましい。酸化物半導体はバンドギャップが2eV以上であるため、オフ電流が著しく少ない。トランジスタWTrにOSTランジスタを用いると、ノードNDに書き込まれた電荷を長期間保持することができる。記憶素子MCを構成するトランジスタにOSTランジスタを用いた場合、記憶素子MCを「OSメモリ」と呼ぶことができる。また、当該記憶素子MCを含むメモリストリング120も「OSメモリ」と呼ぶことができる。また、記憶装置100も「OSメモリ」と呼ぶことができる。

【0083】

OSメモリは、電力の供給を停止しても、1年以上、さらには10年以上の期間で書き込まれた情報を保持することができる。よって、OSメモリを不揮発性メモリと見なすこともできる。

【0084】

また、OSメモリは書き込まれた電荷量が長期間変化しにくいいため、OSメモリは2値（1ビット）に限らず、多値（マルチビット）の情報を保持可能である。

【0085】

また、OSメモリはトランジスタを介してノードに電荷を書き込む方式であるため、従来のフラッシュメモリで必要であった高電圧が不要であり、高速な書き込み動作も実現できる。また、フラッシュメモリで行われるデータ書き換え前の消去動作が、OSメモリでは不要である。また、フローティングゲートまたは電荷捕獲層への電荷注入および引き抜きも行われなため、OSメモリは実質的に無制限回のデータの書き込みおよび読み出しが可能である。OSメモリは、従来のフラッシュメモリと比較して劣化が少なく、高い信頼性が得られる。

【0086】

また、OSメモリは磁気抵抗メモリ（MRAM）あるいは抵抗変化型メモリ（ReRAM）などのように原子レベルでの構造変化を伴わない。よって、OSメモリは、磁気抵抗メモリおよび抵抗変化型メモリよりも書き換え耐性に優れている。

【0087】

また、OSTランジスタは高温環境下でもオフ電流がほとんど増加しない。具体的には室温以上200℃以下の環境温度下でもオフ電流がほとんど増加しない。また、高温環境下でもオン電流が低下しにくい。OSメモリを含む記憶装置は、高温環境下においても動作が安定し、高い信頼性が得られる。また、OSTランジスタは、ソースとドレイン間の絶縁耐圧が高い。半導体装置を構成するトランジスタにOSTランジスタを用いることで、高温環境下においても動作が安定し、信頼性の良好な半導体装置が実現できる。

【0088】

半導体125はn型の半導体であることが好ましい。また、半導体127の導電体WWLと重なる領域はi型または実質的にi型の半導体であることが好ましい。この場合、トランジスタWTrはエンハンスメント型（ノーマリーオフ型）のトランジスタ、トランジスタRTrはデプレッション型（ノーマリーオン型）のトランジスタになる。

【0089】

なお、半導体125と半導体127は、同じ材料を有していてもよいし、異なる材料を有していてもよい。例えば、半導体125および半導体127は、それぞれ酸化物半導体でもよい。また、半導体125および半導体127は、それぞれシリコンを有する半導体で

10

20

30

40

50

もよい。また、半導体 125 を酸化物半導体とし、半導体 127 を、シリコンを有する半導体としてもよい。また、半導体 125 を、シリコンを有する半導体とし、半導体 127 を酸化物半導体としてもよい。

【0090】

図 7 B に、記憶素子 MC の斜視断面図を示す。なお、記憶素子 MC の構造を分かりやすくするため、図 7 B では絶縁体 123 の記載を省略している。

【0091】

なお、図 5 A は、トランジスタ WTr の中心または中心付近の X-Y 平面に相当し、図 5 B は、トランジスタ RTr の中心または中心付近の X-Y 平面に相当する。図 5 A および図 5 B において、導電体 130 の断面形状が円形である場合、絶縁体 129 は導電体 130 の外側に同心円状に設けられ、半導体 127 は絶縁体 129 の外側に同心円状に設けられ、絶縁体 126 は半導体 127 の外側に同心円状に設けられ、半導体 125 は絶縁体 126 の外側に同心円状に設けられ、絶縁体 124 は半導体 125 の外側に同心円状に設けられている。また、導電体 128 は、絶縁体 129 と半導体 127 の間に同心円状に設けられている。

【0092】

また、導電体 130 の断面形状は円形に限らない。図 10 A に示すように、導電体 130 の断面形状は矩形でもよい。また、図 10 B に示すように、導電体 130 の断面形状は三角形でもよい。なお、図 10 A および図 10 B は、図 3 に一点鎖線で示した部位 B1-B2 を Z 方向から見た断面に相当する。

【0093】

なお、メモリストリング 120 を記憶装置ということもできるし、記憶素子 MC を記憶装置ということもできる。

【0094】

〔半導体装置の構成材料〕

続いて、記憶装置 100 に用いることができる構成材料について説明する。

【0095】

〔基板〕

記憶装置 100 は基板上に設けることができる。基板としては、例えば、絶縁体基板、半導体基板、または導電体基板を用いればよい。絶縁体基板としては、例えば、ガラス基板、石英基板、サファイア基板、安定化ジルコニア基板（イットリア安定化ジルコニア基板など）、樹脂基板などがある。また、半導体基板としては、例えば、シリコン、ゲルマニウムを材料とした半導体基板、または炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムからなる化合物半導体基板などがある。さらには、前述の半導体基板内部に絶縁体領域を有する半導体基板、例えば、SOI（Silicon On Insulator）基板などがある。導電体基板としては、黒鉛基板、金属基板、合金基板、導電性樹脂基板などがある。または、金属の窒化物を有する基板、金属の酸化物を有する基板などがある。さらには、絶縁体基板に導電体または半導体が設けられた基板、半導体基板に導電体または絶縁体が設けられた基板、導電体基板に半導体または絶縁体が設けられた基板などがある。または、これらの基板に素子が設けられたものを用いてもよい。基板に設けられる素子としては、容量素子、抵抗素子、スイッチ素子、発光素子、記憶素子などがある。

【0096】

〔絶縁体〕

絶縁体としては、絶縁性を有する酸化物、窒化物、酸化窒化物、窒化酸化物、金属酸化物、金属酸化窒化物、金属窒化酸化物などがある。

【0097】

なお、本明細書等において、「酸化窒化物」とは、窒素よりも酸素の含有量が多い材料を指す。例えば、「酸化窒化シリコン」とは、窒素よりも酸素の含有量が多いシリコン材料を示す。また、本明細書等において、「窒化酸化物」とは、酸素よりも窒素の含有量が多

10

20

30

40

50

い材料を指し、「窒化酸化アルミニウム」とは、酸素よりも窒素の含有量が多いアルミニウム材料を示す。

【0098】

例えば、トランジスタの微細化、および高集積化が進むと、ゲート絶縁体の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁体として機能する絶縁体に、high-k材料を用いることで物理膜厚を保ちながら、トランジスタ動作時の低電圧化が可能となる。一方、層間膜として機能する絶縁体には、比誘電率が低い材料を用いることで、配線間に生じる寄生容量を低減することができる。したがって、絶縁体の機能に応じて、材料を選択するとよい。

【0099】

また、比誘電率の高い絶縁体としては、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する酸化物、シリコンおよびハフニウムを有する酸化窒化物、またはシリコンおよびハフニウムを有する窒化物などがある。

【0100】

また、比誘電率が低い絶縁体としては、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコン、または樹脂などがある。

【0101】

また、OSトランジスタは、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体で囲うことによって、トランジスタの電気特性を安定にすることができる。水素などの不純物および酸素の透過を抑制する機能を有する絶縁体としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウム、またはタンタルを含む絶縁体を、単層で、または積層で用いればよい。具体的には、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体として、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、酸化タンタルなどの金属酸化物、窒化アルミニウム、窒化酸化シリコン、窒化シリコンなどの金属窒化物を用いることができる。

【0102】

また、半導体125および／または半導体127に酸化物半導体を用いる場合、ゲート絶縁体として機能する絶縁体は、加熱により脱離する酸素を含む領域を有する絶縁体であることが好ましい。例えば、加熱により脱離する酸素を含む領域を有する酸化シリコンまたは酸化窒化シリコンを半導体125および／または半導体127と接する構造とすることで、半導体125および／または半導体127が有する酸素欠損を補償することができる。

【0103】

〔導電体〕

導電体としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンなどから選ばれた金属元素、または上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いることが好ましい。例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いることが好ましい。また、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物は、酸化しにくい導電性材料、または、酸素を吸収し

10

20

30

40

50

ても導電性を維持する材料であるため、好ましい。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。

【0104】

また、上記の材料で形成される導電層を複数積層して用いてもよい。例えば、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、酸素を含む導電性材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。

【0105】

なお、トランジスタのチャネル形成領域に金属酸化物の一種である酸化物半導体を用いる場合において、ゲート電極として機能する導電体には、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造を用いることが好ましい。この場合は、酸素を含む導電性材料をチャネル形成領域側に設けるとよい。酸素を含む導電性材料をチャネル形成領域側に設けることで、当該導電性材料から離脱した酸素がチャネル形成領域に供給されやすくなる。

【0106】

特に、ゲート電極として機能する導電体として、チャネルが形成される酸化物半導体に含まれる金属元素と、酸素と、を含む導電性材料を用いることが好ましい。また、前述した金属元素および窒素を含む導電性材料を用いてもよい。例えば、窒化チタン、窒化タンタルなどの窒素を含む導電性材料を用いてもよい。また、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、シリコンを添加したインジウム錫酸化物を用いてもよい。また、窒素を含むインジウムガリウム亜鉛酸化物を用いてもよい。このような材料を用いることで、チャネルが形成される酸化物半導体に含まれる水素を捕獲することができる場合がある。または、外方の絶縁体などから混入する水素を捕獲することができる場合がある。

【0107】

〔酸化物半導体〕

半導体125および半導体127として、半導体として機能する金属酸化物（酸化物半導体）を用いることが好ましい。以下では、半導体125および半導体127に適用可能な酸化物半導体について説明する。

【0108】

酸化物半導体は、インジウムまたは亜鉛の少なくとも一方を含むことが好ましい。特に、インジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウム、錫などが含まれていることが好ましい。また、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウム、コバルトなどから選ばれた一種、または複数種が含まれていてもよい。

【0109】

ここでは、酸化物半導体が、インジウム、元素Mおよび亜鉛を有するIn-M-Zn酸化物である場合を考える。なお、元素Mは、アルミニウム、ガリウム、イットリウム、及び錫の中から選ばれる一または複数とする。そのほかの元素Mに適用可能な元素としては、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウム、コバルトなどがある。ただし、元素Mとして、前述の元素を複数組み合わせても構わない場合がある。

【0110】

なお、本明細書等において、窒素を有する金属酸化物も金属酸化物（metal oxide）と総称する場合がある。また、窒素を有する金属酸化物を、金属酸窒化物（metal oxynitride）と呼称してもよい。

10

20

30

40

50

【0111】

〔結晶構造の分類〕

まず、酸化物半導体における、結晶構造の分類について、図11Aを用いて説明を行う。図11Aは、酸化物半導体、代表的にはIGZO（Inと、Gaと、Znと、を含む金属酸化物）の結晶構造の分類を説明する図である。

【0112】

図11Aに示すように、酸化物半導体は、大きく分けて「Amorphous（無定形）」と、「Crystalline（結晶性）」と、「Crystal（結晶）」と、に分類される。また、「Amorphous」の中には、completely amorphousが含まれる。また、「Crystalline」の中には、CAAC（c-axis-aligned crystalline）、nc（nanocrystalline）、及びCAC（cloud-aligned composite）が含まれる。なお、「Crystalline」の分類には、single crystal、poly crystal、及びcompletely amorphousは除かれる。また、「Crystal」の中には、single crystal、及びpoly crystalが含まれる。

【0113】

なお、図11Aに示す太枠内の構造は、「Amorphous（無定形）」と、「Crystal（結晶）」との間の中間状態であり、新しい境界領域（New crystalline phase）に属する構造である。すなわち、当該構造は、エネルギー的に不安定な「Amorphous（無定形）」や、「Crystal（結晶）」とは全く異なる構造と言い換えることができる。

【0114】

なお、膜または基板の結晶構造は、X線回折（XRD：X-Ray Diffraction）スペクトルを用いて評価することができる。ここで、「Crystalline」に分類されるCAAC-IGZO膜のGIXD（Grazing-Incidence XRD）測定で得られるXRDスペクトルを図11Bに示す。なお、GIXD法は、薄膜法またはSeemann-Bohlin法ともいう。以降、図11Bに示すGIXD測定で得られるXRDスペクトルを、単にXRDスペクトルと記す。なお、図11Bに示すCAAC-IGZO膜の組成は、In：Ga：Zn＝4：2：3〔原子数比〕近傍である。また、図11Bに示すCAAC-IGZO膜の厚さは、500nmである。

【0115】

図11Bに示すように、CAAC-IGZO膜のXRDスペクトルでは、明確な結晶性を示すピークが検出される。具体的には、CAAC-IGZO膜のXRDスペクトルでは、 $2\theta = 31^\circ$ 近傍に、c軸配向を示すピークが検出される。なお、図11Bに示すように、 $2\theta = 31^\circ$ 近傍のピークは、ピーク強度が検出された角度を軸に左右非対称である。

【0116】

また、膜または基板の結晶構造は、極微電子線回折法（NBED：Nano Beam Electron Diffraction）によって観察される回折パターン（極微電子線回折パターンともいう。）にて評価することができる。CAAC-IGZO膜の回折パターンを、図11Cに示す。図11Cは、電子線を基板に対して平行に入射するNBEDによって観察される回折パターンである。なお、図11Cに示すCAAC-IGZO膜の組成は、In：Ga：Zn＝4：2：3〔原子数比〕近傍である。また、極微電子線回折法では、プローブ径を1nmとして電子線回折が行われる。

【0117】

図11Cに示すように、CAAC-IGZO膜の回折パターンでは、c軸配向を示す複数のスポットが観察される。

【0118】

〔酸化物半導体の構造〕

なお、酸化物半導体は、結晶構造に着目した場合、図11Aとは異なる分類となる場合が

10

20

30

40

50

ある。例えば、酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、上述のCAAC-OS、及びnc-OSがある。また、非単結晶酸化物半導体には、多結晶酸化物半導体、擬似非晶質酸化物半導体(a-like OS: amorphous-like oxide semiconductor)、非晶質酸化物半導体、などが含まれる。

【0119】

続いて、上述のCAAC-OS、nc-OS、及びa-like OSの詳細について、説明を行う。

【0120】

[CAAC-OS]

CAAC-OSは、複数の結晶領域を有し、当該複数の結晶領域はc軸が特定の方向に配向している酸化物半導体である。なお、特定の方向とは、CAAC-OS膜の厚さ方向、CAAC-OS膜の被形成面の法線方向、またはCAAC-OS膜の表面の法線方向である。また、結晶領域とは、原子配列に周期性を有する領域である。なお、原子配列を格子配列とみなすと、結晶領域とは、格子配列の揃った領域でもある。さらに、CAAC-OSは、a-b面方向において複数の結晶領域が連結する領域を有し、当該領域は歪みを有する場合がある。なお、歪みとは、複数の結晶領域が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間で格子配列の向きが変化している箇所を指す。つまり、CAAC-OSは、c軸配向し、a-b面方向には明らかな配向をしていない酸化物半導体である。

【0121】

なお、上記複数の結晶領域のそれぞれは、1つまたは複数の微小な結晶（最大径が10nm未満である結晶）で構成される。結晶領域が1つの微小な結晶で構成されている場合、当該結晶領域の最大径は10nm未満となる。また、結晶領域が多数の微小な結晶で構成されている場合、当該結晶領域の大きさは、数十nm程度となる場合がある。

【0122】

また、In-M-Zn酸化物において、CAAC-OSは、インジウム(In)、及び酸素を有する層（以下、In層）と、元素M、亜鉛(Zn)、及び酸素を有する層（以下、(M, Zn)層）とが積層した、層状の結晶構造（層状構造ともいう）を有する傾向がある。なお、インジウムと元素Mは、互いに置換可能である。よって、(M, Zn)層にはインジウムが含まれる場合がある。また、In層には元素Mが含まれる場合がある。なお、In層にはZnが含まれる場合もある。当該層状構造は、例えば、高分解能TEM像において、格子像として観察される。

【0123】

CAAC-OS膜に対し、例えば、XRD装置を用いて構造解析を行うと、 $\theta/2\theta$ スキャンを用いたOut-of-plane XRD測定では、c軸配向を示すピークが $2\theta = 31^\circ$ またはその近傍に検出される。なお、c軸配向を示すピークの位置(2θ の値)は、CAAC-OSを構成する金属元素の種類、組成などにより変動する場合がある。

【0124】

また、例えば、CAAC-OS膜の電子線回折パターンにおいて、複数の輝点（スポット）が観測される。なお、あるスポットと別のスポットとは、試料を透過した入射電子線のスポット（ダイレクトスポットともいう。）を対称中心として、点对称の位置に観測される。

【0125】

上記特定の方向から結晶領域を観察した場合、当該結晶領域内の格子配列は、六方格子を基本とするが、単位格子は正六角形とは限らず、非正六角形である場合がある。また、上記歪みにおいて、五角形、七角形などの格子配列を有する場合がある。なお、CAAC-OSにおいて、歪み近傍においても、明確な結晶粒界（グレインバウンダリー）を確認することはできない。即ち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、CAAC-OSが、a-b面方向において酸素原子の配列が稠密で

10

20

30

40

50

ないことや、金属原子が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためと考えられる。

【0126】

なお、明確な結晶粒界が確認される結晶構造は、いわゆる多結晶（polycrystal）と呼ばれる。結晶粒界は、再結合中心となり、キャリアが捕獲されトランジスタのオン電流の低下、電界効果移動度の低下などを引き起こす可能性が高い。よって、明確な結晶粒界が確認されないCAAC-OSは、トランジスタの半導体層に好適な結晶構造を有する結晶性の酸化物の一つである。なお、CAAC-OSを構成するには、Znを有する構成が好ましい。例えば、In-Zn酸化物、及びIn-Ga-Zn酸化物は、In酸化物よりも結晶粒界の発生を抑制できるため好適である。

10

【0127】

CAAC-OSは、結晶性が高く、明確な結晶粒界が確認されない酸化物半導体である。よって、CAAC-OSは、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、酸化物半導体の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、CAAC-OSは不純物や欠陥（酸素欠損など）の少ない酸化物半導体ともいえる。従って、CAAC-OSを有する酸化物半導体は、物理的性質が安定する。そのため、CAAC-OSを有する酸化物半導体は熱に強く、信頼性が高い。また、CAAC-OSは、製造工程における高い温度（所謂サーマルバジェット）に対しても安定である。したがって、OSTランジスタにCAAC-OSを用いると、製造工程の自由度を広げることが可能となる。

20

【0128】

[nc-OS]

nc-OSは、微小な領域（例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域）において原子配列に周期性を有する。別言すると、nc-OSは、微小な結晶を有する。なお、当該微小な結晶の大きさは、例えば、1nm以上10nm以下、特に1nm以上3nm以下であることから、当該微小な結晶をナノ結晶ともいう。また、nc-OSは、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OSは、分析方法によっては、a-like OSや非晶質酸化物半導体と区別が付かない場合がある。例えば、nc-OS膜に対し、XRD装置を用いて構造解析を行うと、 $\theta/2\theta$ スキャンを用いたOut-of-plane XRD測定では、結晶性を示すピークが検出されない。また、nc-OS膜に対し、ナノ結晶よりも大きいプローブ径（例えば50nm以上）の電子線を用いる電子線回折（制限視野電子線回折ともいう。）を行うと、ハローパターンのような回折パターンが観測される。一方、nc-OS膜に対し、ナノ結晶の大きさと近いナノ結晶より小さいプローブ径（例えば1nm以上30nm以下）の電子線を用いる電子線回折（ナノビーム電子線回折ともいう。）を行うと、ダイレクトスポットを中心とするリング状の領域内に複数のスポットが観測される電子線回折パターンが取得される場合がある。

30

【0129】

[a-like OS]

a-like OSは、nc-OSと非晶質酸化物半導体との間の構造を有する酸化物半導体である。a-like OSは、鬆又は低密度領域を有する。即ち、a-like OSは、nc-OS及びCAAC-OSと比べて、結晶性が低い。また、a-like OSは、nc-OS及びCAAC-OSと比べて、膜中の水素濃度が高い。

40

【0130】

[酸化物半導体の構成]

次に、上述のCAC-OSの詳細について、説明を行う。なお、CAC-OSは材料構成に関する。

【0131】

[CAC-OS]

CAC-OSとは、例えば、金属酸化物を構成する元素が、0.5nm以上10nm以下

50

、好ましくは、1 nm以上3 nm以下、またはその近傍のサイズで偏在した材料の一構成である。なお、以下では、金属酸化物において、一つまたは複数の金属元素が偏在し、該金属元素を有する領域が、0.5 nm以上10 nm以下、好ましくは、1 nm以上3 nm以下、またはその近傍のサイズで混合した状態をモザイク状、またはパッチ状ともいう。

【0132】

さらに、CAC-O-Sとは、第1の領域と、第2の領域と、に材料が分離することでモザイク状となり、当該第1の領域が、膜中に分布した構成（以下、クラウド状ともいう。）である。つまり、CAC-O-Sは、当該第1の領域と、当該第2の領域とが、混合している構成を有する複合金属酸化物である。

【0133】

ここで、In-Ga-Zn酸化物におけるCAC-O-Sを構成する金属元素に対するIn、Ga、およびZnの原子数比のそれぞれを、[In]、[Ga]、および[Zn]と表記する。例えば、In-Ga-Zn酸化物におけるCAC-O-Sにおいて、第1の領域は、[In]が、CAC-O-S膜の組成における[In]よりも大きい領域である。また、第2の領域は、[Ga]が、CAC-O-S膜の組成における[Ga]よりも大きい領域である。または、例えば、第1の領域は、[In]が、第2の領域における[In]よりも大きく、且つ、[Ga]が、第2の領域における[Ga]よりも小さい領域である。また、第2の領域は、[Ga]が、第1の領域における[Ga]よりも大きく、且つ、[In]が、第1の領域における[In]よりも小さい領域である。

【0134】

具体的には、上記第1の領域は、インジウム酸化物、インジウム亜鉛酸化物などが主成分である領域である。また、上記第2の領域は、ガリウム酸化物、ガリウム亜鉛酸化物などが主成分である領域である。つまり、上記第1の領域を、Inを主成分とする領域と言い換えることができる。また、上記第2の領域を、Gaを主成分とする領域と言い換えることができる。

【0135】

なお、上記第1の領域と、上記第2の領域とは、明確な境界が観察できない場合がある。

【0136】

例えば、In-Ga-Zn酸化物におけるCAC-O-Sでは、エネルギー分散型X線分光法（EDX: Energy Dispersive X-ray spectroscopy）を用いて取得したEDXマッピングにより、Inを主成分とする領域（第1の領域）と、Gaを主成分とする領域（第2の領域）とが、偏在し、混合している構造を有することが確認できる。

【0137】

CAC-O-Sをトランジスタに用いる場合、第1の領域に起因する導電性と、第2の領域に起因する絶縁性とが、相補的に作用することにより、スイッチングさせる機能（On/Offさせる機能）をCAC-O-Sに付与することができる。つまり、CAC-O-Sとは、材料の一部では導電性の機能と、材料の一部では絶縁性の機能とを有し、材料の全体では半導体としての機能を有する。導電性の機能と絶縁性の機能とを分離させることで、双方の機能を最大限に高めることができる。よって、CAC-O-Sをトランジスタに用いることで、高いオン電流（ I_{on} ）、高い電界効果移動度（ μ ）、および良好なスイッチング動作を実現することができる。

【0138】

酸化物半導体は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態様の酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、a-like OS、CAC-O-S、nc-O-S、CAAC-O-Sのうち、二種以上を有していてもよい。

【0139】

〔酸化物半導体を有するトランジスタ〕

続いて、上記酸化物半導体をトランジスタに用いる場合について説明する。

【0140】

10

20

30

40

50

上記酸化物半導体をトランジスタに用いることで、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

【0141】

トランジスタのチャネル形成領域には、キャリア濃度の低い酸化物半導体を用いることが好ましい。例えば、酸化物半導体のチャネル形成領域のキャリア濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以下であることが好ましく、 $1 \times 10^{17} \text{ cm}^{-3}$ 未満であることがより好ましく、 $1 \times 10^{16} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{13} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{12} \text{ cm}^{-3}$ 未満であることがさらに好ましい。なお、酸化物半導体膜のキャリア濃度を低くする場合においては、酸化物半導体膜中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性又は実質的に高純度真性と言う。なお、キャリア濃度の低い酸化物半導体を、高純度真性又は実質的に高純度真性な酸化物半導体と呼ぶ場合がある。また、高純度真性又は実質的に高純度真性であることをi型または実質的にi型と呼ぶ場合がある。

10

【0142】

また、高純度真性又は実質的に高純度真性である酸化物半導体膜は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。

【0143】

また、酸化物半導体のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体にチャネル形成領域が形成されるトランジスタは、電気特性が不安定となる場合がある。

20

【0144】

従って、トランジスタの電気特性を安定にするためには、酸化物半導体中の不純物濃度を低減することが有効である。また、酸化物半導体中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

【0145】

〔不純物〕

ここで、酸化物半導体中における各不純物の影響について説明する。

30

【0146】

酸化物半導体において、第14族元素の一つであるシリコンや炭素が含まれると、酸化物半導体において欠陥準位が形成される。このため、酸化物半導体のチャネル形成領域におけるシリコンや炭素の濃度と、酸化物半導体のチャネル形成領域との界面近傍のシリコンや炭素の濃度（二次イオン質量分析法（SIMS: Secondary Ion Mass Spectrometry）により得られる濃度）を、 $2 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

【0147】

また、酸化物半導体にアルカリ金属又はアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。従って、アルカリ金属又はアルカリ土類金属が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、SIMSにより得られる酸化物半導体のチャネル形成領域中のアルカリ金属又はアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。

40

【0148】

また、酸化物半導体において、窒素が含まれると、キャリアである電子が生じ、キャリア濃度が増加し、n型化しやすい。この結果、窒素が含まれている酸化物半導体を半導体を用いたトランジスタはノーマリーオン特性となりやすい。または、酸化物半導体において、窒素が含まれると、トラップ準位が形成される場合がある。この結果、トランジスタの電気特性が不安定となる場合がある。このため、SIMSにより得られる酸化物半導体の

50

チャンネル形成領域中の窒素濃度を、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下にする。

【0149】

また、酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。従って、水素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体のチャンネル形成領域における中の水素はできる限り低減されていることが好ましい。具体的には、酸化物半導体のチャンネル形成領域において、SIMSにより得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、さらに好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満にする。

10

【0150】

不純物が十分に低減された酸化物半導体をトランジスタのチャンネル形成領域に用いることで、安定した電気特性を付与することができる。

【0151】

〔その他の半導体材料〕

半導体125および半導体127に用いることができる半導体材料は、上述の酸化物半導体に限られない。半導体125および半導体127として、バンドギャップを有する半導体材料（ゼロギャップ半導体ではない半導体材料）を用いてもよい。例えば、シリコンなどの単体元素の半導体、ヒ化ガリウムなどの化合物半導体、半導体として機能する層状物質（原子層物質、2次元材料などともいう。）などを半導体材料に用いてもよい。特に、半導体として機能する層状物質を半導体材料に用いると好適である。

20

【0152】

本明細書等において、層状物質とは、層状の結晶構造を有する材料群の総称である。層状の結晶構造は、共有結合やイオン結合によって形成される層が、ファンデルワールス力のような、共有結合やイオン結合よりも弱い結合を介して積層している構造である。層状物質は、単位層内における電気伝導性が高く、つまり、2次元電気伝導性が高い。半導体として機能し、かつ、2次元電気伝導性の高い材料をチャンネル形成領域に用いることで、オン電流の大きいトランジスタを提供することができる。

30

【0153】

層状物質として、グラフェン、シリセン、カルコゲン化物などがある。カルコゲン化物は、カルコゲンを含む化合物である。また、カルコゲンは、第16族に属する元素の総称であり、酸素、硫黄、セレン、テルル、ポロニウム、リバモリウムが含まれる。また、カルコゲン化物として、遷移金属カルコゲナイド、13族カルコゲナイドなどが挙げられる。

【0154】

半導体125および半導体127として、例えば、半導体として機能する遷移金属カルコゲナイドを用いることが好ましい。半導体125および半導体127として適用可能な遷移金属カルコゲナイドとして、具体的には、硫化モリブデン（代表的には MoS_2 ）、セレン化モリブデン（代表的には MoSe_2 ）、モリブデンテルル（代表的には MoTe_2 ）、硫化タングステン（代表的には WS_2 ）、セレン化タングステン（代表的には WSe_2 ）、タングステンテルル（代表的には WTe_2 ）、硫化ハフニウム（代表的には HfS_2 ）、セレン化ハフニウム（代表的には HfSe_2 ）、硫化ジルコニウム（代表的には ZrS_2 ）、セレン化ジルコニウム（代表的には ZrSe_2 ）などが挙げられる。

40

【0155】

<記憶装置の作製方法例>

次に、本発明に係る記憶装置の作製方法例を図12A乃至図28Cを参照して説明する。なお、図12A乃至図28Cの各図において、Aは、Z方向から見た上面図であり、Bは

50

、AにA1－A2の一点鎖線で示す部位の断面図である。また、図12A乃至図28Cの各図において、Cは、AにA3－A4の一点鎖線で示す部位の断面図である。また、図19Dは、図19Bにおいて、一点鎖線で囲まれた部分を拡大した断面図である。なお、本作製方法では、2つ（「2段」ともいう。）の記憶素子MCを有する1つのメモリストリング120を例示するが、本実施の形態はこれに限らない。メモリストリング120は、3段以上の記憶素子MCを有していてもよい。例えば、メモリストリング120は、32段以上、好ましくは64段以上、より好ましくは128段以上、さらに好ましくは256段以上の記憶素子MCを有していることが好ましい。

【0156】

まず、絶縁表面を有する基体121上に導電体122を形成し、導電体122の周囲に、絶縁体132を形成する（図12A乃至図12C参照。）。

【0157】

まず導電膜を形成し、リソグラフィ法を用いて該導電膜を加工し、導電体122を形成する。次に、導電体122を覆うように基体121上に絶縁膜を形成する。次に該絶縁膜に対して平坦化処理を行うことが好ましい。該平坦化処理では、導電体122の表面が露出するまで、該絶縁膜を研磨することが好ましい。上記方法により、絶縁体132を形成することができる、ただし、導電体122、および絶縁体132の形成方法はこれに限らない。基体121上に絶縁体132を形成し、絶縁体132の不要な部分を除去することで、溝や開口を形成し、該溝や該開口部に導電体122を埋め込むように形成してもよい。このような導電体の形成方法をダマシン法（シングルダマシン法、デュアルダマシン法）と呼ぶ場合がある。上記方法により、図12A乃至図12Cに示す導電体122と絶縁体132の構造を得ることができる。

【0158】

導電体122や、絶縁体132の形成は、スパッタリング法、CVD法、分子線エピタキシー（MBE：Molecular Beam Epitaxy）法、パルスレーザ堆積（PLD：Pulsed Laser Deposition）法またはALD法などを用いて行うことができる。

【0159】

なお、CVD法は、プラズマを利用するプラズマCVD（PECVD：Plasma Enhanced CVD）法、熱を利用する熱CVD（TCVD：Thermal CVD）法、光を利用する光CVD（Photo CVD）法などに分類できる。さらに用いる原料ガスによって金属CVD（MCVD：Metal CVD）法、有機金属CVD（MOCVD：Metal Organic CVD）法に分けることができる。

【0160】

プラズマCVD法は、比較的低温で高品質の膜が得られる。また、熱CVD法は、プラズマを用いないため、被処理物へのプラズマダメージを小さくすることが可能な成膜方法である。例えば、半導体装置に含まれる配線、電極、素子（トランジスタ、容量素子など）などは、プラズマから電荷を受け取ることでチャージアップする場合がある。このとき、蓄積した電荷によって、半導体装置に含まれる配線、電極、素子などが破壊される場合がある。一方、プラズマを用いない熱CVD法の場合、こういったプラズマダメージが生じないため、半導体装置の歩留まりを高くすることができる。また、熱CVD法では、成膜中のプラズマダメージが生じないため、欠陥の少ない膜が得られる。

【0161】

また、ALD法も、被処理物へのプラズマダメージを小さくすることが可能な成膜方法である。また、ALD法も、成膜中のプラズマダメージが生じないため、欠陥の少ない膜が得られる。

【0162】

CVD法およびALD法は、ターゲットなどから放出される粒子が堆積する成膜方法とは異なり、被処理物の表面における反応により膜が形成される成膜方法である。したがって、被処理物の形状の影響を受けにくく、良好な段差被覆性を有する成膜方法である。特に

、A L D法は、優れた段差被覆性と、優れた厚さの均一性を有するため、アスペクト比の高い開口部の表面を被覆する場合などに好適である。ただし、A L D法は、比較的成膜速度が遅いため、成膜速度の速いC V D法などの他の成膜方法と組み合わせて用いることが好ましい場合もある。

【0163】

C V D法およびA L D法は、原料ガスの流量比によって、得られる膜の組成を制御することができる。例えば、C V D法およびA L D法では、原料ガスの流量比によって、任意の組成の膜を成膜することができる。また、例えば、C V D法およびA L D法では、成膜しながら原料ガスの流量比を変化させることによって、組成が連続的に変化した膜を成膜することができる。原料ガスの流量比を変化させながら成膜する場合、複数の成膜室を用いて成膜する場合と比べて、搬送や圧力調整に掛かる時間の分、成膜に掛かる時間を短くすることができる。したがって、半導体装置の生産性を高めることができる場合がある。

【0164】

なお、リソグラフィー法では、まず、フォトリソを介してレジストを露光する。次に、露光された領域を、現像液を用いて除去または残存させてレジストマスクを形成する。次に、当該レジストマスクを介してエッチング処理することで導電体、半導体または絶縁体などを所望の形状に加工することができる。例えば、K r Fエキシマレーザ光、A r Fエキシマレーザ光、E U V (E x t r e m e U l t r a v i o l e t) 光などを用いて、レジストを露光することでレジストマスクを形成すればよい。また、基板と投影レンズとの間に液体（例えば水）を満たして露光する、液浸技術を用いてもよい。また、前述した光に代えて、電子ビームやイオンビームを用いてもよい。なお、電子ビームやイオンビームを用いる場合には、フォトリソは不要となる。なお、レジストマスクの除去には、アッシングなどのドライエッチング処理を行う、ウェットエッチング処理を行う、ドライエッチング処理後にウェットエッチング処理を行う、またはウェットエッチング処理後にドライエッチング処理を行うことができる。

【0165】

また、レジストマスクの代わりに絶縁体や導電体からなるハードマスクを用いてもよい。ハードマスクを用いる場合、導電膜上にハードマスク材料となる絶縁膜や導電膜を形成し、その上にレジストマスクを形成し、ハードマスク材料をエッチングすることで所望の形状のハードマスクを形成することができる。

【0166】

該加工はドライエッチング法やウェットエッチング法を用いることができる。ドライエッチング法による加工は微細加工に適している。

【0167】

ドライエッチング装置としては、平行平板型電極を有する容量結合型プラズマ (C C P : C a p a c i t i v e l y C o u p l e d P l a s m a) エッチング装置を用いることができる。平行平板型電極を有する容量結合型プラズマエッチング装置は、平行平板型電極の一方の電極に高周波電源を印加する構成でもよい。または平行平板型電極の一方の電極に複数の異なった高周波電源を印加する構成でもよい。または平行平板型電極それぞれに同じ周波数の高周波電源を印加する構成でもよい。または平行平板型電極それぞれに周波数の異なる高周波電源を印加する構成でもよい。または高密度プラズマ源を有するドライエッチング装置を用いることができる。高密度プラズマ源を有するドライエッチング装置は、例えば、誘導結合型プラズマ (I C P : I n d u c t i v e l y C o u p l e d P l a s m a) エッチング装置などを用いることができる。

【0168】

導電膜のエッチングにハードマスクを用いる場合、当該エッチング処理は、ハードマスクの形成に用いたレジストマスクを除去してから行っても良いし、レジストマスクを残したまま行っても良い。後者の場合、エッチング中にレジストマスクが消失することがある。上記導電膜のエッチング後にハードマスクをエッチングにより除去しても良い。一方、ハードマスクの材料が後工程に影響が無い、あるいは後工程で利用できる場合、必ずしもハ

ードマスクを除去する必要は無い。

【0169】

導電体122となる導電膜は、スパッタリング法を用いて、金属元素を含む導電膜を形成することが好ましい。また、CVD法を用いて形成することもできる。

【0170】

絶縁体132の表面は、必要に応じて、平坦化処理が行われていることが好ましい。平坦化処理には、化学機械研磨(CMP)法やリフロー法を用いることができる。

【0171】

導電体122、および絶縁体132上に絶縁膜123A、導電膜134A、および導電膜136Aを交互に積層する。本実施の形態では、絶縁体132上に絶縁膜123Aを形成し、絶縁膜123A上に導電膜134Aを形成し、導電膜134A上に絶縁膜123Aを形成し、絶縁膜123A上に導電膜136Aを形成する例を示す(図12A乃至図12C参照。)。導電膜134A、導電膜136A、および絶縁膜123Aの形成には、CVD法を用いることができる。また、スパッタリング法を用いてもよい。

10

【0172】

導電体122、導電膜134A、および導電膜136Aとして、不純物が添加されたシリコンや、金属など、導電性を有する材料を用いることができる。導電膜136Aは、後工程において、導電体122、および導電膜134Aに対して選択的にエッチングを行う必要があるため、導電体122、および導電膜134Aと異なる材料であることが好ましい。一方、導電体122、および導電膜134Aは、それぞれ同じ材料でもよいし、異なる材料でもよい。導電体122、導電膜134A、または導電膜136Aとして、シリコンを用いる場合、アモルファスシリコンや、ポリシリコンを用いることができる。また、シリコンに導電性を持たせるため、p型不純物やn型不純物を添加してもよい。また、シリコンを含む導電性材料として、チタン、コバルト、またはニッケルを含むシリサイドを導電体122、導電膜134A、または導電膜136Aとして用いることができる。また、金属材料を導電体122、導電膜134A、または導電膜136Aに用いる場合、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウムなどから選ばれた金属元素を1種以上含む材料を用いることができる。

20

30

【0173】

絶縁体132、および絶縁膜123Aとして、絶縁性を有する酸化物、窒化物、酸化窒化物、窒化酸化物、金属酸化物、金属酸化窒化物、金属窒化酸化物などを用いることができる。酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンまたは樹脂、酸化アルミニウム、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する酸化物、シリコンおよびハフニウムを有する酸化窒化物またはシリコンおよびハフニウムを有する窒化物などを用いることができる。

40

【0174】

また、本実施の形態では、絶縁膜123Aを6層、導電膜134Aを3層、および導電膜136Aを2層形成する例を示したが、積層数は、これに限らない。求められる半導体装置の性能に応じて、それぞれ形成することができる。ここで、導電膜134Aの積層数を m (m は2以上の整数)とすると、絶縁膜123Aの積層数は、 $2 \times m$ 、導電膜136Aの積層数は、 $m - 1$ となる。例えば、 m は、33以上、好ましくは65以上、より好ましくは129以上、さらに好ましくは、257以上とすることができる。

【0175】

次に、絶縁膜123A上にマスクを形成し(図示せず)、絶縁膜123A、導電膜134A、および導電膜136Aを、リソグラフィー法を用いて加工し、導電体122を露出さ

50

るように第1の開口を形成する（図13A乃至図13C参照。）。

【0176】

次に、導電膜136Aに対して等方性エッチングを行い、第1の開口内の導電膜136Aの側面を、絶縁膜123Aおよび導電膜134Aの側面よりも後退させる（図14A乃至図14C参照。）。この処理により、導電膜136Aと重なる第1の開口の径は、絶縁膜123Aと重なる第1の開口の径および導電膜134Aと重なる第1の開口の径より大きくなる。よって、第1の開口の側面に凹凸が形成される。このような加工には、ガス、ラジカル、プラズマなどを用いたドライエッチングによる等方性エッチングや、液体を用いたウェットエッチングによる等方性エッチングを用いることができる。ウェットエッチングに用いる液体をエッチャントと呼ぶことがある。ドライエッチングを用いて等方性エッチングを行う場合、塩素、臭素、およびフッ素の少なくとも一を含むガス、ラジカル、プラズマなどを用いることができる。等方性エッチングは、第1の開口の形成に用いたマスクを除去せずに行うことが好ましい。上記処理により得られた第1の開口は、図4に示した開口141に相当する。

10

【0177】

次に、絶縁膜123A上、および第1の開口内部に、絶縁膜124Aを形成する（図15A乃至図15C参照。）。なお、図15Bおよび図15Cにおいて絶縁膜124Aは単層構造であるが、積層構造を有していてもよい。絶縁膜124Aは、CVD法やALD法を用いて形成することができる。特に、ALD法を用いることで、アスペクト比の大きい溝や開口部に対しても、厚さの均一な膜を形成することができるため、好ましい。または、ALD法と、CVD法を組み合わせることで絶縁膜124Aを形成してもよい。絶縁膜124Aが積層構造を有する場合、各絶縁膜は、同じ成膜装置で形成されてもよいし、異なる成膜装置で形成されてもよい。

20

【0178】

上記の方法で形成された絶縁膜124Aは、被覆性が良く、第1の開口側面の凹凸形状に対しても絶縁膜124Aを形成することができる。すなわち、絶縁膜123A、導電膜134A、および導電膜136Aの側面だけでなく、絶縁膜123Aの上面の一部、および下面の一部とも接するように絶縁膜124Aを形成することができる。

【0179】

次に、第1の開口底部に形成された絶縁膜124Aを除去し、絶縁体124を得る。絶縁膜124Aの除去には、異方性エッチングを用いることが好ましい。このとき、絶縁膜123A上の絶縁膜124Aも除去されるため、絶縁体124は、第1の開口の側壁のみに設けられる（図16A乃至図16C参照。）。第1の開口底部の絶縁膜124Aを除去することで、再び導電体122が露出する。

30

【0180】

次に、第1の開口内部に、半導体膜125A、絶縁膜126A、および半導体膜127Aを形成する（図17A乃至図17C参照。）。

【0181】

半導体膜125A、絶縁膜126A、および半導体膜127Aは、CVD法やALD法を用いて形成することができる。特に、ALD法を用いることで、アスペクト比の大きい溝や開口部に対しても、厚さの均一な膜を形成することができるため、好ましい。または、ALD法と、CVD法を組み合わせることで半導体膜125A、絶縁膜126A、および半導体膜127Aの各膜を形成してもよい。また、形成する膜ごとに、異なる成膜方法や成膜装置を用いてもよい。例えば、半導体膜125A、および半導体膜127Aの形成には、MOCVD法を用いることが好ましい。

40

【0182】

次に、第1の開口内部に、導電膜128Aを形成する（図17A乃至図17C参照。）。導電膜128Aは、少なくとも、絶縁体124、半導体膜125A、絶縁膜126A、および半導体膜127Aを介して、導電膜136Aの凹部を充填するように形成されていればよく、必ずしも第1の開口内部全てを充填する必要は無い。導電膜128Aは、CVD

50

法やALD法を用いて形成することができる。特に、ALD法を用いることで、アスペクト比の大きい溝や開口部に対しても、厚さの均一な膜を形成することができるため、好ましい。または、ALD法と、CVD法を組み合わせることで導電膜128Aを形成してもよい。

【0183】

半導体膜125Aおよび半導体膜127Aは、CAAC構造を有する酸化物半導体であることが好ましい。半導体膜125Aおよび半導体膜127AがCAAC構造を有する酸化物半導体である場合、半導体膜125Aのc軸は、第1の開口内部において、被形成面の法線方向に配向する。このとき、絶縁体124を介して、絶縁膜123A、導電膜134A、および導電膜136Aの側面に位置する半導体膜125Aおよび半導体膜127Aのc軸は、被形成面から図17A乃至図17Cに示す軸182に向かって配向する。なお、軸182は、第1の開口の中心軸と呼ぶことができる。これにより、上記に位置する半導体125および半導体127のc軸は、被形成面から軸182に向かって配向する。

10

【0184】

次に、導電膜128Aを加工して、導電体128を形成する（図18A乃至図18C参照）。導電膜128Aの加工には、等方性エッチング、または異方性エッチングを用いることができる。導電膜128Aの形成において、図17A乃至図17Cに示すように、導電膜128Aが凹部を充填し、第1の開口が完全に充填されていない場合は、導電膜128Aの加工には、等方性エッチングを用いることが好ましい。一方、凹部および第1の開口を充填するように導電膜128Aが形成されている場合は、異方性エッチングを用いることが好ましい。上記のような加工により、凹部の内部に、導電体128を形成することができる。

20

【0185】

次に、半導体膜127A、および導電体128の内側に、絶縁膜129Aを形成する。続いて、導電体128をマスクとして、半導体膜127Aの一部を高抵抗化し、高抵抗領域（I型領域）を形成する。高抵抗領域の形成方法として、絶縁膜129Aを介して半導体膜127Aをマイクロ波144で照射し、半導体膜127Aに含まれる水素を除去すればよい。また、マイクロ波144の照射を、酸素を含む雰囲気で行うと、半導体膜127Aに酸素が供給されるため、好ましい。本実施の形態では、酸素、およびアルゴンを含む雰囲気下において、半導体膜127Aの一部を、絶縁膜129Aを介してマイクロ波144で照射し、半導体膜127Aの領域146を高抵抗化する（図19A乃至図19D参照）。

30

【0186】

ここで、加熱処理を行ってもよい。加熱処理は、窒素を含む雰囲気、200℃以上500℃以下、このましくは、300℃以上400℃以下で行うことが好ましい。加熱処理を行う雰囲気は、上記に限らず、窒素、酸素、およびアルゴンの少なくとも一を含む雰囲気で行えばよい。また、加熱処理は、減圧雰囲気で行われてもよいし、大気圧雰囲気で行われてもよい。

【0187】

加熱処理により、導電体128と接する半導体膜127Aが低抵抗化し、領域148に低抵抗領域（N型領域）を形成することができる。半導体膜127Aと、導電体128が接する状態で、加熱処理を行うことで、導電体128と半導体膜127Aの界面には、導電体128が有する金属元素と、半導体膜127Aの成分とを含む金属化合物層が形成される場合がある。該金属化合物層が形成されることで、導電体128と接する領域において、半導体膜127Aの抵抗が低減するため好ましい。また、半導体膜127Aに含まれる酸素を、導電体128が吸収する場合がある。半導体膜127Aと、導電体128が接する状態で、加熱処理を行うことで、半導体膜127Aは、より低抵抗化する。該加熱処理は、マイクロ波処理前に行ってもよい。加熱処理により低抵抗化した領域148は、導電体128に覆われているため、マイクロ波144の影響を受けず、マイクロ波処理後も低い抵抗値を維持できる。

40

【0188】

50

【 0 1 8 9 】

10

【 0 1 9 1 】

【 0 1 9 2 】

20

30

【 0 1 9 5 】

【 0 1 9 6 】

40

50

【0198】

次に、絶縁体126を介して半導体125の一部と重畳するように導電体154を形成する（図26A乃至図26C参照。）。導電体154は、絶縁体126、絶縁体150、および絶縁体152上に導電膜を形成し、リソグラフィ法を用いて該導電膜を加工することで得られる。なお、図26Aにおいて、導電体154はA1-A2の一点鎖線上に存在しないが、図26Bでは、導電体154を一点鎖線で図示している。

【0199】

次に、導電体154、絶縁体126、絶縁体150、および絶縁体152を覆うように絶縁体156を形成する（図27A乃至図27C参照。）。絶縁体156は、CVD法、ALD法、スパッタリング法等を用いて形成することができる。

10

【0200】

次に、絶縁体156、絶縁体126、絶縁体129、半導体127、および絶縁体150を、リソグラフィ法を用いて加工し、導電体134、導電体136、導電体130、導電体154、および半導体125が露出するように第2の開口を形成する。第2の開口は、階段状に形成された導電体134、および導電体136それぞれに対して形成する（図27A乃至図27C参照。）。

【0201】

次に、第2の開口に埋め込むように、導電体134と電氣的に接続する導電体161、導電体136と電氣的に接続する導電体162、導電体130と電氣的に接続する導電体163、導電体154と電氣的に接続する導電体164、半導体125と電氣的に接続する導電体165、半導体125と半導体127を電氣的に接続する導電体166を形成する（図28A乃至図28C参照。）。導電体161、導電体162、導電体163、導電体164、導電体165、および導電体166は、CVD法やALD法を用いて形成することができる。特に、ALD法を用いることで、アスペクト比の大きい溝や開口部に対しても、厚さの均一な膜を形成することができるため、好ましい。または、ALD法と、CVD法を組み合わせることで上記導電体を形成してもよい。また、導電体161、導電体162、導電体163、導電体164、導電体165、および導電体166は、複数の層からなる積層構造を有していてもよい。導電体161、導電体162、導電体163、導電体164、導電体165、および導電体166は、絶縁体156上、および第2の開口内部に導電膜を形成し、CMPなどを用いて不要な導電膜を除去することで、形成することができる。

20

30

【0202】

次に、導電体161と電氣的に接続する導電体171、導電体162と電氣的に接続する導電体172、導電体163と電氣的に接続する導電体173、導電体164と電氣的に接続する導電体174、および導電体165と電氣的に接続する導電体175を形成する（図28A乃至図28C参照。）。導電体171、導電体172、導電体173、導電体174、および導電体175は、絶縁体156上に導電膜を形成し、リソグラフィ法を用いて加工することで形成できる。該加工はドライエッチング法やウェットエッチング法を用いることができる。

【0203】

導電体171、導電体161、および導電体134は、導電体SG、または導電体WWLとして機能する。導電体172、導電体162、および導電体136は導電体RWLとして機能する。導電体173、導電体163、および導電体130は、導電体BGとして機能する。導電体174、導電体164、および導電体154は、導電体SELとして機能する。導電体175、導電体165は、BLとして機能する。以上の工程により、記憶装置を作製することができる。

40

【0204】

（実施の形態2）

本実施の形態では、実施の形態1に示した記憶装置100の変形例である記憶装置100Aについて説明する。図29に、本発明の一態様に係る記憶装置100Aの斜視図を示す

50

。図30は、図29に一点鎖線で示した部位A1-A2の断面図である。なお、本実施の形態で説明のない事柄については、他の実施の形態などを参酌すればよい。

【0205】

<記憶装置の構成例>

記憶装置100Aは、メモリストリング120sを有する。メモリストリング120sは、トランジスタSTr2の構成がメモリストリング120と異なる。図31に、メモリストリング120sの断面構成例を示す。メモリストリング120sでは、トランジスタSTr2のゲート電極として機能する導電体SELが絶縁体123[12]上に設けられている。また、絶縁体138が導電体SEL上に設けられている。導電体130の一部がトランジスタSTr2のバックゲート電極として機能する。

10

【0206】

<記憶装置の作製方法例>

次に、記憶装置100Aの他の作製方法例を図32A乃至図50Cを参照して説明する。なお、図32A乃至図50Cの各図において、Aは、Z方向から見た上面図であり、Bは、AにA1-A2の一点鎖線で示す部位の断面図である。また、Cは、AにA3-A4の一点鎖線で示す部位の断面図である。また、図43Dは、図43Bにおいて、一点鎖線で囲まれた部分を拡大した断面図である。なお、本作製方法では、2段の記憶素子MCを有する1つのメモリストリング120sを例示するが、本実施の形態はこれに限らない。メモリストリング120sは、3段以上の記憶素子MCを有していてもよい。例えば、メモリストリング120sは、32段以上、好ましくは64段以上、より好ましくは128段以上、さらに好ましくは256段以上の記憶素子MCを有していることが好ましい。

20

【0207】

まず、記憶装置100の作製方法例と同様に、絶縁表面を有する基体121上に導電体122、絶縁体132、絶縁膜123A、導電膜134A、および導電膜136Aを形成する(図32A乃至図32C参照。)。

【0208】

続いて、最上層の絶縁膜123Aの上に導電膜137Aを形成し、導電膜137A上に絶縁膜138Aを形成する。導電膜137Aは、導電膜134Aと同様な方法を用い、同様の材料で形成することができる。また絶縁膜138Aは、絶縁膜123Aと同様な方法を用い、同様の材料で形成することができる。

30

【0209】

次に、絶縁膜138A上にマスクを形成し(図示せず)、絶縁膜138A、導電膜137A、絶縁膜123A、導電膜134A、および導電膜136Aを、リソグラフィー法を用いて加工し、導電体122を露出するように第1の開口を形成する(図33A乃至図33C参照。)。

【0210】

次に、導電膜136Aに対して等方性エッチングを行い、第1の開口内の導電膜136Aの側面を、絶縁膜123A、導電膜134A、導電膜137A、および絶縁膜138Aの側面よりも後退させる(図34A乃至図34C参照。)。この処理により、導電膜136Aと重なる第1の開口の径は、絶縁膜123A、導電膜134A、導電膜137A、および絶縁膜138Aと重なるそれぞれの第1の開口の径より大きくなる。よって、第1の開口の側面に凹凸が形成される。

40

【0211】

次に、絶縁膜138A上、および第1の開口内部に、絶縁膜124Aを形成する(図35A乃至図35C参照。)。なお、図35Bおよび図35Cにおいて絶縁膜124Aは単層構造であるが、積層構造を有していてもよい。絶縁膜124Aは、CVD法やALD法を用いて形成することができる。特に、ALD法を用いることで、アスペクト比の大きい溝や開口部に対しても、厚さの均一な膜を形成することができるため、好ましい。または、ALD法と、CVD法を組み合わせることで絶縁膜124Aを形成してもよい。絶縁膜124Aが積層構造を有する場合、各絶縁膜は、同じ成膜装置で形成されてもよいし、異なる成膜

50

装置で形成されてもよい。

【0212】

上記の方法で形成された絶縁膜124Aは、被覆性が良く、第1の開口側面の凹凸形状に対しても絶縁膜124Aを形成することができる。すなわち、絶縁膜123A、導電膜134A、および導電膜136Aの側面だけでなく、絶縁膜123Aの上面の一部、および下面の一部とも接するように絶縁膜124Aを形成することができる。

【0213】

次に、第1の開口底部に形成された絶縁膜124Aを除去し、絶縁体124を得る。絶縁膜124Aの除去には、異方性エッチングを用いることが好ましい。このとき、絶縁膜138A上の絶縁膜124Aも除去されるため、絶縁体124は、第1の開口の側壁のみに設けられる（図36A乃至図36C参照。）。第1の開口底部の絶縁膜124Aを除去することで、再び導電体122が露出する。

【0214】

次に、第1の開口内部に、半導体膜125A、および絶縁膜126Aを形成する（図37A乃至図37C参照。）。

【0215】

半導体膜125A、および絶縁膜126Aは、CVD法やALD法を用いて形成することができる。特に、ALD法を用いることで、アスペクト比の大きい溝や開口部に対しても、厚さの均一な膜を形成することができるため、好ましい。または、ALD法と、CVD法を組み合わせる半導体膜125A、および絶縁膜126Aの各膜を形成してもよい。また、形成する膜ごとに、異なる成膜方法や成膜装置を用いてもよい。

【0216】

半導体膜125Aは、CAAC構造を有する酸化物半導体であることが好ましい。半導体膜125AがCAAC構造を有する酸化物半導体である場合、半導体膜125Aのc軸は、第1の開口内部において、被形成面の法線方向に配向する。このとき、絶縁体124を介して、絶縁膜138A、導電膜137A、絶縁膜123A、導電膜134A、および導電膜136Aの側面に位置する半導体膜125Aのc軸は、図37A乃至図37Cに示す軸182に向かって配向する。これにより、上記に位置する半導体125のc軸は、被形成面から軸182に向かって配向する。

【0217】

次に、Z方向から見て、絶縁膜126Aおよび半導体膜125Aの導電膜137Aと重なる領域を除去する。当該領域の、絶縁膜126Aおよび半導体膜125Aの除去には、まず第1の開口内部に、後工程にて容易に除去可能な材料180（犠牲層とも呼ぶ）を埋め込むように形成し、材料180の一部を第1の開口内部の所望の深さまでエッチングなどにより除去する（図38A乃至図38C参照。）。次に、残った材料180をマスクにして、該エッチングにより露出した、絶縁膜126A、および半導体膜125Aを順次除去し、絶縁体126、および半導体125を得る（図39A乃至図39C参照。）。その後、材料180を除去する（図40A乃至図40C参照。）。

【0218】

なお、絶縁膜126A、および半導体膜125Aの一部を除去しなくても当該領域にてトランジスタSTr2を構成できる場合、材料180を用いた絶縁膜126A、および半導体膜125Aの除去工程は省略できる。このとき、導電体137と半導体127の間には、絶縁体124、および絶縁体126を介して半導体125が設けられたトランジスタSTr2が形成される。

【0219】

次に、第1の開口内部に、半導体膜127Aおよび導電膜128Aを形成する（図41A乃至図41C参照。）。

【0220】

まず、半導体膜127Aを形成する。半導体膜127Aは、CVD法やALD法を用いて形成することができる。特に、ALD法を用いることで、アスペクト比の大きい溝や開口

10

20

30

40

50

部に対しても、厚さの均一な膜を形成することができるため、好ましい。または、ALD法と、CVD法を組み合わせる半導体膜127Aを形成してもよい。

【0221】

半導体膜127Aは、CAAC構造を有する酸化物半導体であることが好ましい。半導体膜127AがCAAC構造を有する酸化物半導体である場合、半導体膜127Aのc軸は、第1の開口内部において、被形成面の法線方向に配向する。このとき、絶縁体124、半導体125、絶縁膜126などを介して、絶縁膜138A、導電膜137A、絶縁膜123A、導電膜134A、および導電膜136Aの側面に位置する半導体膜127Aのc軸は、被形成面から図41A乃至図41Cに示す軸182に向かって配向する。これにより、上記に位置する半導体127のc軸は、被形成面から軸182に向かって配向する。

10

【0222】

次に、導電膜128Aを形成する（図41A乃至図41C参照。）。導電膜128Aは、少なくとも、絶縁体124、半導体膜125、絶縁膜126、および半導体膜127Aを介して、導電膜136Aの凹部を充填するように形成されていればよく、必ずしも第2の開口内部全てを充填する必要はない。導電膜128Aは、CVD法やALD法を用いて形成することができる。特に、ALD法を用いることで、アスペクト比の大きい溝や開口部に対しても、厚さの均一な膜を形成することができるため、好ましい。または、ALD法と、CVD法を組み合わせる導電膜128Aを形成してもよい。

【0223】

次に、導電膜128Aを加工して、導電体128を形成する（図42A乃至図42C参照。）。導電膜128Aの加工には、等方性エッチング、または異方性エッチングを用いることができる。導電膜128Aの形成において、図41A乃至図41Cに示すように、導電膜128Aが凹部を充填し、開口は完全に充填されていない場合は、導電膜128Aの加工には、等方性エッチングを用いることが好ましい。一方、凹部および開口を充填するように導電膜128Aが形成されている場合は、異方性エッチングを用いることが好ましい。上記のような加工により、凹部の内部に、導電体128を形成することができる。

20

【0224】

次に、導電体128をマスクとして、半導体膜127Aの一部を高抵抗化し、高抵抗領域（I型領域）を形成する。高抵抗領域の形成方法として、半導体膜127Aをマイクロ波144で照射し、半導体膜127Aに含まれる水素を除去すればよい。また、マイクロ波144の照射を、酸素を含む雰囲気で行うと、半導体膜127Aに酸素が供給されるため、好ましい。本実施の形態では、酸素、およびアルゴンを含む雰囲気下において半導体膜127Aの一部をマイクロ波144で照射し、半導体膜127Aの導電体128と重ならない領域（領域146）を高抵抗化する（図43A乃至図43D参照。）。

30

【0225】

ここで、加熱処理を行ってもよい。加熱処理は、窒素を含む雰囲気、200℃以上500℃以下、このましくは、300℃以上400℃以下で行うことが好ましい。加熱処理を行う雰囲気は、上記に限らず、窒素、酸素、およびアルゴンの少なくとも一を含む雰囲気で行えばよい。また、加熱処理は、減圧雰囲気で行われてもよいし、大気圧雰囲気で行われてもよい。

40

【0226】

加熱処理により、半導体膜127Aの導電体128と接する領域（領域148）が低抵抗化し、低抵抗領域（N型領域）を形成することができる。半導体膜127Aと、導電体128が接する状態で、加熱処理を行うことで、導電体128と半導体膜127Aの界面には、導電体128が有する金属元素と、半導体膜127Aの成分とを含む金属化合物層が形成される場合がある。該金属化合物層が形成されることで、導電体128と半導体膜127Aが接する領域において、半導体膜127Aの抵抗が低減するため好ましい。また、半導体膜127Aに含まれる酸素を、導電体128が吸収する場合がある。半導体膜127Aと、導電体128が接する状態で、加熱処理を行うことで、半導体膜127Aの領域148は、より低抵抗化する。該加熱処理は、マイクロ波処理前に行ってもよい。加熱処

50

理により低抵抗化した領域 148 は、導電体 128 に覆われているため、マイクロ波 144 の影響を受けず、マイクロ波処理後も低い抵抗値を維持できる。

【0227】

上記マイクロ波処理、および加熱処理後の領域 146 のキャリア濃度は、 $1 \times 10^{18} / \text{cm}^3$ 未満、好ましくは、 $1 \times 10^{17} / \text{cm}^3$ 以下、より好ましくは、 $1 \times 10^{16} / \text{cm}^3$ 以下であることが好ましい。また、領域 148 のキャリア濃度は、 $1 \times 10^{18} / \text{cm}^3$ 以上、好ましくは、 $1 \times 10^{19} / \text{cm}^3$ 以上、より好ましくは、 $1 \times 10^{20} / \text{cm}^3$ 以上であることが好ましい。

【0228】

次に、半導体膜 127A、および導電体 128 を覆う絶縁膜 129A を形成し、絶縁膜 129A を覆う導電膜 130A を形成する（図 44A 乃至図 44C 参照。）。絶縁膜 129A や導電膜 130A は、CVD 法や ALD 法を用いて形成することができる。特に、ALD 法を用いることで、アスペクト比の大きい溝や開口部に対しても、厚さの均一な膜を形成することができるため、好ましい。または、ALD 法と、CVD 法を組み合わせることで形成してもよい。

10

【0229】

なお、上記マイクロ波処理による高抵抗領域の形成、および加熱処理は、絶縁膜 129A の形成後、導電膜 130A の形成前に行ってもよい。

【0230】

次に、加熱処理を行う。加熱処理は、窒素を含む雰囲気中で、 200°C 以上 500°C 以下、このましくは、 300°C 以上 400°C 以下で行うことが好ましい。加熱処理を行う雰囲気は、上記に限らず、窒素、酸素、およびアルゴンの少なくとも一を含む雰囲気で行えばよい。また、加熱処理は、減圧雰囲気で行われてもよいし、大気圧雰囲気で行われてもよい。

20

【0231】

次に、導電膜 130A を、絶縁膜 129A の表面が露出するまで CMP 法等を用いて除去し、導電体 130 を得る（図 45A 乃至図 45C 参照。）。なお、前述した加熱処理は、導電体 130 形成後に行ってもよい。

【0232】

次に、半導体膜 127A、および絶縁膜 129A を加工し、半導体 127、および絶縁体 129 を得る（図 46A 乃至図 46C 参照。）。該加工はドライエッチング法やウェットエッチング法を用いることができる。このとき、半導体 125 と電氣的に接続する半導体 127 を形成することができる。

30

【0233】

次に、絶縁膜 138A、導電膜 137A、絶縁膜 123A、導電膜 134A、および導電膜 136A を加工し、図 47B に示すような階段状の絶縁体 138B、導電体 137B、絶縁体 123B、導電体 134B、および導電体 136B を形成する（図 47A 乃至図 47C 参照。）。絶縁膜 138A、導電膜 137A、絶縁膜 123A、導電膜 134A、および導電膜 136A の加工において、絶縁膜 138A、導電膜 137A、絶縁膜 123A、導電膜 134A、および導電膜 136A のエッチングと、マスクのスリミングを交互に行うことで、階段状の絶縁体 138B、導電体 137B、絶縁体 123B、導電体 134B、および導電体 136B を形成することができる。

40

【0234】

次に、絶縁体 150 を形成する（図 47A 乃至図 47C 参照。）。絶縁体 150 は、CVD 法を用いて形成することができる。絶縁体 150 は、CMP 法や、リフロー法を用いて、平坦化処理されていることが好ましい。

【0235】

次に、絶縁体 150、絶縁体 138B、導電体 137B、絶縁体 123B、導電体 134B、および導電体 136B を加工し、絶縁体 138、導電体 137、絶縁体 123、導電体 134、および導電体 136 を得る。（図 48A 乃至図 48C 参照。）。

【0236】

50

次に、上記加工により除去された部分を埋め込むように絶縁体152を形成する（図48A乃至図48C参照。）。絶縁体152は、CVD法やALD法を用いて形成することができる。特に、ALD法を用いることで、アスペクト比の大きい溝や開口部に対しても、厚さの均一な膜を形成することができるため、好ましい。または、ALD法と、CVD法を組み合わせることで絶縁体152を形成してもよい。絶縁体152は、CMP法や、リフロー法を用いて、平坦化処理されていることが好ましい。

【0237】

次に、導電体130、絶縁体129、絶縁体150、および絶縁体152を覆うように絶縁体156を形成する（図49A乃至図49C参照。）。絶縁体156は、CVD法、ALD法、スパッタリング法等を用いて形成することができる。

10

【0238】

次に、絶縁体156、絶縁体150、絶縁体129、および絶縁体138を、リソグラフィ法を用いて加工し、導電体134、導電体136、導電体130、導電体137、および半導体127を露出するように第2の開口を形成する。第2の開口は、階段状に形成された導電体134、および導電体136それぞれに対して形成する（図49A乃至図49C参照。）。）。。

【0239】

次に、第2の開口に埋め込むように、導電体134と電氣的に接続する導電体161、導電体136と電氣的に接続する導電体162、導電体130と電氣的に接続する導電体163、導電体137と電氣的に接続する導電体164、半導体127と電氣的に接続する導電体165を形成する（図50A乃至図50C参照。）。導電体161、導電体162、導電体163、導電体164、および導電体165は、CVD法やALD法を用いて形成することができる。特に、ALD法を用いることで、アスペクト比の大きい溝や開口部に対しても、厚さの均一な膜を形成することができるため、好ましい。または、ALD法と、CVD法を組み合わせることで上記導電体を形成してもよい。また、導電体161、導電体162、導電体163、導電体164、および導電体165は、複数の層からなる積層構造を有していてもよい。導電体161、導電体162、導電体163、導電体164、および導電体165は、絶縁体156上、および第2の開口内部に導電膜を形成し、CMPなどを用いて不要な導電膜を除去することで、形成することができる。

20

【0240】

次に、導電体161と電氣的に接続する導電体171、導電体162と電氣的に接続する導電体172、導電体163と電氣的に接続する導電体173、導電体164と電氣的に接続する導電体174、および導電体165と電氣的に接続する導電体175を形成する（図50A乃至図50C参照。）。導電体171、導電体172、導電体173、導電体174、および導電体175は、絶縁体156上に導電膜を形成し、リソグラフィ法を用いて加工することで形成できる。該加工はドライエッチング法やウェットエッチング法を用いることができる。

30

【0241】

導電体171、導電体161、および導電体134は、導電体SG、または導電体WWLとして機能する。導電体172、導電体162、および導電体136は導電体RWLとして機能する。導電体173、導電体163、および導電体130は、導電体BGとして機能する。導電体174、導電体164、および導電体137は、導電体SELとして機能する。導電体175、導電体165は、BLとして機能する。以上の工程により、半導体装置200Aを作製することができる。

40

【0242】

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせることで実施することが可能である。

【0243】

（実施の形態3）

本実施の形態では、酸化物等の形成に用いることができるMOCVD装置、およびMOC

50

V D法を用いた成膜方法について図5 1および図5 2を用いて説明する。

【0244】

＜MOCVD装置およびMOCVD法を用いた成膜方法＞

MOCVD法では、液状の原料（前駆体、プリカーサ、金属プリカーサとも呼ぶ）を、気化器を用いて気化し、チャンバーに導入することで成膜を行う。液状のプリカーサはプリカーサごとにシリンダ1041（シリンダ1041A乃至1041D）内に保持される。成膜に用いるプリカーサが保持されたシリンダ1041内に、ガス1042を供給する。ガス1042として、ヘリウム、アルゴン、窒素などの不活性ガスを用いることができる。ガス1042の供給は、バルブ1043により制御することができ、所望のシリンダ1041内を加圧することができる。シリンダ1041内が加圧されることで液状のプリカーサを気化器1044まで供給することができる。ガス1042の供給は、1つのシリンダ1041に対して行ってもよいし、2以上のシリンダ1041に対して同時に行ってもよい。また、図5 1では、4つのシリンダ1041がMOCVD装置に接続される例を示しているが、本実施の形態はこれに限らない。シリンダ1041は、1以上あればよい。

【0245】

複数のプリカーサを用いて成膜を行うことで、組成の異なる膜を形成することができる。例えば、シリンダ1041Aにインジウムを含むプリカーサを保持し、シリンダ1041Bにガリウムを含むプリカーサを保持し、シリンダ1041Cに亜鉛を含むプリカーサを保持し、シリンダ1041A乃至1041Cに対してガス1042を同時に供給することで、インジウム、ガリウム、および亜鉛を含む膜を形成することができる。また、詳細は後述するが、気化した上記プリカーサを、酸素を含む反応ガスと混合し、成膜室1008または1009に供給することで、成膜室1008または1009内に保持されたウェハ1012上にインジウム、ガリウム、および亜鉛を含む酸化物を形成することができる。

【0246】

気化器1044に供給されたプリカーサは、まず分散部1045に供給される。複数種のプリカーサが成膜に用いられる場合、これらのプリカーサは、分散部1045にて混合される。このとき、分散部には、ガス1046が供給されることが好ましい。ガス1046を、一次キャリアガスと呼ぶ場合がある。ガス1046は、プリカーサ、または混合されたプリカーサを分散部1045から気化部1048へ供給するために用いられる。ガス1046として、ヘリウム、アルゴン、窒素などの不活性ガスを用いることができる。

【0247】

プリカーサ、または混合されたプリカーサは、気化部1048にて加熱され、気化する。気化したプリカーサは、ガス1047により、バルブ1049方向に供給される。ガス1047を、二次キャリアガスと呼ぶ場合がある。ガス1047として、ヘリウム、アルゴン、窒素などの不活性ガスを用いることができる。

【0248】

気化したプリカーサ、および二次キャリアガスの供給が安定するまで、該プリカーサ、および二次キャリアガスは成膜室1008、または1009に供給せず、排気することが好ましい。このとき、バルブ1049aを閉じ、バルブ1049bを開くことで、該プリカーサ、および二次キャリアガスを排気することができる。

【0249】

気化したプリカーサ、および二次キャリアガスの供給が安定したら、バルブ1049aを開け、バルブ1049bを閉じる。該プリカーサ、および二次キャリアガスが成膜室1008、または1009に供給されることで、ウェハ1012上に所望の膜を形成することができる。

【0250】

上記のように、安定する前の該プリカーサ、および二次キャリアガスを排気することで、成膜室1008、または1009に所望の量のプリカーサ、または所望の混合比のプリカーサを供給することができる。安定する前の該プリカーサ、および二次キャリアガスを排気することで、ウェハ1012上に所望の質、または所望の厚さの膜を形成することがで

10

20

30

40

50

きる。また、形成される膜の均一性も向上し、好ましい。

【0251】

また、バルブ1049aを通った該プリカーサ、および二次キャリアガスに、ガス1050を混合してもよい。ガス1050として、例えば酸化性ガスや窒化性ガスなどの反応ガスを用いることが好ましい。酸化性ガスとして、酸素、オゾンなどを用いることができる。また、窒化性ガスとして、窒素、一酸化二窒素、二酸化窒素、アンモニアなどを用いることができる。ガス1050の供給は、バルブ1051により制御することができる。また、適宜マスフローコントローラなどを設け、ガス1050の供給量を制御してもよい。

【0252】

ここで、気化部1048により気化したプリカーサは、温度変化により液化または固化してしまう恐れがある。例えば固化によりプリカーサに含まれる成分の粉体が生成される場合がある。そこで、気化部1048から成膜室1008、または1009までの配管、成膜室1008、成膜室1009、および排気配管を加熱することが好ましい。配管、および排気配管の加熱温度は、気化部での加熱温度以上であることが好ましい。また、成膜室1008、および成膜室1009の加熱温度は、成膜される膜質、膜の均一性、成膜速度などを考慮し、実施者が適宜決定することができる。

【0253】

以上のように、気化したプリカーサを用いた成膜方法により、膜厚、および膜質について均一性の高い膜を形成することができる。また、凹凸を有する面に対しても、表面被覆率が高い。特に、アスペクト比の大きい開口において、開口底部、および開口側面に対して質、および厚さの均一性が高い膜を形成することができる。

【0254】

ここで、MOCVD法を用いて成膜することが可能な装置の一例として、成膜装置1000の構成例について、図52A及び図52Bを用いて説明する。図52Aは、マルチチャンバ型の成膜装置1000の模式図であり、図52Bは、成膜室1008の断面図である。

【0255】

<成膜装置の構成例>

成膜装置1000は、カセット室1002と、アライメント室1004と、搬送室1006と、成膜室1008と、成膜室1009と、クーリング室1010と、搬送アーム1014と、を有する。搬送アーム1014により、ウェハ1012を搬送することができる。ここで、カセット室1002、アライメント室1004、成膜室1008、成膜室1009、クーリング室1010は、搬送室1006と接続されている。これにより、成膜室1008、および成膜室1009において大気に曝すことなく、連続成膜を行うことができ、膜中に不純物が混入するのを防ぐことができる。また、基板と膜の界面、および各膜の界面の汚染は低減され、清浄な界面が得られる。

【0256】

カセット室1002には、複数のウェハ1012を有するカセットを配置することができる。カセットは、一つまたは複数配置することができる。搬送アーム1014によりカセット内のウェハ1012を取り出し、成膜等の処理後に、再びカセット室1002内の所望のカセットに戻される。

【0257】

アライメント室1004では、搬送アーム1014上のウェハ1012の位置調整が行われる。カセット室1002から取り出されたウェハ1012を成膜室1008、または1009に搬送する前に位置調整を行うことが好ましい。また、成膜などの処理後、カセット室1002にウェハ1012を戻す前に位置調整を行ってもよい。

【0258】

成膜室1008、および成膜室1009では、ウェハ1012への成膜を行う。

【0259】

クーリング室1010では、成膜室1008、または成膜室1009で処理されたウェハ1012の温度調整を行う。例えば、成膜室1008、または成膜室1009で行われる

10

20

30

40

50

処理が加熱雰囲気で行われる場合、加熱されたウェハ1012の急冷を抑制するため、クーリング室1010にて温度調整を行った後、カセット室1002へ搬出することが好ましい。

【0260】

なお、カセット室1002、アライメント室1004、搬送室1006、成膜室1008、成膜室1009、クーリング室1010は、水分の付着などを防ぐため、露点が管理された不活性ガス（窒素ガス等）を充填させておくことが好ましく、減圧を維持させることが望ましい。

【0261】

また、成膜室1008、および成膜室1009には、MOCVD装置を用いることができる。また、成膜室1008、および成膜室1009のいずれかにALD装置以外の成膜装置を用いる構成としてもよい。成膜室1008、および成膜室1009に用いる成膜装置としては、例えば、スパッタリング装置、PECVD装置、TCVD装置、ALD装置などがある。

【0262】

また、成膜装置1000は、カセット室1002、アライメント室1004、搬送室1006、成膜室1008、成膜室1009、クーリング室1010を有する構成としているが、本発明はこれに限られるものではない。成膜装置1000の成膜室を3個以上にする構成としてもよいし、熱処理やプラズマ処理を行うための処理室を追加する構成としてもよい。また、成膜装置1000は枚葉式としてもよいし、複数の基板を一括で成膜するバッチ式にしてもよい。

【0263】

<MOCVD装置>

次に、成膜室1008としてMOCVD装置を用いた場合の構成について図52Bを用いて説明する。成膜室1008は、底部外壁1021、側部外壁1022、および上部外壁1023を有する。上部外壁1023には、原料導入口1025、シャワープレート1024が設けられる。側部外壁1022には、ウェハ1012の搬入および搬出を行うゲートバルブ1028が設けられる。底部外壁1021には、排気部1026、排気バルブ1027、ステージ1029が設けられる。なお、底部外壁1021、側部外壁1022、および上部外壁1023には、成膜時の温度を制御するためのヒータが設けられることが好ましい。なお、底部外壁1021、側部外壁1022、および上部外壁1023は必ずしも独立して設けられる必要は無い。例えば、底部外壁1021、側部外壁1022、および上部外壁1023は一体形成されていてもよい。また、底部外壁1021、および側部外壁1022が一体形成され、上部外壁1023は蓋として機能してもよい。

【0264】

気化部1048により気化したプリカーサを含むガスは、原料導入口1025から成膜室1008に導入され、シャワープレート1024を介してステージ1029上のウェハ1012に供給される。供給されたガスはウェハ1012上に堆積し、膜を形成する。一方、膜の形成に用いられなかったガス、余剰なガスは、排気部1026から成膜室1008外へ排気される。

【0265】

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせることで実施することが可能である。

【0266】

(実施の形態4)

本実施の形態では、記憶装置であるメモリストリング120の回路構成と動作について説明する。図53にメモリストリング120の回路構成例を示す。なお、本実施の形態に示す回路構成例は、メモリストリング120sにも適用できる。よって、本実施の形態において、「メモリストリング120」を「メモリストリング120s」と読み替えることができる。

【0267】

＜メモリストリングの回路構成例＞

図53では、メモリストリング120に含まれる記憶素子MCの数nが5の場合の回路構成例を示している。上記実施の形態で説明した通り、記憶素子MCはトランジスタWTrおよびトランジスタRTrを有する。

【0268】

なお、等価回路図などにおいて、トランジスタがOSトランジスタであることを明示するために、トランジスタの回路記号に「OS」を付記する場合がある。同様に、トランジスタがSiトランジスタ（チャンネルが形成される半導体層にシリコンを用いたトランジスタ）であることを明示するために、トランジスタの回路記号に「Si」を付記する場合がある。図53では、トランジスタWTrおよびトランジスタRTrがOSトランジスタであることを示している。

10

【0269】

図54に記憶素子MCの等価回路図を示す。図54に示すように、トランジスタWTrは、容量CsとトランジスタTrに置き換えて表すことができる。トランジスタTrのゲートは、容量Csを介して導電体WWLと電氣的に接続される。

【0270】

図53では、記憶素子MC[1]に含まれるトランジスタWTrをトランジスタWTr[1]と示し、記憶素子MC[1]に含まれるトランジスタRTrをトランジスタRTr[1]と示している。よって、図53に示すメモリストリング120は、トランジスタWTr[1]乃至トランジスタWTr[5]、およびトランジスタRTr[1]乃至トランジスタRTr[5]を有する。また、図53に示すメモリストリング120は、トランジスタSTr1およびトランジスタSTr2を有する。メモリストリング120は、NAND型の記憶装置である。

20

【0271】

OSメモリを含むNAND型の記憶装置を「OS NAND型」または「OS NAND型の記憶装置」ともいう。また、複数のOSメモリがZ方向に積層された構成を有するOS NAND型の記憶装置を「3D OS NAND型」または「3D OS NAND型の記憶装置」ともいう。

【0272】

トランジスタRTr[1]のソースまたはドレインの一方は、トランジスタSTr1のソースまたはドレインの一方と電氣的に接続され、他方はトランジスタRTr[2]のソースまたはドレインの一方と電氣的に接続される。トランジスタWTr[1]のソースまたはドレインの一方はトランジスタRTr[1]のゲートと電氣的に接続され、他方はトランジスタWTr[2]のソースまたはドレインの一方と電氣的に接続される。トランジスタRTr[1]のバックゲートは導電体RWL[1]と電氣的に接続される。トランジスタWTr[1]のゲートは導電体WWL[1]と電氣的に接続される。また、トランジスタWTr[1]のバックゲートは導電体BGと電氣的に接続される。また、トランジスタSTr1のソースまたはドレインの他方は導電体122と電氣的に接続され、ゲートは導電体SGと電氣的に接続される。

30

40

【0273】

また、トランジスタRTr[5]のソースまたはドレインの一方は、トランジスタRTr[4]のソースまたはドレインの他方と電氣的に接続され、他方はトランジスタSTr2のソースまたはドレインの一方と電氣的に接続される。トランジスタRTr[5]のゲートは、トランジスタWTr[5]のソースまたはドレインの一方と電氣的に接続される。トランジスタWTr[5]のソースまたはドレインの他方は、トランジスタSTr2のソースまたはドレインの一方と電氣的に接続される。トランジスタRTr[5]のバックゲートは導電体RWL[5]と電氣的に接続される。トランジスタWTr[5]のゲートは導電体WWL[5]と電氣的に接続される。また、トランジスタWTr[5]のバックゲートは導電体BGと電氣的に接続される。また、トランジスタSTr2のソースまたはド

50

レインの他方は導電体 B L と電氣的に接続され、ゲートは導電体 S E L と電氣的に接続される。

【0274】

メモリストリング 120 が n 個の記憶素子 M C を備える場合、1 番目と n 番目の記憶素子 M C を除く i 番目 (i は 1 以上 n 以下の整数) の記憶素子 M C [i] において、トランジスタ R T r [i] のソースまたはドレインの一方は、トランジスタ R T r [i - 1] のソースまたはドレインの他方と電氣的に接続され、他方はトランジスタ R T r [i + 1] のソースまたはドレインの一方と電氣的に接続される。トランジスタ R T r [i] のゲートは、トランジスタ W T r [i] のソースまたはドレインの一方と電氣的に接続される。トランジスタ W T r [i] のソースまたはドレインの他方は、トランジスタ W T r [i + 1] のソースまたはドレインの一方と電氣的に接続される。トランジスタ R T r [i] のバックゲートは導電体 R W L [i] と電氣的に接続される。トランジスタ W T r [i] のゲートは導電体 W W L [i] と電氣的に接続される。また、トランジスタ W T r [i] のバックゲートは導電体 B G と電氣的に接続される。

10

【0275】

また、トランジスタ R T r のゲートと、トランジスタ W T r のソースまたはドレインの一方が電氣的に接続する節点をノード N D とする。すなわち、トランジスタ R T r [i] のゲートと、トランジスタ W T r [i] のソースまたはドレインの一方が電氣的に接続する節点をノード N D [i] とする。図 53 では、記憶素子 M C [1] に含まれるノード N D をノード N D [1] と示している。

20

【0276】

トランジスタ S T r 1 およびトランジスタ S T r 2 は、例えば、O S トランジスタであってもよいし、S i トランジスタであってもよい。トランジスタ S T r 1 およびトランジスタ S T r 2 の一方が O S トランジスタで、他方が S i トランジスタであってもよい。なお、トランジスタ W T r およびトランジスタ R T r の双方を O S トランジスタで形成する場合は、トランジスタ S T r 1 およびトランジスタ S T r 2 も O S トランジスタで形成することが好ましい。トランジスタに用いる半導体材料を揃えることで、半導体装置の生産性を高めることができる。

【0277】

また、トランジスタ W T r に O S トランジスタを用い、トランジスタ R T r に S i トランジスタを用いてもよい。トランジスタ W T r として O S トランジスタを用い、トランジスタ R T r として S i トランジスタを用いる場合のメモリストリング 120 の等価回路図を図 55 に示す。

30

【0278】

トランジスタ R T r を S i トランジスタで形成する場合は、半導体 125 に例えば多結晶シリコンを用いればよい。トランジスタ W T r を O S トランジスタで形成する場合は、半導体 127 に例えば C A A C - I G Z O を用いればよい。

【0279】

なお、図 56 に示すように、目的または用途などによっては、トランジスタ W T r として S i トランジスタを用い、トランジスタ R T r として O S トランジスタを用いてもよい。また、図 57 に示すように、目的または用途などによっては、トランジスタ W T r およびトランジスタ R T r の双方に S i トランジスタを用いてもよい。トランジスタ W T r およびトランジスタ R T r の双方に S i トランジスタを用いる場合は、トランジスタ S T r 1 およびトランジスタ S T r 2 にも S i トランジスタを用いることが好ましい。

40

【0280】

<メモリストリングの動作例>

続いて、図 53 に示したメモリストリング 120 の動作例を説明する。

【0281】

〔書き込み動作〕

本実施の形態では、記憶素子 M C [1] および記憶素子 M C [3] に H 電位を書き込み、

50

他の記憶素子MCにL電位を書き込む場合の動作例を説明する。図58は書き込み動作を説明するタイミングチャートである。図59A乃至図62Bは書き込み動作を説明するための回路図である。なお、図59A乃至図62Bにおいて記載の無い符号などは、図53などを参酌すればよい。

【0282】

初期状態として、記憶素子MC[1]乃至記憶素子MC[5]にL電位が書き込まれているものとする。また、導電体WWL[1]乃至導電体WWL[5]、導電体RWL[1]乃至導電体RWL[5]、導電体SEL、導電体BG、導電体BL、導電体SG、および導電体122にL電位が供給されているものとする。なお、導電体BGに供給する電位を調整することで、トランジスタRT_rの閾値を制御できる。トランジスタRT_rが所望のノーマリーオン型のトランジスタとなるよう、導電体BGに供給する電位を適宜調整してもよい。

10

【0283】

【期間T1】

期間T1において、導電体WWL[1]乃至導電体WWL[5]、導電体BL、および導電体SELにH電位を供給する(図59A参照。)。すると、ノードND[1]乃至ノードND[5]の電位がH電位になる。

【0284】

【期間T2】

期間T2において、導電体WWL[1]にL電位を供給する(図59B参照。)。すると、トランジスタWT_r[1]がオフ状態になり、ノードND[1]に書き込まれた電荷が保持される。ここでは、H電位に相当する電荷が保持される。

20

【0285】

【期間T3】

期間T3において、導電体BLにL電位を供給する(図59B参照。)。すると、ノードND[2]乃至ノードND[5]の電位がL電位になる。この場合、トランジスタRT_r[2]乃至トランジスタRT_r[5]のゲートもL電位になるが、トランジスタRT_rはノーマリーオン型のトランジスタであるため、トランジスタRT_r[2]乃至トランジスタRT_r[5]はオフ状態にならない。

【0286】

【期間T4】

期間T4において、導電体WWL[2]にL電位を供給する(図60A参照。)。すると、トランジスタWT_r[2]がオフ状態になり、ノードND[2]に書き込まれた電荷が保持される。ここでは、L電位に相当する電荷が保持される。

30

【0287】

【期間T5】

期間T5において、導電体BLにH電位を供給する(図60B参照。)。すると、ノード[3]乃至ノード[5]の電位がH電位になる。

【0288】

【期間T6】

期間T6において、導電体WWL[3]にL電位を供給する(図61A参照。)。すると、トランジスタWT_r[3]がオフ状態になり、ノードND[3]に書き込まれた電荷が保持される。ここでは、H電位に相当する電荷が保持される。

40

【0289】

【期間T7】

期間T7において、導電体BLにL電位を供給する(図61B参照。)。すると、ノードND[4]およびノードND[5]の電位がL電位になる。

【0290】

【期間T8】

期間T8において、導電体WWL[4]にL電位を供給する(図62A参照。)。すると

50

、トランジスタ $WTr[4]$ がオフ状態になり、ノード $ND[4]$ に書き込まれた電荷が保持される。ここでは、 L 電位に相当する電荷が保持される。

【0291】

〔期間 T_9 〕

期間 T_9 において、導電体 BL を L 電位のままとする。よって、ノード $ND[5]$ の電位も L 電位のままである。

【0292】

〔期間 T_{10} 〕

期間 T_{10} において、導電体 $WWL[5]$ に L 電位を供給する（図 62B 参照。）。すると、トランジスタ $WTr[5]$ がオフ状態になり、ノード $ND[5]$ に書き込まれた電荷が保持される。ここでは、 L 電位に相当する電荷が保持される。また、導電体 SEL に L 電位を供給する。

【0293】

このようにして、記憶素子 MC に情報を書き込むことができる。

【0294】

なお、複数の記憶素子 MC のうち、 i 番目（ $i = 1$ を除く）の記憶素子 MC に情報を書き込む場合は、 $i - 1$ 番目までの記憶素子 MC に対する情報の書き込み動作を省略することができる。例えば、記憶素子 $MC[4]$ に情報を書き込みたい場合は、記憶素子 $MC[1]$ 乃至記憶素子 $MC[3]$ に対する情報の書き込み動作を行わなくてもよい。言い換えると、本実施の形態に示した期間 T_1 乃至期間 T_6 までの書き込み動作を省略することができる。よって、記憶装置の書き込み動作に係る時間と、消費電力を低減できる。

【0295】

〔読み出し動作〕

上記回路構成のメモリストリング 120 の読み出し動作例を説明する。初期状態として、記憶素子 $MC[1]$ および記憶素子 $MC[3]$ に H 電位が保持され、記憶素子 $MC[2]$ 、記憶素子 $MC[4]$ 、および記憶素子 $MC[5]$ に L 電位が保持されているものとする。また、導電体 $WWL[1]$ 乃至導電体 $WWL[5]$ 、導電体 $RWL[1]$ 乃至導電体 $RWL[5]$ 、導電体 SEL 、導電体 BG 、導電体 BL 、導電体 SG 、および導電体 122 に L 電位が供給されているものとする。図 63A および図 63B は読み出し動作を説明するタイミングチャートである。図 64A、図 64B、図 65A、および図 65B は読み出し動作を説明するための回路図である。なお、図 64A、図 64B、図 65A、および図 65B において記載の無い符号などは、図 53などを参酌すればよい。

【0296】

＜保持電位が H 電位の場合＞

まず、 H 電位が保持されている記憶素子 $MC[3]$ の読み出し動作について説明する。

【0297】

〔期間 T_{11} 〕

期間 T_{11} において、導電体 $RWL[1]$ 乃至導電体 $RWL[5]$ 、および導電体 SEL に H 電位を供給する（図 64A 参照。）。すると、トランジスタ STr_2 がオン状態になり、トランジスタ RTr が備える半導体 125 と導電体 BL とが導通状態になる。この状態で、導電体 BL と半導体 125 に H 電位をプリチャージし、両者をフローティング状態にする。

【0298】

ここで、トランジスタの $I_d - V_g$ 特性について説明しておく。図 66A および図 66B は、トランジスタの $I_d - V_g$ 特性を説明する図である。図 66A および図 66B の横軸はゲート電圧（ V_g ）、縦軸はドレイン電流（ I_d ）を示している。図 66A はノーマリーオフ型トランジスタの $I_d - V_g$ 特性を示し、図 66B はノーマリーオン型トランジスタの $I_d - V_g$ 特性を示している。

【0299】

H 電位は L 電位よりも高い電位である。 L 電位を $0V$ とすると、 H 電位は正の電圧である

10

20

30

40

50

。ノーマリーオフ型トランジスタでは、 V_g がL電位（0 V）の時のチャンネル抵抗値（ソースとドレイン間の抵抗値）が極めて大きく I_d がほとんど流れない。また、 V_g がH電位になるとチャンネル抵抗値が低下し、 I_d が増加する（図66A参照。）。

【0300】

ノーマリーオン型トランジスタでは、 V_g がL電位の時でもチャンネル抵抗値が小さく、ノーマリーオフ型トランジスタと比較して多くの I_d が流れる。また、 V_g がH電位になるとチャンネル抵抗値がさらに小さくなり、 I_d がさらに増加する（図66B参照。）。

【0301】

トランジスタRT_rはノーマリーオン型のトランジスタであるため、導電体RW_Lの電位がL電位のままで半導体125へのプリチャージは可能である。しかしながら、導電体RW_LにH電位を供給することで、トランジスタRT_rのチャンネル抵抗値がさらに小さくなる。よって、プリチャージに必要な時間と消費電力を低減できる。

【0302】

【期間T12】

期間T12において、導電体RW_L [3] にL電位を供給する（図64B参照。）。ノードND [3] にはH電位が保持されている。このため、導電体RW_L [3] の電位がL電位になっても、トランジスタRT_r [3] のチャンネル抵抗値は、ノードND [3] にL電位が保持されている場合よりも小さい。

【0303】

【期間T13】

期間T13において、導電体SGにH電位を供給し、トランジスタST_{r1}をオン状態にする（図65A参照。）。すると、導電体BLと導電体122が導通状態になる。この時、導電体RW_L [1]、導電体RW_L [2]、導電体RW_L [4]、および導電体RW_L [5] にH電位が供給されているため、トランジスタRT_r [1]、トランジスタRT_r [2]、トランジスタRT_r [4]、およびトランジスタRT_r [5] のチャンネル抵抗値は、ノードNDの電位にかかわらず小さくなる。また、前述の通り、導電体RW_L [3] にはL電位が供給されているが、ノードND [3] にH電位が保持されているため、トランジスタRT_r [3] のチャンネル抵抗値は小さくなっている。このため、フローティング状態である導電体BLの電位が、H電位からL電位へ急激に変化する（図63A参照）。

【0304】

【期間T14】

期間T14において、導電体SEL、導電体RW_L、および導電体SGにL電位を供給する（図65B参照。）。

【0305】

＜保持電位がL電位の場合＞

次に、L電位が保持されている記憶素子MC [2] の読み出し動作について説明する。記憶素子MC [2] に保持されている情報（電位）を読み出す場合は、期間T12において、導電体RW_L [2] の電位をL電位にする（図63B参照。）。この時、ノードND [2] にはL電位が保持されているため、トランジスタRT_r [2] のチャンネル抵抗値はノードND [2] にH電位が保持されている場合よりも大きい。

【0306】

続いて、期間T13において導電体SGにH電位を供給し、導電体BLと導電体122を導通状態にする。この時、トランジスタRT_r [2] のチャンネル抵抗値が大きいため、導電体BLの電位は、H電位からL電位へ向かって緩やかに変化する。

【0307】

このように、期間T13において、読み出したい記憶素子MCに対応する導電体RW_Lの電位をL電位にして導電体BLの電位変化を検出することで、当該記憶素子MCに保持されている情報を知ることができる。

【0308】

＜変形例＞

10

20

30

40

50

図 6 7 に、メモリストリング 1 2 0 の変形例であるメモリストリング 1 2 0 A の回路構成例を示す。メモリストリング 1 2 0 A は、メモリストリング 1 2 0 にトランジスタ S T r 3 を追加した回路構成を有する。

【 0 3 0 9 】

図 6 7 に示すメモリストリング 1 2 0 A では、トランジスタ R T r [5] のソースまたはドレインの他方はトランジスタ S T r 2 のソースまたはドレインの一方ではなく、トランジスタ S T r 3 のソースまたはドレインの一方と電氣的に接続する。また、トランジスタ S T r 3 のソースまたはドレインの他方は、導電体 B L と電氣的に接続される。また、トランジスタ S T r 2 のゲートは導電体 W S E L と電氣的に接続され、トランジスタ S T r 3 のゲートは導電体 R S E L と電氣的に接続される。

10

【 0 3 1 0 】

図 6 8 は、メモリストリング 1 2 0 A の書き込み動作を説明するタイミングチャートである。図 6 9 は、メモリストリング 1 2 0 A の読み出し動作を説明するタイミングチャートである。

【 0 3 1 1 】

メモリストリング 1 2 0 A では、書き込み動作時に導電体 W S E L に H 電位を供給し、導電体 R S E L に L 電位を供給する。また、読み出し動作時に導電体 W S E L に L 電位を供給し、導電体 R S E L に H 電位を供給する。よって、書き込み動作時はトランジスタ S T r 2 がオン状態になり、トランジスタ S T r 3 がオフ状態になる。読み出し動作時はトランジスタ S T r 2 がオフ状態になり、トランジスタ S T r 3 がオン状態になる。導電体 B L を介して情報の書き込みまたは読み出しを行う際に、それぞれ専用のトランジスタで情報伝達経路の切り替えを行うことができる。よって、記憶装置の動作が安定し、記憶装置の信頼性を高めることができる。

20

【 0 3 1 2 】

また、メモリストリング 1 2 0、メモリストリング 1 2 0 A、および後述するメモリストリング 1 2 0 B などにおいて、書き込み動作以外の動作時に、導電体 B G に L 電位よりも低い電位（「L L 電位」ともいう。）を供給することが好ましい。導電体 B G に L L 電位を供給することで、トランジスタ W T r をより確実にオフ状態にすることができる。よって、ノード N D に書き込まれた情報をより長期間保持することができる。

【 0 3 1 3 】

30

また、メモリストリング 1 2 0、メモリストリング 1 2 0 A、および後述するメモリストリング 1 2 0 B などにおいて、書き込み動作時は導電体 B G に L 電位よりも高い電位を供給してもよい。例えば、書き込み動作時に導電体 B G に H 電位を供給してもよい。書き込み動作時は導電体 B G に H 電位を供給することで、半導体 1 2 7 の抵抗値が小さくなり、書き込み速度を高めることができる。

【 0 3 1 4 】

なお、図 7 0 に示すように、トランジスタ S T r 2 のソースまたはドレインの他方を導電体 W B L と電氣的に接続し、トランジスタ S T r 3 のソースまたはドレインの他方を導電体 R B L と電氣的に接続してもよい。書き込み動作時は導電体 W B L を介して情報の書き込みを行い、読み出し動作時は導電体 R B L を介して情報の読み出しを行う。書き込み動作と読み出し動作のそれぞれで専用の導電体 B L を設けることで、記憶装置の動作が安定し、記憶装置の信頼性を高めることができる。

40

【 0 3 1 5 】

図 7 1 に示すメモリストリング 1 2 0 B は、メモリストリング 1 2 0 A にトランジスタ S T r 4 を追加した回路構成を有する。トランジスタ S T r 4 のソースまたはドレインの一方は、トランジスタ W T r [1] のソースまたはドレインの一方と電氣的に接続され、他方は導電体 W B L [2] と電氣的に接続される。トランジスタ S T r 4 のゲートは導電体 W S E L [2] と電氣的に接続される。

【 0 3 1 6 】

また、メモリストリング 1 2 0 B では、トランジスタ S T r 2 のゲートが導電体 W S E L

50

【1】と電氣的に接続され、トランジスタSTr2のソースまたはドレインの他方が導電体WBL【1】と電氣的に接続される。なお、図67に示したように、トランジスタSTr2およびトランジスタSTr3を導電体BLと電氣的に接続する回路構成としてもよい。

【0317】

メモリストリング120Bは、情報の書き込みを導電体WBL【1】および導電体WBL【2】の双方から行うことができる。よって、情報の書き込み速度を高めることができる。また、書き込む情報に相当する電荷の供給をより確実に行うことができる。

【0318】

また、i番目の記憶素子MCに情報を書き込む場合、iがnに近い場合は導電体WBL【1】側から情報を書き込むことで、1番目乃至i-1番目までの記憶素子MCの情報の書き込み動作を省略することができる。また、iが1に近い場合は導電体WBL【2】側から情報を書き込むことで、i+1番目乃至n番目までの記憶素子MCの情報の書き込み動作を省略することができる。メモリストリング120Bでは、書き込み動作に係る時間と、消費電力をさらに低減できる。

【0319】

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせて実施することが可能である。

【0320】

(実施の形態5)

本実施の形態では、記憶装置100を含む半導体装置200の構成例について説明する。なお、記憶装置100に代えて記憶装置100Aを用いてもよい。本実施の形態などでは、明示する場合を除いて、記憶装置100に代えて記憶装置100Aを用いることができるものとする。

【0321】

図72に、本発明の一態様である半導体装置200の構成例を示すブロック図を示す。図72に示す半導体装置200は、駆動回路210と、メモリアレイ220と、を有する。メモリアレイ220は、1以上の記憶装置100を有する。図72では、メモリアレイ220がマトリクス状に配置された複数の記憶装置100を有する例を示している。

【0322】

駆動回路210は、PSW241（パワースイッチ）、PSW242、および周辺回路215を有する。周辺回路215は、周辺回路211（Row Decoder）、コントロール回路212（Control Circuit）、および電圧生成回路228を有する。なお、半導体装置200は、メモリアレイ220、PSW241、242、周辺回路211、コントロール回路212、電圧生成回路228などの様々な機能を有する素子または回路などを有する。そのため、半導体装置200をシステム、またはサブシステムと呼称してもよい。

【0323】

半導体装置200において、各回路、各信号および各電圧は、必要に応じて、適宜取捨することができる。あるいは、他の回路または他の信号を追加してもよい。信号BW、信号CE、信号GW、信号CLK、信号WAKE、信号ADDR、信号WDA、信号PON1、信号PON2は外部からの入力信号であり、信号RDAは外部への出力信号である。信号CLKはクロック信号である。

【0324】

また、信号BW、信号CE、および信号GWは制御信号である。信号CEはチップイネーブル信号であり、信号GWはグローバル書き込みイネーブル信号であり、信号BWはバイト書き込みイネーブル信号である。信号ADDRはアドレス信号である。信号WDAは書き込みデータであり、信号RDAは読み出しデータである。信号PON1、信号PON2は、パワーゲーティング制御用信号である。なお、信号PON1、信号PON2は、コントロール回路212で生成してもよい。

【0325】

10

20

30

40

50

コントロール回路 212 は、半導体装置 200 の動作全般を制御する機能を有するロジック回路である。例えば、コントロール回路は、信号 CE、信号 GW および信号 BW を論理演算して、半導体装置 200 の動作モード（例えば、書き込み動作、読み出し動作）を決定する。または、コントロール回路 212 は、この動作モードが実行されるように、周辺回路 211 の制御信号を生成する。

【0326】

電圧生成回路 228 は負電圧を生成する機能を有する。信号 WAKE は、信号 CLK の電圧生成回路 228 への入力を制御する機能を有する。例えば、信号 WAKE に H レベルの信号が与えられると、信号 CLK が電圧生成回路 228 へ入力され、電圧生成回路 228 は負電圧を生成する。

10

【0327】

周辺回路 211 は、記憶装置 100 に対するデータの書き込みおよび読み出しをするための回路である。周辺回路 211 は、行デコーダ (Row Decoder) 221、列デコーダ 222 (Column Decoder)、行ドライバ 223 (Row Driver)、列ドライバ 224 (Column Driver)、入力回路 225 (Input Cir.)、出力回路 226 (Output Cir.)、センスアンプ 227 (sense amplifier) を有する。

【0328】

行デコーダ 221 および列デコーダ 222 は、信号 ADDR をデコードする機能を有する。行デコーダ 221 は、アクセスする行を指定するための回路であり、列デコーダ 222 は、アクセスする列を指定するための回路である。行ドライバ 223 は、行デコーダ 221 が指定する配線 WL を選択する機能を有する。列ドライバ 224 は、データを記憶装置 100 に書き込む機能、記憶装置 100 からデータを読み出す機能、読み出したデータを保持する機能等を有する。

20

【0329】

入力回路 225 は、信号 WDA を保持する機能を有する。入力回路 225 が保持するデータは、列ドライバ 224 に出力される。入力回路 225 の出力データが、記憶装置 100 に書き込むデータ (Din) である。列ドライバ 224 が記憶装置 100 から読み出したデータ (Dout) は、出力回路 226 に出力される。出力回路 226 は、Dout を保持する機能を有する。また、出力回路 226 は、Dout を半導体装置 200 の外部に出力する機能を有する。出力回路 226 から出力されるデータが信号 RDA である。

30

【0330】

PSW 241 は周辺回路 215 への VDD の供給を制御する機能を有する。PSW 242 は、行ドライバ 223 への VHM の供給を制御する機能を有する。ここでは、半導体装置 200 の高電源電圧が VDD であり、低電源電圧は GND (接地電位) である。また、VHM は、ワード線を高レベルにするために用いられる高電源電圧であり、VDD よりも高い。信号 PON1 によって PSW 241 のオン・オフが制御され、信号 PON2 によって PSW 242 のオン・オフが制御される。図 72 では、周辺回路 215 において、VDD が供給される電源ドメインの数を 1 としているが、複数にすることもできる。この場合、各電源ドメインに対してパワースイッチを設ければよい。

40

【0331】

駆動回路 210 とメモリアレイ 220 は同一平面上に設けてもよい。また、図 73A に示すように、駆動回路 210 とメモリアレイ 220 を重ねて設けてもよい。駆動回路 210 とメモリアレイ 220 を重ねて設けることで、信号伝搬距離を短くすることができる。また、図 73B に示すように、駆動回路 210 上にメモリアレイ 220 を複数層重ねて設けてもよい。

【0332】

また、図 73C に示すように、駆動回路 210 の上層および下層に、メモリアレイ 220 を設けてもよい。図 73C では、駆動回路 210 の上層および下層にそれぞれ 1 層のメモリアレイ 220 を設ける例を示している。複数のメモリアレイ 220 で駆動回路 210 を

50

挟むように配置することで、信号伝搬距離をさらに短くすることができる。なお、駆動回路 210 の上層に積層されるメモリアレイ 220 と、駆動回路 210 の下層に積層されるメモリアレイ 220 の層数は、それぞれ 1 層以上であればよい。駆動回路 210 の上層に積層されるメモリアレイ 220 の数と、駆動回路 210 の下層に積層されるメモリアレイ 220 の数は等しいことが好ましい。

【0333】

＜半導体装置の断面構成例＞

図 74 に、図 73A に示す半導体装置 200 の断面構成例を示す。図 74 では図 73A に示す半導体装置 200 の一部を示している。また、図 75 に、図 73A に示す半導体装置 200 を半導体装置 200A に置き換えた場合の断面構成例を示す。図 75 も半導体装置 200A の一部を示している。

【0334】

図 74 では、駆動回路 210 に含まれる、トランジスタ 301、トランジスタ 302、およびトランジスタ 303 を示している。なお、トランジスタ 301 およびトランジスタ 302 は、センスアンプ 304 の一部として機能する。また、トランジスタ 303 は列選択スイッチとして機能する。具体的には、メモリアレイ 220 に含まれる導電体 BL は、トランジスタ 301 のソースおよびドレインの一方と電氣的に接続し、トランジスタ 301 のゲートは、トランジスタ 302 のソースおよびドレインの一方と電氣的に接続し、トランジスタ 302 のゲートは、トランジスタ 301 のソースおよびドレインの他方と電氣的に接続する。また、トランジスタ 301 のソースおよびドレインの一方と、トランジスタ 302 のソースおよびドレインの他方は、列選択スイッチとして機能する、トランジスタ 303 のソースおよびドレインの一方と電氣的に接続する。これにより半導体装置 200 のレイアウト面積を縮小することができる。なお、図 74 には、1 つのメモリストリングあたり、7 個の記憶素子 MC を設けた例を示している。ただし、1 つのメモリストリングに設ける記憶素子 MC の数はこれに限らない。例えば、1 つのメモリストリングに設ける記憶素子 MC の数は、32、64、128 または、200 以上でもよい。

【0335】

メモリアレイ 220 の導電体 BL は、絶縁体 726 および絶縁体 722 などに埋め込まれるように形成された導電体 752 と、導電体 705 と、導電体 714 と、導電体 715 と、を介して、センスアンプ 304 や、列選択スイッチとして機能するトランジスタ 303 と電氣的に接続している。なお、駆動回路 210 が有する回路やトランジスタは、一例であり、その回路構成や、トランジスタ構造に限定されない。上記以外にも、制御回路、行デコーダ、行ドライバ、ソース線ドライバ、入出力回路など、半導体装置 200 の構成や、その駆動方法に応じて適切な回路やトランジスタを設けることができる。

【0336】

トランジスタ 301、トランジスタ 302、およびトランジスタ 303 は、基板 311 上に設けられ、それぞれ、導電体 316、絶縁体 315、基板 311 の一部からなる半導体領域 313、およびソース領域またはドレイン領域として機能する低抵抗領域 314a、および低抵抗領域 314b を有する。なお、図 74 に示すように、一つの低抵抗領域を、トランジスタ 301 およびトランジスタ 302 の、一方のソース領域またはドレイン領域、かつ他方のソース領域またはドレイン領域として共有する場合がある。

【0337】

トランジスタ 301、トランジスタ 302、およびトランジスタ 303 は、チャネルが形成される半導体領域 313（基板 311 の一部）が凸形状を有する。また、半導体領域 313 の側面および上面を、絶縁体 315 を介して、導電体 316 が覆うように設けられている。なお、導電体 316 は仕事関数を調整する材料を用いてもよい。このようなトランジスタ 301、トランジスタ 302、およびトランジスタ 303 は半導体基板の凸部を利用していることから FIN 型トランジスタとも呼ばれる。なお、凸部の上部に接して、凸部を形成するためのマスクとして機能する絶縁体を有していてもよい。また、ここでは半導体基板の一部を加工して凸部を形成する場合を示したが、SOI 基板を加工して凸形状

10

20

30

40

50

を有する半導体膜を形成してもよい。

【0338】

トランジスタ301、トランジスタ302、およびトランジスタ303は、それぞれpチャネル型、あるいはnチャネル型のいずれでもよいが、トランジスタ301とトランジスタ302は、それぞれ異なる極性を有するトランジスタであることが好ましい。

【0339】

半導体領域313のチャネルが形成される領域、その近傍の領域、ソース領域、またはドレイン領域となる低抵抗領域314a、および低抵抗領域314bなどにおいて、シリコン系半導体などの半導体を含むことが好ましく、単結晶シリコンを含むことが好ましい。または、Ge（ゲルマニウム）、SiGe（シリコンゲルマニウム）、GaAs（ガリウムヒ素）、GaAlAs（ガリウムアルミニウムヒ素）などを有する材料で形成してもよい。結晶格子に応力を与え、格子間隔を変化させることで有効質量を制御したシリコンを用いた構成としてもよい。またはGaAsとGaAlAs等を用いることで、トランジスタ301、トランジスタ302、およびトランジスタ303をHEMT（High Electron Mobility Transistor）としてもよい。

【0340】

低抵抗領域314a、および低抵抗領域314bは、半導体領域313に適用される半導体材料に加え、ヒ素、リンなどのn型の導電性を付与する元素、またはホウ素などのp型の導電性を付与する元素を含む。

【0341】

絶縁体315は、トランジスタ301、トランジスタ302、およびトランジスタ303のゲート絶縁膜として機能する。

【0342】

ゲート電極として機能する導電体316は、ヒ素、リンなどのn型の導電性を付与する元素、もしくはホウ素などのp型の導電性を付与する元素を含むシリコンなどの半導体材料、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。

【0343】

なお、導電体の材料により、仕事関数が定まるため、導電体の材料を変更することでしきい値電圧を調整することができる。具体的には、導電体に窒化チタンや窒化タンタルなどの材料を用いることが好ましい。さらに導電性と埋め込み性を両立するために導電体にタングステンやアルミニウムなどの金属材料を積層として用いることが好ましく、特にタングステンをを用いることが耐熱性の点で好ましい。

【0344】

また、導電体316の上方には、エッチストッパーとして機能する絶縁体317が設けられていることが好ましい。また、絶縁体315の側面には、スペーサーとして機能する絶縁体318が設けられていることが好ましい。絶縁体317および絶縁体318を設けることで、低抵抗領域314a、および低抵抗領域314bと導電体328が電氣的に接続する領域が自己整合的に定めることができる。よって、低抵抗領域314a、および低抵抗領域314bの一部を露出するための開口を形成する際に、アライメントずれが生じたとしても、意図した領域を露出するための開口を形成することができる。このようにして形成された開口に、導電体328を形成することで、低抵抗領域314a、および低抵抗領域314bと導電体328の間で、コンタクト抵抗が低減した良好なコンタクトが得られる。このようにして形成された低抵抗領域314a、および低抵抗領域314bと導電体328とのコンタクトを、セルフアラインコンタクトと呼ぶ場合がある。また、絶縁体317、および絶縁体322に埋め込まれるように、導電体316と電氣的に接続する導電体329を設けてもよい。

【0345】

トランジスタ301、トランジスタ302、およびトランジスタ303を覆って、絶縁体320、絶縁体322、絶縁体324、絶縁体326、および絶縁体327が順に積層して設けられている。

【0346】

絶縁体320、絶縁体322、絶縁体324、絶縁体326、および絶縁体327として、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよい。

【0347】

絶縁体322は、その下方に設けられるトランジスタ301などによって生じる段差を平坦化する平坦化膜としての機能を有していてもよい。例えば、絶縁体322の上面は、平坦性を高めるために化学機械研磨（CMP）法等を用いた平坦化処理により平坦化されていてもよい。

【0348】

また、絶縁体324には、基板311、またはトランジスタ301などから、メモリアレイ220が設けられる領域に、水素や不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。

【0349】

水素に対するバリア性を有する膜の一例として、例えば、CVD法で形成した窒化シリコンを用いることができる。ここで、記憶素子MC等の酸化物半導体を有する半導体素子に、水素が拡散することで、該半導体素子の特性が低下する場合がある。従って、記憶素子MCと、トランジスタ301などとの間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

【0350】

水素の脱離量は、例えば、昇温脱離ガス分析法（TDS）などを用いて分析することができる。例えば、絶縁体324の水素の脱離量は、TDS分析において、膜の表面温度が50℃から500℃の範囲において、水素原子に換算した脱離量が、絶縁体324の面積当たりに換算して、 $1.0 \times 10^{15} \text{ atoms/cm}^2$ 以下、好ましくは $5 \times 10^{15} \text{ atoms/cm}^2$ 以下であればよい。

【0351】

なお、絶縁体326、および絶縁体327は、絶縁体324よりも誘電率が低いことが好ましい。例えば、絶縁体326、および絶縁体327の比誘電率は4未満が好ましく、3未満がより好ましい。また例えば、絶縁体326、および絶縁体327の比誘電率は、絶縁体324の比誘電率の0.7倍以下が好ましく、0.6倍以下がより好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

【0352】

また、絶縁体320、絶縁体322、絶縁体324、絶縁体326、および絶縁体327にはメモリアレイ220と電氣的に接続する導電体328、導電体329、および導電体330等が埋め込まれている。なお、導電体328、導電体329、および導電体330はプラグ、または配線としての機能を有する。また、プラグまたは配線としての機能を有する導電体は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と電氣的に接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、および導電体の一部がプラグとして機能する場合もある。

【0353】

各プラグ、および配線（導電体328、導電体329、および導電体330等）の材料としては、金属材料、合金材料、金属窒化物材料、または金属酸化物材料などの導電性材料を、単層または積層して用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、タングステンを用いることが好ましい。または、アルミニウムや銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

【0354】

絶縁体327、および導電体330上に、配線層を設けてもよい。例えば、図74におい

10

20

30

40

50

て、絶縁体３５０、絶縁体３５２、及び絶縁体３５４が順に積層して設けられている。また、絶縁体３５０、絶縁体３５２、及び絶縁体３５４には、導電体３５６が形成されている。導電体３５６は、プラグ、または配線としての機能を有する。なお導電体３５６は、導電体３２８、導電体３２９、および導電体３３０と同様の材料を用いて設けることができる。

【０３５５】

なお、例えば、絶縁体３５０は、絶縁体３２４と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体３５６は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体３５０が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ３０１などと、記憶素子ＭＣとは、バリア層により分離することができ、トランジスタ３０１などから記憶素子ＭＣへの水素の拡散を抑制することができる。

10

【０３５６】

なお、水素に対するバリア性を有する導電体としては、例えば、窒化タンタル等を用いるとよい。また、窒化タンタルと導電性が高いタングステンを積層することで、配線としての導電性を保持したまま、トランジスタ３０１などからの水素の拡散を抑制することができる。この場合、水素に対するバリア性を有する窒化タンタル層が、水素に対するバリア性を有する絶縁体３５０と接する構造であることが好ましい。

【０３５７】

絶縁体３５４、および導電体３５６上に、配線層を設けてもよい。例えば、図７４において、絶縁体３６０、絶縁体３６２、及び絶縁体３６４が順に積層して設けられている。また、絶縁体３６０、絶縁体３６２、及び絶縁体３６４には、導電体３６６が形成されている。導電体３６６は、プラグ、または配線としての機能を有する。なお導電体３６６は、導電体３２８、導電体３２９、および導電体３３０と同様の材料を用いて設けることができる。

20

【０３５８】

なお、例えば、絶縁体３６０は、絶縁体３２４と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体３６６は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体３６０が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ３０１などと、記憶素子ＭＣとは、バリア層により分離することができ、トランジスタ３０１などから記憶素子ＭＣへの水素の拡散を抑制することができる。

30

【０３５９】

絶縁体３６４、および導電体３６６上には絶縁体７２２が設けられ、さらに絶縁体７２２の上方には、メモリアレイ２２０が設けられている。絶縁体３６４と絶縁体７２２の間に、絶縁体３２４と同様の材料を用いたバリア膜を設けてもよい。

【０３６０】

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせて実施することが可能である。

【０３６１】

（実施の形態６）

本実施の形態では、図７６Ａおよび図７６Ｂを用いて、本発明の記憶装置が実装された半導体装置の一種であるチップ１２００の一例を示す。チップ１２００には、複数の回路（システム）が実装されている。このように、複数の回路（システム）を一つのチップに集積する技術を、システムオンチップ（System on Chip：SoC）と呼ぶ場合がある。

40

【０３６２】

図７６Ａに示すように、チップ１２００は、ＣＰＵ１２１１、ＧＰＵ１２１２、一または複数のアナログ演算部１２１３、一または複数のメモリコントローラ１２１４、一または複数のインターフェース１２１５、一または複数のネットワーク回路１２１６等を有する。

50

【0363】

チップ1200には、バンプ（図示しない）が設けられ、図76Bに示すように、プリント基板（Printed Circuit Board：PCB）1201の第1の面と接続する。また、PCB1201の第1の面の裏面には、複数のバンプ1202が設けられており、マザーボード1203と接続する。

【0364】

マザーボード1203には、DRAM1221、フラッシュメモリ1222等の記憶装置が設けられていてもよい。フラッシュメモリ1222として、先の実施の形態に示す半導体装置を用いることが好ましい。先の実施の形態に示す半導体装置をフラッシュメモリ1222に用いることで、フラッシュメモリ1222の記憶容量を大きくすることができる。

10

【0365】

CPU1211は、複数のCPUコアを有することが好ましい。また、GPU1212は、複数のGPUコアを有することが好ましい。また、CPU1211、およびGPU1212は、それぞれ一時的にデータを格納するメモリを有していてもよい。または、CPU1211、およびGPU1212に共通のメモリが、チップ1200に設けられていてもよい。また、GPU1212は、多数のデータの並列計算に適しており、画像処理や積和演算に用いることができる。GPU1212に、画像処理回路や、積和演算回路を設けることで、画像処理、および積和演算を低消費電力で実行することが可能になる。

【0366】

また、CPU1211、およびGPU1212が同一チップに設けられていることで、CPU1211およびGPU1212間の配線を短くすることができ、CPU1211からGPU1212へのデータ転送、CPU1211、およびGPU1212が有するメモリ間のデータ転送、およびGPU1212での演算後に、GPU1212からCPU1211への演算結果の転送を高速に行うことができる。

20

【0367】

アナログ演算部1213はA/D（アナログ／デジタル）変換回路、およびD/A（デジタル／アナログ）変換回路の一、または両方を有する。また、アナログ演算部1213に上記積和演算回路を設けてもよい。

【0368】

メモリコントローラ1214は、DRAM1221のコントローラとして機能する回路、およびフラッシュメモリ1222のインターフェースとして機能する回路を有する。

30

【0369】

インターフェース1215は、表示装置、スピーカー、マイクロフォン、カメラ、コントローラなどの外部接続機器とのインターフェース回路を有する。コントローラとは、マウス、キーボード、ゲーム用コントローラなどを含む。このようなインターフェースとして、USB（Universal Serial Bus）、HDMI（登録商標）（High-Definition Multimedia Interface）などを用いることができる。

【0370】

ネットワーク回路1216は、LAN（Local Area Network）などと接続するためのネットワーク回路を有する。また、ネットワークセキュリティ用の回路を有してもよい。

40

【0371】

チップ1200には、上記回路（システム）を同一の製造プロセスで形成することが可能である。そのため、チップ1200に必要な回路の数が増えても、製造プロセスを増やす必要が無く、チップ1200を低コストで作製することができる。

【0372】

GPU1212を有するチップ1200が設けられたPCB1201、DRAM1221、およびフラッシュメモリ1222が設けられたマザーボード1203は、GPUモジュール1204と呼ぶことができる。

50

【0373】

GPUモジュール1204は、SoC技術を用いたチップ1200を有しているため、そのサイズを小さくすることができる。また、画像処理に優れていることから、スマートフォン、タブレット端末、ラップトップPC、携帯型（持ち出し可能な）ゲーム機などの携帯型電子機器に用いることが好適である。また、GPU1212を用いた積和演算回路により、ディープニューラルネットワーク（DNN）、畳み込みニューラルネットワーク（CNN）、再帰型ニューラルネットワーク（RNN）、自己符号化器、深層ボルツマンマシン（DBM）、深層信念ネットワーク（DBN）などの手法を実行することができるため、チップ1200をAIチップ、またはGPUモジュール1204をAIシステムモジュールとして用いることができる。

10

【0374】

本実施の形態に示す構成は、他の実施の形態などに示す構成と適宜組み合わせて用いることができる。

【0375】

（実施の形態7）

本実施の形態では、先の実施の形態に示す記憶装置を用いた半導体装置の応用例について説明する。先の実施の形態に示す記憶装置は、メモリカード（例えば、SDカード）、USBメモリ、SSD（ソリッド・ステート・ドライブ）等の各種のリムーバブル記憶装置に適用することができる。図77A乃至図77Eにリムーバブル記憶装置の幾つかの構成例を模式的に示す。例えば、先の実施の形態に示す半導体装置は、パッケージングされたメモリチップに加工され、様々なストレージ装置、リムーバブルメモリに用いられる。

20

【0376】

図77AはUSBメモリの模式図である。USBメモリ1100は、筐体1101、キャップ1102、USBコネクタ1103および基板1104を有する。基板1104は、筐体1101に収納されている。例えば、基板1104には、メモリチップ1105、コントローラチップ1106が取り付けられている。メモリチップ1105などに先の実施の形態に示す記憶装置または半導体装置を組み込むことができる。

【0377】

図77BはSDカードの外観の模式図であり、図77Cは、SDカードの内部構造の模式図である。SDカード1110は、筐体1111、コネクタ1112および基板1113を有する。基板1113は筐体1111に収納されている。例えば、基板1113には、メモリチップ1114、コントローラチップ1115が取り付けられている。基板1113の裏面側にもメモリチップ1114を設けることで、SDカード1110の容量を増やすことができる。また、無線通信機能を備えた無線チップを基板1113に設けてもよい。これによって、ホスト装置とSDカード1110間の無線通信によって、メモリチップ1114のデータの読み出し、書き込みが可能となる。メモリチップ1114などに先の実施の形態に示す記憶装置または半導体装置を組み込むことができる。

30

【0378】

図77DはSSDの外観の模式図であり、図77Eは、SSDの内部構造の模式図である。SSD1150は、筐体1151、コネクタ1152および基板1153を有する。基板1153は筐体1151に収納されている。例えば、基板1153には、メモリチップ1154、メモリチップ1155、コントローラチップ1156が取り付けられている。メモリチップ1155はコントローラチップ1156のワークメモリであり、例えばDOSRAMチップを用いればよい。基板1153の裏面側にもメモリチップ1154を設けることで、SSD1150の容量を増やすことができる。メモリチップ1154などに先の実施の形態に示す記憶装置または半導体装置を組み込むことができる。

40

【0379】

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせて実施することが可能である。

【0380】

50

(実施の形態 8)

図 7 8 A 乃至図 7 8 G に、本発明の一態様に係る記憶装置または半導体装置を搭載した電子機器の具体例を示す。

【0381】

<電子機器・システム>

本発明の一態様に係る記憶装置または半導体装置は、様々な電子機器に搭載することができる。電子機器の例としては、例えば、情報端末、コンピュータ、スマートフォン、電子書籍端末、テレビジョン装置、デジタルサイネージ (Digital Signage: 電子看板)、パチンコ機などの大型ゲーム機、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機、携帯型ゲーム機、録画再生装置、ナビゲーションシステム、音響再生装置、などが挙げられる。なお、ここで、コンピュータとは、タブレット型のコンピュータ、ノート型のコンピュータ、デスクトップ型のコンピュータの他、サーバシステムのような大型のコンピュータを含むものである。

【0382】

本発明の一態様の電子機器は、アンテナを有していてもよい。アンテナで信号を受信することで、表示部で映像や情報等の表示を行うことができる。また、電子機器がアンテナ及び二次電池を有する場合、アンテナを、非接触電力伝送に用いてもよい。

【0383】

本発明の一態様の電子機器は、センサ (力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、にのみまたは赤外線を測定する機能を含むもの) を有していてもよい。

【0384】

本発明の一態様の電子機器は、様々な機能を有することができる。例えば、様々な情報 (静止画、動画、テキスト画像など) を表示部に表示する機能、タッチパネル機能、カレンダー、日付または時刻などを表示する機能、様々なソフトウェア (プログラム) を実行する機能、無線通信機能、記録媒体に記録されているプログラムまたはデータを読み出す機能等を有することができる。

【0385】

[情報端末]

本発明の一態様に係る記憶装置または半導体装置を用いて、マイクロコントローラのプログラム保持用記憶装置を形成することができる。よって、本発明の一態様によれば、マイクロコントローラチップを小型にすることができる。

【0386】

図 7 8 A には、情報端末の一種である携帯電話 (スマートフォン) が図示されている。情報端末 5 1 0 0 は、筐体 5 1 0 1 と、表示部 5 1 0 2 と、を有しており、入力用インターフェースとして、タッチパネルが表示部 5 1 0 2 に備えられ、ボタンが筐体 5 1 0 1 に備えられている。本発明の一態様に係る、小型化されたマイクロコントローラを用いることで、携帯電話内部の限られた空間を有効に利用することができる。また、携帯電話のストレージに、本発明の一態様に係る記憶装置を用いてもよい。これにより、当該ストレージの単位面積当たりの記憶容量を大きくすることができる。

【0387】

図 7 8 B には、ノート型情報端末 5 2 0 0 が図示されている。ノート型情報端末 5 2 0 0 は、情報端末の本体 5 2 0 1 と、表示部 5 2 0 2 と、キーボード 5 2 0 3 と、を有する。本発明の一態様に係る、小型化されたマイクロコントローラを用いることで、ノート型情報端末内部の限られた空間を有効に利用することができる。また、ノート型情報端末のストレージに、本発明の一態様に係る記憶装置を用いてもよい。これにより、当該ストレージの単位面積当たりの記憶容量を大きくすることができる。

【0388】

なお、上述では、電子機器としてスマートフォン、およびノート型情報端末を例として、

それぞれ図 7 8 A、図 7 8 B に図示したが、スマートフォン、およびノート型情報端末以外の情報端末を適用することができる。スマートフォン、およびノート型情報端末以外の情報端末としては、例えば、PDA (Personal Digital Assistant)、デスクトップ型情報端末、ワークステーションなどが挙げられる。

【0389】

〔ゲーム機〕

図 7 8 C は、ゲーム機の一例である携帯ゲーム機 5 3 0 0 を示している。携帯ゲーム機 5 3 0 0 は、筐体 5 3 0 1、筐体 5 3 0 2、筐体 5 3 0 3、表示部 5 3 0 4、接続部 5 3 0 5、操作キー 5 3 0 6 等を有する。筐体 5 3 0 2、および筐体 5 3 0 3 は、筐体 5 3 0 1 から取り外すことが可能である。筐体 5 3 0 1 に設けられている接続部 5 3 0 5 を別の筐体（図示せず）に取り付けることで、表示部 5 3 0 4 に出力される映像を、別の映像機器（図示せず）に出力することができる。このとき、筐体 5 3 0 2、および筐体 5 3 0 3 は、それぞれ操作部として機能することができる。これにより、複数のプレイヤーが同時にゲームを行うことができる。筐体 5 3 0 1、筐体 5 3 0 2、および筐体 5 3 0 3 の基板に設けられているチップなどに本発明の一態様に係る記憶装置または半導体装置などを組み込むことができる。

10

【0390】

また、図 7 8 D は、ゲーム機の一例である据え置き型ゲーム機 5 4 0 0 を示している。据え置き型ゲーム機 5 4 0 0 には、無線または有線でコントローラ 5 4 0 2 が接続されている。

20

【0391】

携帯ゲーム機 5 3 0 0、据え置き型ゲーム機 5 4 0 0 などのゲーム機に本発明の一態様に係る、小型化されたマイクロコントローラを用いることで、ゲーム機内部の限られた空間を有効に利用することができる。また、携帯ゲーム機のストレージに、本発明の一態様に係る記憶装置または半導体装置などを用いてもよい。これにより、当該ストレージの単位面積当たりの記憶容量を大きくすることができる。

【0392】

図 7 8 C、図 7 8 D では、ゲーム機の一例として携帯ゲーム機、および据え置き型ゲーム機を図示しているが、本発明の一態様のマイクロコントローラを適用するゲーム機はこれに限定されない。本発明の一態様のマイクロコントローラを適用するゲーム機としては、例えば、娯楽施設（ゲームセンター、遊園地など）に設置されるアーケードゲーム機、スポーツ施設に設置されるバッティング練習用の投球マシンなどが挙げられる。

30

【0393】

〔大型コンピュータ〕

本発明の一態様の記憶装置または半導体装置などは、大型コンピュータに適用することができる。

【0394】

図 7 8 E は、大型コンピュータの一例である、スーパーコンピュータ 5 5 0 0 を示す図である。図 7 8 F は、スーパーコンピュータ 5 5 0 0 が有するラックマウント型の計算機 5 5 0 2 を示す図である。

40

【0395】

スーパーコンピュータ 5 5 0 0 は、ラック 5 5 0 1 と、複数のラックマウント型の計算機 5 5 0 2 と、を有する。なお、複数の計算機 5 5 0 2 は、ラック 5 5 0 1 に格納されている。また、計算機 5 5 0 2 には、複数の基板 5 5 0 4 が設けられ、当該基板上に本発明の一態様に係るマイクロコントローラを搭載することができる。本発明の一態様に係る、小型化されたマイクロコントローラを用いることで、大型コンピュータの限られた空間を有効に利用することができる。また、大型コンピュータのストレージに、本発明の一態様に係る記憶装置または半導体装置などを用いてもよい。これにより、当該ストレージの単位面積当たりの記憶容量を大きくすることができる。

【0396】

50

図 7 8 E、図 7 8 F では、大型コンピュータの一例としてスーパーコンピュータを図示しているが、本発明の一態様に係るマイクロコントローラを適用する大型コンピュータはこれに限定されない。本発明の一態様に係るマイクロコントローラを適用する大型コンピュータとしては、例えば、サービスを提供するコンピュータ（サーバー）、大型汎用コンピュータ（メインフレーム）などが挙げられる。

【 0 3 9 7 】

〔電化製品〕

図 7 8 G は、電化製品の一例である電気冷凍冷蔵庫 5 8 0 0 を示している。電気冷凍冷蔵庫 5 8 0 0 は、筐体 5 8 0 1、冷蔵室用扉 5 8 0 2、冷凍室用扉 5 8 0 3 等を有する。

【 0 3 9 8 】

本発明の一態様に係る記憶装置または半導体装置などは、電気冷凍冷蔵庫 5 8 0 0 に適用することもできる。例えば、電気冷凍冷蔵庫 5 8 0 0 に本発明の一態様に係る小型化されたマイクロコントローラを適用することによって、電気冷凍冷蔵庫の限られた空間を有効に利用することができる。

【 0 3 9 9 】

電化製品の一例として電気冷凍冷蔵庫について説明したが、その他の電化製品としては、例えば、掃除機、電子レンジ、電気オーブン、炊飯器、湯沸かし器、IH調理器、ウォーターサーバ、エアーコンディショナーを含む冷暖房器具、洗濯機、乾燥機、オーディオビジュアル機器などが挙げられる。

【 0 4 0 0 】

本実施の形態で説明した電子機器、その電子機器の機能、その効果などは、他の電子機器の記載と適宜組み合わせることができる。

【 0 4 0 1 】

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせて実施することが可能である。

【符号の説明】

【 0 4 0 2 】

1 0 0：記憶装置、1 0 5：領域、1 1 0：メモリセルアレイ、1 2 0：メモリストリング、1 2 1：基体、1 2 2：導電体、1 2 3：絶縁体、1 2 4：絶縁体、1 2 5：半導体、1 2 6：絶縁体、1 2 7：半導体、1 2 8：導電体、1 2 9：絶縁体、1 3 0：導電体、1 4 1：開口、1 4 2：領域、1 4 3：領域

10

20

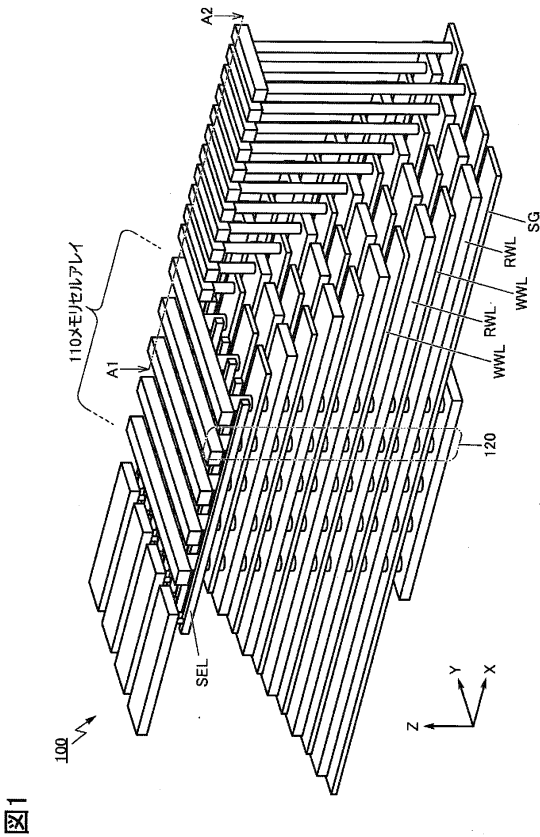
30

40

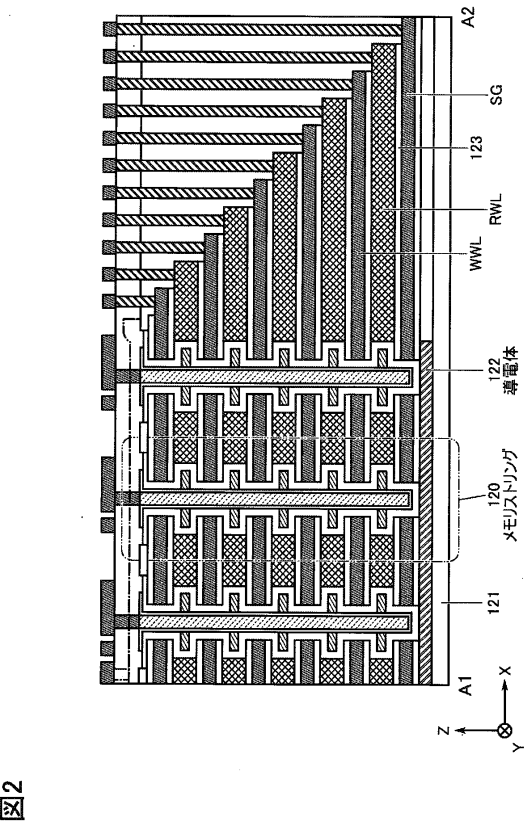
50

【図面】

【図 1】



【図 2】

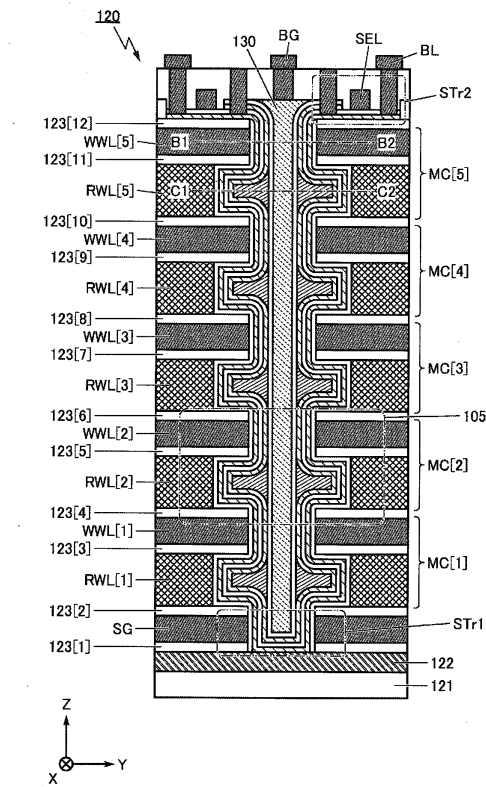


10

20

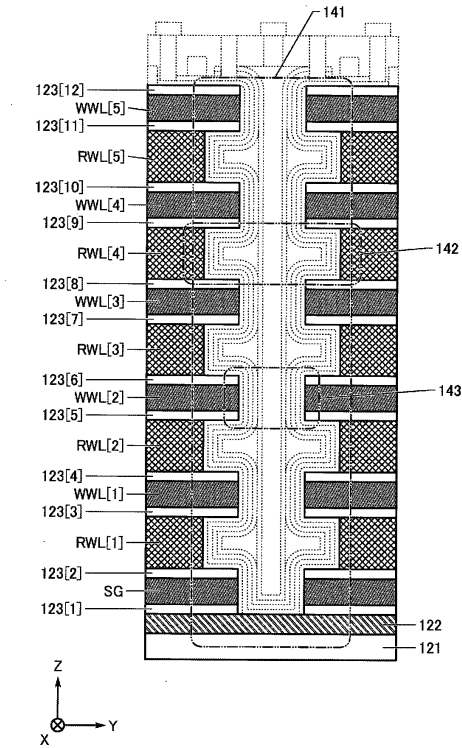
【図 3】

図 3



【図 4】

図 4



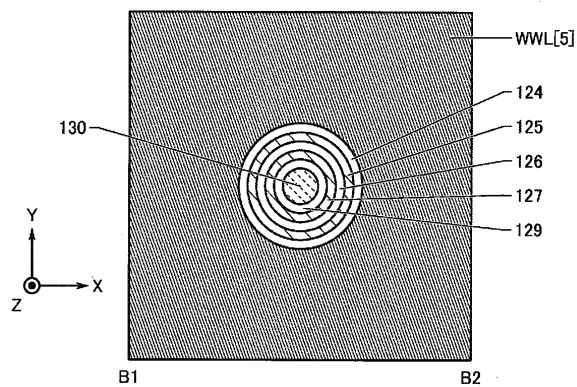
30

40

50

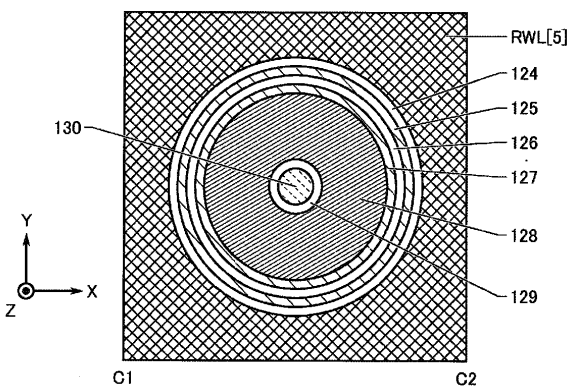
【図 5 A】

図5A



【図 5 B】

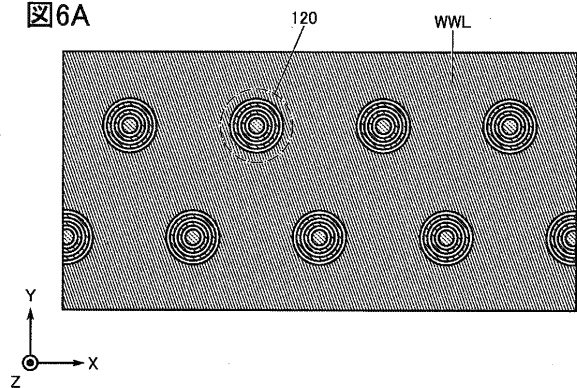
図5B



10

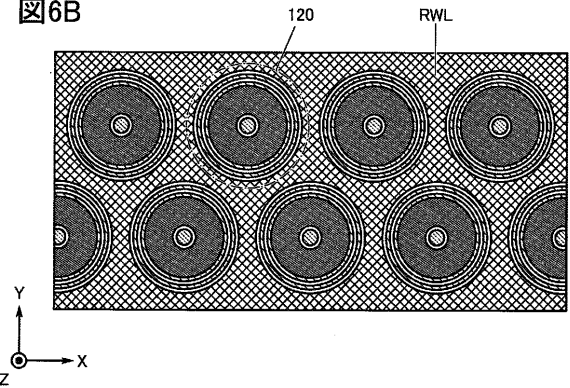
【図 6 A】

図6A



【図 6 B】

図6B



20

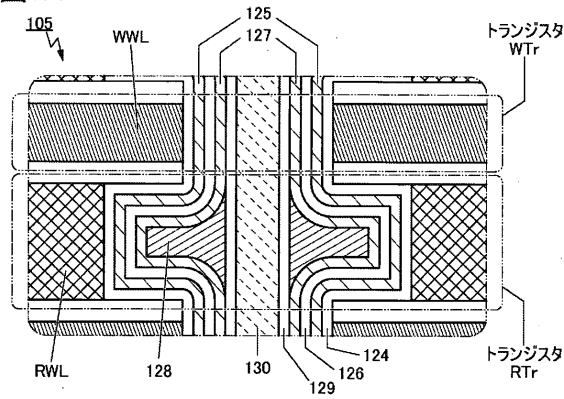
30

40

50

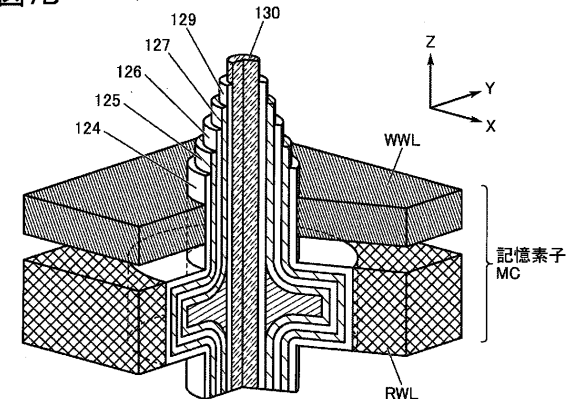
【図 7 A】

図7A



【図 7 B】

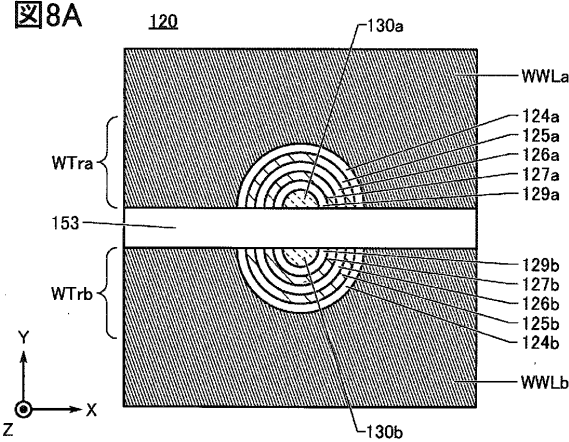
図7B



10

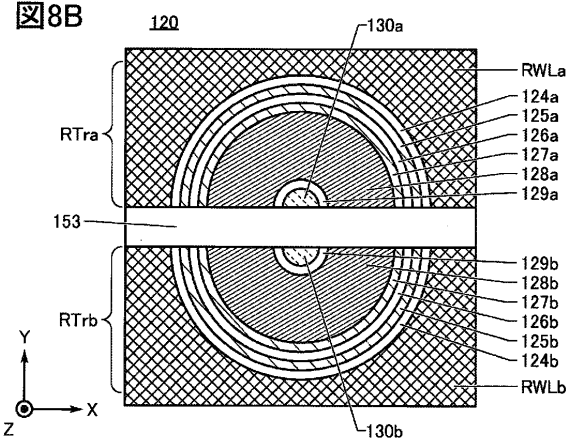
【図 8 A】

図8A



【図 8 B】

図8B



20

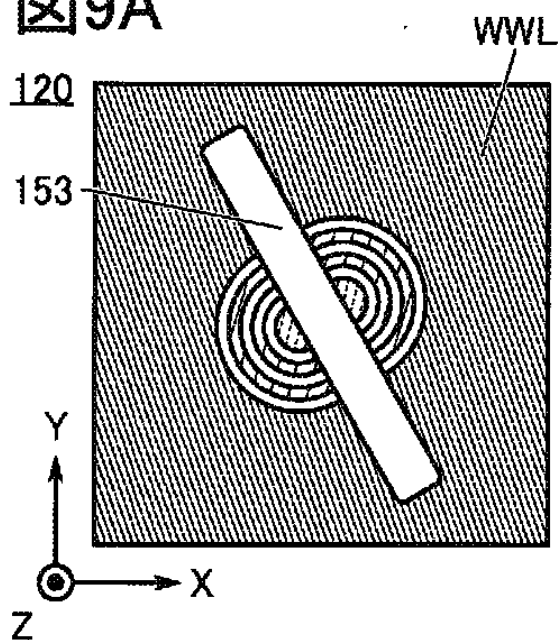
30

40

50

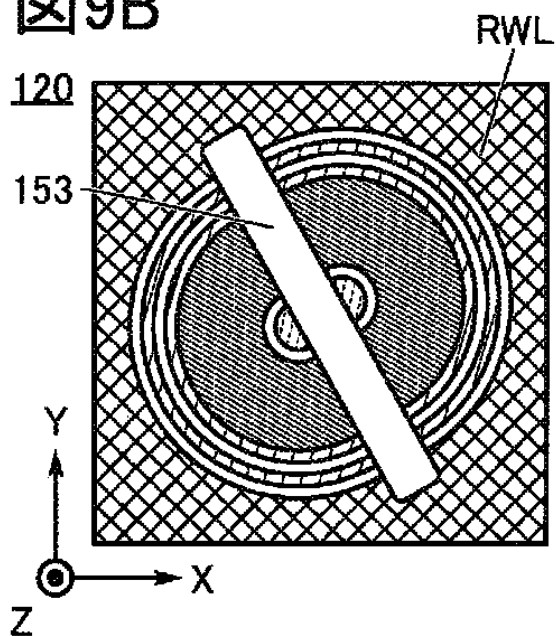
【図 9 A】

図9A



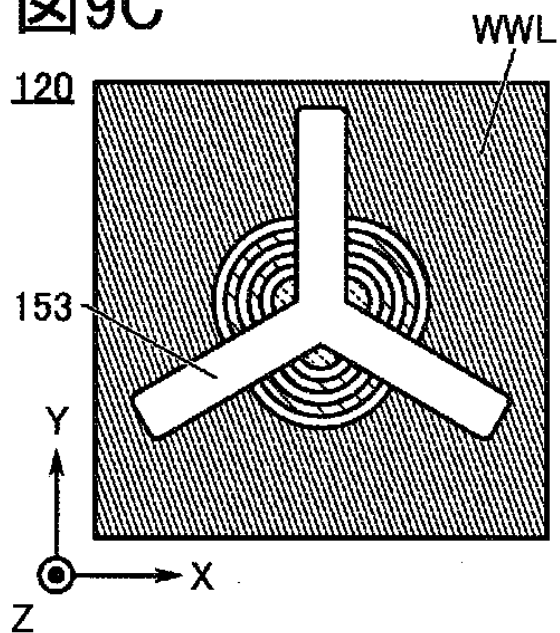
【図 9 B】

図9B



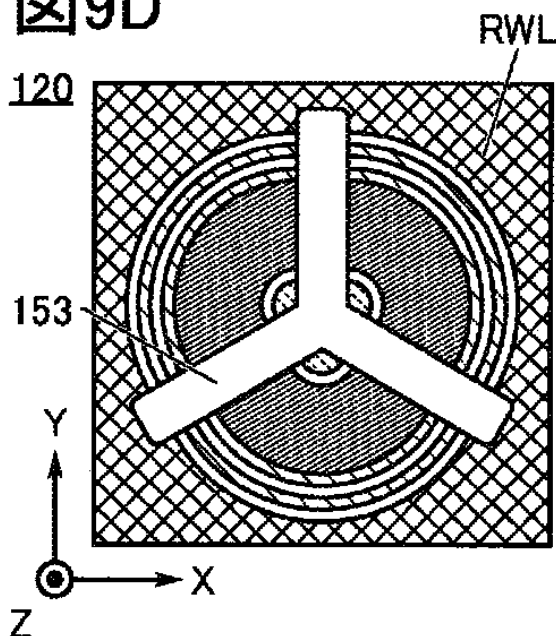
【図 9 C】

図9C



【図 9 D】

図9D



10

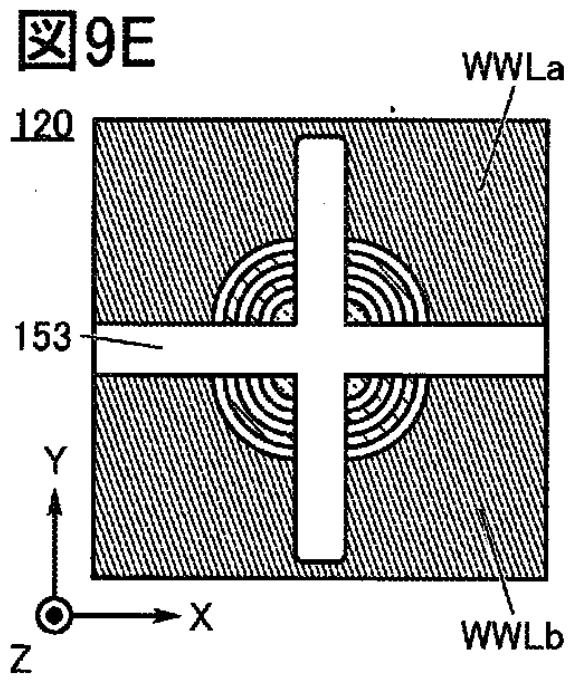
20

30

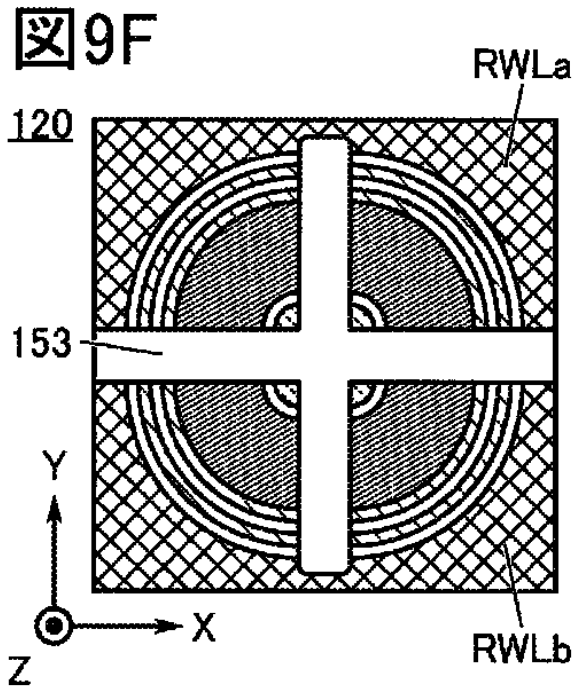
40

50

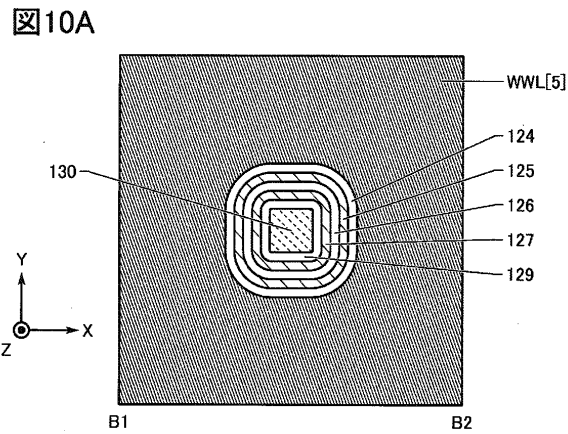
【図 9 E】



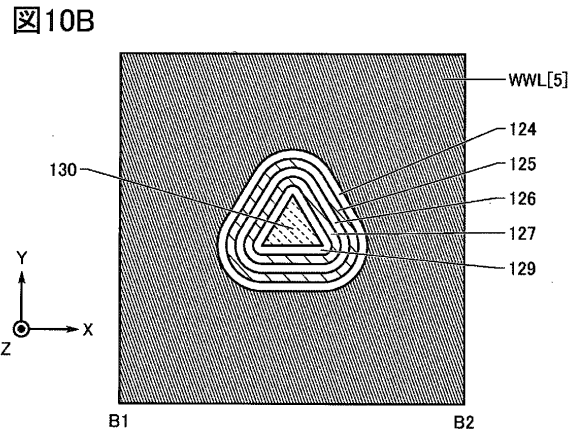
【図 9 F】



【図 1 0 A】



【図 1 0 B】



10

20

30

40

50

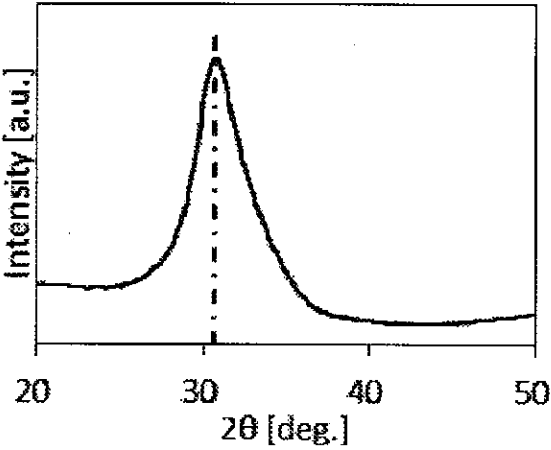
【図 1 1 A】

図11A

中間状態 新しい境界領域		
Amorphous (無定形)	Crystalline (結晶性)	Crystal (結晶)
・completely amorphous	・CAAC ・nc ・CAC Single crystalと poly crystalは 除く	・single crystal ・poly crystal

【図 1 1 B】

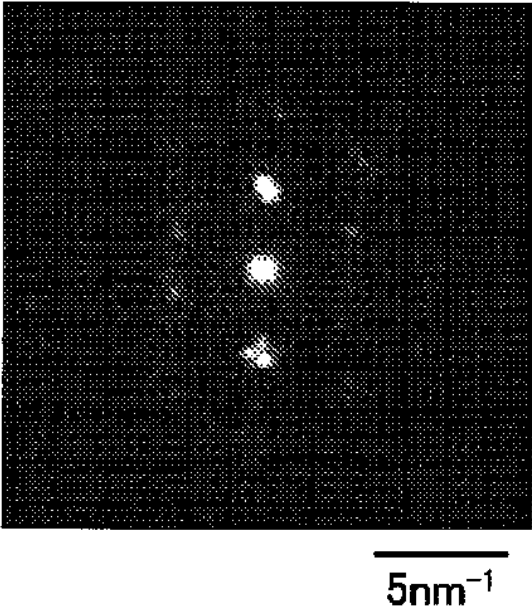
図11B



10

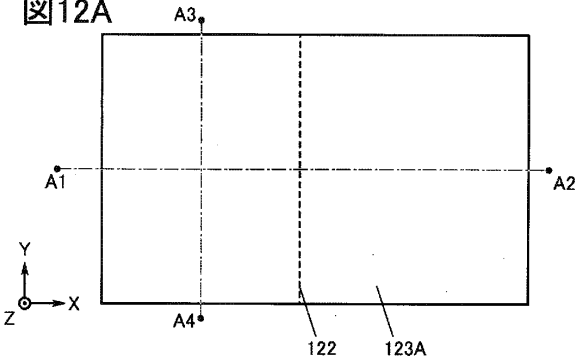
【図 1 1 C】

図11C



【図 1 2 A】

図12A



20

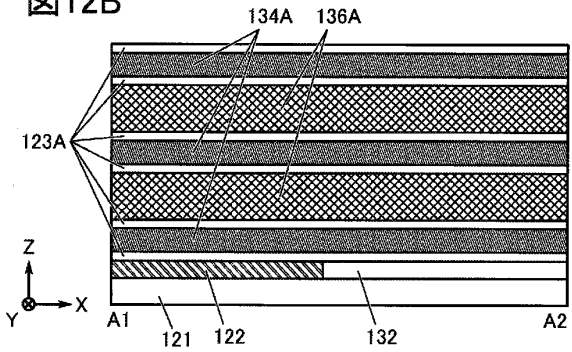
30

40

50

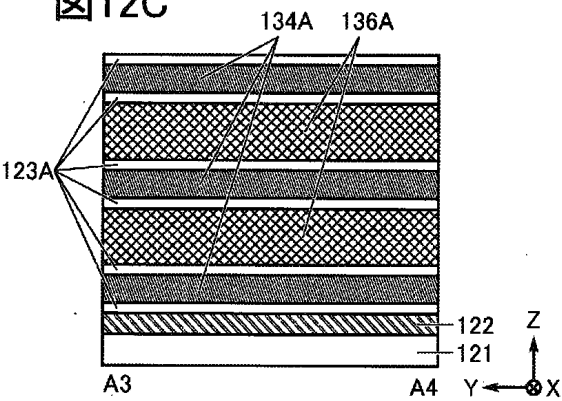
【図 1 2 B】

図12B



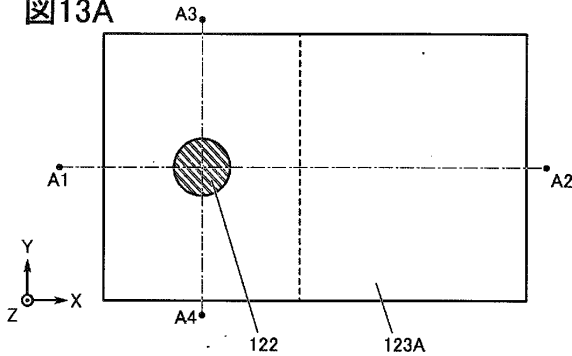
【図 1 2 C】

図12C



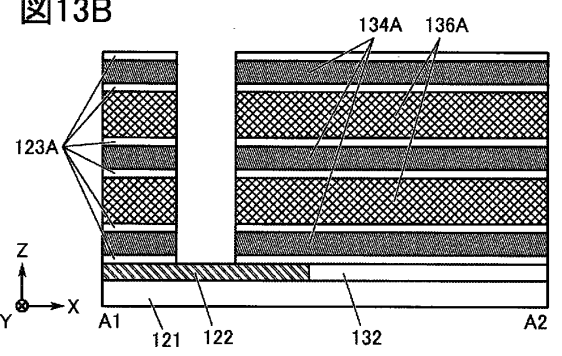
【図 1 3 A】

図13A



【図 1 3 B】

図13B



10

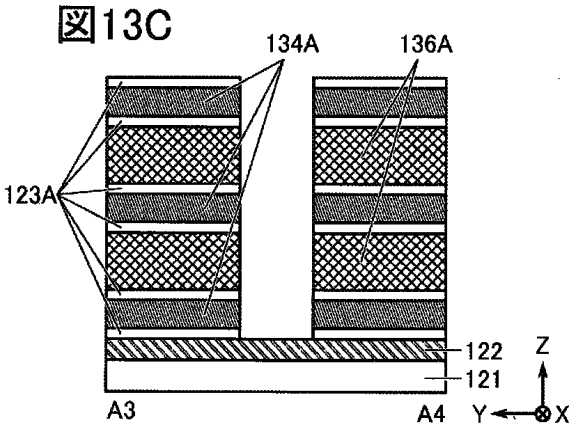
20

30

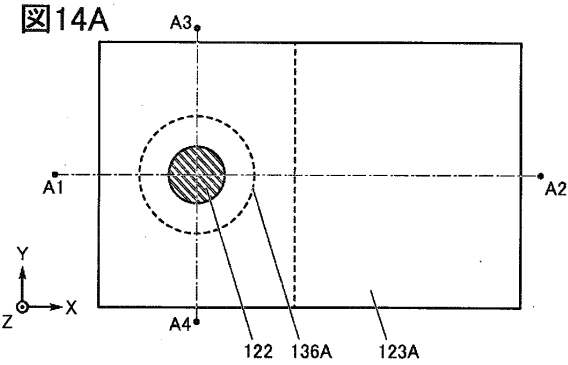
40

50

【図 1 3 C】

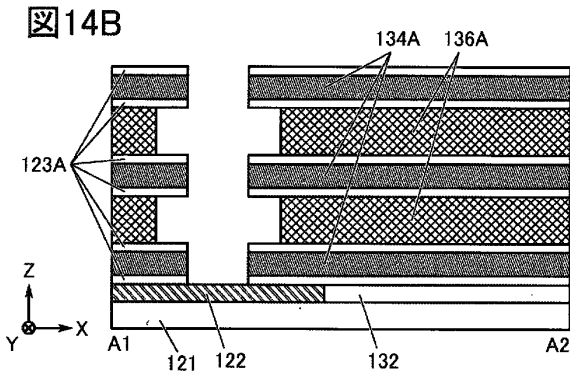


【図 1 4 A】

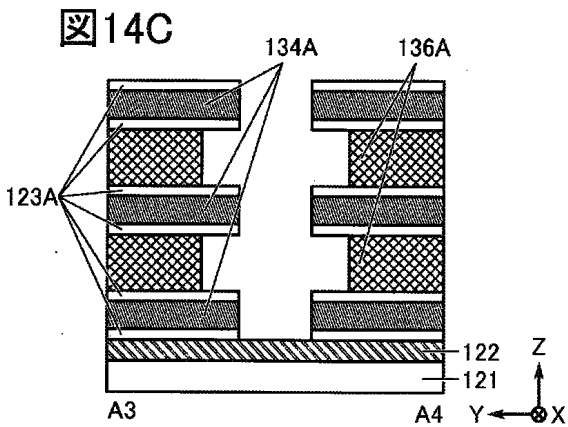


10

【図 1 4 B】



【図 1 4 C】



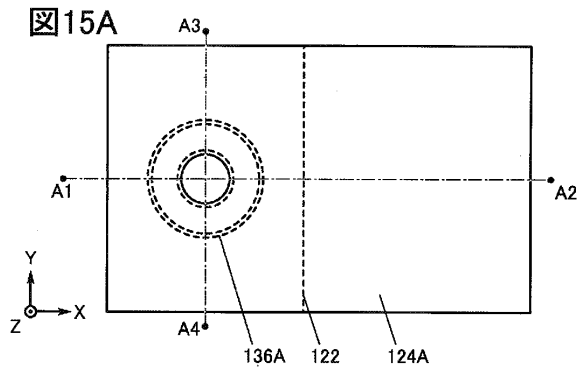
20

30

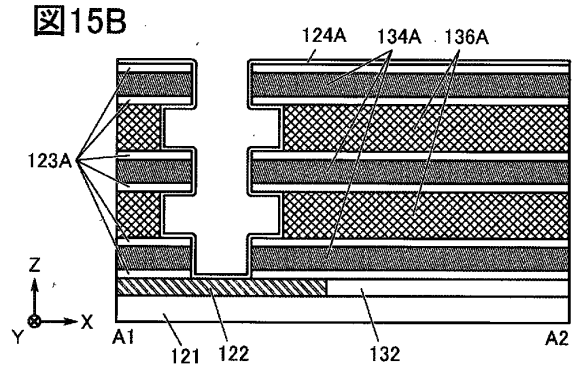
40

50

【図 15 A】

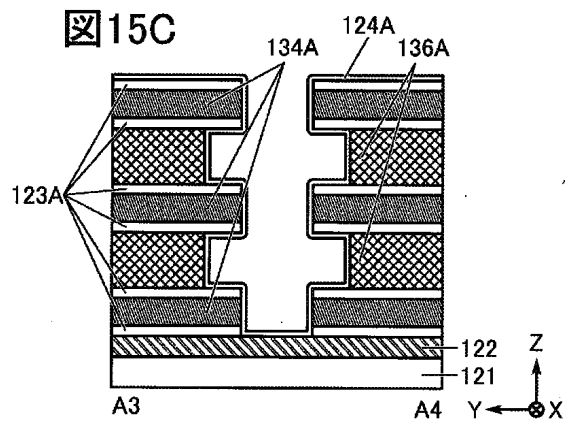


【図 15 B】

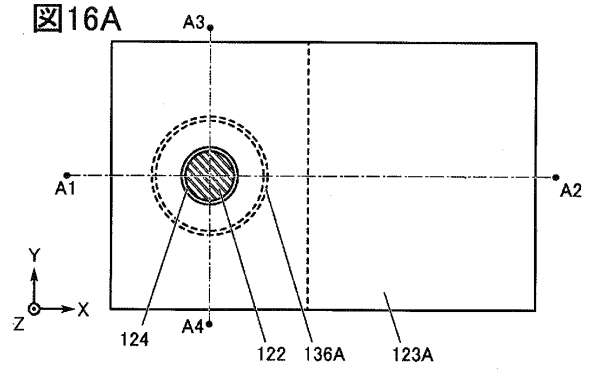


10

【図 15 C】

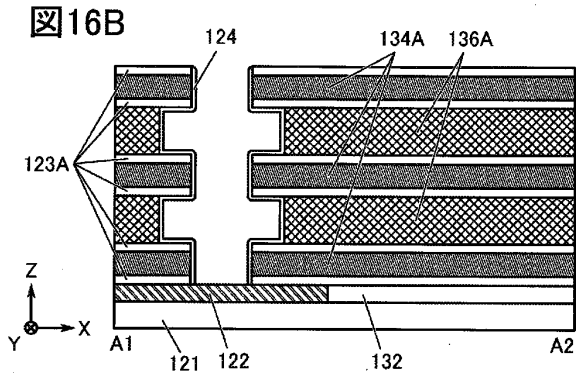


【図 16 A】

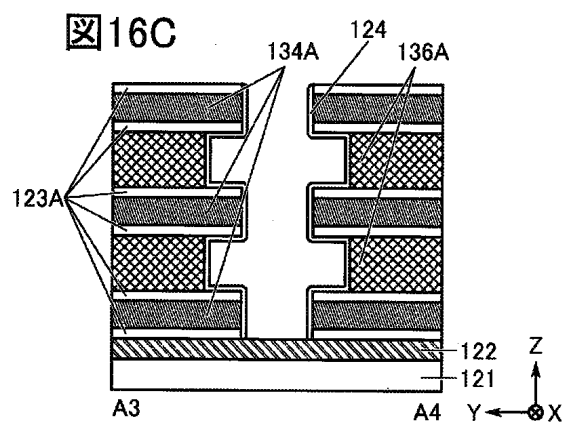


20

【図 16 B】



【図 16 C】

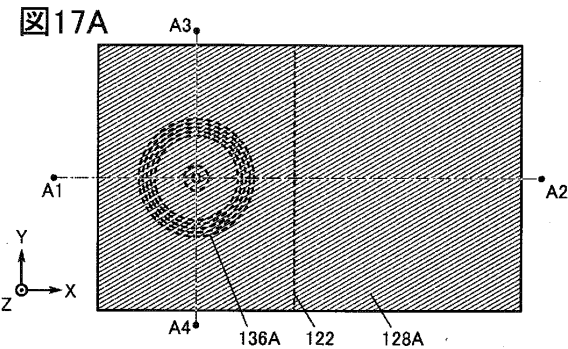


30

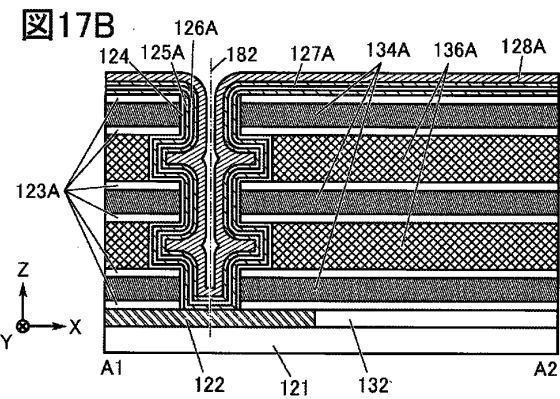
40

50

【図 17 A】

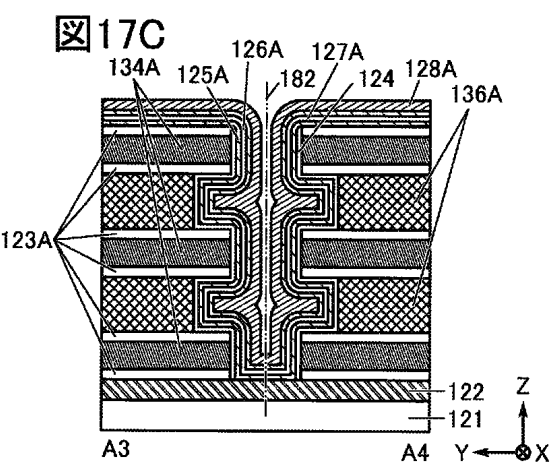


【図 17 B】

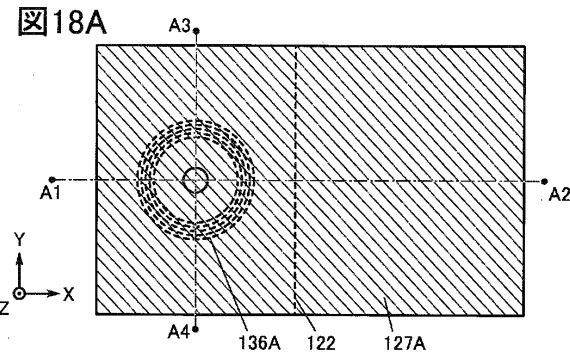


10

【図 17 C】



【図 18 A】



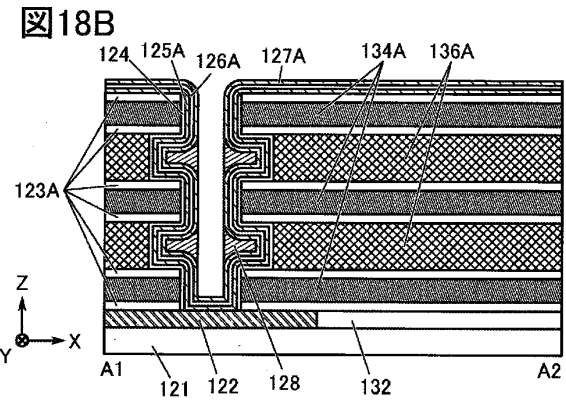
20

30

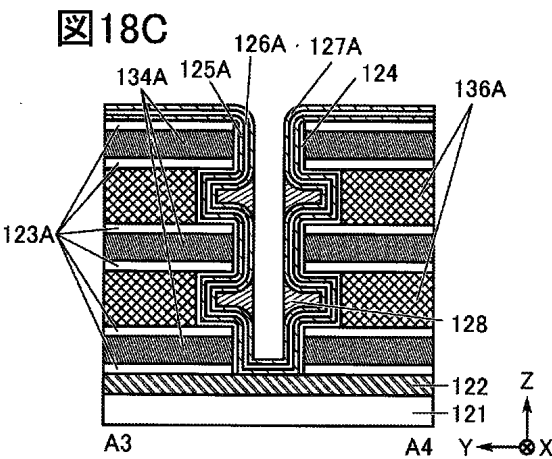
40

50

【図 18 B】

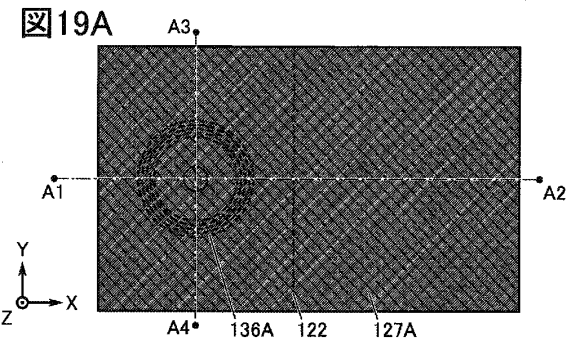


【図 18 C】

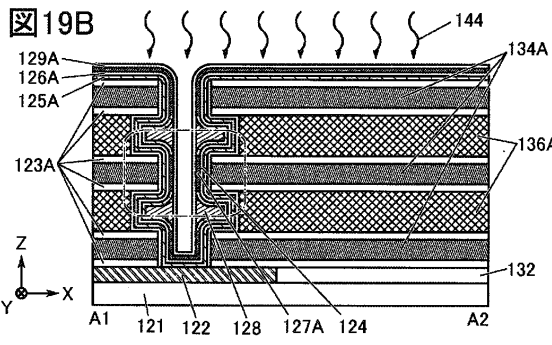


10

【図 19 A】



【図 19 B】



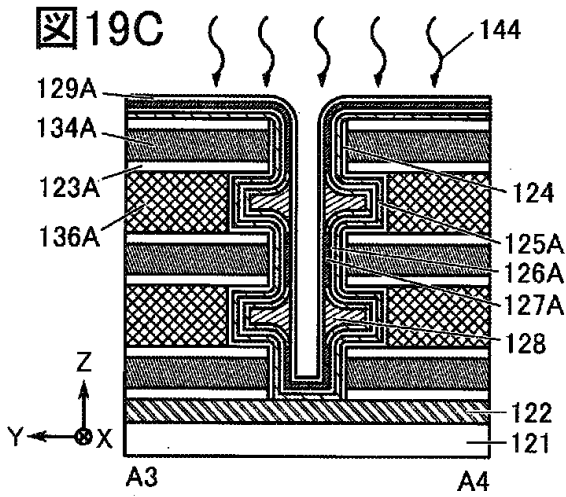
20

30

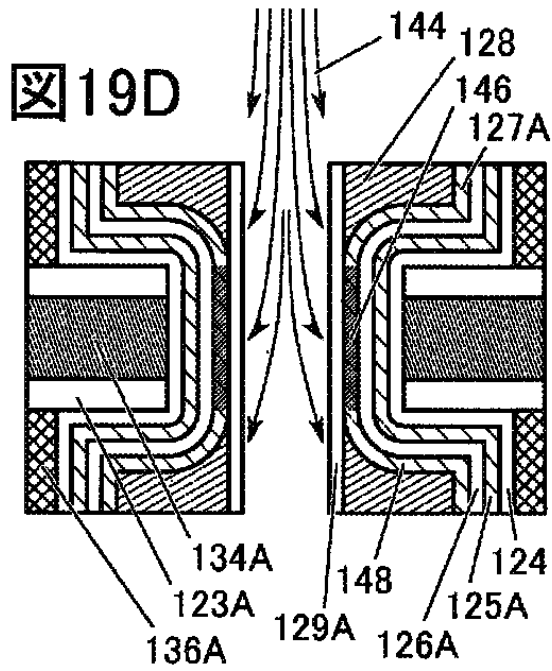
40

50

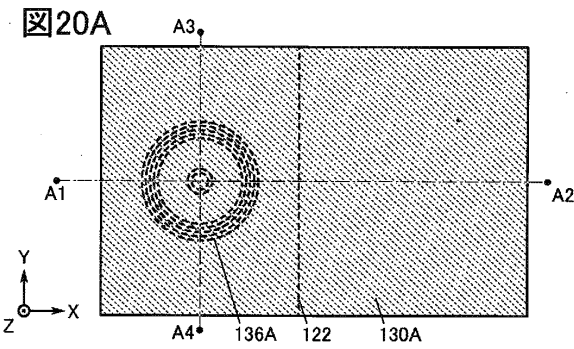
【図 19 C】



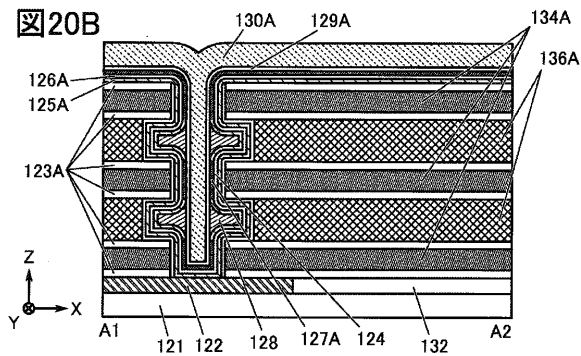
【図 19 D】



【図 20 A】



【図 20 B】



10

20

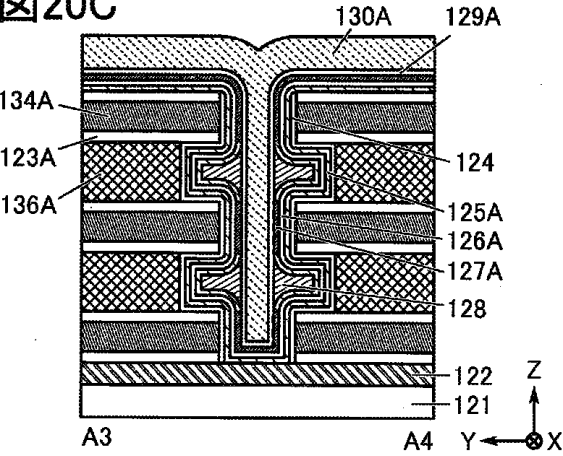
30

40

50

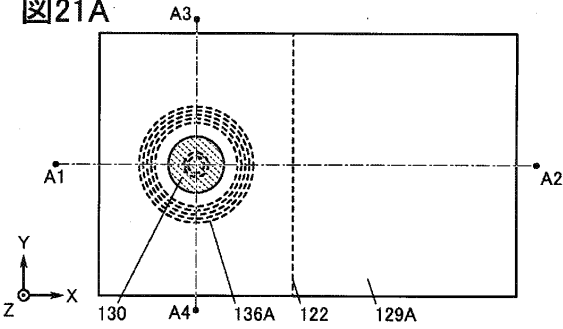
【図 20 C】

図20C



【図 21 A】

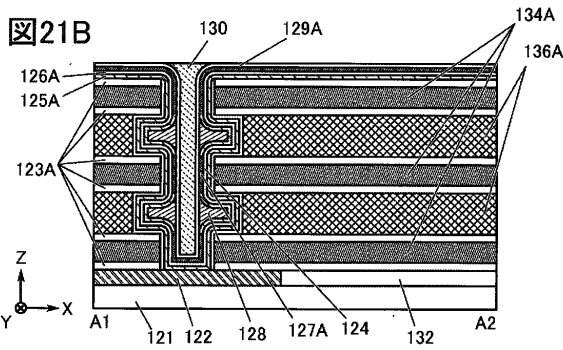
図21A



10

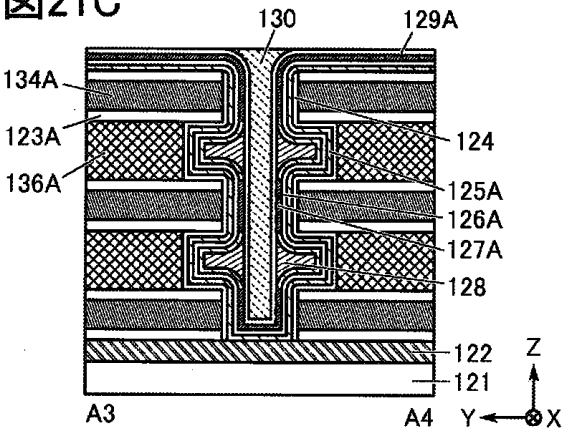
【図 21 B】

図21B



【図 21 C】

図21C



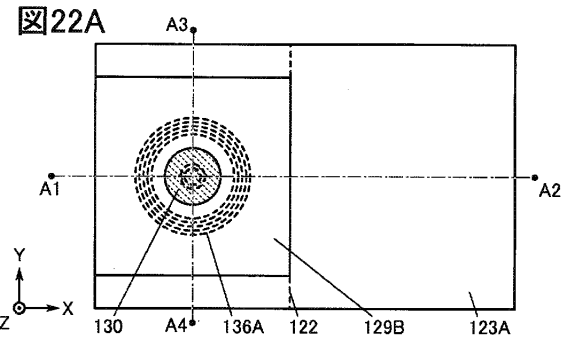
20

30

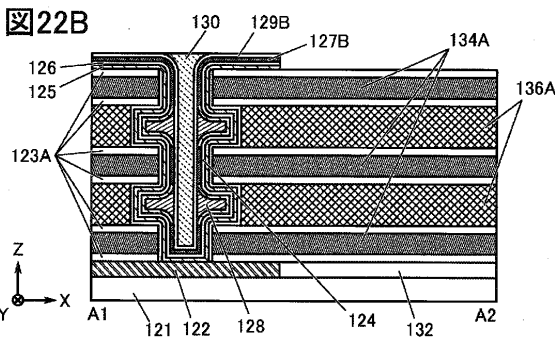
40

50

【図 2 2 A】

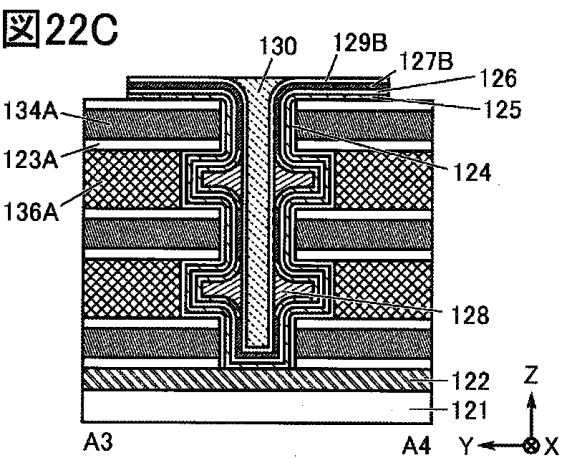


【図 2 2 B】

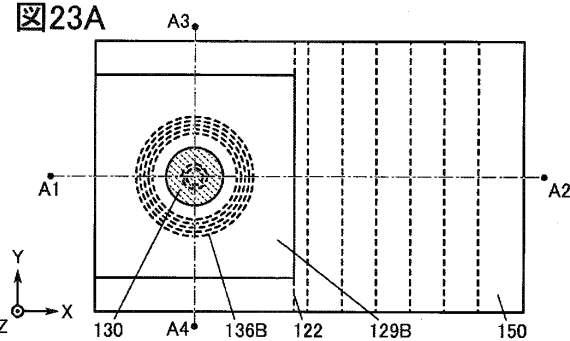


10

【図 2 2 C】

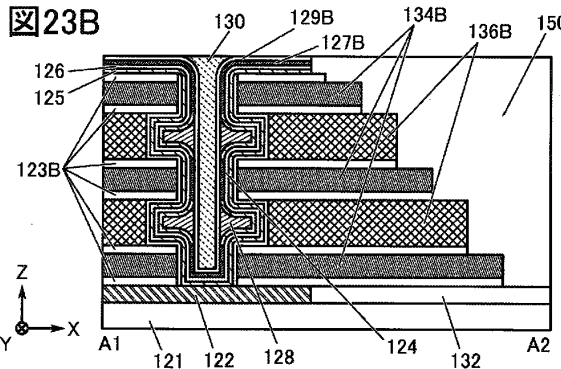


【図 2 3 A】

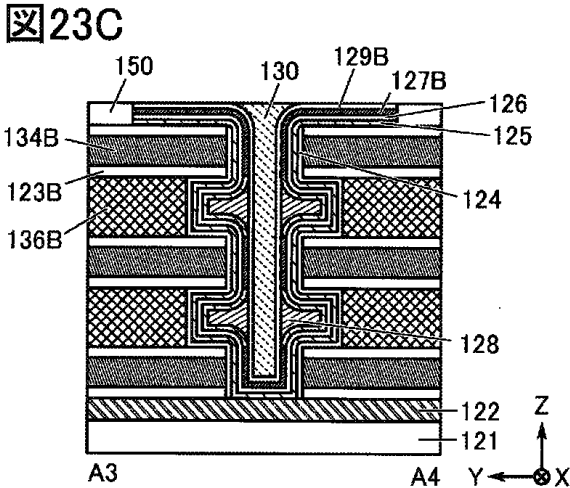


20

【図 2 3 B】



【図 2 3 C】

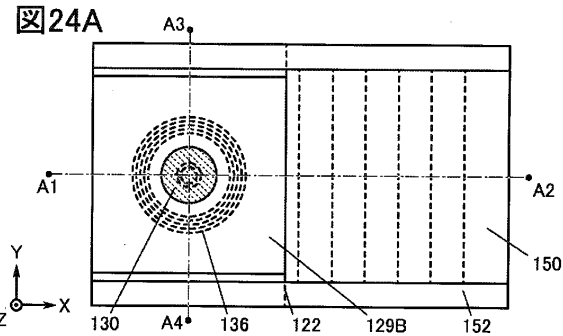


30

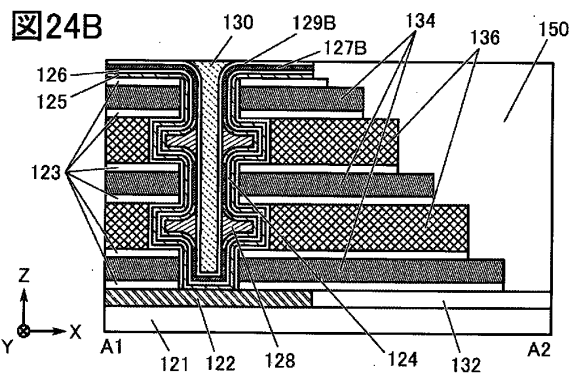
40

50

【図 2 4 A】

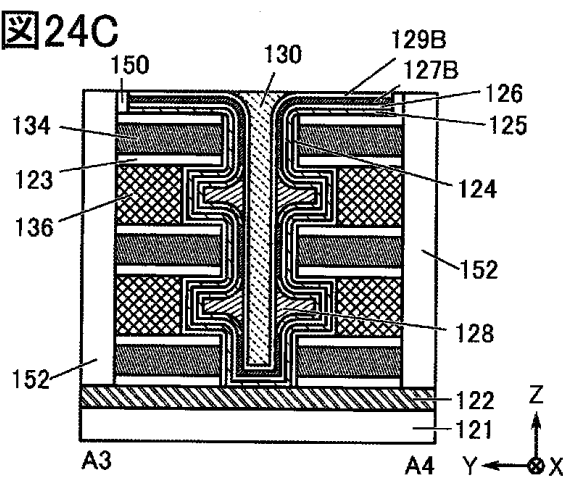


【図 2 4 B】

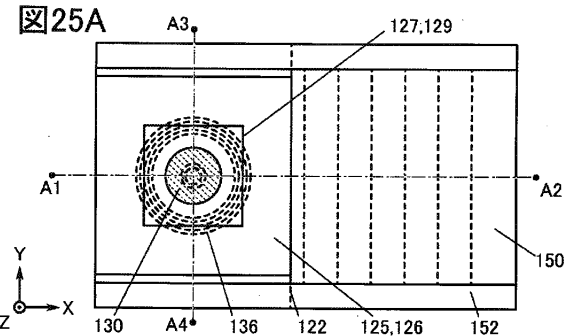


10

【図 2 4 C】



【図 2 5 A】



20

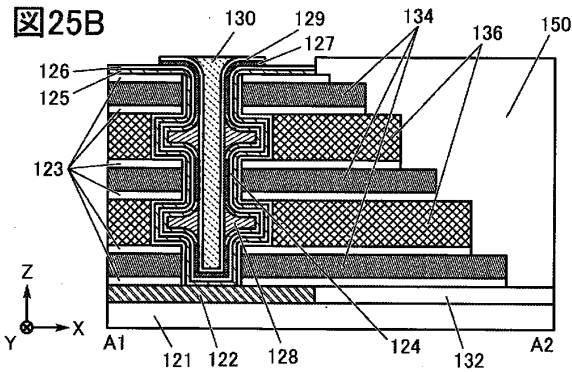
30

40

50

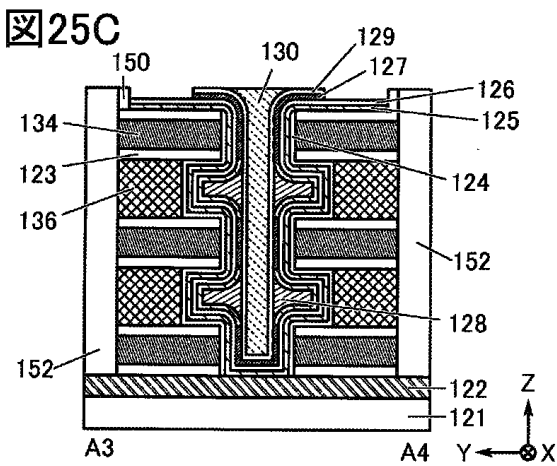
【図 2 5 B】

図25B



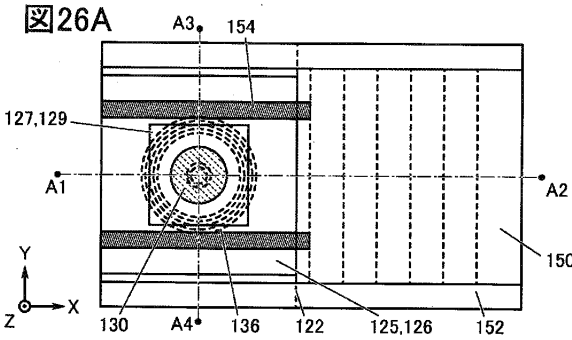
【図 2 5 C】

図25C



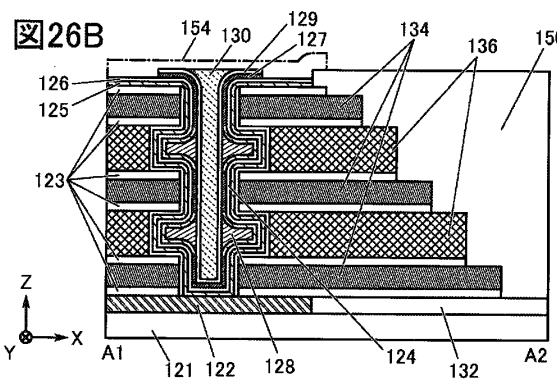
【図 2 6 A】

図26A



【図 2 6 B】

図26B



10

20

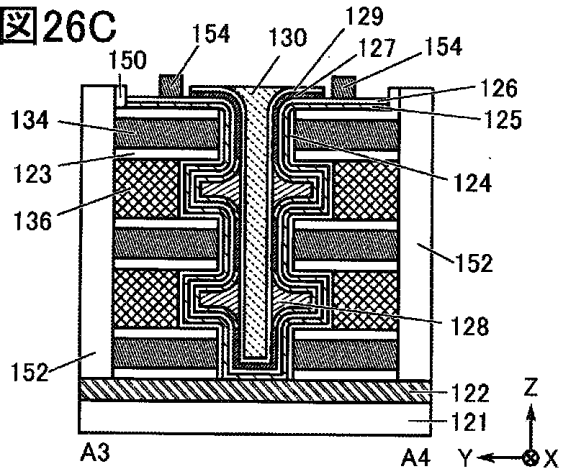
30

40

50

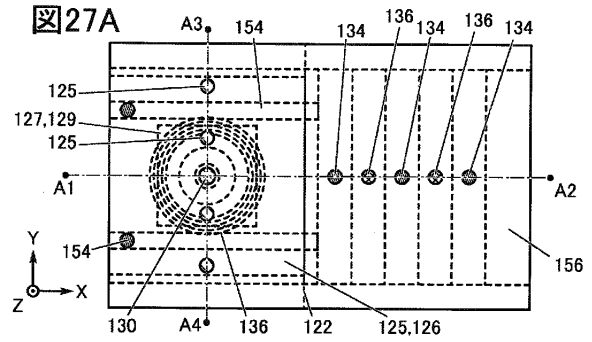
【図 2 6 C】

図26C



【図 2 7 A】

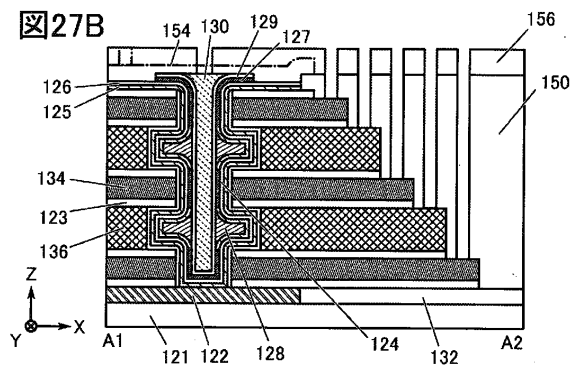
図27A



10

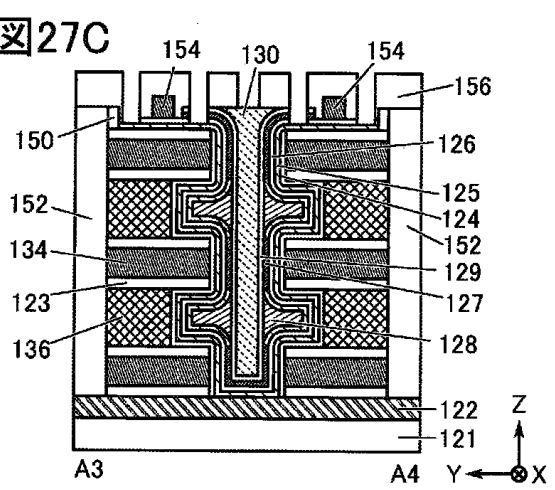
【図 2 7 B】

図27B



【図 2 7 C】

図27C



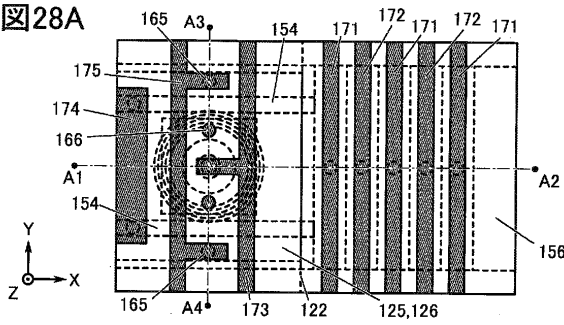
20

30

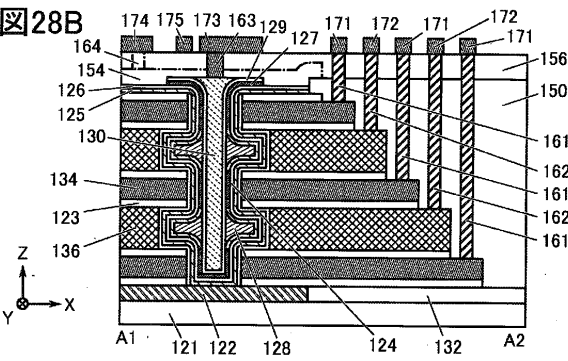
40

50

【図 28 A】

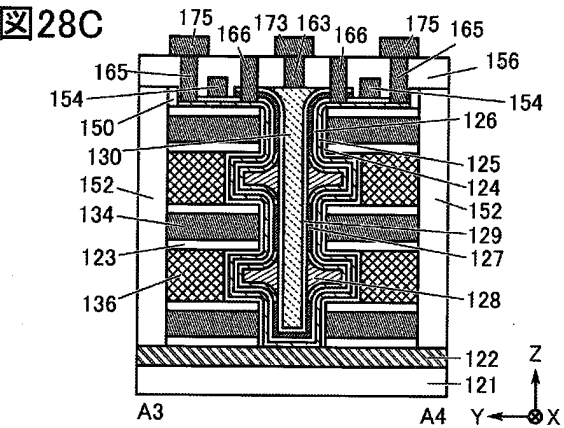


【図 28 B】

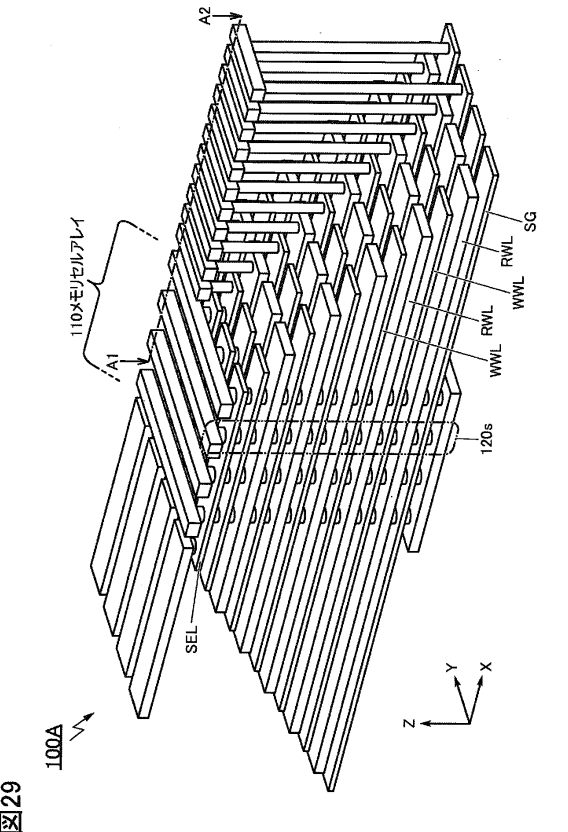


10

【図 28 C】



【図 29】



20

30

40

50

【図 3 0】

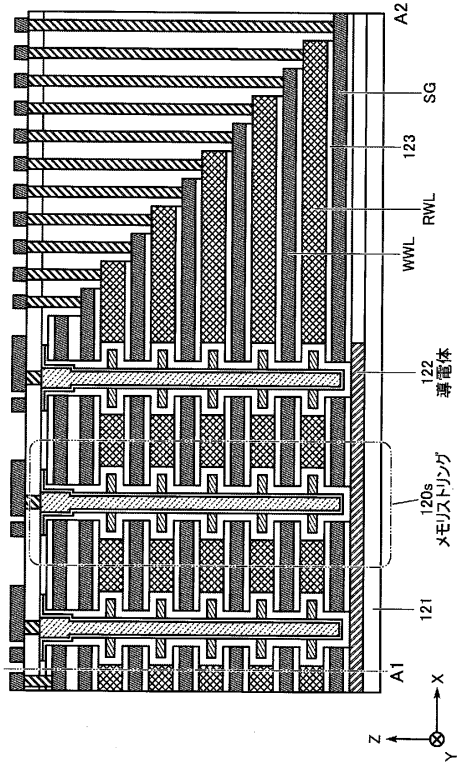
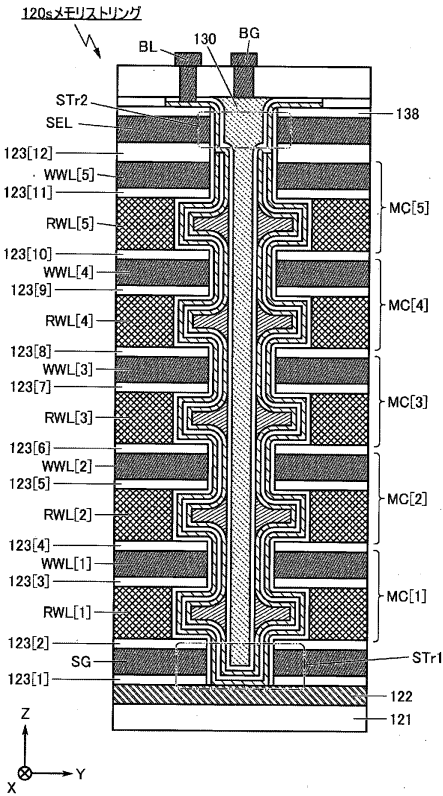


図30

【図 3 1】

図31

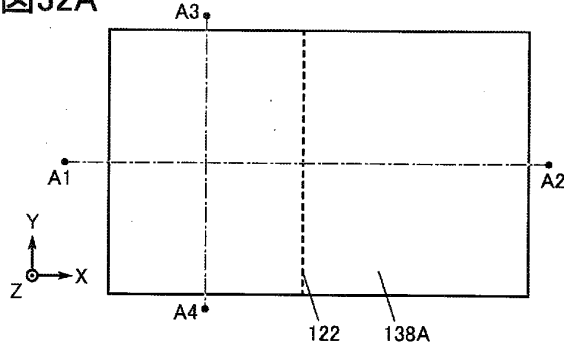


10

20

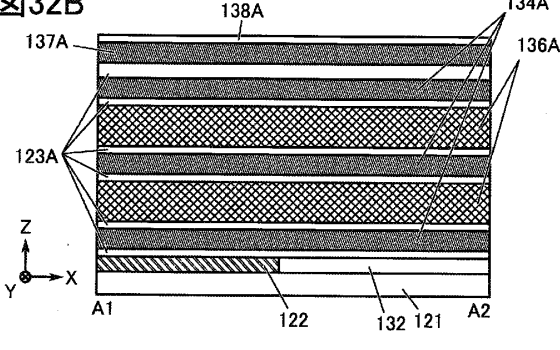
【図 3 2 A】

図32A



【図 3 2 B】

図32B

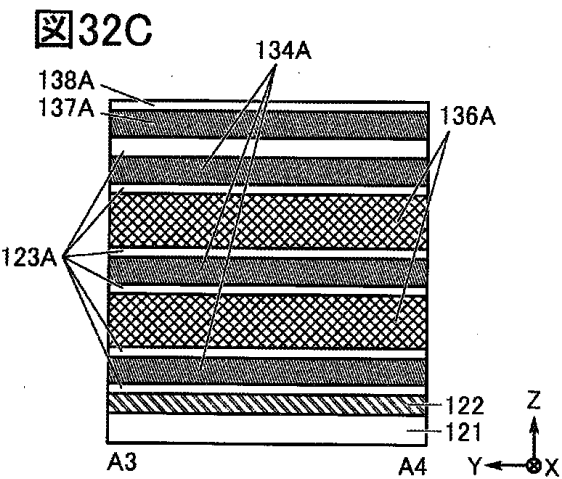


30

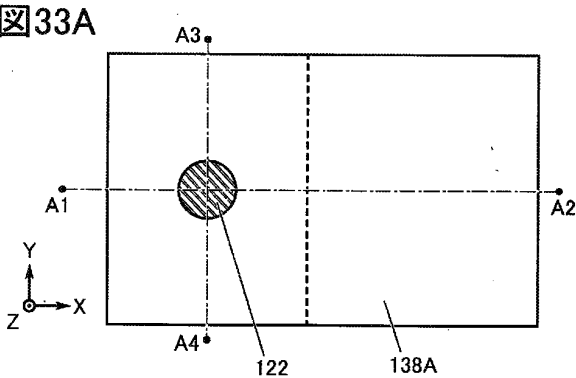
40

50

【図 3 2 C】

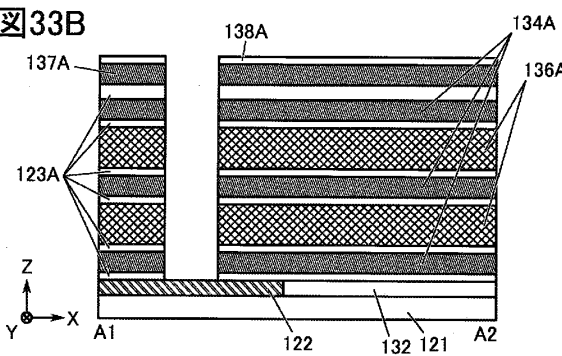


【図 3 3 A】

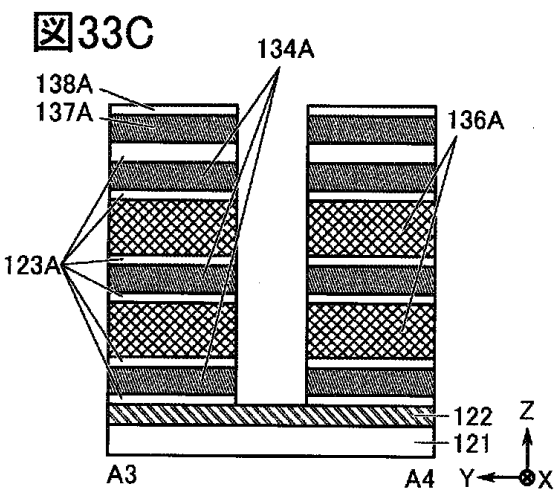


10

【図 3 3 B】



【図 3 3 C】



20

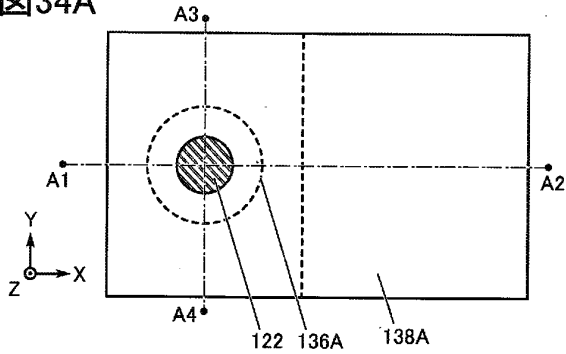
30

40

50

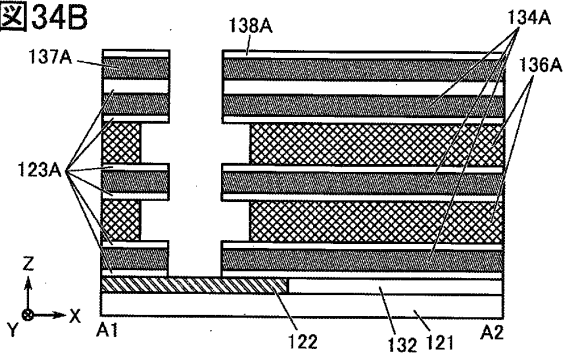
【図 3 4 A】

図34A



【図 3 4 B】

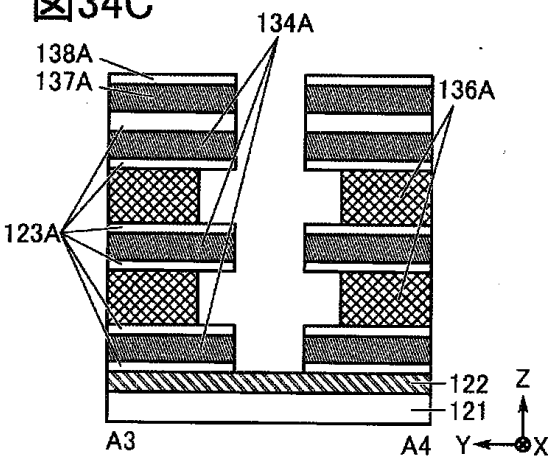
図34B



10

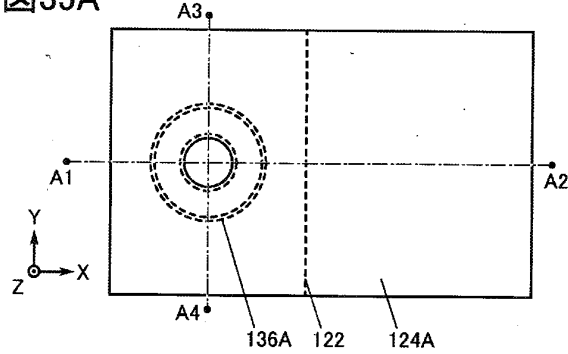
【図 3 4 C】

図34C



【図 3 5 A】

図35A



20

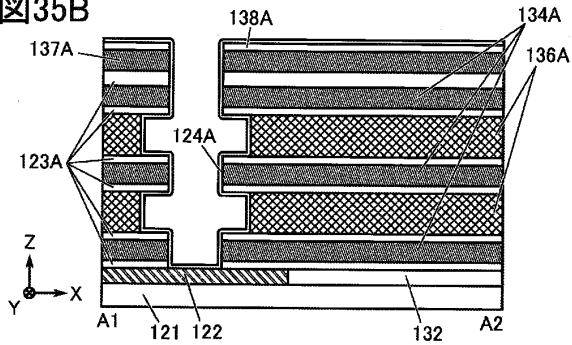
30

40

50

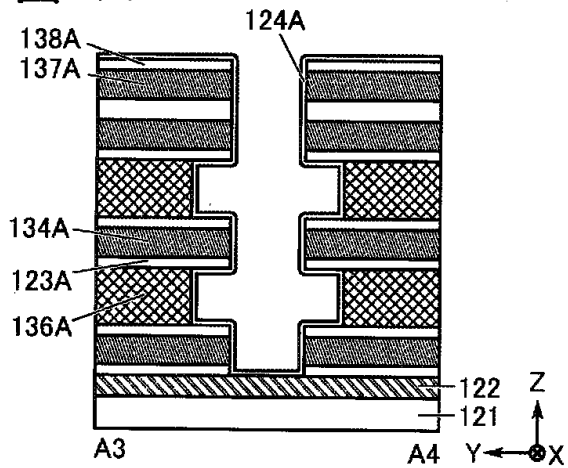
【図 3 5 B】

図35B



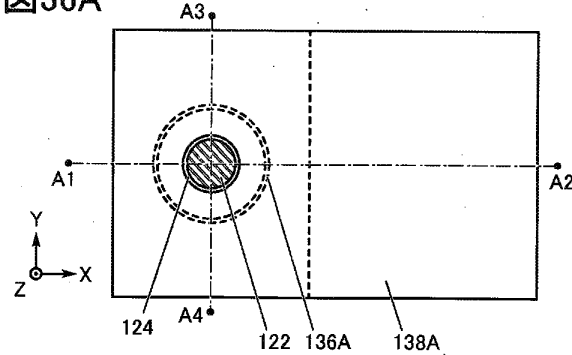
【図 3 5 C】

図35C



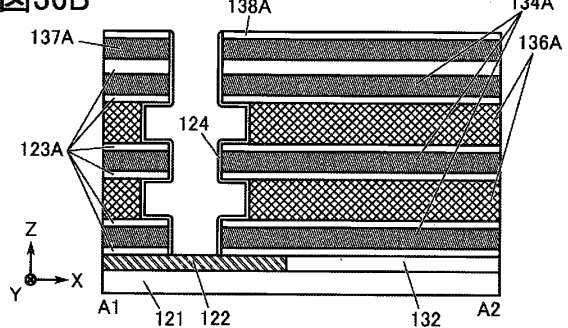
【図 3 6 A】

図36A



【図 3 6 B】

図36B



10

20

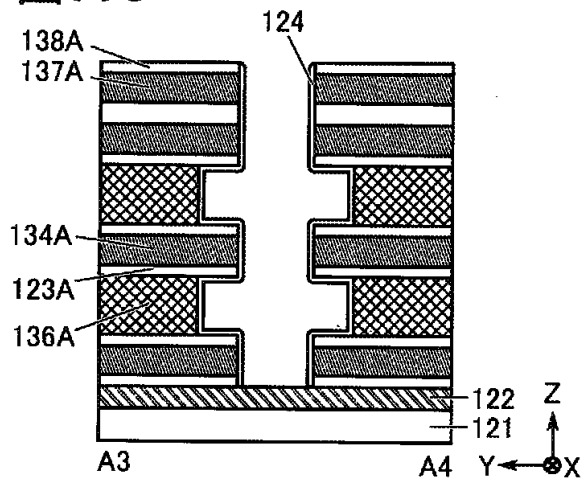
30

40

50

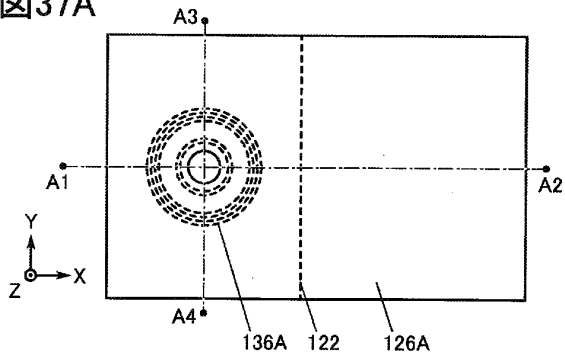
【図 3 6 C】

図36C



【図 3 7 A】

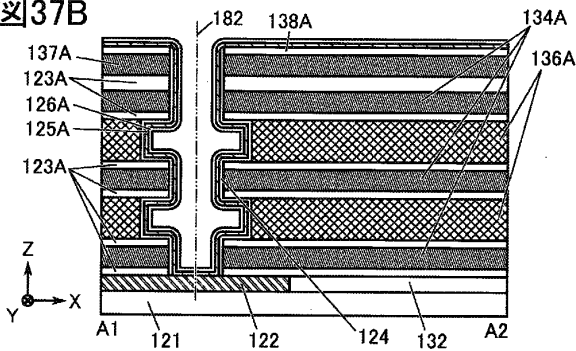
図37A



10

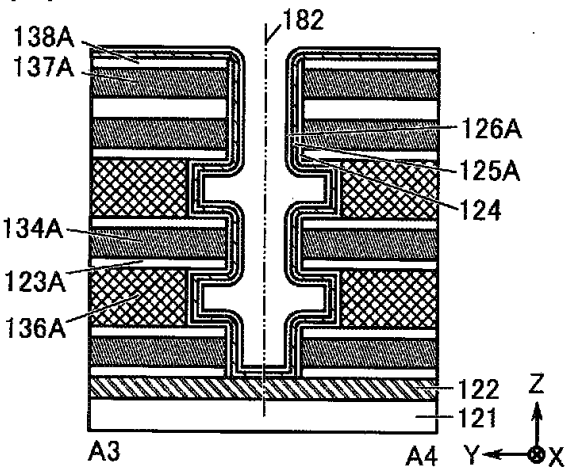
【図 3 7 B】

図37B



【図 3 7 C】

図37C



20

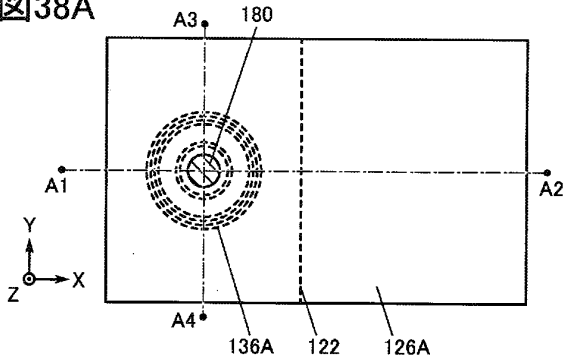
30

40

50

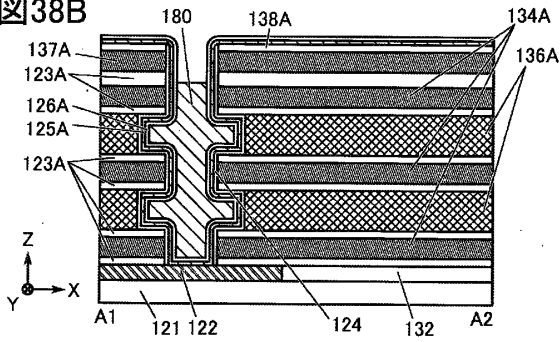
【図 3 8 A】

図38A



【図 3 8 B】

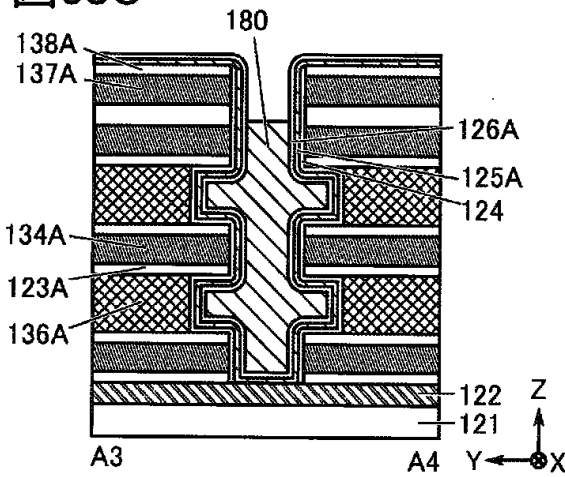
図38B



10

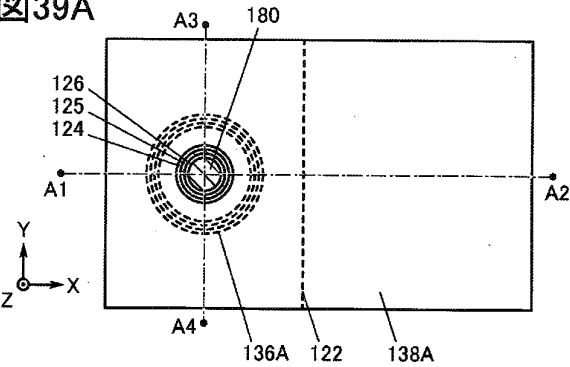
【図 3 8 C】

図38C



【図 3 9 A】

図39A



20

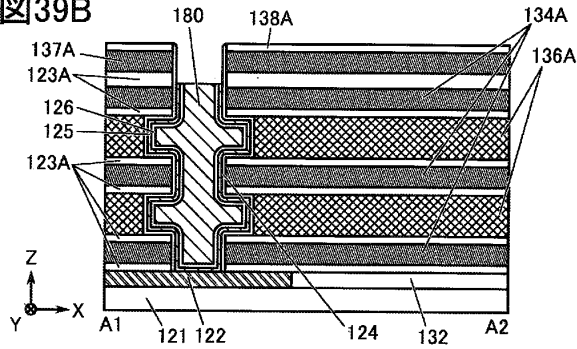
30

40

50

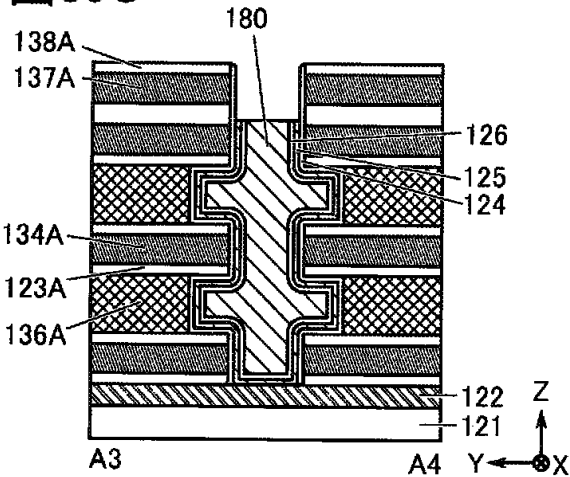
【図 3 9 B】

図39B



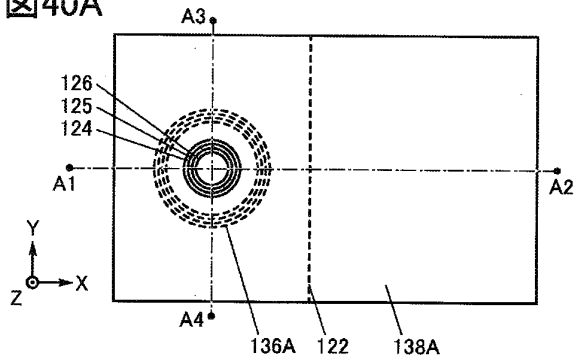
【図 3 9 C】

図39C



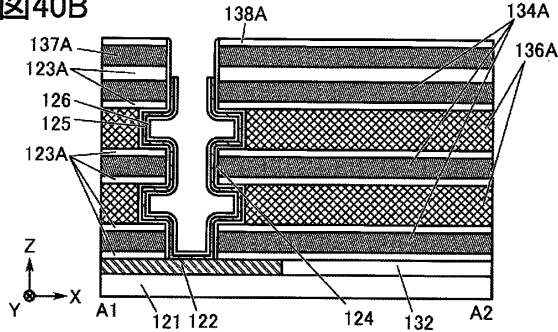
【図 4 0 A】

図40A



【図 4 0 B】

図40B



10

20

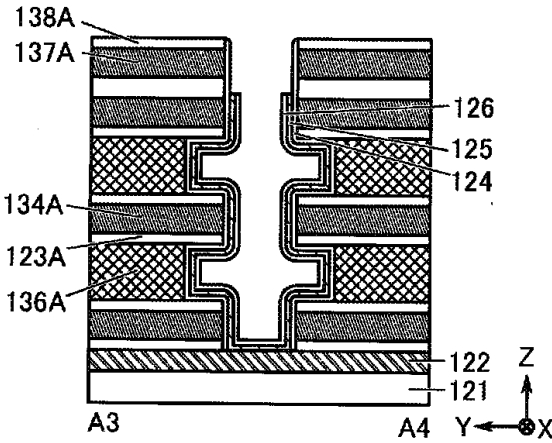
30

40

50

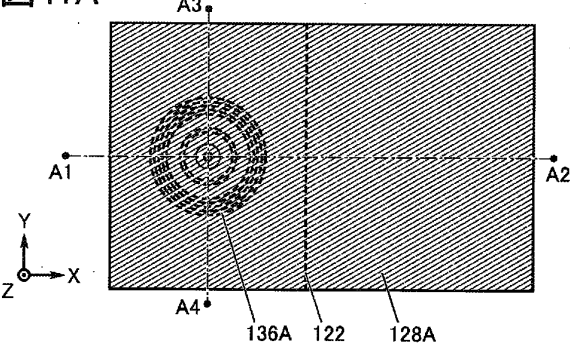
【図 4 0 C】

図40C



【図 4 1 A】

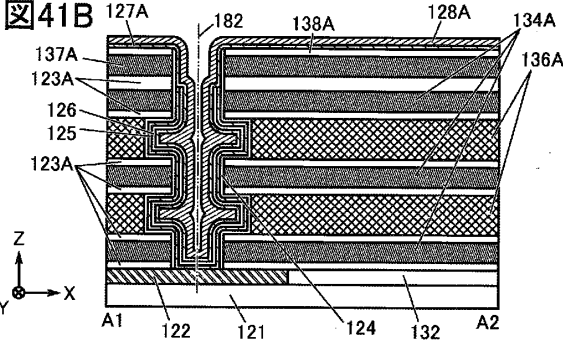
図41A



10

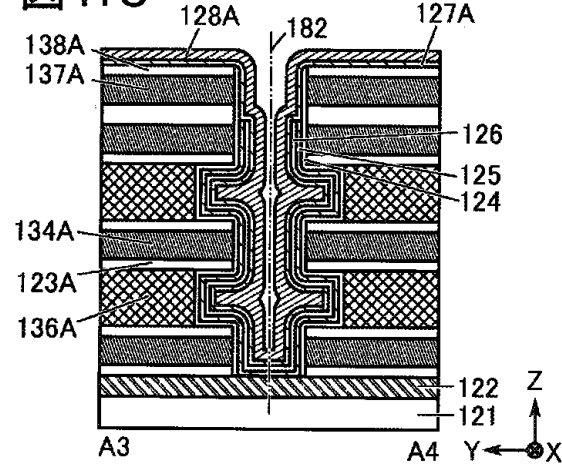
【図 4 1 B】

図41B



【図 4 1 C】

図41C



20

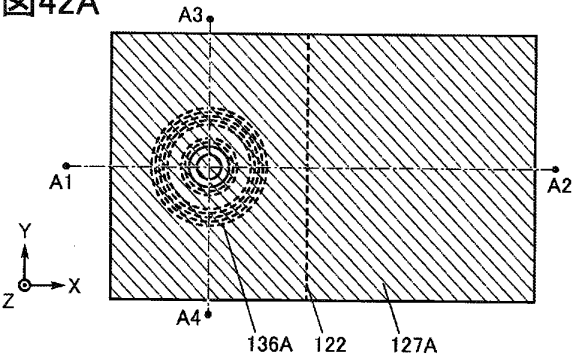
30

40

50

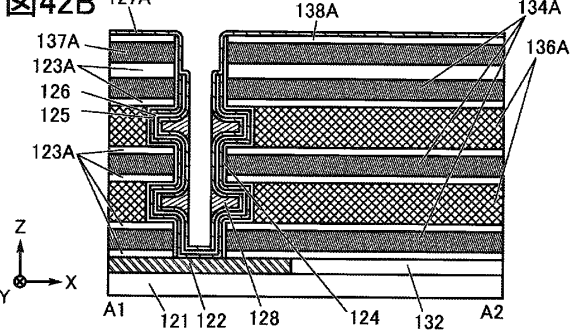
【図 4 2 A】

図42A



【図 4 2 B】

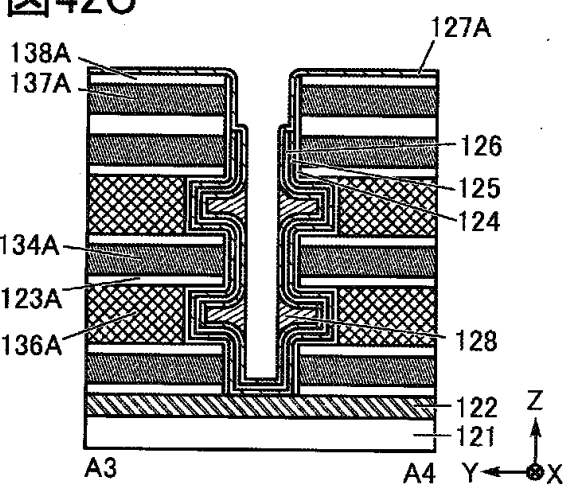
図42B



10

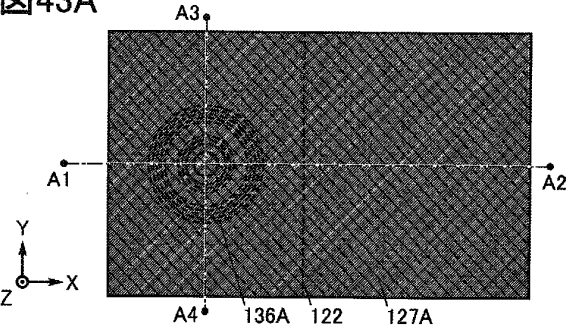
【図 4 2 C】

図42C



【図 4 3 A】

図43A



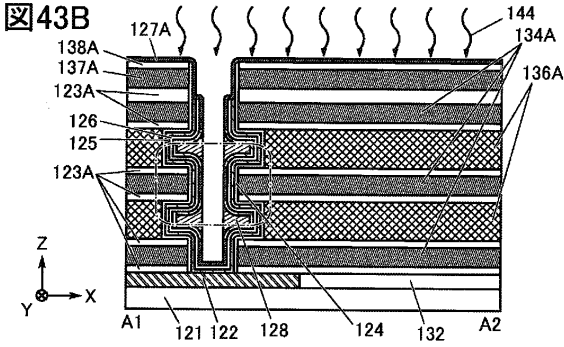
20

30

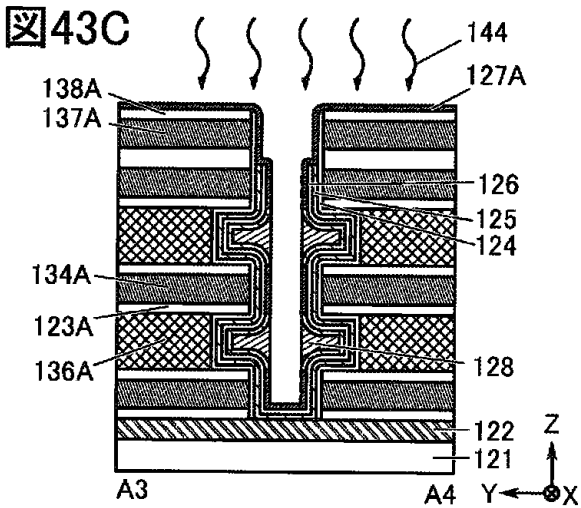
40

50

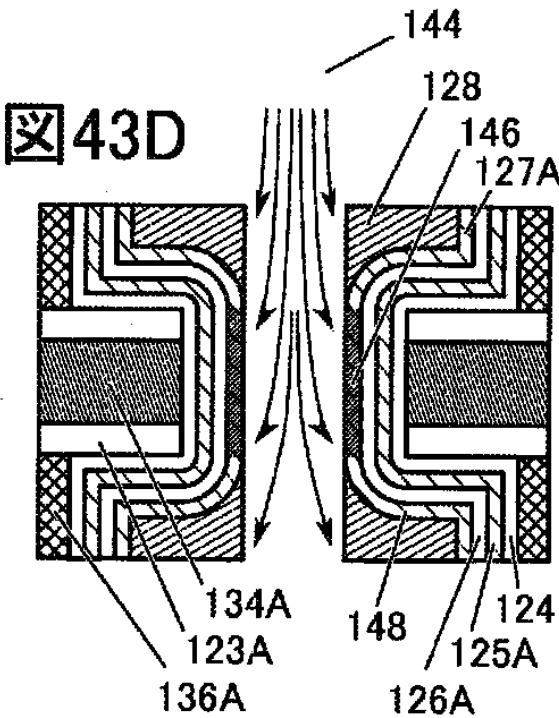
【図 4 3 B】



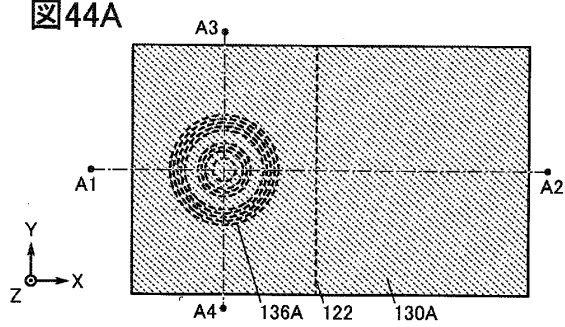
【図 4 3 C】



【図 4 3 D】



【図 4 4 A】



10

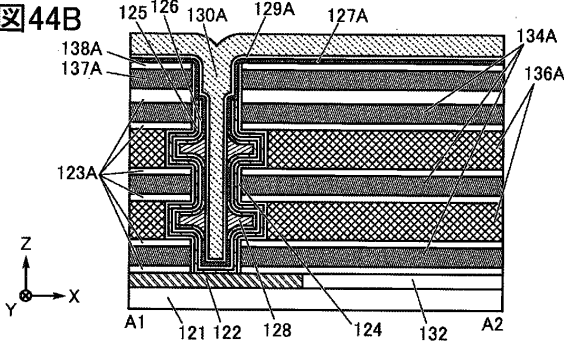
20

30

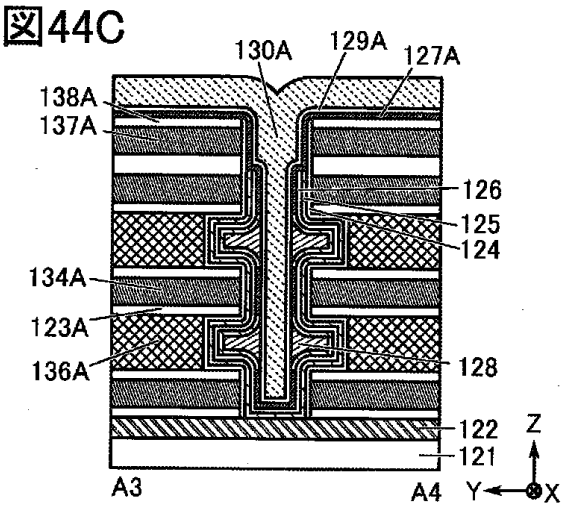
40

50

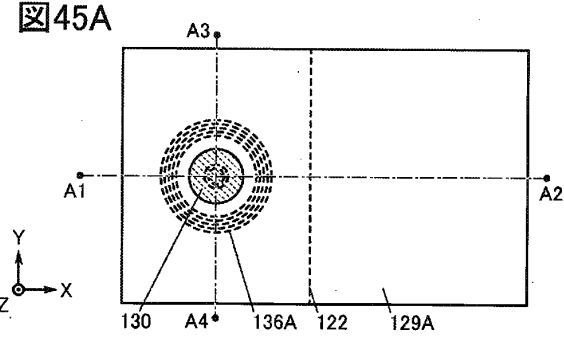
【図 4 4 B】



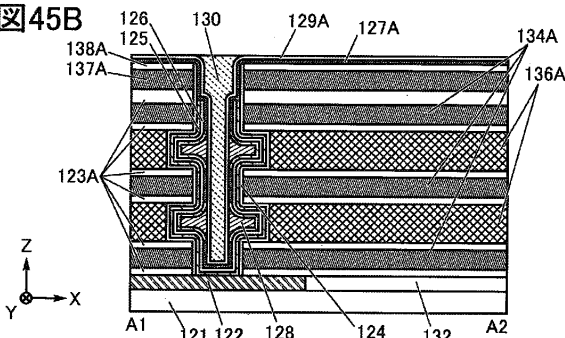
【図 4 4 C】



【図 4 5 A】



【図 4 5 B】



10

20

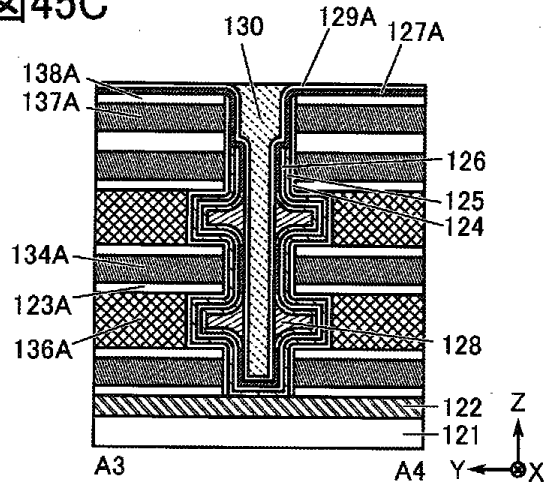
30

40

50

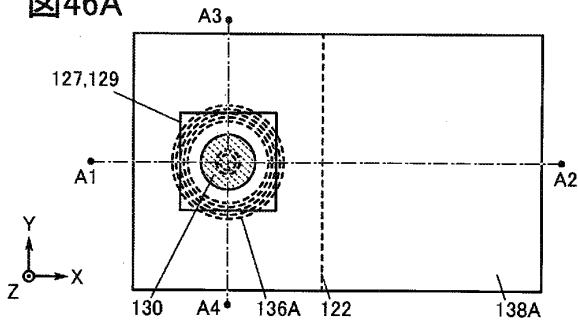
【図 4 5 C】

図45C



【図 4 6 A】

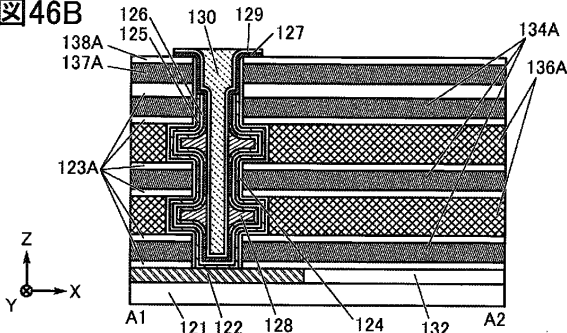
図46A



10

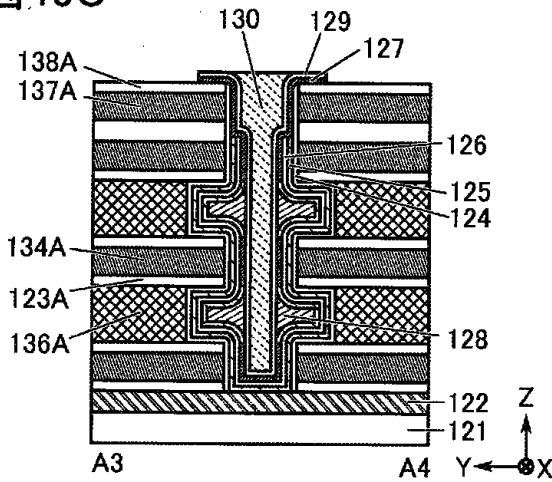
【図 4 6 B】

図46B



【図 4 6 C】

図46C



20

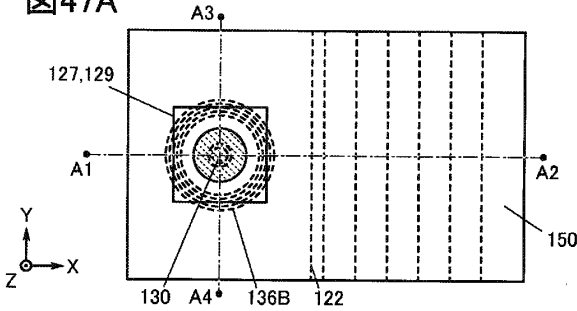
30

40

50

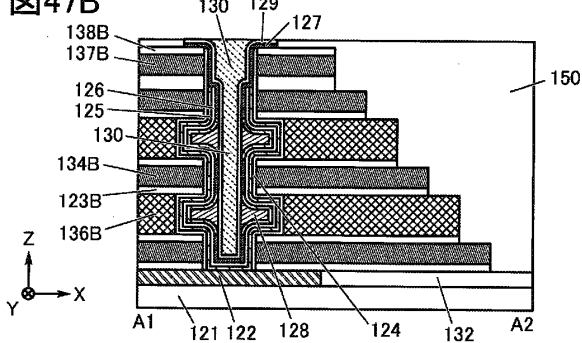
【図 4 7 A】

図47A



【図 4 7 B】

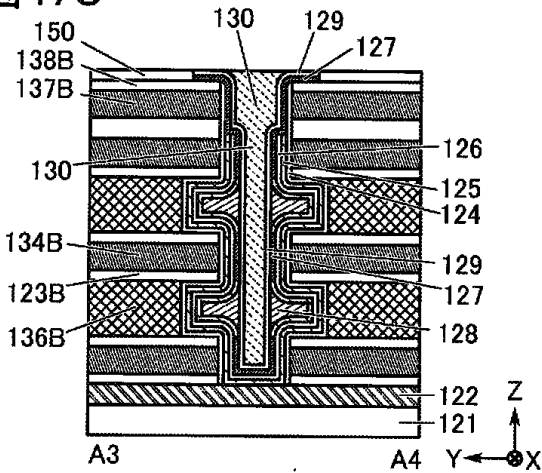
図47B



10

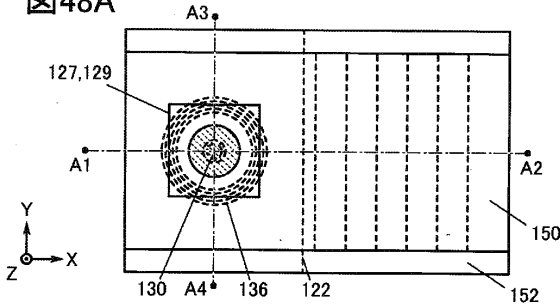
【図 4 7 C】

図47C



【図 4 8 A】

図48A



20

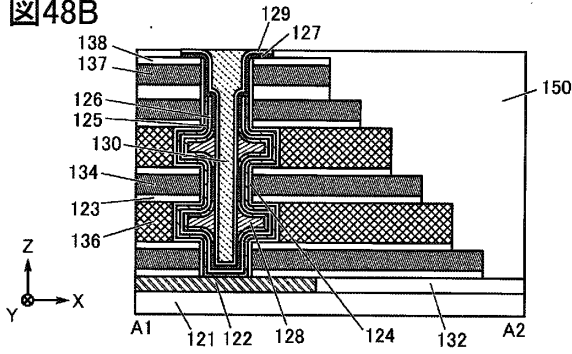
30

40

50

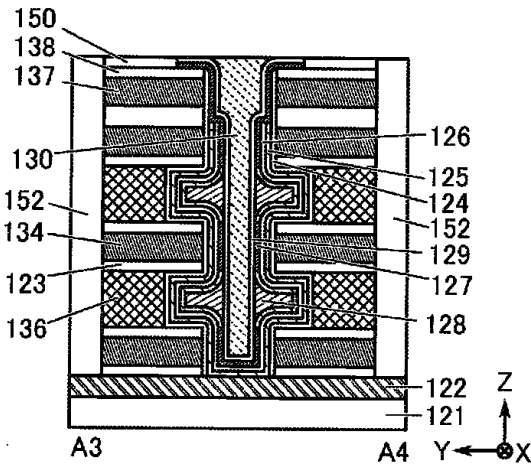
【図 48 B】

図48B



【図 48 C】

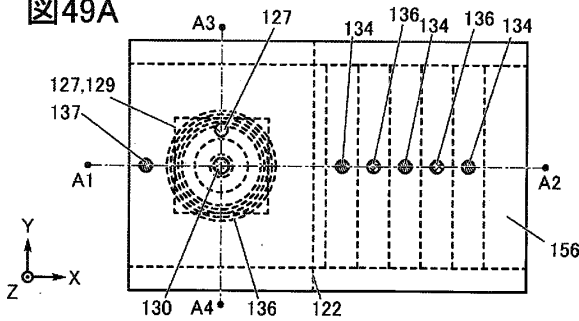
図48C



10

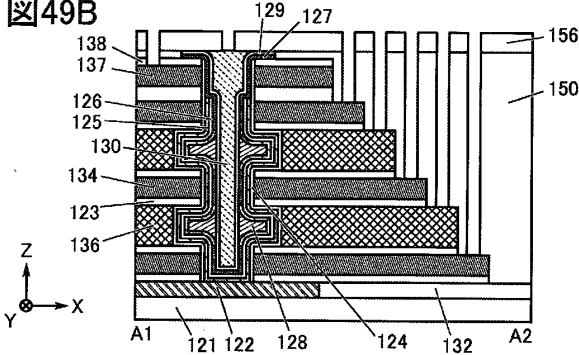
【図 49 A】

図49A



【図 49 B】

図49B



20

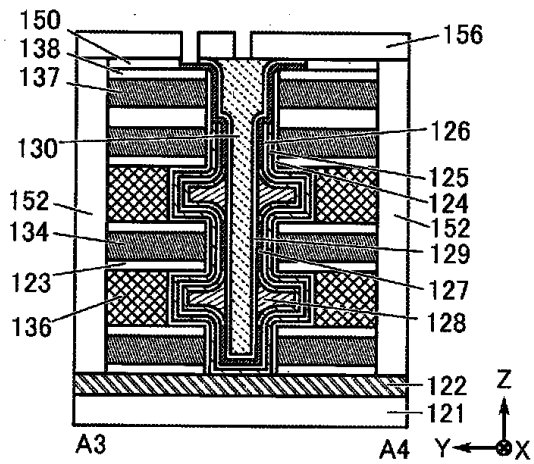
30

40

50

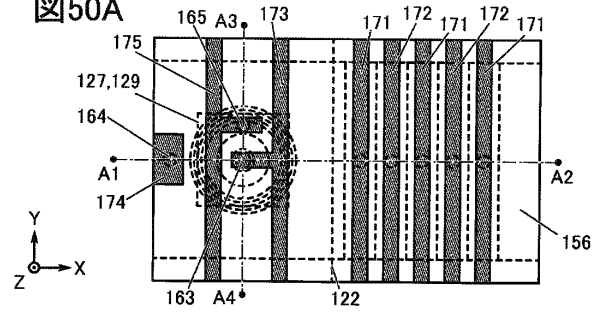
【図 49 C】

図 49C



【図 50 A】

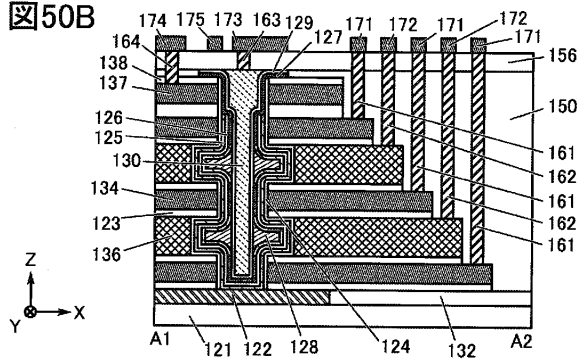
図 50A



10

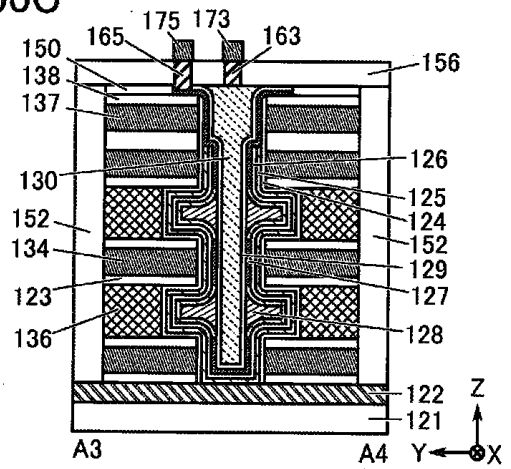
【図 50 B】

図 50B



【図 50 C】

図 50C



20

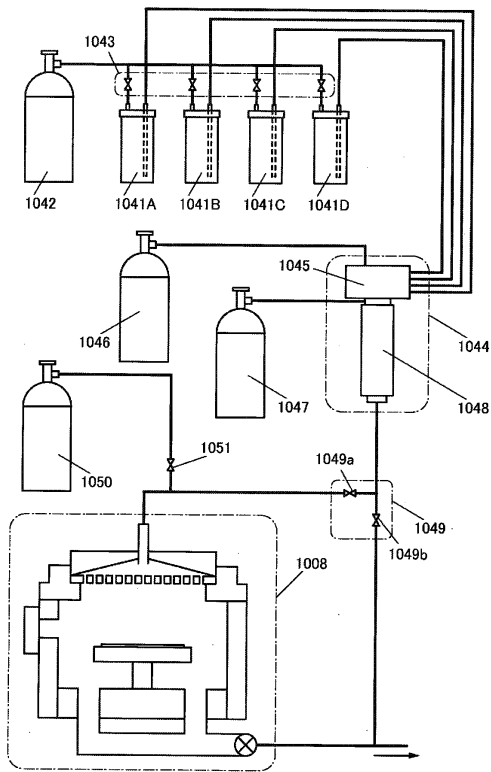
30

40

50

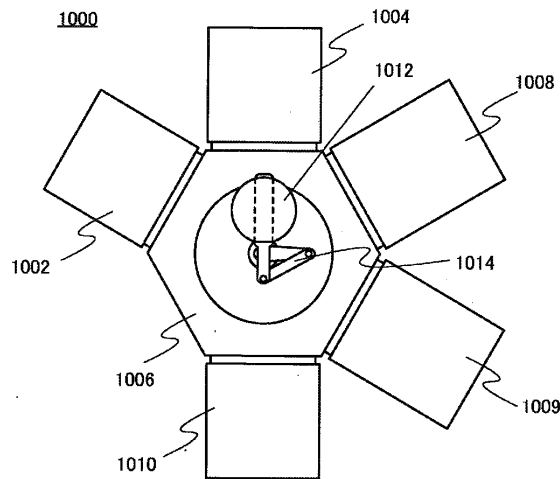
【図 5 1】

図51



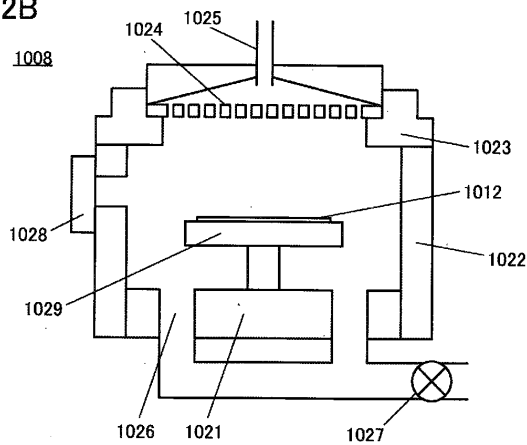
【図 5 2 A】

図52A



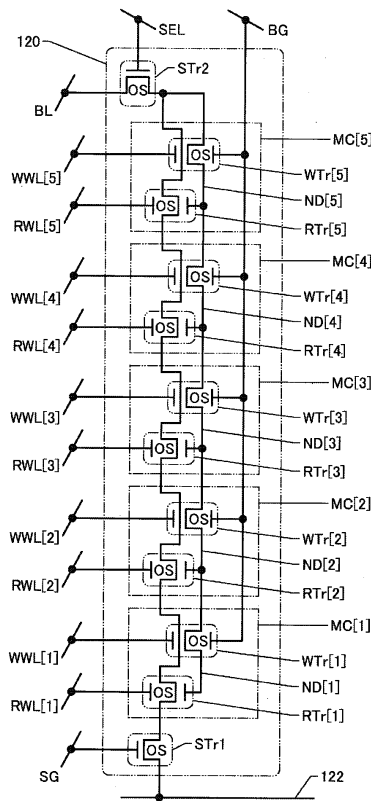
【図 5 2 B】

図52B



【図 5 3】

図53



10

20

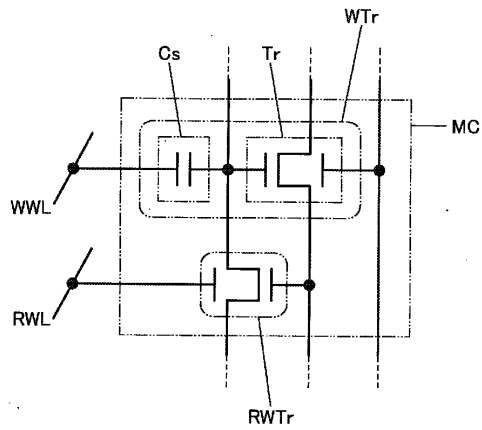
30

40

50

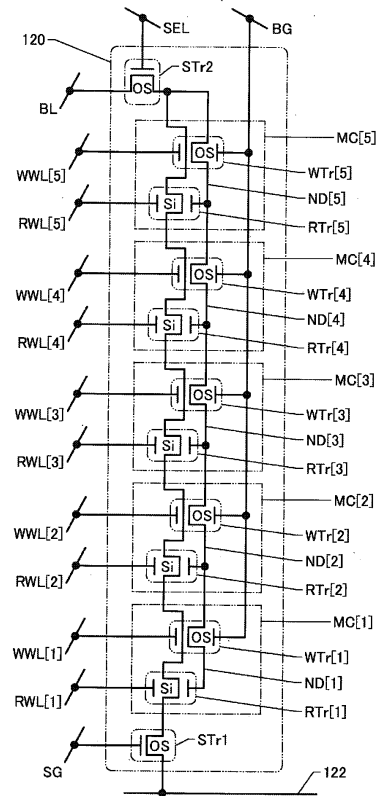
【図 5 4】

図54



【図 5 5】

図55

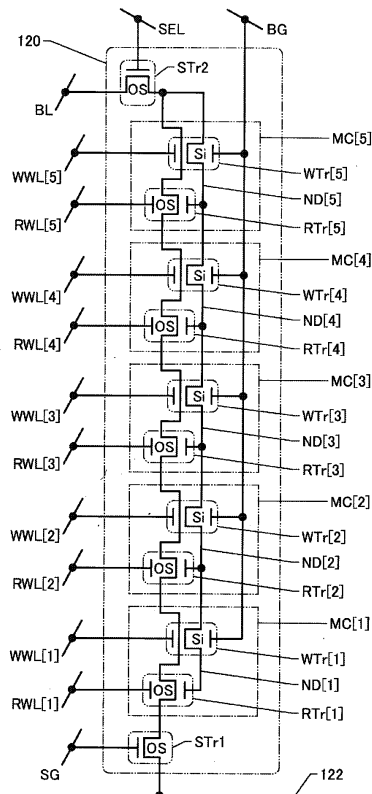


10

20

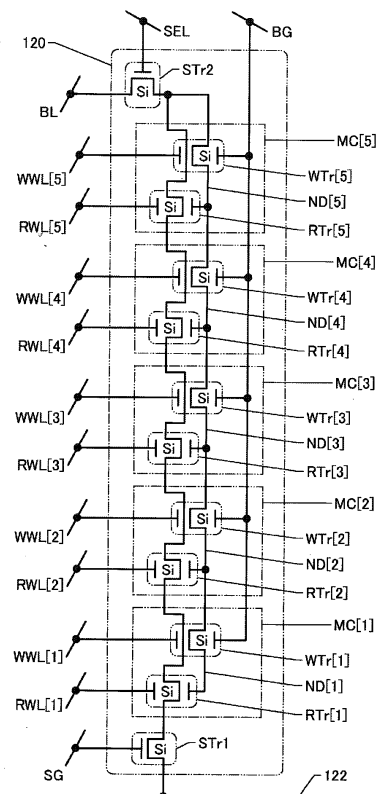
【図 5 6】

図56



【図 5 7】

図57



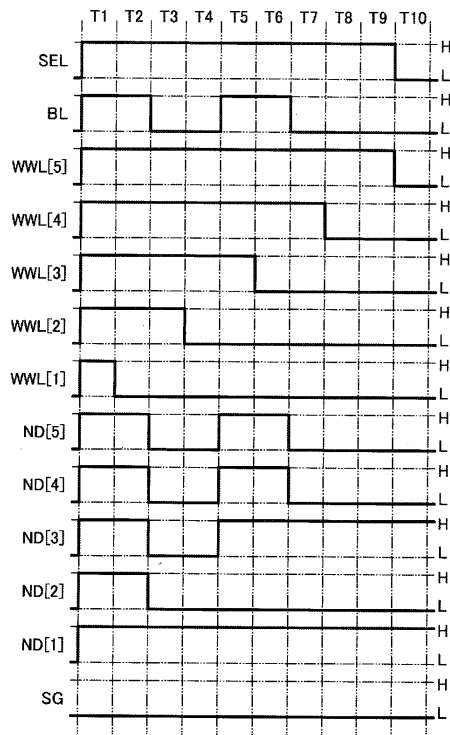
30

40

50

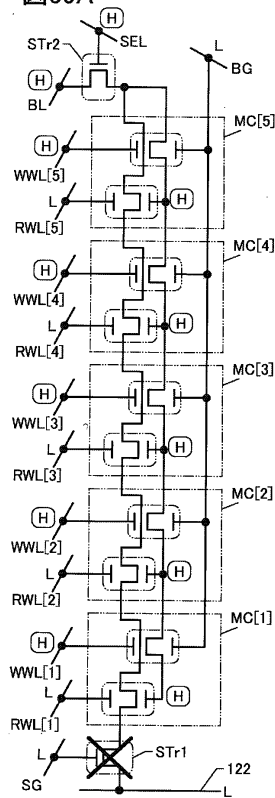
【図 5 8】

図58



【図 5 9 A】

図59A

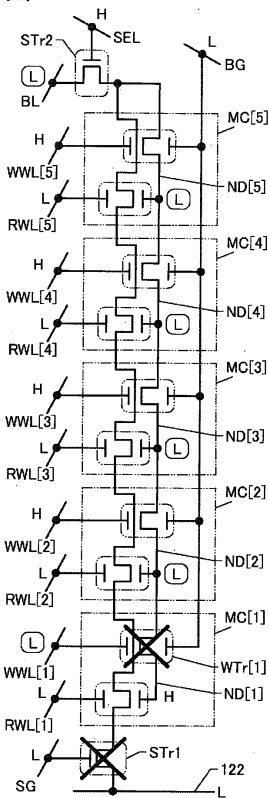


10

20

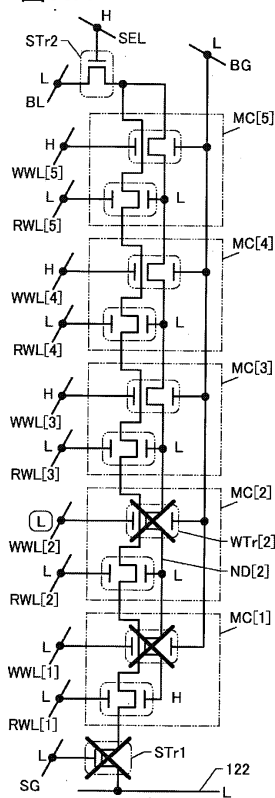
【図 5 9 B】

図59B



【図 6 0 A】

図60A



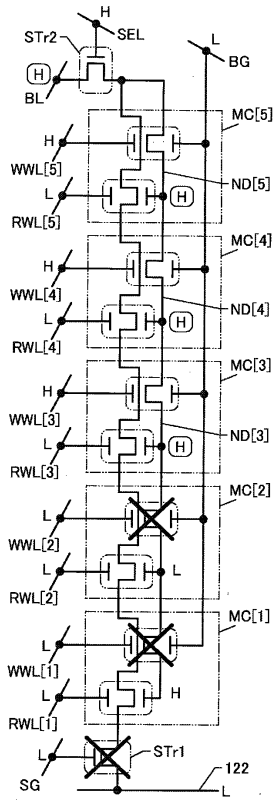
30

40

50

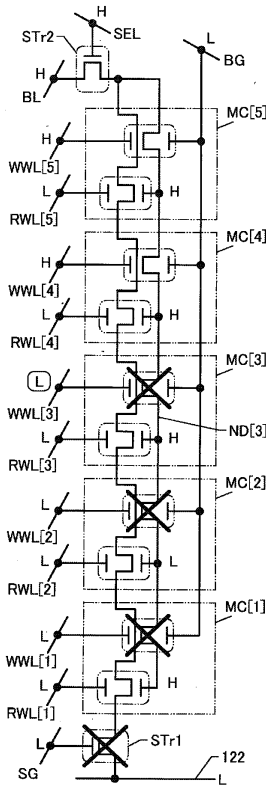
【図 60 B】

図60B



【図 61 A】

図61A

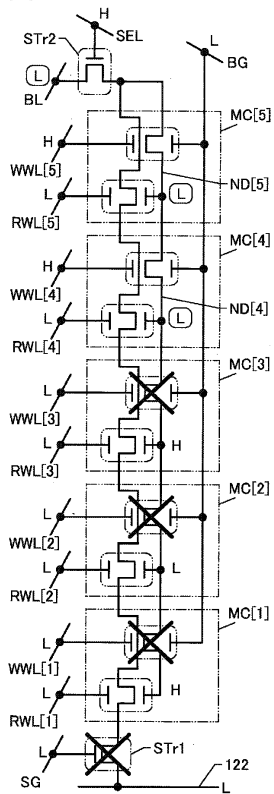


10

20

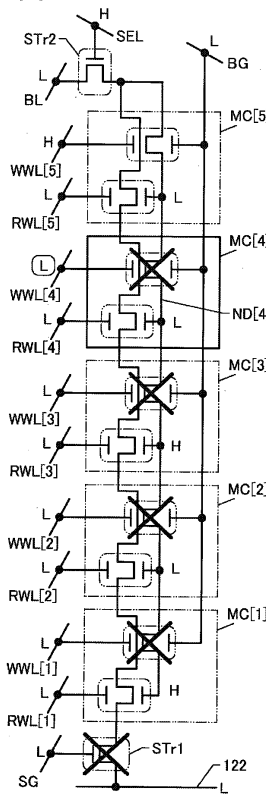
【図 61 B】

図61B



【図 62 A】

図62A



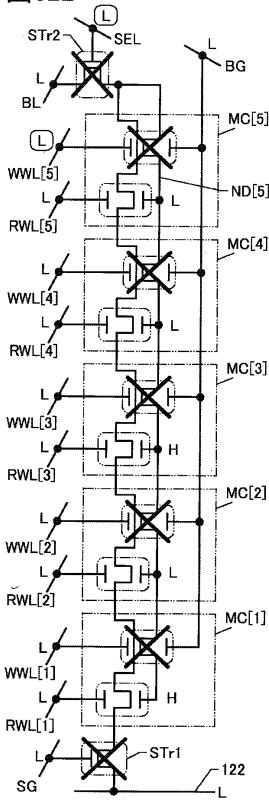
30

40

50

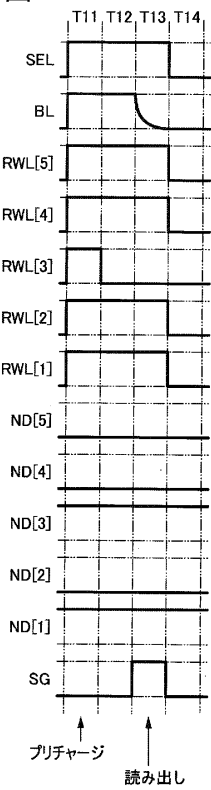
【図 6 2 B】

図62B



【図 6 3 A】

図63A

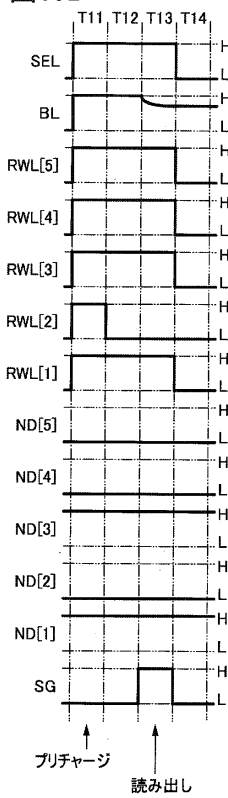


10

20

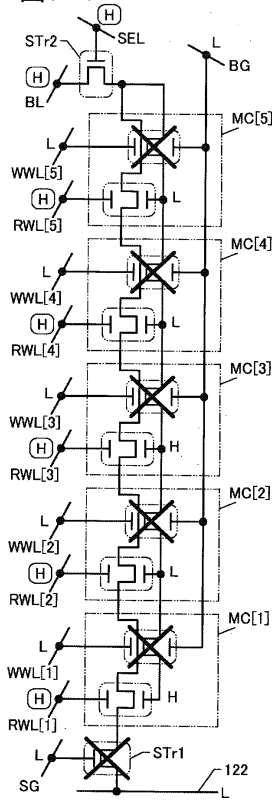
【図 6 3 B】

図63B



【図 6 4 A】

図64A



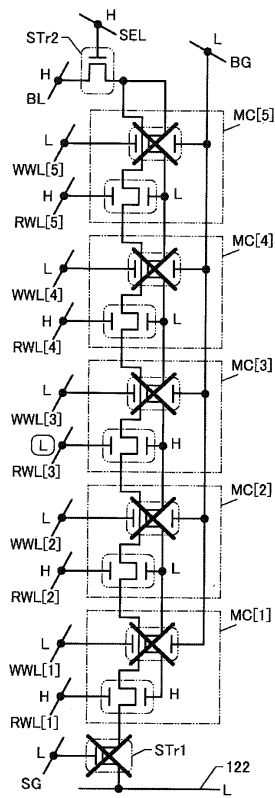
30

40

50

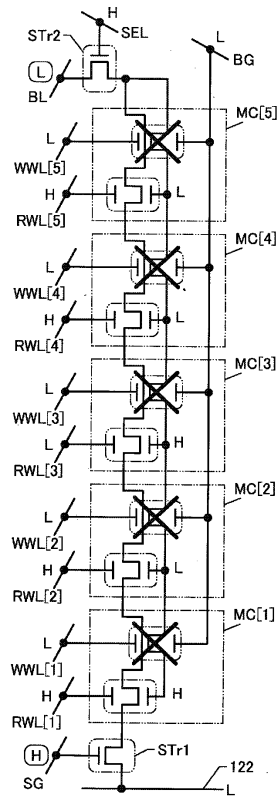
【図 6 4 B】

図64B



【図 6 5 A】

図65A

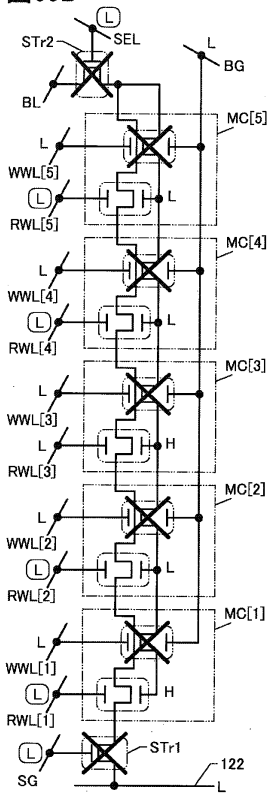


10

20

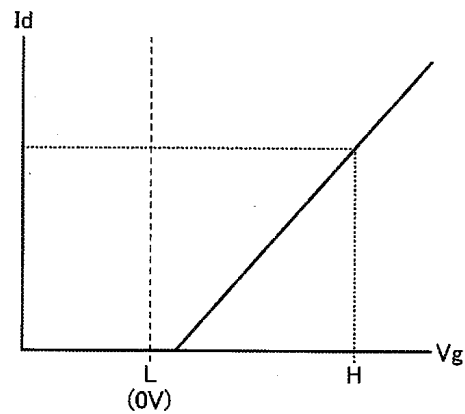
【図 6 5 B】

図65B



【図 6 6 A】

図66A



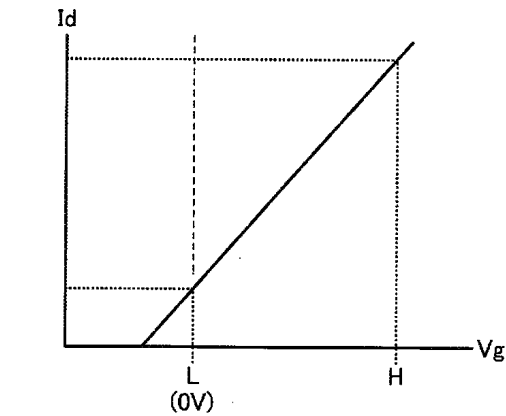
30

40

50

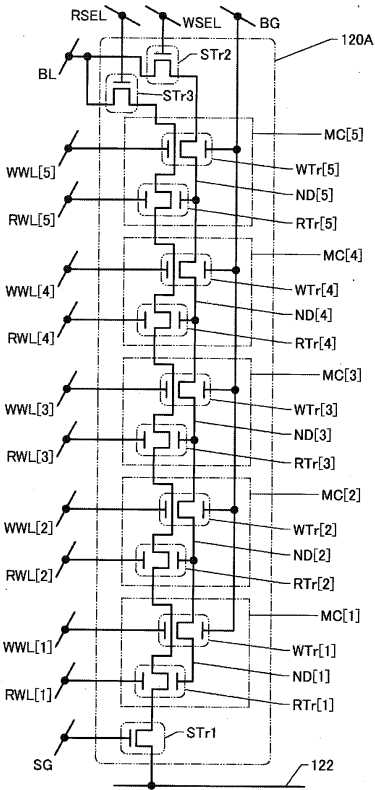
【図 6 6 B】

図66B



【図 6 7】

図67

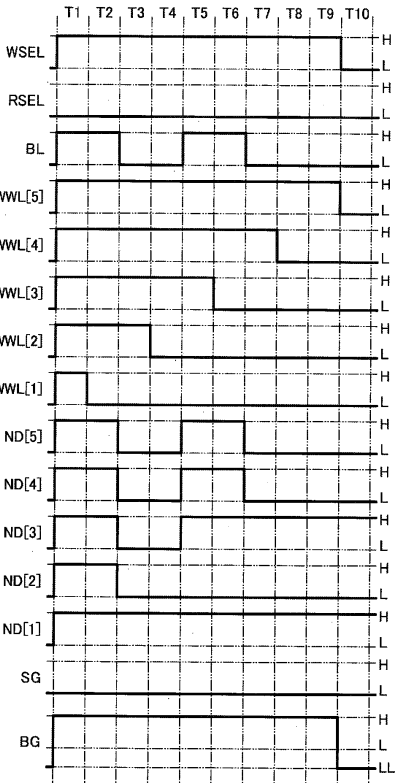


10

20

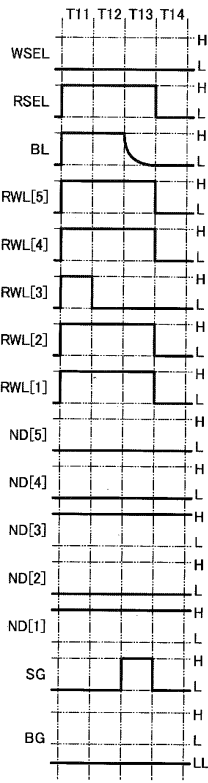
【図 6 8】

図68



【図 6 9】

図69



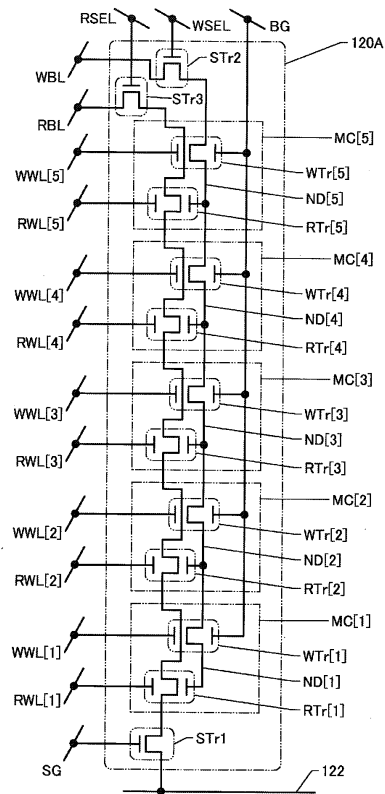
30

40

50

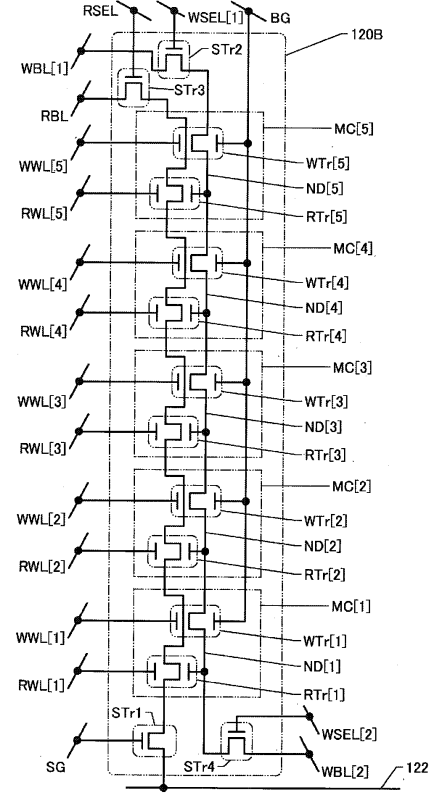
【図 70】

図70



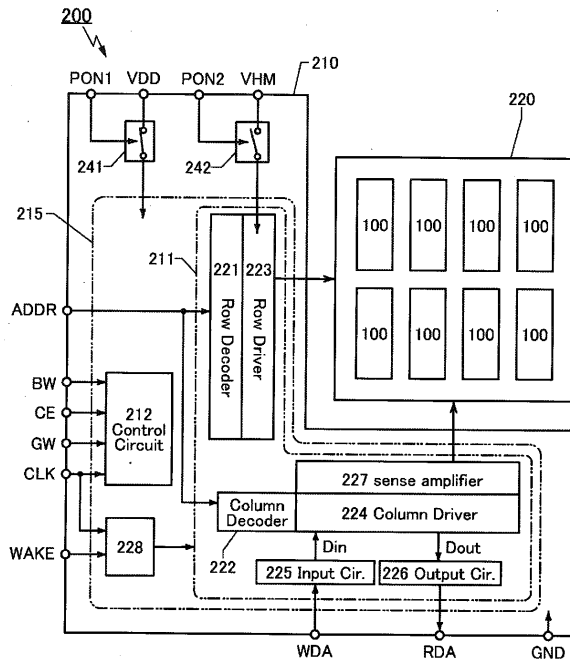
【図 71】

図71



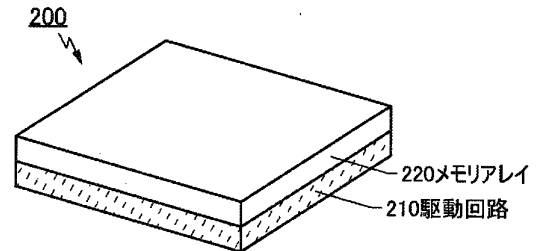
【図 72】

図72



【図 73 A】

図73A



10

20

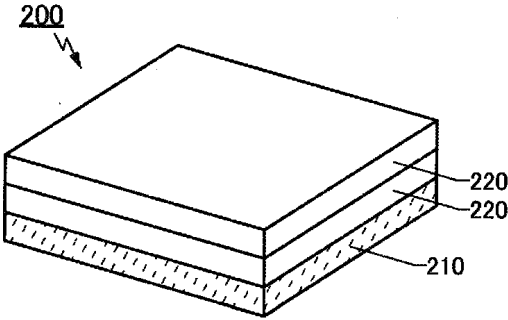
30

40

50

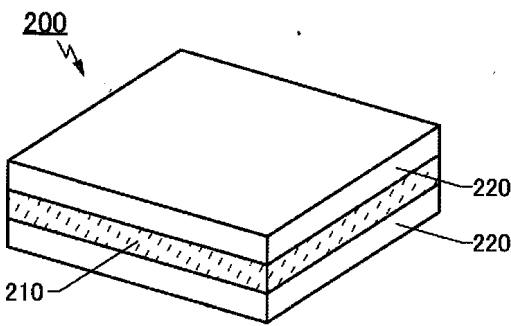
【図 7 3 B】

図 73B



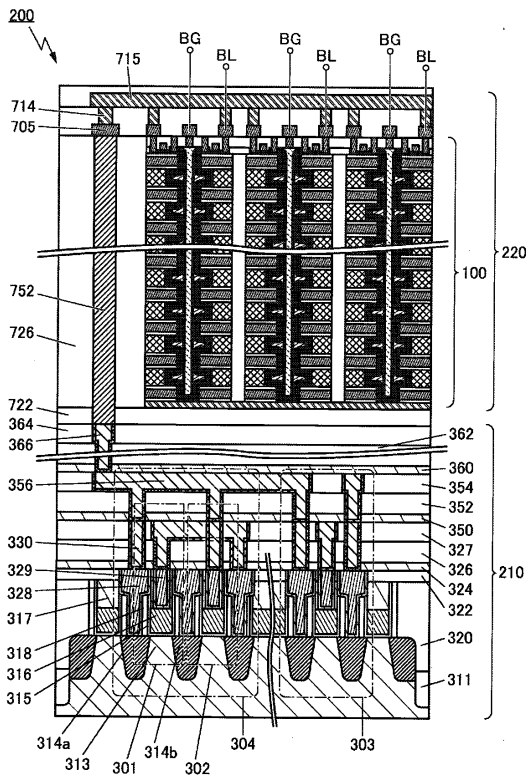
【図 7 3 C】

図 73C



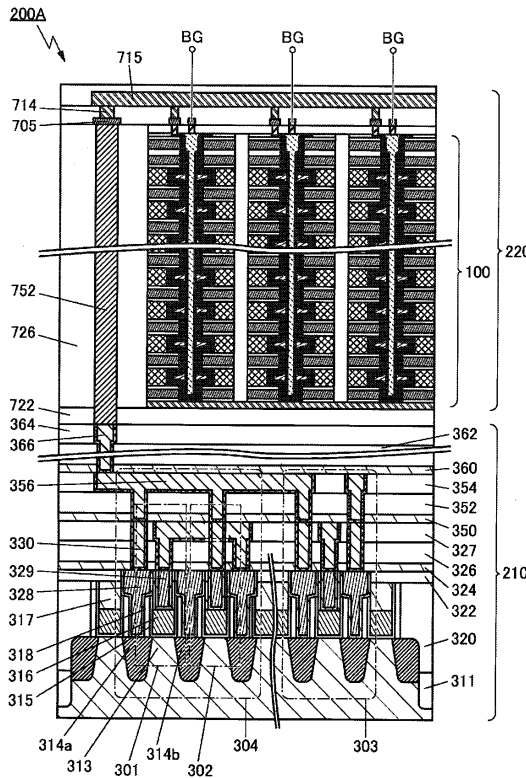
【図 7 4】

図 74



【図 7 5】

図 75



10

20

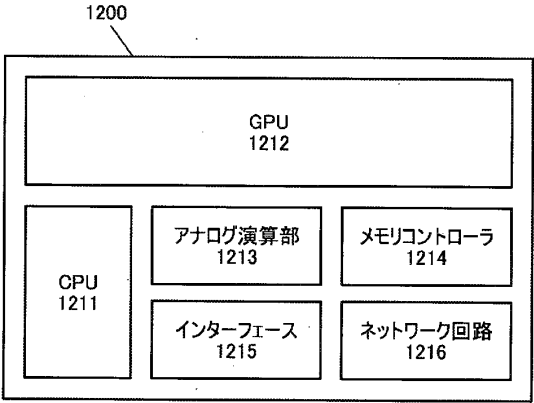
30

40

50

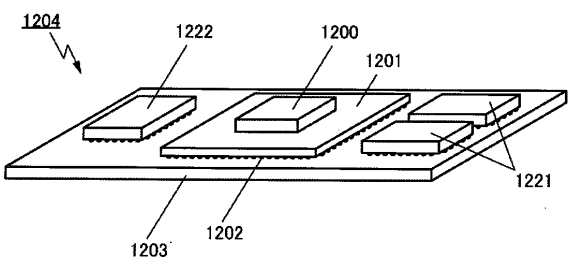
【図 7 6 A】

図 76A



【図 7 6 B】

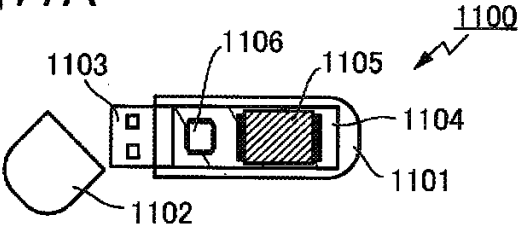
図 76B



10

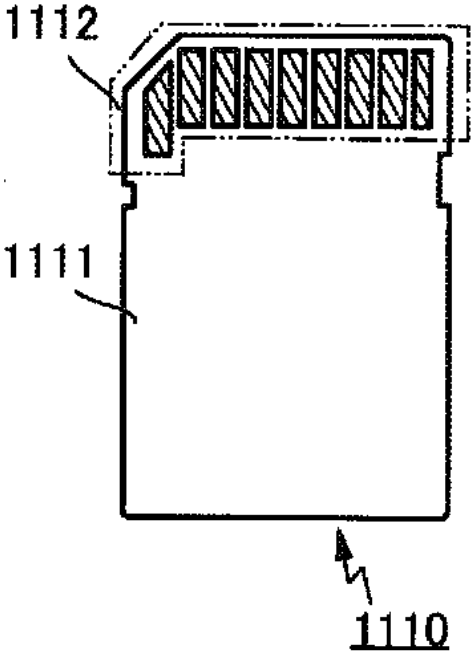
【図 7 7 A】

図 77A



【図 7 7 B】

図 77B



20

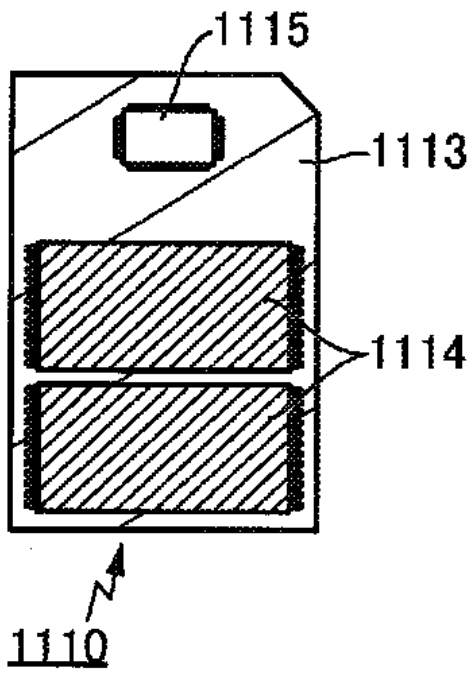
30

40

50

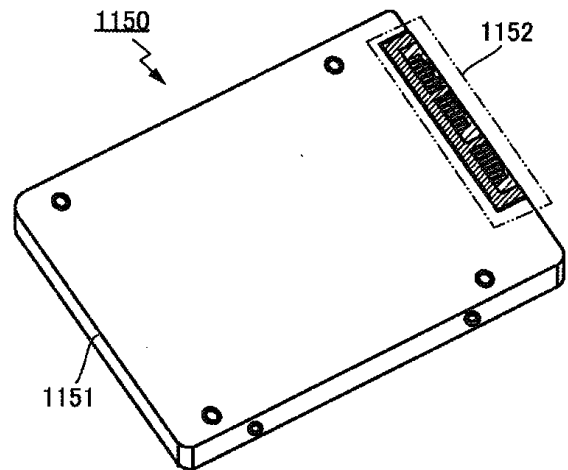
【図 77 C】

図 77C



【図 77 D】

図 77D

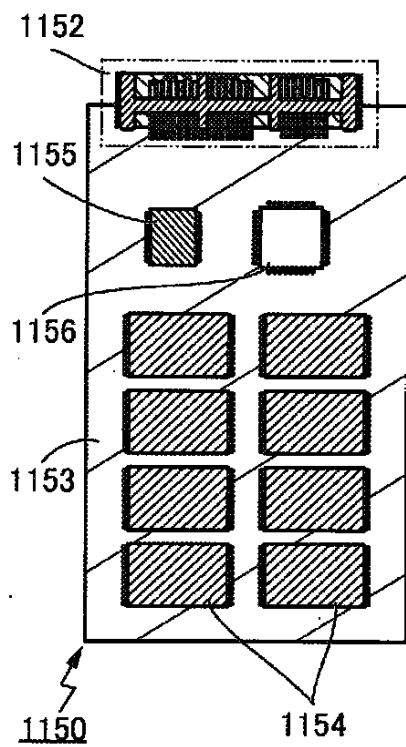


10

20

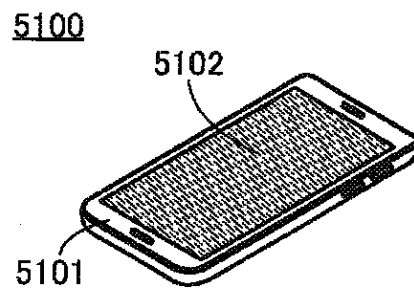
【図 77 E】

図 77E



【図 78 A】

図 78A



30

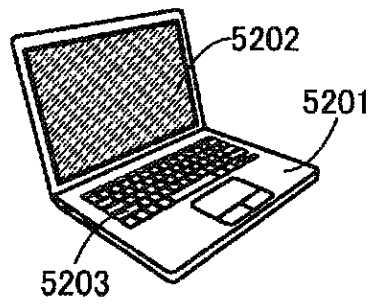
40

50

【図 7 8 B】

図 78B

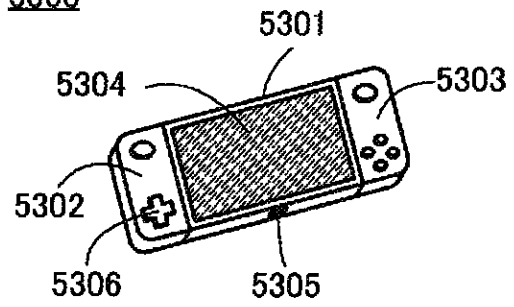
5200



【図 7 8 C】

図 78C

5300

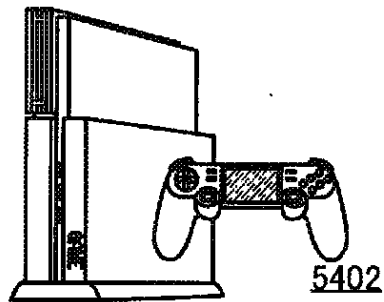


10

【図 7 8 D】

図 78D

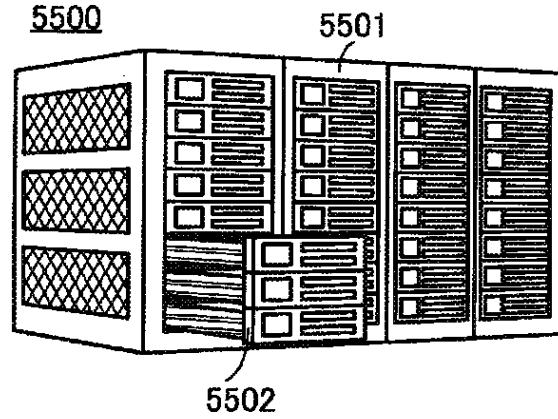
5400



【図 7 8 E】

図 78E

5500



20

30

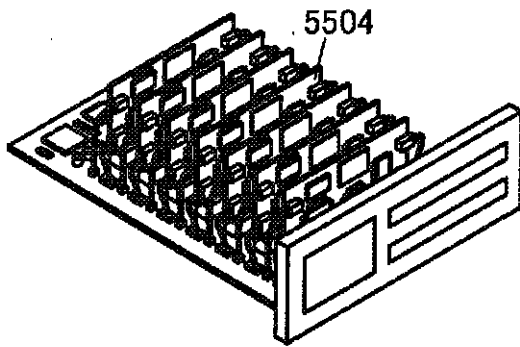
40

50

【図 78 F】

図 78F

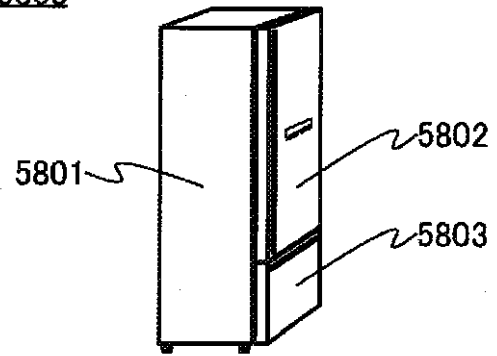
5502



【図 78 G】

図 78G

5800



10

20

30

40

50

フロントページの続き

(51)国際特許分類

F I

H 0 1 L	27/088	H
H 0 1 L	27/088	3 3 1 E

(32)優先日 令和1年12月5日(2019.12.5)

(33)優先権主張国・地域又は機関

日本国(JP)

(31)優先権主張番号 特願2019-230220(P2019-230220)

(32)優先日 令和1年12月20日(2019.12.20)

(33)優先権主張国・地域又は機関

日本国(JP)

(72)発明者 岡本 佑樹

神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

(72)発明者 魚地 秀貴

神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

(72)発明者 岡本 悟

神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

審査官 宮本 博司

(56)参考文献 特開 2 0 1 8 - 2 0 7 0 3 8 (J P , A)

特開 2 0 1 6 - 0 6 3 0 2 7 (J P , A)

特開 2 0 1 9 - 0 0 8 8 6 2 (J P , A)

特開 2 0 1 8 - 1 5 7 2 0 8 (J P , A)

特開 2 0 1 8 - 2 0 7 0 3 9 (J P , A)

(58)調査した分野 (Int.Cl., D B名)

H 1 0 B 1 2 / 0 0

H 1 0 B 4 1 / 7 0

H 1 0 B 9 9 / 0 0

H 0 1 L 2 1 / 8 2 3 4

H 0 1 L 2 7 / 0 6

H 0 1 L 2 7 / 0 8 8