(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017 年 10 月 19 日(19.10.2017)

WIPO | PCT

(10) 国際公開番号
WO 2017/179618 A1

(51) 国際特許分類:
G01P 15/125 (2006.01)

(21) 国際出願番号: PCT/JP2017/014971

(22) 国際出願日: 2017 年 4 月 12 日(12.04.2017)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2016-080141 2016 年 4 月 13 日(13.04.2016) JP

(71) 出願人: 日立オートモティブシステムズ株式会社 (HITACHI AUTOMOTIVE SYSTEMS, LTD.) [JP/JP]; 〒3128503 茨城県ひたちなか市高場２５２０番地 Ibaraki (JP).

(72) 発明者: 高橋　誠(TAKAHASHI Makoto); 〒1008280 東京都千代田区丸の内一丁目６番６号　株式会社日立製作所内 Tokyo (JP). 大島　俊(OOSHIMA Takashi); 〒1008280 東京都千代田区丸の内一丁目６番６号　株式会社日立製作所内 Tokyo (JP).

(74) 代理人: 青稜特許業務法人(SEIRYO I.P.C.); 〒1040032 東京都中央区八丁堀二丁目２４番２号 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

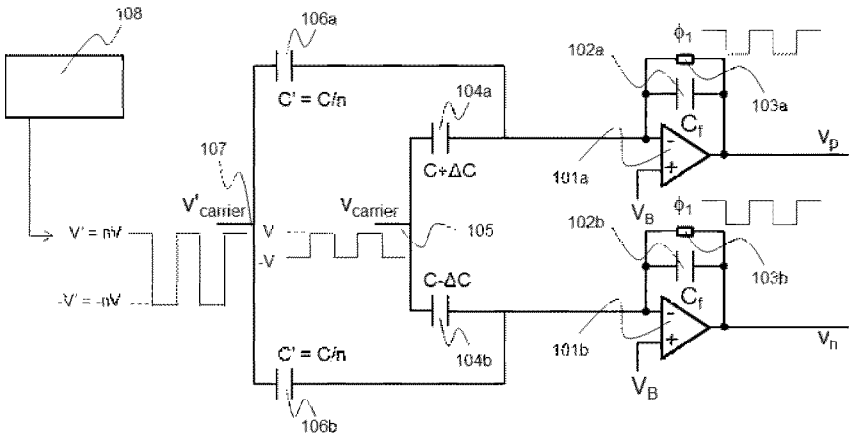
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告（条約第 21 条(3)）

(54) **Title**: CAPACITIVE SENSOR

(54) 発明の名称 : 静電容量式センサ

図1



(57) **Abstract**: The purpose of the present invention is to provide a capacitive sensor which has small consumption current. The present invention discloses a capacitive sensor which is provided with a capacitor that is formed of a pair of first electrodes and a capacitor that is formed of a pair of second electrodes, and wherein: signals are respectively supplied to the first and second electrodes; and the capacitor formed of the second electrodes is smaller than the capacitor formed of the first electrodes.

(57) 要約: 本発明の目的は、消費電流が少ない静電容量式センサを提供することにある。１対の第１の電極により形成される容量と、１対の第２の電極により形成される容量とを具備したセンサであり、第１および第２の電極にはそれぞれ信号が供給されており、第２の電極により形成される容量は第１の電極により形成される容量よりも小さい静電容量式センサが開示される。

WO 2017/179618 A1

明　細　書

発明の名称 ： 静電容量式センサ

技術分野

[0001] 本発明は、静電容量式センサに関する。

背景技術

[0002] 加速度などを測定するのに用いられる静電容量式センサ、特にチャージアンプを用いる静電容量式センサでは、検知容量変化ΔCを信号電圧変化ΔVに変換する際の利得(以下、CV利得と呼ぶ)を大きくする場合、ダイナミックレンジが縮小してしまうという問題があった。これは、CV利得を大きくすると、チャージアンプの出力もしくは入力の同相電位がアンプ動作範囲の中央から大きくずれてしまうからである。

[0003] そこで従来は、同相電位調整容量を付加してダイナミックレンジの縮小を防止していた。この様な同相電位調整容量を付加した構成は、例えば特許文献１もしくは非特許文献１もしくは非特許文献２に記載されている。

先行技術文献

特許文献

[0004] 特許文献1：特開２００７－１７１１７１号公報（特許第５３３１３０４号）

非特許文献

[0005] 非特許文献1：ISSCC97/SESSIN012/SENSORS/PAPER FP 12.4:”A3－Axis Surface MicromachinedΣΔAccelerometer”

非特許文献2：IEEE JOURNAL OF SOLID－STATE CIRCUITS、 VOL. 34、 NO. 4、 APRIL 1999、 pp.456－468”A Three－Axis Micromachined Accelerometer with a CMOS Position－Sense Interface and Digital Offset－Trim Electronics”

発明の概要

発明が解決しようとする課題

[0006] 前述した同相電位調整容量を付加した構成では、CV利得およびダイナミッ

クレンジを大きくできるものの、総容量が大きくなるためチャージアンプの消費電流が増大してしまうという問題があった。そこで本発明の目的は、消費電流が少ない静電容量式センサを提供することにある。

課題を解決するための手段

[0007] 本願において開示される発明のうち、ある一側面の概要は、第１、第２、第３、第４、第５および第６の容量と、第１および第２のオペアンプと、第１および第２のスイッチとを具備した静電容量式センサであり、第１の容量と第２の容量は測定対象となる物理量が実質的にゼロの場合には実質的に等しい容量値を有する容量対であり、第１の容量と第２の容量は測定対象となる物理量が実質的にゼロでない場合には、物理量が実質的にゼロの場合の容量値から測定対象となる物理量に応じて容量値が変化し、第１の容量と第２の容量の測定対象となる物理量に応じた容量値変化量は互いに符号が反対で絶対値が実質的に等しく、第３の容量と第４の容量は実質的に等しい容量値を有する容量対であり、第５の容量と第６の容量は実質的に等しい容量値を有する容量対であり、第１の容量の第１の電極と第２の容量の第１の電極は接続されて第１の信号が供給されており、第３の容量の第１の電極と第４の容量の第１の電極は接続されて第２の信号が供給されており、第１の容量の第２の電極と第３の容量の第２の電極は接続されて第１のオペアンプの反転入力端子に接続しており、第２の容量の第２の電極と第４の容量の第２の電極は接続されて第２のオペアンプの反転入力端子に接続しており、第５の容量の第１および第２の電極は、それぞれ第１のオペアンプの反転入力端子および出力に接続しており、第６の容量の第１および第２の電極は、それぞれ第２のオペアンプの反転入力端子および出力に接続しており、第１および第２のオペアンプの非反転入力端子には固定電圧が印加され、第１のスイッチの第１および第２の端子は、それぞれ第１のオペアンプの反転入力端子および出力に接続しており、第２のスイッチの第１および第２の端子は、それぞれ第１のオペアンプの反転入力端子および出力に接続しており、第１および第２のスイッチは第１の信号に同期してオンオフが制御され、第３および第

４の容量の容量値は第１および第２の容量の測定対象となる物理量が実質的にゼロの場合の容量値よりも小さいことを特徴とする静電容量式センサである。

[0008] 本発明の他の一側面は、第１、第２、第３、第４、第５および第６の容量と、第１および第２のオペアンプと、第１および第２のスイッチとを具備した静電容量式センサであり、第１の容量と第２の容量は測定対象となる物理量が実質的にゼロの場合には実質的に等しい容量値を有する容量対であり、第１の容量と第２の容量は測定対象となる物理量が実質的にゼロでない場合には、物理量が実質的にゼロの場合の容量値から測定対象となる物理量に応じて容量値が変化し、第１の容量と第２の容量の測定対象となる物理量に応じた容量値変化量は互いに符号が反対で絶対値が実質的に等しく、第３の容量と第４の容量は実質的に等しい容量値を有する容量対であり、第５の容量と第６の容量は実質的に等しい容量値を有する容量対であり、第１の容量の第１の電極と第２の容量の第１の電極は接続されて第１の信号が供給されており、第３の容量の第１の電極と第４の容量の第１の電極は接続されて第２の信号が供給されており、第１の容量の第２の電極と第３の容量の第２の電極は接続されて第１のオペアンプの反転入力端子に接続しており、第２の容量の第２の電極と第４の容量の第２の電極は接続されて第２のオペアンプの反転入力端子に接続しており、第５の容量の第１および第２の電極は、それぞれ第１のオペアンプの反転入力端子および出力に接続しており、第６の容量の第１および第２の電極は、それぞれ第２のオペアンプの反転入力端子および出力に接続しており、第１および第２のオペアンプの非反転入力端子には固定電圧が印加され、第１のスイッチの第１および第２の端子は、それぞれ第１のオペアンプの反転入力端子および出力に接続しており、第２のスイッチの第１および第２の端子は、それぞれ第１のオペアンプの反転入力端子および出力に接続しており、第１および第２のスイッチは第１の信号に同期してオンオフが制御され、第３および第４の容量の容量値は第１および第２の容量の測定対象となる物理量が実質的にゼロの場合の容量値よりも小さく

、第２の信号の電位の上限と下限の差は、第１の信号の電位の上限と下限の差より大きく、第１の信号と第２の信号とは位相が反転していることを特徴とする静電容量式センサである。

[0009] 本発明のさらに他の一側面は、MEMSおよび制御用ICを備え、MEMSは少なくとも一つのMEMSセンサを備え、制御用ICは、CV変換回路、A/D変換回路およびデジタル信号処理回路を備え、MEMSセンサは、第１および第２の容量を有し、第１の容量と第２の容量は測定対象となる物理量が実質的にゼロの場合には実質的に等しい容量値を有する容量対であり、第１の容量と第２の容量は測定対象となる物理量が実質的にゼロでない場合には、物理量が実質的にゼロの場合の容量値から測定対象となる物理量に応じて容量値が変化し、第１の容量と第２の容量の測定対象となる物理量に応じた容量値変化量は互いに符号が反対で絶対値が実質的に等しく、CV変換回路は、第３、第４、第５および第６の容量と、第１および第２のオペアンプと、第１および第２のスイッチとを有し、第３の容量と第４の容量は実質的に等しい容量値を有する容量対であり、第５の容量と第６の容量は実質的に等しい容量値を有する容量対であり、第１の容量の第１の電極と第２の容量の第１の電極は接続されて第１の信号が供給されており、第３の容量の第１の電極と第４の容量の第１の電極は接続されて第２の信号が供給されており、第１の容量の第２の電極と第３の容量の第２の電極は接続されて第１のオペアンプの反転入力端子に接続しており、第２の容量の第２の電極と第４の容量の第２の電極は接続されて第２のオペアンプの反転入力端子に接続しており、第５の容量の第１および第２の電極は、それぞれ第１のオペアンプの反転入力端子および出力に接続しており、第６の容量の第１および第２の電極は、それぞれ第２のオペアンプの反転入力端子および出力に接続しており、第１および第２のオペアンプの非反転入力端子には固定電圧が印加され、第１のスイッチの第１および第２の端子は、それぞれ第１のオペアンプの反転入力端子および出力に接続しており、第２のスイッチの第１および第２の端子は、それぞれ第１のオペアンプの反転入力端子および出力に接続しており、第１および第２のスイ

ッチは第１の信号に同期してオンオフが制御され、第３および第４の容量の容量値は第１および第２の容量の測定対象となる物理量が実質的にゼロの場合の容量値よりも小さく、第２の信号の電位の上限と下限の差は、第１の信号の電位の上限と下限の差より大きく、第１の信号と第２の信号とは位相が反転しており、CV変換回路の出力をA/D変換回路で変換し、A/D変換回路の出力をデジタル信号処理回路で処理し、デジタル信号処理回路の第１の出力を検知信号として出力する静電容量式センサである。

発明の効果

[0010] 本発明によれば同相電位調整容量付加型静電容量式センサの容量を低減できる。従って、消費電流が少ない静電容量式センサを提供することができる。

図面の簡単な説明

[0011] [図1]本発明の第１の実施例を示す回路図

[図1A]本発明の第１の実施例のタイムチャート図

[図1B]本発明の第１の実施例のタイムチャート図

[図1C]本発明の第１の実施例のタイムチャート図

[図1D]本発明の第１の実施例を示す回路図

[図2]本発明の第１の実施例の効果を示すグラフ図

[図3]第１の比較例を示す回路図

[図4]第２の比較例を示す回路図

[図5A]本発明の第２の実施例を示す回路図

[図5B]本発明の第２の実施例を示す回路図

[図6A]本発明の第２の実施例のタイムチャート図

[図6B]本発明の第２の実施例のタイムチャート図

[図7]本発明の第３の実施例を示す回路図

[図8]本発明の第４の実施例を示す回路図

[図9]本発明の第５の実施例を示す回路図

[図10]本発明の第６の実施例を示す回路図

[図11]本発明の第７の実施例を示すブロック図

[図12]本発明の第８の実施例を示す回路図

[図13]本発明の第９の実施例を示す回路図

発明を実施するための形態

[0012] 実施の形態について、図面を用いて詳細に説明する。ただし、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。本発明の思想ないし趣旨から逸脱しない範囲で、その具体的構成を変更し得ることは当業者であれば容易に理解される。

[0013] 以下に説明する発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、重複する説明は省略することがある。

[0014] 本明細書等における「第１」、「第２」、「第３」などの表記は、構成要素を識別するために付するものであり、必ずしも、数または順序を限定するものではない。また、構成要素の識別のための番号は文脈毎に用いられ、一つの文脈で用いた番号が、他の文脈で必ずしも同一の構成を示すとは限らない。また、ある番号で識別された構成要素が、他の番号で識別された構成要素の機能を兼ねることを妨げるものではない。

[0015] 図面等において示す各構成の位置、大きさ、形状、範囲などは、発明の理解を容易にするため、実際の位置、大きさ、形状、範囲などを表していない場合がある。このため、本発明は、必ずしも、図面等に開示された位置、大きさ、形状、範囲などに限定されない。

実施例 1

[0016] 図１に本発明の静電容量式センサの第１の実施例の主要部を示す。本実施例の主要部は、例えばA/D変換回路(ADC)や温度検出回路やデジタル信号処理回路やD/A変換回路(DAC)などと併せて静電容量式センサを構成する。

[0017] 本実施例の主要部の主な構成要素は、チャージアンプ101a、101b、帰還容量102a、102b、スイッチ103a、103b、検出容量104a、104b、検出用キャリア入力端子105、 同相電位調整容量106a、106b、 同相電位調整用キャリア入力

端子107および昇圧回路108である。検出容量104aおよび104bは、いずれも一方の電極が機械的に運動できる可動電極となっており、ともに検出用キャリア入力端子105に接続される。また、上記検出容量104aおよび104bの電極の内、上記検出用キャリア入力端子105に接続されていない方の電極は固定電極であり、それぞれオペアンプ101a、101bの反転入力端子に接続される。

[0018] ここで、検出容量104aの容量値をC＋ΔC、検出容量104bの容量値をC－ΔCとしている。検出容量104aの可動電極と検出容量104bの可動電極は、一体となって動くように機械的に結合しており、機械的には一つの錘(質量体)として機能する。センサに加速度などの信号が印加されていない時は、前記錘に慣性力などの力が働かないため、錘、つまり、検出容量104aの可動電極と検出容量104bの可動電極は初期の場所に位置する。その時に、検出容量104aの前記可動電極と固定電極の間の距離と、検出容量104bの前記可動電極と固定電極の間の距離が等しくなるように電極構造が設計されているため、検出容量104aと検検出容量104bの容量値は互いに等しくなっており、その値をCとしている。また、センサに加速度などの信号が印加されると、前記錘が、前記加速度などの信号に比例した慣性力などの力を受けることにより、錘、つまり、検出容量104aの可動電極と検出容量104bの可動電極の位置が前記加速度などの信号に比例して一体となって変位する。これにより、検出容量104aの可動電極が検出容量104aの固定電極に近づくように変位すると、逆に、検検出容量104bの可動電極は検出容量104bの固定電極から同じ変位量だけ遠ざかる。また、検出容量104aの可動電極が検出容量104aの固定電極に遠ざかるように変位すると、逆に、検出容量104bの可動電極は検検出容量104bの固定電極から同じ変位量だけ近づく。前記変位量、すなわち極板間隔の変化量による容量値変化をΔCとすると、前記の通り、検出容量104aの容量値はC＋ΔC、検出容量104bの容量値はC－ΔCとなる。この様に、検出容量104a、104bは例えば加速度や角速度等の信号を容量の変化として検知し、検知した信号に基づく出力電圧信号Vp、Vnを後段の処理回路に出力する。

[0019] 本実施例の構成および効果を理解するために、まず本実施例で解決しよう

とする問題を説明する。

[0020] 図３に発明者らが第１の比較例として作図した静電容量式センサの主要部の一例を示す。検出容量104a、104bは例えばMEMSによって構成され、例えば加速度や角速度等の信号を検知し、容量が変化する。図３の例では、信号が印加しない時の容量は104a、104b共にC、信号が印加された時の容量変化は104a、104bで絶対値がΔCで等しく、符号がお互いに逆になるとした。

[0021] また、検出容量104a、104bには、特定の周波数を有したキャリア信号Vcarrierが検出用キャリア入力端子105を介して印加される。チャージアンプ101a、101bにはそれぞれ帰還容量102a、102bおよびスイッチ103a、103bが設けられている。図３の例では、スイッチ103a、103bに印加される信号は上記検出用キャリア入力端子105に印加されるキャリア信号Vcarrierを反転したものとする。

[0022] また、スイッチ103a、103bは印加される信号がハイレベルの時にオンし、ローレベルの時にオフするとする。ここで、上記検出用キャリア入力端子105に印加されるキャリア信号Vcarrierのハイレベル電位をV、ローレベル電位を－Vとした場合に、スイッチ103a、103bに印加される信号がハイレベルの時(以下アンプモードと呼ぶ)のチャージアンプ101a、101bの出力電位VpおよびVnは以下の（数１）で与えられる。

[0023] [数1]

数1

$$V_{p,n} = \left(V_B - 2V \frac{C}{C_f} \right) \pm 2V \frac{C}{C_f} \frac{\Delta C}{C}$$

[0024] ここでC/CfはCV利得、VBはチャージアンプのバイアス電位である。

[0025] （数１）よりチャージアンプ出力の同相電位VcomはVB－2V*C/Cfであり、検知信号のCV変換結果である差動信号振幅Vdifは4*V*(C/Cf)*(ΔC/C)である。これより、CV利得であるC/Cfを増やすほどVcomは小さく、Vdifは大きくなる事が分かる。また、チャージアンプのダイナミックレンジは、Vcomとチャー

ジアンプ動作電圧の下限もしくは上限との差の絶対値の少ない方である。従って本構成でCV利得を増やすと、Vcomとチャージアンプ動作電圧の下限との差が小さくなり、ダイナミックレンジが狭まってしまう事が分かる。しかし、CV利得を小さくするとVdifも小さくなってしまい十分な感度が得られないと言う問題が生じる。

[0026] 図４に発明者らが作図した図３の構成の問題を解決するための構成例（第２の比較例）を示す。本構成は例えば特許文献１の構成のチャージアンプを差動から疑似差動に変更したものである。チャージアンプの型の差はあるが、上記問題を解決するための構成および動作原理は図４の構成も特許文献１の構成も同様である。

[0027] 本構成では、図３の構成に同相電位調整容量106e、106fを検出容量104a、104bと並列に接続している。ここで、同相電位調整容量106e、106fの容量値はC’とする。また、同相電位調整容量106e、106fには同相電位調整用キャリア入力端子107を介してキャリア信号を印加する。同相電位調整用キャリア入力端子107を介して印加するキャリア信号は、検出用キャリア入力端子105を介して検出容量104a、104bに印加されるキャリア信号Vcarrierと振幅、すなわち信号の電位の上限と下限の差、および周波数が等しく、位相が反転している。本構成のアンプモードにおけるチャージアンプ101a、101bの出力電位VpおよびVnは以下の（数２）で与えられる。

[0028] [数2]

数2

$$V_{p,n}=\left(V_B-2V\frac{C-C'}{C_f}\right)\pm 2V\frac{C}{C_f}\frac{\Delta C}{C}$$

[0029] （数２）より、本構成でC’＝CとすればVcomはCV利得に依らずにVBで一定となり、VBを例えばチャージアンプ動作電圧範囲の中央等の適切な電位に設定すれば、十分なダイナミックレンジを得る事ができる。しかし、本構成では総容量が増加するためチャージアンプの消費電流が増加するという問題が生

じる。

[0030] 図１の実施例1も、図３の構成に同相電位調整容量106a、106bを検出容量104a、104bと並列に接続し、同相電位調整用キャリア入力端子107を介してキャリア信号V’carrierを印加することは図４の構成と同様である。すなわち本実施例1でも、検出容量104aの第１の電極と検出容量104bの第１の電極は接続されて検出用キャリア入力端子105を介してキャリア信号Vcarrierが供給され、同相電位調整容量106aの第１の電極と同相電位調整容量106bの第１の電極は接続されて同相電位調整用キャリア入力端子107を介してキャリア信号V’carrierが供給され、キャリア信号Vcarrierとキャリア信号V’carrierとは位相が反転しており、検出容量104aの第２の電極と同相電位調整容量106aの第２の電極は接続されてチャージアンプ101aの反転入力端子に接続しており、検出容量104bの第２の電極と同相電位調整容量106bの第２の電極は接続されてチャージアンプ101bの反転入力端子に接続しており、帰還容量102aの第１および第２の電極は、それぞれチャージアンプ101aの反転入力端子および出力に接続しており、帰還容量102bの第１および第２の電極は、それぞれチャージアンプ101bの反転入力端子および出力に接続しており、チャージアンプ101aおよび101bの非反転入力端子には固定電圧V_Bが印加され、スイッチ103aの第１および第２の端子は、それぞれチャージアンプ101aの反転入力端子および出力に接続しており、スイッチ103bの第１および第２の端子は、それぞれチャージアンプ101bの反転入力端子および出力に接続しており、スイッチ103aおよび103bはキャリア信号Vcarrierに同期したスイッチ信号ϕ_1によりオンオフが制御される。また本実施例でも、検出容量104a、104bは、例えば加速度や角速度等により容量が変化することは従来例と同様である。

[0031] しかし、図１の構成では上記問題を解決するため、同相電位調整容量106a、106bの容量値C’を検出容量104a、104bの容量値Cよりも小さくする。また、同相電位調整用キャリア入力端子107を介して同相電位調整容量106a、106bに印加するキャリア信号V’carrierの振幅V’を、検出用キャリア入力端子105を介して検出容量104a、104bに印加されるキャリア信号Vcarrierの振幅Vよ

りも昇圧回路108を用いて大きくする。なお、V’carrierの周波数をVcarrierと等しくする事およびV’carrierの位相をVcarrierに対して反転させる事は図４の構成と同様でよい。昇圧回路108の構成としては、公知のチャージポンプ回路や、DCDCコンバータ回路を用いることができる。

[0032] 図１Ａにスイッチ信号$\phi_1$403、キャリア信号Vcarrier402およびV’carrier401のタイムチャートの一例を示す。本例ではスイッチ信号$\phi_1$403とキャリア信号Vcarrier402との位相が反転している。また、キャリア信号Vcarrier402とV’carrier401の位相が反転している。ここでは、スイッチ信号$\phi_1$403の上側電位をVHphi、スイッチ信号$\phi_1$403の下側電位をVLphi、キャリア信号Vcarrier402の上側電位をVH、キャリア信号Vcarrier402の下側電位をVL、キャリア信号V’carrier401の上側電位をV’H、キャリア信号V’carrier401の下側電位をV’Lとしている。図１Ａに示したタイムチャートでの本実施例のアンプモードにおけるチャージアンプ101a、101bの出力電位VpおよびVnは以下の(数３a)で与えられる。

[0033] [数3a]

数3a

$$V_{p,n}=\left(V_B-2\frac{VC-V'C'}{C_f}\right)\pm 2V\frac{C}{C_f}\frac{\Delta C}{C}$$

[0034] また、図１Ｂにスイッチ信号$\phi_1$403、キャリア信号Vcarrier402およびV’carrier401のタイムチャートの一例を示す。本例ではスイッチ信号$\phi_1$403とキャリア信号Vcarrier402との位相が一致している。また、キャリア信号Vcarrier402とV’carrier401の位相が反転している。ここでも、スイッチ信号$\phi_1$403の上側電位をVHphi、スイッチ信号$\phi_1$403の下側電位をVLphi、キャリア信号Vcarrier402の上側電位をVH、キャリア信号Vcarrier402の下側電位をVL、キャリア信号V’carrier401の上側電位をV’H、キャリア信号V’carrier401の下側電位をV’Lとしている。図１ｂに示したタイムチャートでの本実施例のアンプモードにおけるチャージアンプ101a、101bの出力電位VpおよびVnは以下の(

数３b）で与えられる。

[0035] [数3b]

数3b

$$V_{p,n}=\left(V_B+2\frac{VC-V'C'}{C_f}\right)\pm 2V\frac{C}{C_f}\frac{\Delta C}{C}$$

[0036] （数３a）より図１Ａのタイムチャートの場合には、本実施例の同相電位VcomはVB－2*(VC－V’C’)/Cfとなる事が分かる。また、（数３b）より図１Ｂのタイムチャートの場合には、本実施例の同相電位VcomはVB－2*(VC－V’C’)/Cfとなる事が分かる。そこで、（数３a）および（数３b）いずれの場合でも、例えばn＞1としてC’＝C/n、V’＝nVとすればVcomはCV利得に依らずに一定となり、VBを例えばチャージアンプ動作電圧範囲の中央等の適切な電位に設定すれば、十分なダイナミックレンジを得る事ができる。

[0037] 図１Ｃにスイッチ信号$\phi_1$403、キャリア信号Vcarrier402およびV’carrier401のタイムチャートの一例を示す。ここでも、スイッチ信号$\phi_1$403の上側電位をVHphi、スイッチ信号$\phi_1$403の下側電位をVLphi、キャリア信号Vcarrier402の上側電位をVH、キャリア信号Vcarrier402の下側電位をVL、キャリア信号V’carrier401の上側電位をV’H、キャリア信号V’carrier401の下側電位をV’Lとしている。本タイムチャートの目的は、チャージアンプに振幅変調の機能を持たせ、それにより、低周波の△C信号を高周波信号に変換して、チャージアンプや後段のアナログ回路の1/f雑音や直流オフセット電圧の影響を回避することにある。すなわち、チャージアンプをいわゆるチョッパ型アンプとして動作させることにある。そのために、図１Ａおよび図１Ｂに示したタイムチャートと異なる点は、まず、図１Ｃの通り、スイッチ信号$\phi_1$403の周波数はキャリア信号Vcarrierやキャリア信号V’carrierの2倍の周波数としている。これにより、スイッチ信号$\phi_1$403とキャリア信号Vcarrierの関係性が交互に変化する。すなわち、スイッチ信号$\phi_1$403がハイ電圧になっているある期間でキャリア信号Vcarrierがハイ電圧であれば、次にスイッチ信号$\phi_1$403がハイ電

圧になる期間では、キャリア信号Vcarrierはロー電圧である。つまり、図１Ａのタイムチャートの場合と同じ関係性、図１Ｂのタイムチャートの場合と同じ関係性が交互に生じる。これにより前記振幅変調を実現できるのである。本タイムチャートにおいても、例えばn＞1としてC’＝C/n、V’＝nVとすればVcomはCV利得に依らずに一定となり、VBを例えばチャージアンプ動作電圧範囲の中央等の適切な電位に設定すれば、十分なダイナミックレンジを得る事ができるのは図１Ａおよび図１Ｂのタイムチャートの場合と同様である。

[0038] また、本実施例は図１Ｄの様な構成にしても良い。図１Ｄの構成はスイッチ103aの代わりにスイッチ103cおよびスイッチ103dを用い、スイッチ103bの代わりにスイッチ103eおよびスイッチ103fを用い、スイッチ103cおよびスイッチ103dの帰還容量102aと接続されていない側の端子を電位Vcに接続し、スイッチ103eおよびスイッチ103fの帰還容量102bと接続されていない側の端子を電位Vcに接続したものである。本構成によっても図１の構成と同様の効果が得られる。

[0039] また、本実施例では同相電位調整容量を検出容量よりも小さくしているので、同相電位調整容量を検出容量と等しくする図４の例に比べて総容量を小さくできる。ノイズ一定におけるチャージアンプの消費電流は総容量の２乗に比例するので、本実施例は図４の例よりも消費電流を少なくする事ができる。

[0040] 図２に、本実施例においてn＞1としてC’＝C/n、V’＝nVとした場合のチャージアンプの消費電流を示す。ここで横軸は検出容量Cと同相電位調整容量C’との間の比nであり、縦軸は図４の構成(n＝1に相当)のチャージアンプの消費電流で規格化した本実施例におけるチャージアンプの消費電流である。図２よりn＞1とすることによって、消費電流を図４の構成(n＝1)よりも減らせる事が分かる。nを大きくすれば消費電力は減っていくが、容量とキャリア信号振幅をnに合わせて作成する必要があり極端な値は避けることが好ましい。この例ではn＝2で顕著な効果が見られ、n＝4程度で十分な消費電力の低減効果が得られることが分かる。n＝4～8ではn＝1の場合に比べて半分以下の消費

電力となるので、実用上は十分である。

[0041] この様に本実施例の構成によれば、高利得広ダイナミックレンジかつ消費電流の低い静電容量式センサを提供する事ができる。なお、本実施例は検出容量が２個ある場合の例であるが、本発明は検出容量の個数にかかわらず有効であることは言うまでもない。

実施例 2

[0042] 次に本発明の静電容量式センサの第２の実施例の主要部を説明する。上記第１の実施例では、V’carrierとしてVcarrierより大きい振幅の信号を生成するために、昇圧回路108を用いていた。本実施例では、V’carrierより小さい振幅のVcarrierを抵抗分圧で生成する、キャリア信号生成部の構成を示す。キャリア信号生成部以外は、上記第１の実施例と同様である。

[0043] 図５Ａに本発明の第２の実施例のキャリア信号生成部を示す。本実施例のキャリア信号生成部は、クロック生成回路210、抵抗分圧回路、スイッチ211およびスイッチ212により構成される。クロック生成回路210はスイッチ信号ϕ_1、クロック信号clkおよび反転クロック信号clkbの出力端を有している。抵抗分圧回路は、電源電位VDDとグランド電位GNDとの間に、抵抗R1 201、抵抗R2 202および抵抗R3 203を順に配している。

[0044] 抵抗分圧回路の抵抗R1 201と抵抗R2 202との間の端子にはスイッチ211が接続され、クロック生成回路210からクロック信号clkが制御信号として入力される。抵抗分圧回路の抵抗R2 202と抵抗R3 203との間の端子にはスイッチ212が接続され、クロック生成回路210から反転クロック信号clkbが制御信号として入力される。スイッチ211とスイッチ212の端子の内、制御信号とも抵抗分圧回路とも接続されていない端子は互いに接続されてキャリア出力端子213を形成する。また、クロック生成回路210の反転クロック信号clkb出力端からはキャリア出力端子214が分岐している。

[0045] 本実施例では用いるスイッチ 211および212の極性、すなわち入力信号電位の高低とON/OFF動作との関係、は共に等しいとする。例えば、スイッチ 211および212は高電位信号(例えばVDD)入力時に共にONし、低電位信号(例えばGN

D)入力時に共にOFFするとする。

[0046] 図５Ｂにスイッチ 211および212の構成の一例を示す。本スイッチはNMOS501およびPMOS502を有する相補型であり、制御信号端子504から制御信号が入力される。制御信号はNMOS501のゲート電極に入力され、同時にインバータ503を経由してPMOS502のゲート電極に入力される。入出力信号は入出力端子505および506を介して入出力される。本構成のスイッチは、制御信号が高電位(例えばVDD)の時にONし、低電位(例えばGND)の時にOFFする。

[0047] また本実施例では、クロック信号clkおよび反転クロック信号clkbの上限電位は電源電位VDD、下限電位はグランド電位GNDとする。本実施例ではキャリア出力端214から出力される反転クロック信号clkbを同相電位調整容量に印加するキャリア信号V’carrierとする。従って、同相電位調整容量に印加するキャリア信号V’carrierは上限電位が電源電位VDDであり、下限電位がグランド電位GNDであり、クロック信号clkに対して反転した位相を有する。また、本実施例ではキャリア出力端子213の出力を検出容量に印加するキャリア信号Vcarrierとする。

[0048] 本構成によれば、検出容量に印加するキャリア信号Vcarrierの上限電位は、抵抗R1 201と抵抗R2 202の間の電位VHとなり、下限電位は抵抗R2 202と抵抗R3 203の間の電位VLとなる。ここで、抵抗分圧回路によりVHはVDDより低く、VLはGNDより高くなっている。一方、同相電位調整容量に印加するキャリア信号V’carrierは反転クロック信号clkbであるので上限電位はVDDであり、下限電位はGNDである。従って本構成によれば、同相電位調整容量に印加するキャリア信号V’carrierの振幅を検出容量に印加するキャリア信号Vcarrierの振幅より大きくできる。

[0049] また、上記の様にクロック生成回路210のクロック信号clk出力端をスイッチ211に入力し、反転クロック信号clkbの出力端をスイッチ212に入力する事により、キャリア出力端213の出力位相は、すなわち検出容量に印加するキャリア信号Vcarrierの位相は、クロック信号clkと等しくなる。一方、同相電位調整容量に印加するキャリア信号V’carrierは反転クロックclkbであるため

、検出容量に印加するキャリア信号Vcarrierとは位相が反転する。

[0050] この様に本実施例によれば、同相電位調整容量に印加するキャリア信号V’carrierの振幅を検出容量に印加するキャリア信号Vcarrierの振幅より大きくでき、また同相電位調整容量に印加するキャリア信号V’carrierの位相を検出容量に印加するキャリア信号Vcarrierに対して反転できる。

[0051] 図６Ａおよび図６Ｂに本実施例で用いられるスイッチ信号$\phi_1$403、クロック信号400および作成されたキャリア信号の波形の例を示す。図６Ａはスイッチ信号$\phi_1$403とキャリア信号Vcarrier402との位相が反転している場合であり、図６Ｂはスイッチ信号$\phi_1$403とキャリア信号Vcarrier402との位相が一致している場合である。なお、図６Ａおよび図６ＢではスイッチSW211およびスイッチSW212が高電位信号(例えばVDD)入力時にONし、低電位信号(例えばGND)入力時にOFFする場合を示している。

[0052] 同相電位調整容量に印加するキャリア信号V’carrier401は反転クロック信号clkbであり、振幅はクロック信号400の振幅と等しく、位相はクロック信号400に対して反転する。検出容量に印加するキャリア信号Vcarrier402の振幅はクロック信号400の振幅よりも小さく、位相はクロック信号400と等しい。従って、同相電位調整容量に印加するキャリア信号V’carrier401の振幅は検出容量に印加するキャリア信号Vcarrier402の振幅より大きく、また同相電位調整容量に印加するキャリア信号V’carrier401の位相は検出容量に印加するキャリア信号Vcarrier402に対して反転する。

[0053] また、本実施例は抵抗分圧回路に印加する上限および下限電位を必ずしもVDDおよびGNDに限定する必要は無い。抵抗分圧回路に印加する上限および下限電位がVDDおよびGNDでなくても、抵抗R1 201、抵抗R2 202および抵抗R3 203の抵抗値を調整して、抵抗R1 201と抵抗R2 202との間の電位VHと抵抗R2 202と抵抗R3 203との間の電位VLとの間の差が、同相電位調整容量に印加するキャリア信号V’carrierの電位の上限と下限との差、すなわち本実施例では電源電位VDDとグランド電位GNDとの差、よりも小さくなる様にすれば良い。

実施例 3

[0054] 次に本発明の静電容量式センサの第３の実施例の主要部を説明する。本実施例はキャリア信号生成部以外は上記第１および第２の実施例と同様である。

[0055] 図７に本発明の第３の実施例のキャリア信号生成部を示す。本実施例は、図５Ａの第２の実施例において反転クロック信号clkbをクロック生成部210で作成せず、クロック信号clkをインバータ215により反転させて作成した場合である。

実施例 4

[0056] 次に本発明の静電容量式センサの第４の実施例の主要部を説明する。本実施例はキャリア信号生成部以外は上記第１、第２および第３の実施例と同様である。

[0057] 図８に本発明の第４の実施例のキャリア信号生成部を示す。本実施例は、図５Ａの第２の実施例において同相電位調整容量に印加するキャリア信号V'carrierを反転クロックclkbとはせず、抵抗分圧回路を用いて作成する場合である。本構成によれば、検出容量に印加するキャリア信号Vcarrierの電位だけでなく同相電位調整容量に印加するキャリア信号V'carrierの電位もクロック信号の電位と異なる様にする事ができ、設計の自由度を上げることができる。

[0058] 本実施例の抵抗分圧回路は、上側電位Vrefpと下側電位Vrefnとの間に、抵抗R0 200、抵抗R1 201、抵抗R2 202、抵抗R3 203および抵抗R4 204を順に配している。ここで、上側電位Vrefpおよび下側電位Vrefnは任意である。レギュレータ回路で作成した電位を用いても良いし、電源電位VDDおよびグランド電位GNDでも良いし、他の電位でも良い。また、本実施例でも用いる全てのスイッチ 211、212、221および222の極性、すなわち入力信号電位の高低とON/OFF動作との関係、は等しいとする。例えば、全てのスイッチ 211、212、221および222において、高電位信号(例えばVDD)入力時にONし、低電位信号(例えばGND)入力時にOFFするとする。本実施例においても、検出容量に印加するキャリア信号Vcarrierは図５Ａに示す第２の実施例と同様に作成される。すな

わち、抵抗分圧回路の抵抗R1 201と抵抗R2 202との間の端子にスイッチ211を接続し、クロック生成回路210からクロック信号clkを入力し、抵抗分圧回路の抵抗R2 202と抵抗R3 203との間の端子にスイッチ212を接続し、クロック生成回路210から反転クロック信号clkbを入力し、スイッチ211とスイッチ212の端子の内、制御信号とも抵抗分圧回路とも接続されていない端子を互いに接続してキャリア出力端子213とする。この様に構成したキャリア出力端子213の電位が検出容量に印加するキャリア信号Vcarrierとなる。

[0059] ここで、検出容量に印加するキャリア信号Vcarrierの上限電位は抵抗R1 201と抵抗R2 202との間の電位VHであり、下限電位は抵抗R2 202と抵抗R3 203との間の電位VLである。一方、同相電位調整容量に印加するキャリア信号V’carrierを作成するためには、抵抗分圧回路の抵抗R0 200と抵抗R1 201との間の端子にスイッチ221を接続し、クロック生成回路210から反転クロック信号clkbを入力し、抵抗分圧回路の抵抗R3 203と抵抗R4 204との間の端子にスイッチ222を接続し、クロック生成回路210からクロック信号clkを入力し、スイッチ221とスイッチ222の端子の内、制御信号とも抵抗分圧回路とも接続されていない端子を互いに接続してキャリア出力端子214とすれば良い。

[0060] 本実施例では、この様に構成したキャリア出力端子214の電位を同相電位調整容量に印加するキャリア信号V’carrierとする。ここで、同相電位調整容量に印加するキャリア信号V’carrierの上限電位は抵抗R0 200と抵抗R1 201との間の電位V’Hであり、下限電位は抵抗R2 202と抵抗R3 203との間の電位V’Lである。抵抗分圧回路の構成より、同相電位調整容量に印加するキャリア信号V’carrierの上限電位V’Hは検出容量に印加するキャリア信号Vcarrierの上限電位VHより高く、同相電位調整容量に印加するキャリア信号V’carrierの下限電位V’Lは検出容量に印加するキャリア信号Vcarrierの下限電位VLより低い。従って、同相電位調整容量に印加するキャリア信号V’carrierの振幅は出容量に印加するキャリア信号Vcarrierの振幅よりも大きい。また、各スイッチの入力信号割当より、同相電位調整容量に印加するキャリア信号V’carrierの位相は検出容量に印加するキャリア信号Vcarrierに対して反転す

る。

実施例 5

[0061] 次に本発明の静電容量式センサの第５の実施例の主要部を説明する。本実施例はキャリア信号生成部以外は上記第１、第２、第３および第４の実施例と同様である。

[0062] 図９に本発明の第５の実施例のキャリア信号生成部を示す。本実施例は、図８の第４の実施例において、スイッチ221に入力する制御信号にクロック生成部210からの反転クロック信号clkbを用いるのではなく、クロック生成部210からのクロック信号clkをインバータ223により反転させた信号を用い、同様に、スイッチ222に入力する制御信号にクロック生成部210からのクロック信号clkを用いるのではなく、クロック生成部210からの反転クロック信号clkbをインバータ224により反転させた信号を用いる場合である。

[0063] 本実施例はスイッチ221および222への制御信号の配線を短くし易く、配線の寄生容量が懸念される場合に有効である。ただ本構成では、上記インバータ223で生じる遅延により、スイッチ211およびスイッチ221との間の入力制御信号の位相関係がずれる可能性がある。また、スイッチ212およびスイッチ222に関しても同様である。そこで、本実施例では、この位相関係のずれを解消させるためにスイッチ222側にも遅延を生じさせる。このために、クロック生成部210からのスイッチ211とスイッチ221に至る経路の分岐点231とスイッチ211との間にインバータ225および226を挿入する。

[0064] ここでインバータを2個挿入するのは、スイッチ211の入力制御信号を反転させないためである。しかし、インバータを2個挿入するためにスイッチ211側の遅延は、インバータが1個のみのスイッチ221側の遅延より大きくなってしまう。そこで本実施例ではインバータ223とスイッチ221の間に調整容量Cc 241を対GNDで設置する。このバッファ容量Ccによってもスイッチ221側に遅延が生じインバータ223での遅延に加算される。従って、インバータ223、225、226および調整容量Cc 241のサイズや容量を調整することによって、スイッチ211側とスイッチ221側の遅延量を等しくして入力制御信号の位相関係にずれ

を生じない様にすることができる。

[0065] スイッチ212およびスイッチ222側に関しても同様である。すなわち、クロック生成部210からのスイッチ212とスイッチ222に至る経路の分岐点232とスイッチ211との間にインバータ227および228を挿入する。更に、インバータ224とスイッチ222の間に調整容量Cc 242を対GNDで設置する。本構成によれば、インバータ224、227、228および調整容量Cc 242のサイズや容量を調整することによって、スイッチ212側とスイッチ222側の遅延量を等しくして入力制御信号の位相関係にずれを生じない様にすることができる。

実施例 6

[0066] 次に本発明の静電容量式センサの第６の実施例の主要部を説明する。本実施例はキャリア信号生成部以外は上記第１、第２、第３、第４および第５の実施例と同様である。

[0067] 図１０に本発明の第６の実施例のキャリア信号生成部を示す。本実施例は、例えば図８の第４の実施例において抵抗分圧回路を同相電位調整容量に印加するキャリア信号V’carrier作成用と検出容量に印加するキャリア信号Vcarrier作成用とで分ける場合である。図１０は、用いる全てのスイッチ 211a、212a、211bおよび212bの極性、すなわち入力信号電位の高低とON/OFF動作との関係、が等しい場合を示している。例えば、全てのスイッチ 211a、212a、211bおよび212bにおいて、高電位信号(例えばVDD)入力時にONし、低電位信号(例えばGND)入力時にOFFするとしている。

[0068] 検出容量に印加するキャリア信号Vcarrier作成用の抵抗分圧回路は、上側電位Vrefpと下側電位Vrefnとの間に、抵抗R1a 201a、抵抗R2a 202aおよび抵抗R3a 203aを順に配している。ここで、上側電位Vrefpおよび下側電位Vrefnは任意である。レギュレータ回路で作成した電位を用いても良いし、電源電位VDDおよびグランド電位GNDでも良いし、他の電位でも良い。また、同相電位調整容量に印加するキャリア信号V’carrier作成用の抵抗分圧回路は、上側電位V’refpと下側電位V’refnとの間に、抵抗R1b 201b、抵抗R2b 202bおよび抵抗R3b 203bを順に配している。ここで、上側電位V’refpおよび下側電

位V’refnは任意である。レギュレータ回路で作成した電位を用いても良いし、電源電位VDDおよびグランド電位GNDでも良いし、他の電位でも良い。

[0069] 本実施例においても、検出容量に印加するキャリア信号Vcarrierは図５Ａに示す第２の実施例と同様に作成される。すなわち、抵抗分圧回路の抵抗R1a 201aと抵抗R2a 202aとの間の端子にスイッチ211aを接続し、クロック生成回路210からクロック信号clkを入力し、抵抗分圧回路の抵抗R2a 202aと抵抗R3a 203aとの間の端子にスイッチ212aを接続し、クロック生成回路210から反転クロック信号clkbを入力し、スイッチ211aとスイッチ212aの抵抗分圧回路と接続されていない端子を互いに接続してキャリア出力端子213とする。この様に構成したキャリア出力端子213の電位が検出容量に印加するキャリア信号Vcarrierとなる。ここで、検出容量に印加するキャリア信号Vcarrierの上限電位は抵抗R1a 201aと抵抗R2a 202aとの間の電位VHであり、下限電位は抵抗R2a 202aと抵抗R3a 203aとの間の電位VLである。

[0070] 一方、同相電位調整容量に印加するキャリア信号V’carrierも出容量に印加するキャリア信号Vcarrierと同様に作成される。すなわち、抵抗分圧回路の抵抗R1b 201bと抵抗R2b 202bとの間の端子にスイッチ211bを接続し、クロック生成回路210から反転クロック信号clkbを入力し、抵抗分圧回路の抵抗R2b 202bと抵抗R3b 203bとの間の端子にスイッチ212bを接続し、クロック生成回路210からクロック信号clkを入力し、スイッチ211bとスイッチ212bの抵抗分圧回路と接続されていない端子を互いに接続してキャリア出力端子214とする。この様に構成したキャリア出力端子214の電位が同相電位調整容量に印加するキャリア信号V’carrierとなる。ここで、同相電位調整容量に印加するキャリア信号V’carrierの上限電位は抵抗R1b 201bと抵抗R2b 202bとの間の電位V’Hであり、下限電位は抵抗R2b 202bと抵抗R3b 203bとの間の電位V’Lである。

[0071] ここで、本実施例の動作条件を説明する。まず、本構成における検出容量に印加するキャリア信号Vcarrierの上限電位VH、下限電位VLおよび同相電位調整容量に印加するキャリア信号V’carrierの上限電位V’Hおよび下限電位V

’Lは以下の(数４）で与えられる。

[0072] [数4]

数4

$$VH = Vrefn + \frac{(R2a + R3a) * (Vrefp - Vrefn)}{R1a + R2a + R3a}$$
$$VL = Vrefn + \frac{R3a * (Vrefp - Vrefn)}{R1a + R2a + R3a}$$
$$V'H = V'refn + \frac{(R2b + R3b) * (V'refp - V'refn)}{R1b + R2b + R3b}$$
$$V'L = V'refn + \frac{R3b * (V'refp - V'refn)}{R1b + R2b + R3b}$$

[0073] また、本実施例では同相電位調整容量に印加するキャリア信号V’carrierの振幅を検出容量に印加するキャリア信号Vcarrierの振幅より大きくすれば良い。従って下記(数５）が成立していれば良い。

[0074] [数5]

数5

$$V'H - V'L > VH - VL$$

[0075] 従って、本実施例では（数４）および（数５）より下記の（数６）が成立していれば良い。

[0076] [数6]

数6

$$\frac{R2b * (V'refp - V'refn)}{R1b + R2b + R3b} > \frac{R2a * (Vrefp - Vrefn)}{R1a + R2a + R3a}$$

[0077] また、各スイッチの入力信号割当より、同相電位調整容量に印加するキャリア信号V’carrierの位相は検出容量に印加するキャリア信号Vcarrierに対して反転する。この様に、上記（数６）の関係を満たしていれば、本実施例を実現できる事が分かる。

実施例 7

[0078] 図１１に、本発明の静電容量式センサを適用した静電容量式センサの第７

の実施例を示す。本実施例の静電容量式センサ300は、MEMS部310および制御用IC部320により構成されている。ここで、MEMS部310および制御用IC部320は個別にパッケージされる事もあれば一つにパッケージされる事もある。また、個別にパッケージされたMEMS部310および制御用IC部320が、個別の基板に搭載される事もあれば、同一の基板に搭載される事もある。図１１は、個別にパッケージされたMEMS部310および制御用IC部320が同一の基板600に搭載されて、静電容量式センサ300のパッケージを構成している例を示している。

[0079] 本実施例のMEMS部310はMEMS加速度センサ311、MEMS加速度センサ312およびMEMS角速度センサ313を有している。ここで、MEMS加速度センサ311とMEMS加速度センサ312は互いに直行する方向の加速度を検知するために用いられる。また、MEMS角速度センサ313は角速度を検知する。

[0080] 制御用IC部320は、容量－電圧（CV）変換回路321、アナログ－デジタル（A/D）変換回路(ADC)322、温度検出部323、デジタル信号処理部324およびデジタル－アナログ（D/A）変換回路(DAC)325を有している。CV変換回路321はMEMS部310で生じた容量変化を電圧変化に変換する。

[0081] ここで、MEMS部310およびCV変換回路321は、上記実施例1から7に記されている様な静電容量式センサの主要部を含むことができる。具体構成は任意であるが、例えば、図１の容量104a、104bがMEMS部310内に構成され、図１のその他の部分がCV変換回路321内に構成される。図１のような構成はセンサごとに必要なので、図１１の例では図１の構成が３組使用される。

[0082] A/D変換回路(ADC)322は、CV変換回路321からのアナログ信号（図１のVp、Vn）をデジタル信号に変換する。温度検出部323は温度を検出する。デジタル信号処理部324ではデジタルフィルタにより雑音が除去され、復調が行われ、温度の影響の補正が行われ、出力信号330が生成される。また、デジタル信号処理部324からはPID(Proportional－Integral－Derivative)制御によるサーボ信号がD/A変換回路(DAC)325でアナログ化されてMEMS部310に送られる事もある。また、静電容量式センサ300の出力は出力信号330である。

実施例 8

[0083] 図１２に本発明の静電容量式センサの第８の実施例の主要部を示す。本実施例の主要部は、例えば温度検出回路などと併せて静電容量式センサを構成する。

[0084] 本実施例の主要部は図１に示した第一の実施例の主要部に駆動容量109a、109b、アナログ－デジタル（A/D）変換回路(ADC)322a、デジタル信号処理部324aおよびデジタル－アナログ（D/A）変換回路(DAC)325aを加えた構成を有する。駆動容量109aおよび109bは、いずれも一方の電極が機械的に運動できる可動電極となっており、ともに検出容量104aおよび104bの可動電極に接続される。また、駆動容量109aおよび109bの電極の内、検出容量104aおよび104bの可動電極に接続されていない方の電極はいずれも固定電極である。アナログ－デジタル（A/D）変換回路(ADC)322aの入力端子は、チャージアンプ101aおよびチャージアンプ101bの出力に接続されている。さらに、アナログ－デジタル（A/D）変換回路(ADC)322aの出力はデジタル信号処理部324aに入力され、前記デジタル信号処理部324aの第一の出力がセンサ出力330aとなる。また、前記デジタル信号処理部324aの第二の出力はデジタル－アナログ（D/A）変換回路(DAC)325aに入力され、デジタル－アナログ（D/A）変換回路(DAC)325aの二つの出力はそれぞれ、前記駆動容量109aおよび109bの固定電極に接続される。

[0085] ここで、前記駆動容量109aおよび109bの可動電極はともに、検出容量104aおよび104bの可動電極に接続されており、また、これら４つの容量素子の可動電極は機械的に結合されて一体の錘として運動するようになっている。前記デジタル－アナログ（D/A）変換回路(DAC)325aの二つの出力をそれぞれ前前記駆動容量109aおよび109bの固定電極に印加することで、前記錘に、前記デジタル－アナログ（D/A）変換回路(DAC)325aの二つの出力の電圧差に比例した力を印加することができる。

[0086] これにより、サーボ制御を行うタイプのMEMS静電容量式加速度センサにおいては、必要なサーボ力を錘に印加することができる。また、MEMS静電容量式角速度センサにおいては、錘の振動を起こすために必要な力を錘に印加す

ることができる。前記錘の振動とセンサが受ける角速度の相互作用(いわゆるコリオリ力)によって前記錘の振動に対して垂直の方向に生じる振動を検出することで、前記MEMS静電容量式角速度センサは動作する。

[0087] なお、前記MEMS静電容量式角速度センサの場合は、図12に示した以外のMEMS素子、容量－電圧（CV）変換回路、アナログ－デジタル（A/D）変換回路(ADC)も必要であるがその記載を省略している。前記デジタル信号処理部324aには、図には記載されていない複数のアナログ－デジタル（A/D）変換回路(ADC)の出力が入力され、前記デジタル信号処理部324aはそれらにもとづいて必要なデジタル信号処理を施してセンサ出力を算出し、出力する。

実施例 9

[0088] 次に本発明の静電容量式センサの第9の実施例の主要部を図１３に示す。本実施例は、図１の第１の実施例のシングルエンド出力型の2つのチャージアンプ101a、101bを完全差動型チャージアンプ101cに変えたものである。

[0089] この場合、前記完全差動型オペアンプ101cの出力同相電圧レベルV_{CMO}(＝(Vp＋Vn)/2、ただし、Vp、Vnはそれぞれ、前記完全差動型オペアンプ193の正相出力電圧、逆相出力電圧)を所望の電圧レベル(例えば、VDD/2)に制御するコモンモードフィードバック回路(CMFB)700も備えていることが多い。そのため、完全差動型オペアンプを用いる場合は、前記出力同相電圧レベルV_{CMO}はVDD/2付近に設定できるが、その代償として、特許文献１、非特許文献１、２などに記されている様に、前記完全差動型オペアンプ193の入力同相電圧レベルV_{CMI}(＝(Vinp＋Vinn)/2、ただし、Vinp、Vinnはそれぞれ、前記完全差動オペアンプ193の正相入力電圧、逆相入力電圧)は所望の電圧レベルから著しくずれてしまい、これにより前記完全差動型オペアンプ101cが正常に動作できなくなってしまう。そこで本実施例では実施例1と同様に同相電位調整容量106a、106bを設け、そこにキャリア信号V’carrierを印加して前記完全差動型オペアンプ193の入力同相電圧レベルV_{CMI}を適正にする。例えば、図１Ａに示したタイムチャートでの本実施例のアンプモードにおける前記完全差動型オペアンプ193の入力同相電圧レベルV_{CMI}は以下の(数７a) で与えられる。

[0090] [数7a]

数7a

$$V_{CMI} = V_{CMO} + 2\frac{VC - V'C'}{C + C' + C_f}$$

[0091] また、例えば、図１Ｂに示したタイムチャートでの本実施例のアンプモードにおける前記完全差動型オペアンプ193の入力同相電圧レベルV_{CMI}は以下の(数７ｂ）で与えられる。

[0092] [数7b]

数7b

$$V_{CMI} = V_{CMO} - 2\frac{VC - V'C'}{C + C' + C_f}$$

[0093] (数７a）および(数７ｂ）より、例えばV_{CMO}＝VDD/2、n＞1としてC’＝C/n、V’＝nVとすれば、図１Ａおよび図１Ｂに示したいずれのタイムチャートにおいてもV_{CMI}をVDD/2と適正にできることが分かる。また、V_{CMI}の最適値がVDD/2で無い場合には、V_{CMO}もしくはCもしくはVもしくはC’もしくはV’のいずれか一つもしくは二つ以上を調整すればV_{CMI}を最適値にすることができる。

[0094] また、本実施例では同相電位調整容量を検出容量よりも小さくしているので、同相電位調整容量を検出容量と等しくする図４の例に比べて総容量を小さくできる。ノイズ一定におけるチャージアンプの消費電流は総容量の２乗に比例するので、本実施例は図４の例よりも消費電流を少なくする事ができる。

[0095] この様に本実施例の構成によれば、高利得広ダイナミックレンジかつ消費電流の低い静電容量式センサを提供する事ができる。なお、本実施例は検出容量が２個ある場合の例であるが、本発明は検出容量の個数にかかわらず有効であることは言うまでもない。

[0096] 上記実施例１から９に例を示した本発明の静電容量式センサは、例えば加

速度や角速度などを検知し、それらを反映した出力信号330を出力する。出力信号330を、自動車や二輪車や農耕機などの姿勢制御や走行安定性確保や横滑り防止などを行うシステム、例えばESC(Electronic Stability Control)など、に用いることができる。

[0097] 上記説明では加速度センサおよび角速度センサをMEMSで構成する場合を例にとったが、本実施例はMEMS以外で加速度センサおよび角速度センサを構成しても有効である。

[0098] 以上説明した実施例によれば同相電位調整容量付加型静電容量式センサの消費電流を低減できる。従って、CV利得およびダイナミックレンジが大きく、かつ消費電流が少ない静電容量式センサを提供することができる。

[0099] トランジスタの「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書においては、「ソース」や「ドレイン」の用語は、入れ替えて用いることができる。

[0100] 本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

[0101] 本発明は上記した実施形態に限定されるものではなく、様々な変形例が含まれる。例えば、ある実施例の構成の一部を他の実施例の構成に置き換えることが可能であり、また、ある実施例の構成に他の実施例の構成を加えることが可能である。また、各実施例の構成の一部について、他の実施例の構成の追加・削除・置換をすることが可能である。

産業上の利用可能性

[0102] 本発明は、静電容量式センサに利用することができる。

符号の説明

[0103] 101a、101b チャージアンプ

101c　完全差動型チャージアンプ

102a、102b　帰還容量

103a、103b、103c、103d、103e、103f　スイッチ

104a、104b　検出容量

105　検出用キャリア入力端子

106a、106b、106c、106d、106e、106f　同相電位調整容量

107　同相電位調整用キャリア入力端子

108　昇圧回路

109a、109b　駆動容量

210　クロック生成回路

200、201、202、203、204、201a、202a、203a、201b、202b、203b　抵抗

211、212、221、222、211a、212a、211b、212b　スイッチ

213、214　キャリア出力端子

501　NMOS

502　ＰＭＯＳ

503、215、223、224、225、226、227、228　インバータ

504　制御信号端子

505、506　入出力端子

400　クロック信号

401　同相電位調整容量に印加するキャリア信号

402　検出容量に印加するキャリア信号

403　スイッチ103a、103b、103c、103d、103eおよび103fに印加するキャリア信号

241、242　調整容量

300　静電容量式センサ

310　MEMS部

311、312　MEMS加速度センサ

313　MEMS角速度センサ

320　制御用IC部

321　CV変換回路

322、322a　A/D変換回路

323　温度検出部

324、324a　デジタル信号処理部

325、325a　D/A変換回路

330、330a　出力信号

600　基板

700　コモンモードフィードバック回路(CMFB)

請求の範囲

[請求項1] 第１、第２、第３、第４、第５および第６の容量と、第１および第２のオペアンプと、第１および第２のスイッチとを具備した静電容量式センサであり、

上記第１の容量と上記第２の容量は測定対象となる物理量が実質的にゼロの場合には実質的に等しい容量値を有する容量対であり、

上記第１の容量と上記第２の容量は測定対象となる物理量が実質的にゼロでない場合には、物理量が実質的にゼロの場合の容量値から測定対象となる物理量に応じて容量値が変化し、

上記第１の容量と上記第２の容量の測定対象となる物理量に応じた容量値変化量は互いに符号が反対で絶対値が実質的に等しく、

上記第３の容量と上記第４の容量は実質的に等しい容量値を有する容量対であり、

上記第５の容量と上記第６の容量は実質的に等しい容量値を有する容量対であり、

上記第１の容量の第１の電極と上記第２の容量の第１の電極は接続されて第１の信号が供給されており、

上記第３の容量の第１の電極と上記第４の容量の第１の電極は接続されて第２の信号が供給されており、

上記第１の容量の第２の電極と上記第３の容量の第２の電極は接続されて上記第１のオペアンプの反転入力端子に接続しており、

上記第２の容量の第２の電極と上記第４の容量の第２の電極は接続されて上記第２のオペアンプの反転入力端子に接続しており、

上記第５の容量の第１および第２の電極は、それぞれ上記第１のオペアンプの反転入力端子および出力に接続しており、

上記第６の容量の第１および第２の電極は、それぞれ上記第２のオペアンプの反転入力端子および出力に接続しており、

上記第１および第２のオペアンプの非反転入力端子には固定電圧が

印加され、

上記第１のスイッチの第１および第２の端子は、それぞれ上記第１のオペアンプの反転入力端子および出力に接続しており、

上記第２のスイッチの第１および第２の端子は、それぞれ上記第２のオペアンプの反転入力端子および出力に接続しており、

上記第１および第２のスイッチは第１の信号に同期してオンオフが制御され、

上記第３および第４の容量の容量値は上記第１および第２の容量の測定対象となる物理量が実質的にゼロの場合の容量値よりも小さいことを特徴とする静電容量式センサ。

[請求項2] 第１、第２、第３、第４、第５および第６の容量と、第１および第２のオペアンプと、第１および第２のスイッチとを具備した静電容量式センサであり、

上記第１の容量と上記第２の容量は測定対象となる物理量が実質的にゼロの場合には実質的に等しい容量値を有する容量対であり、

上記第１の容量と上記第２の容量は測定対象となる物理量が実質的にゼロでない場合には、物理量が実質的にゼロの場合の容量値から測定対象となる物理量に応じて容量値が変化し、

上記第１の容量と上記第２の容量の測定対象となる物理量に応じた容量値変化量は互いに符号が反対で絶対値が実質的に等しく、

上記第３の容量と上記第４の容量は実質的に等しい容量値を有する容量対であり、

上記第５の容量と上記第６の容量は実質的に等しい容量値を有する容量対であり、

上記第１の容量の第１の電極と上記第２の容量の第１の電極は接続されて第１の信号が供給されており、

上記第３の容量の第１の電極と上記第４の容量の第１の電極は接続されて第２の信号が供給されており、

上記第１の容量の第２の電極と上記第３の容量の第２の電極は接続されて上記第１のオペアンプの反転入力端子に接続しており、

上記第２の容量の第２の電極と上記第４の容量の第２の電極は接続されて上記第２のオペアンプの反転入力端子に接続しており、

上記第５の容量の第１および第２の電極は、それぞれ上記第１のオペアンプの反転入力端子および出力に接続しており、

上記第６の容量の第１および第２の電極は、それぞれ上記第２のオペアンプの反転入力端子および出力に接続しており、

上記第１および第２のオペアンプの非反転入力端子には固定電圧が印加され、

上記第１のスイッチの第１および第２ の端子は、それぞれ上記第１のオペアンプの反転入力端子および出力に接続しており、

上記第２のスイッチの第１および第２の端子は、それぞれ上記第２のオペアンプの反転入力端子および出力に接続しており、

上記第１および第２のスイッチは第１の信号に同期してオンオフが制御され、

上記第３および第４の容量の容量値は上記第１および第２の容量の測定対象となる物理量が実質的にゼロの場合の容量値よりも小さく、

上記第２の信号の電位の上限と下限の差は、上記第１の信号の電位の上限と下限の差より大きく、上記第１の信号と上記第２の信号とは位相が反転していることを特徴とする静電容量式センサ。

[請求項3] MEMSおよび制御用ICを備え、

上記MEMSは少なくとも一つのMEMSセンサを備え、

上記制御用ICは、CV変換回路、A/D変換回路およびデジタル信号処理回路を備え、

上記MEMSセンサは、

第１および第２の容量を有し、

上記第１の容量と上記第２の容量は測定対象となる物理量が実質的

にゼロの場合には実質的に等しい容量値を有する容量対であり、

上記第１の容量と上記第２の容量は測定対象となる物理量が実質的にゼロでない場合には、物理量が実質的にゼロの場合の容量値から測定対象となる物理量に応じて容量値が変化し、

上記第１の容量と上記第２の容量の測定対象となる物理量に応じた容量値変化量は互いに符号が反対で絶対値が実質的に等しく、

上記CV変換回路は、

第３、第４、第５および第６の容量と、第１および第２のオペアンプと、第１および第２のスイッチとを有し、

上記第３の容量と上記第４の容量は実質的に等しい容量値を有する容量対であり、

上記第５の容量と上記第６の容量は実質的に等しい容量値を有する容量対であり、

上記第１の容量の第１の電極と上記第２の容量の第１の電極は接続されて第１の信号が供給されており、

上記第３の容量の第１の電極と上記第４の容量の第１の電極は接続されて第２の信号が供給されており、

上記第１の容量の第２の電極と上記第３の容量の第２の電極は接続されて上記第１のオペアンプの反転入力端子に接続しており、

上記第２の容量の第２の電極と上記第４の容量の第２の電極は接続されて上記第２のオペアンプの反転入力端子に接続しており、

上記第５の容量の第１および第２の電極は、それぞれ上記第１のオペアンプの反転入力端子および出力に接続しており、

上記第６の容量の第１および第２の電極は、それぞれ上記第２のオペアンプの反転入力端子および出力に接続しており、

上記第１および第２のオペアンプの非反転入力端子には固定電圧が印加され、

上記第１のスイッチの第１および第２の端子は、それぞれ上記第１

のオペアンプの反転入力端子および出力に接続しており、

上記第２のスイッチの第１および第２の端子は、それぞれ上記第２のオペアンプの反転入力端子および出力に接続しており、

上記第１および第２のスイッチは第１の信号に同期してオンオフが制御され、

上記第３および第４の容量の容量値は上記第１および第２の容量の測定対象となる物理量が実質的にゼロの場合の容量値よりも小さく、

上記第２の信号の電位の上限と下限の差は、上記第１の信号の電位の上限と下限の差より大きく、上記第１の信号と上記第２の信号とは位相が反転しており、

上記CV変換回路の出力を上記A/D変換回路で変換し、

上記A/D変換回路の出力を上記デジタル信号処理回路で処理し、

上記デジタル信号処理回路の第１の出力を検知信号として出力する静電容量式センサ。

[請求項4] １より大きい数nに対して、上記第３および第４の容量の容量値が上記第１および第２の容量の測定対象となる物理量が実質的にゼロの場合の容量値の1/n倍であり、上記第２の信号の電位の上限と下限の差が、上記第１の信号の電位の上限と下限の差のn倍であることを特徴とする

請求項３記載の静電容量式センサ。

[請求項5] 上記第２の信号の上限または下限電圧が昇圧回路の出力電圧で作成されていることを特徴とする

請求項３記載の静電容量式センサ。

[請求項6] 上記第２の信号の上限または下限電圧が昇圧回路の出力電圧で作成されていることを特徴とする

請求項４記載の静電容量式センサ。

[請求項7] 上記昇圧回路がチャージポンプ型またはDCDCコンバータ型であることを特徴とする請求項５記載の静電容量式センサ。

[請求項8] 上記昇圧回路がチャージポンプ型またはDCDCコンバータ型であることを特徴とする請求項６記載の静電容量式センサ。

[請求項9] 上記第１または第２の信号の上限または下限電圧が抵抗分圧回路で作成されていることを特徴とする
請求項３記載の静電容量式センサ。

[請求項10] 上記第１または第２の信号の上限または下限電圧が抵抗分圧回路で作成されていることを特徴とする
請求項４記載の静電容量式センサ。

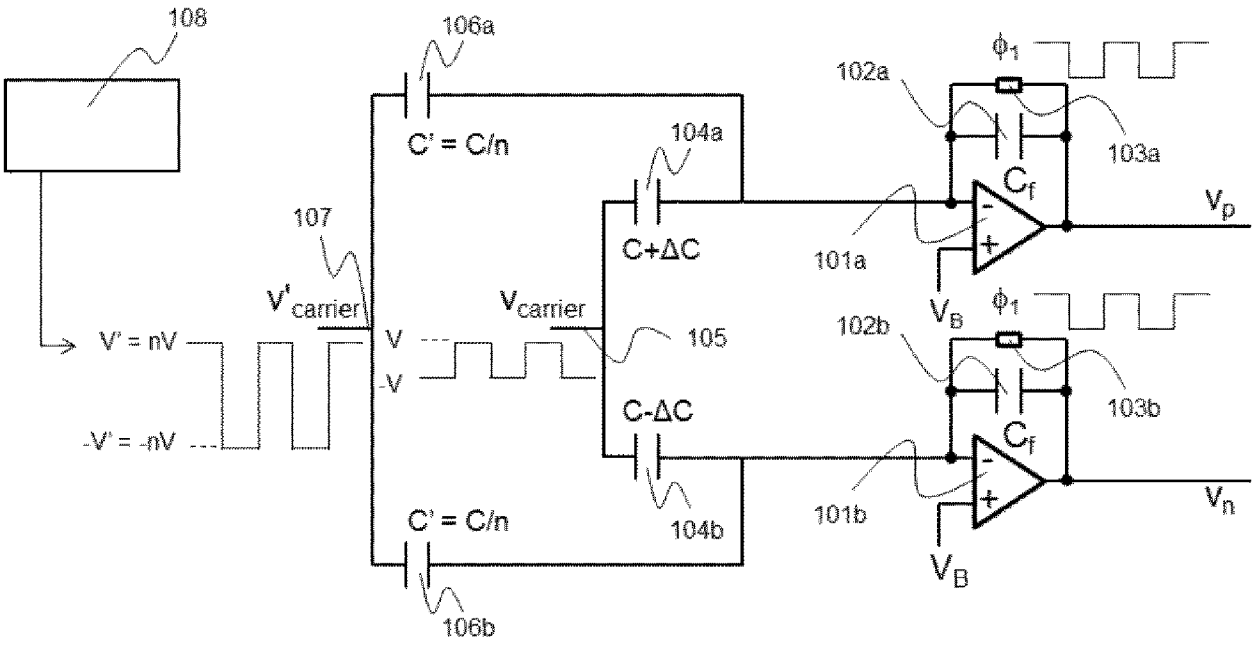
[請求項11] 第７および第８の容量と差動型D/A変換回路を有し、

上記第７の容量の第１の電極と上記第８の容量の第１の電極は接続されて、互いに接続された上記第１の容量の第１の電極と上記第２の容量の第１の電極に接続され、

上記デジタル信号処理回路の第２の出力を上記差動型D/A変換回路でアナログ電圧に変換し、上記差動型D/A変換回路の正相出力および逆相出力に基づいた電圧を上記第７の容量の第２の電極および上記第８の容量の第２の電極にそれぞれ印加することを特徴とする
請求項３記載の静電容量式センサ。

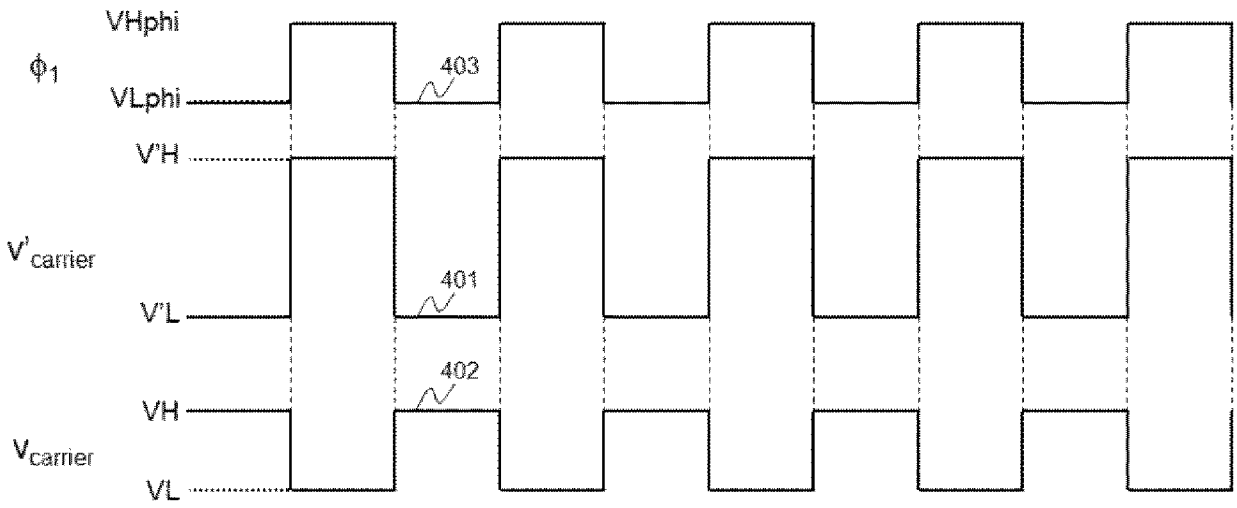
[図1]

図1


108
106a
C' = C/n
104a
C+ΔC
107
V'carrier
Vcarrier
105
V' = nV
V
-V
-V' = -nV
C-ΔC
C' = C/n
104b
106b
102a
ϕ1
103a
Cf
Vp
101a
VB
102b
103b
101b
Vn

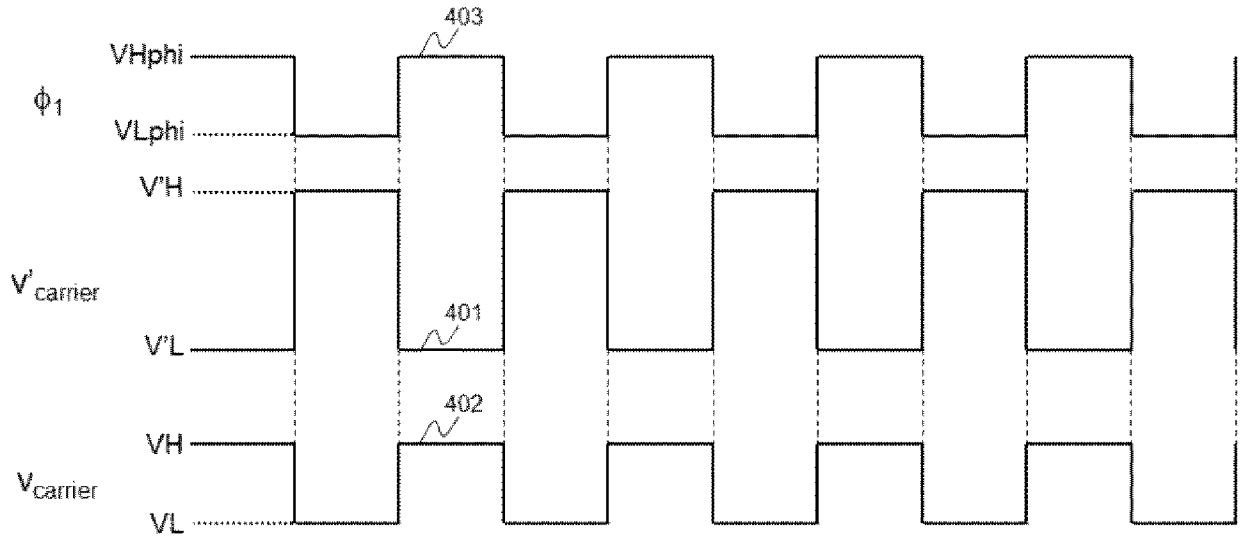
[図1A]

図1A


VHphi
ϕ1
VLphi
403
V'H
V'carrier
401
V'L
402
VH
Vcarrier
VL

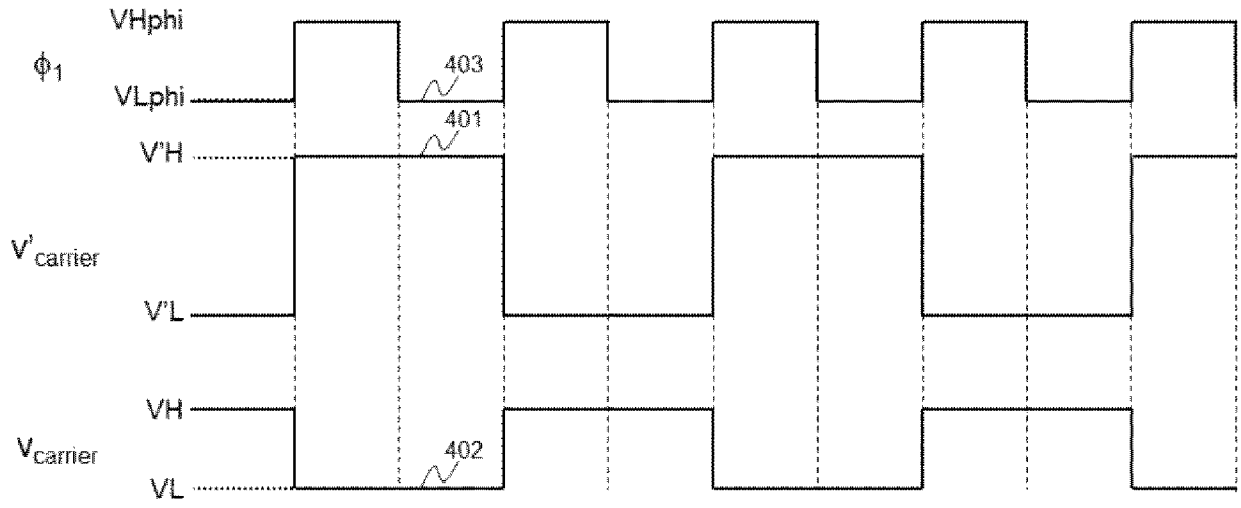
[図1B]

図1B



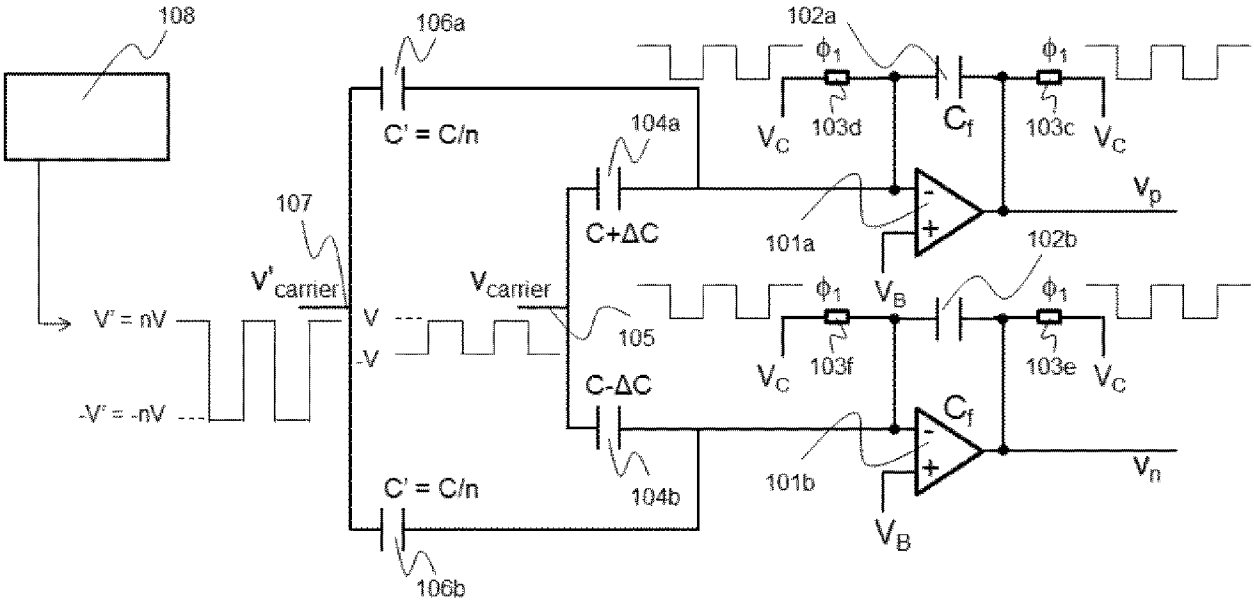
[図1C]

図1C



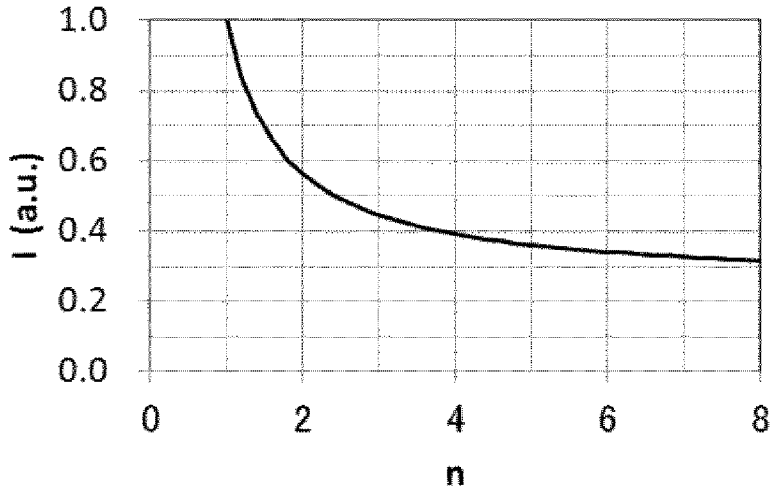
[図1D]

図1D


108
106a
C' = C/n
104a
C+ΔC
107
V'carrier
Vcarrier
V' = nV
V
-V
-V' = -nV
105
C-ΔC
C' = C/n
104b
106b
102a
ϕ1
VC
103d
Cf
103c
VC
Vp
101a
VB
102b
103f
103e
Vn
101b

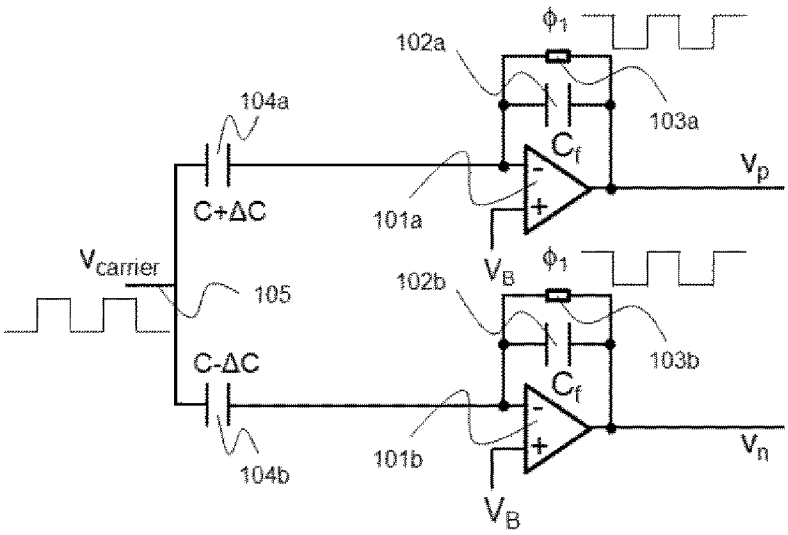
[図2]

図2


1.0
0.8
0.6
0.4
0.2
0.0
I (a.u.)
0
2
4
6
8
n

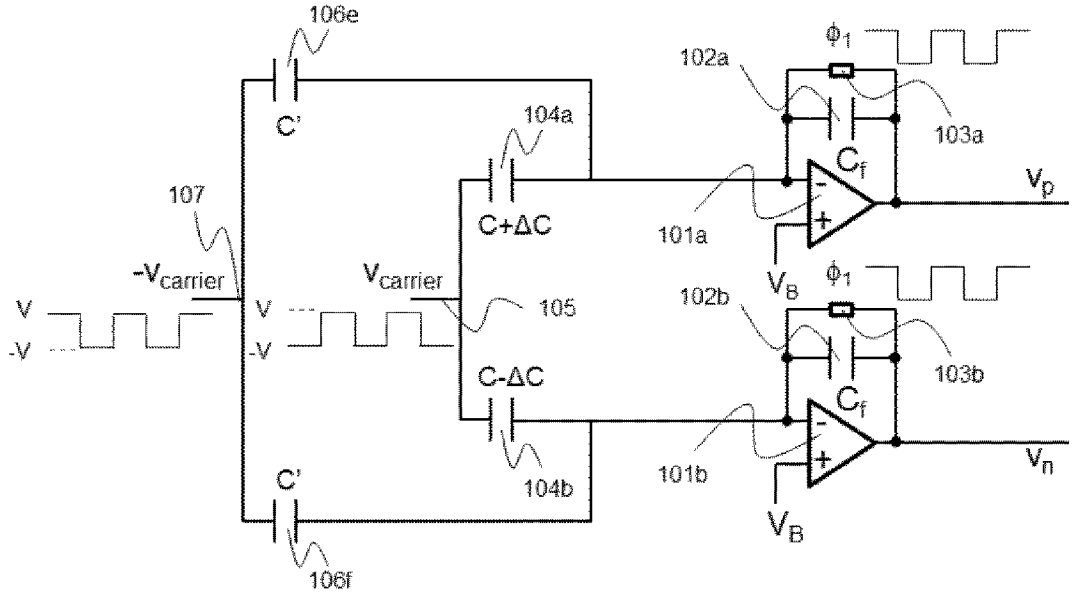
[図3]

図3


ϕ1
102a
104a
103a
Cf
Vp
C+ΔC
101a
Vcarrier
105
VB
ϕ1
102b
C-ΔC
103b
Cf
Vn
104b
101b
VB

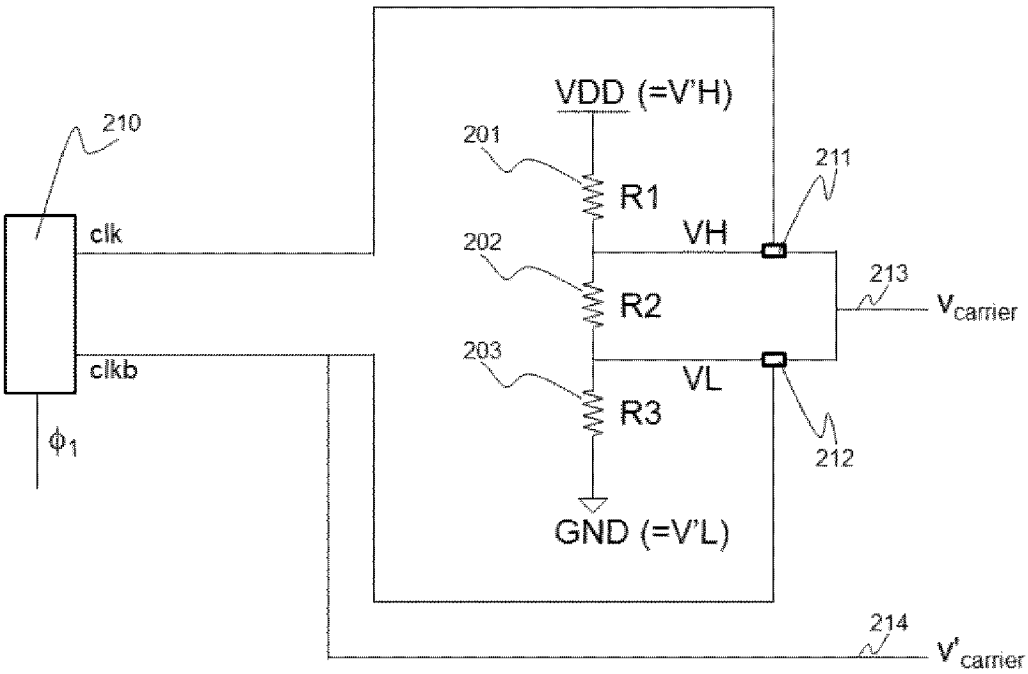
[図4]

図4


106e
C'
104a
ϕ1
102a
103a
Cf
Vp
107
C+ΔC
101a
-Vcarrier
Vcarrier
VB
ϕ1
V
-V
V
-V
105
102b
103b
C-ΔC
Cf
Vn
104b
101b
C'
VB
106f

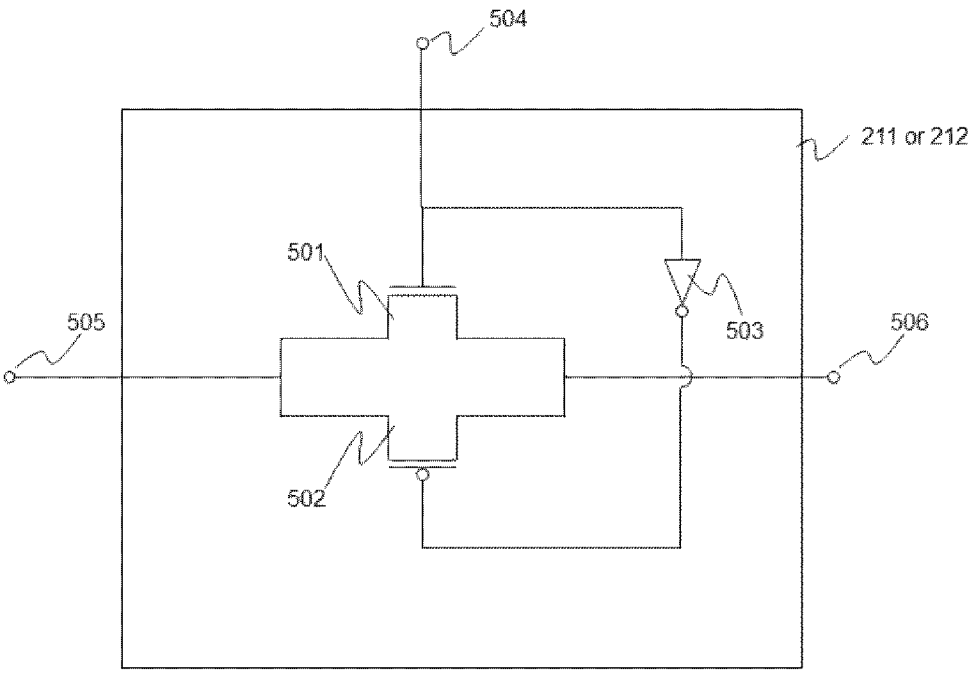
[図5A]

図5A



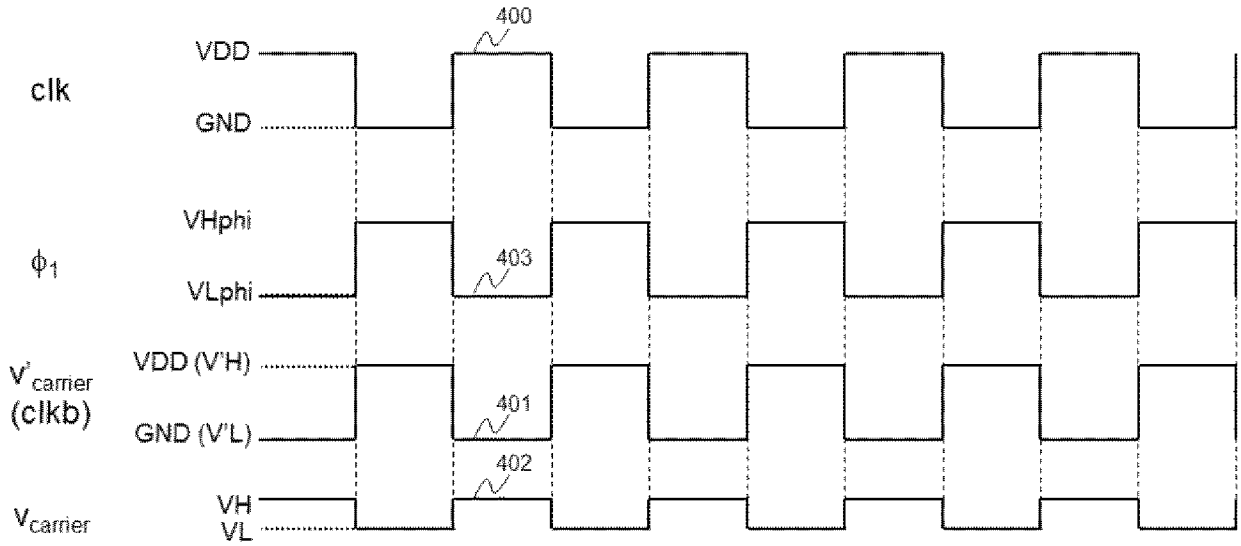
[図5B]

図5B



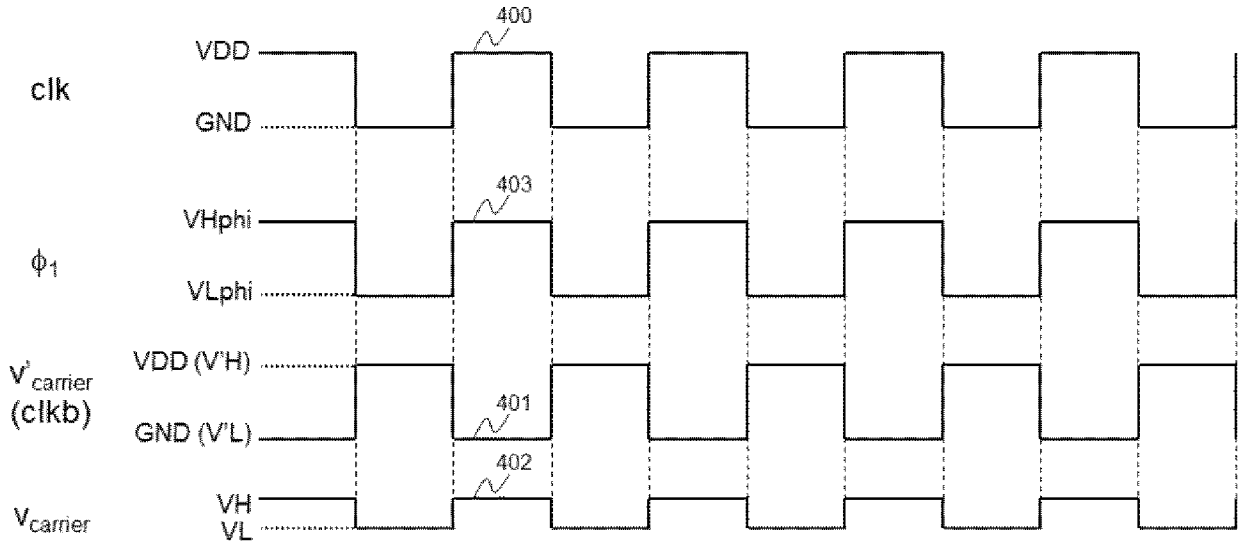
[図6A]

図6A



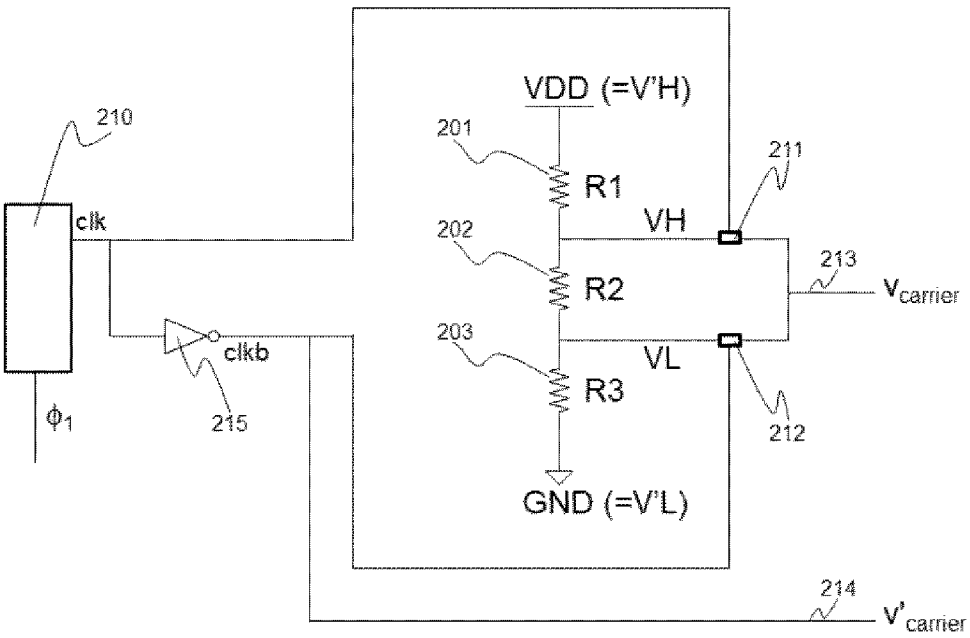
[図6B]

図6B



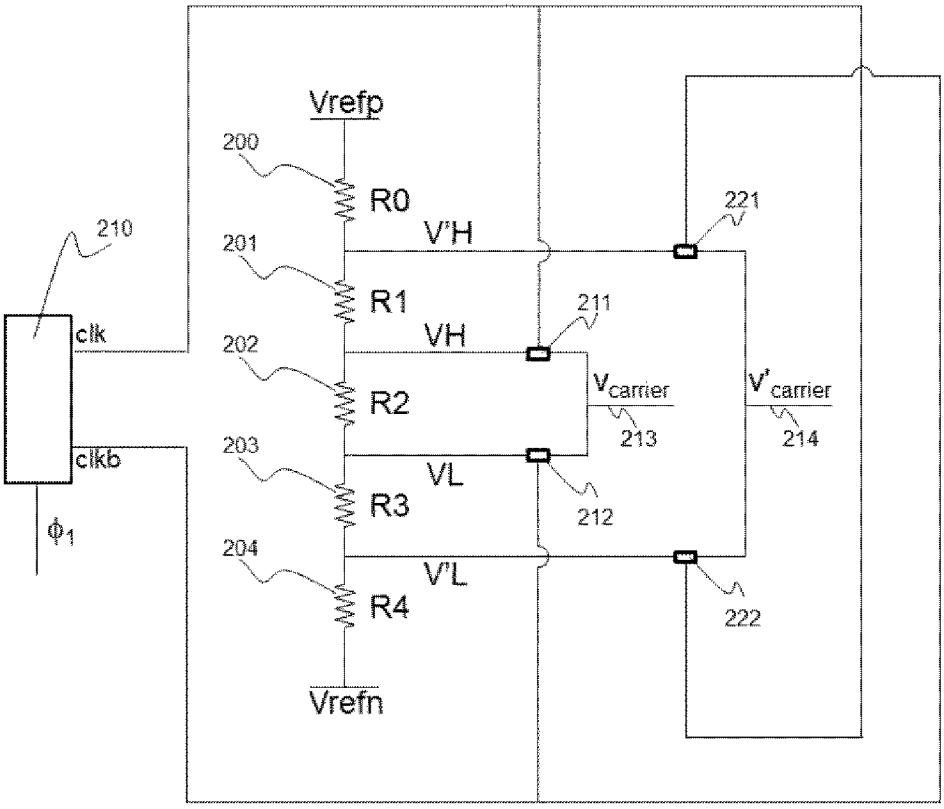
[図7]

図7


VDD (=V'H)
201
R1
VH
202
R2
VL
203
R3
GND (=V'L)
210
clk
clkb
ϕ_1
215
211
212
213
$V_{carrier}$
214
$V'_{carrier}$

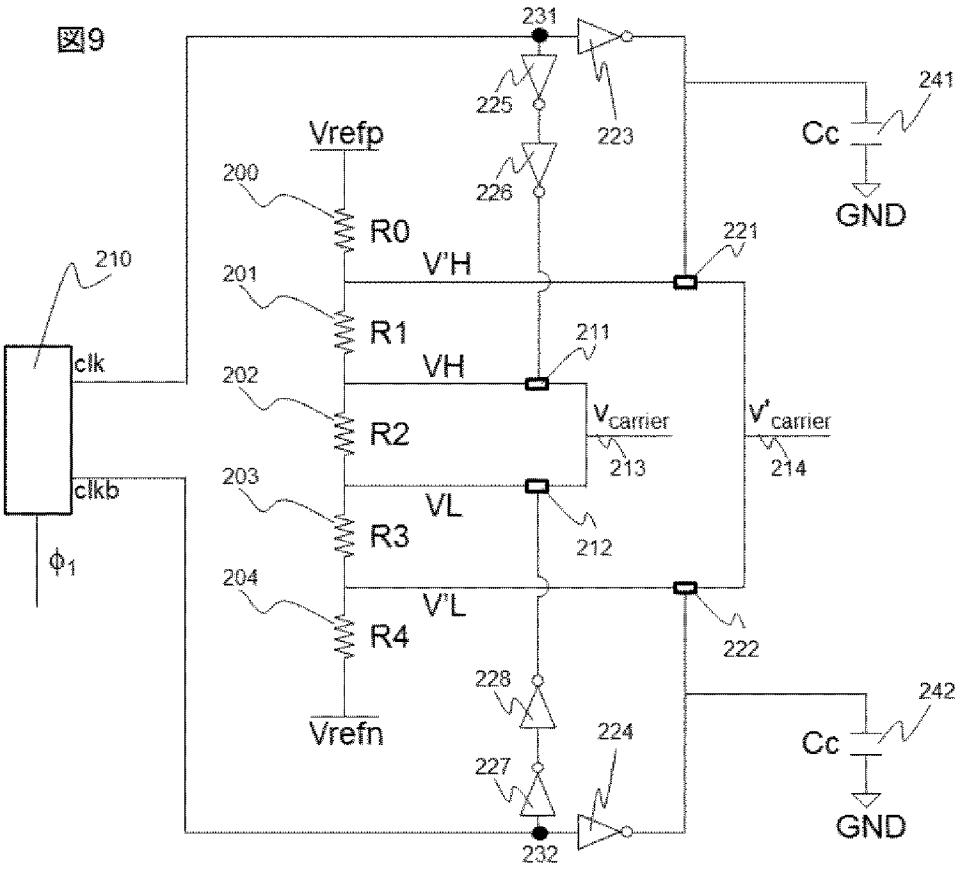
[図8]

図8


Vrefp
200
R0
V'H
201
R1
VH
202
R2
VL
203
R3
V'L
204
R4
Vrefn
210
clk
clkb
ϕ_1
211
212
213
$V_{carrier}$
214
$V'_{carrier}$
221
222

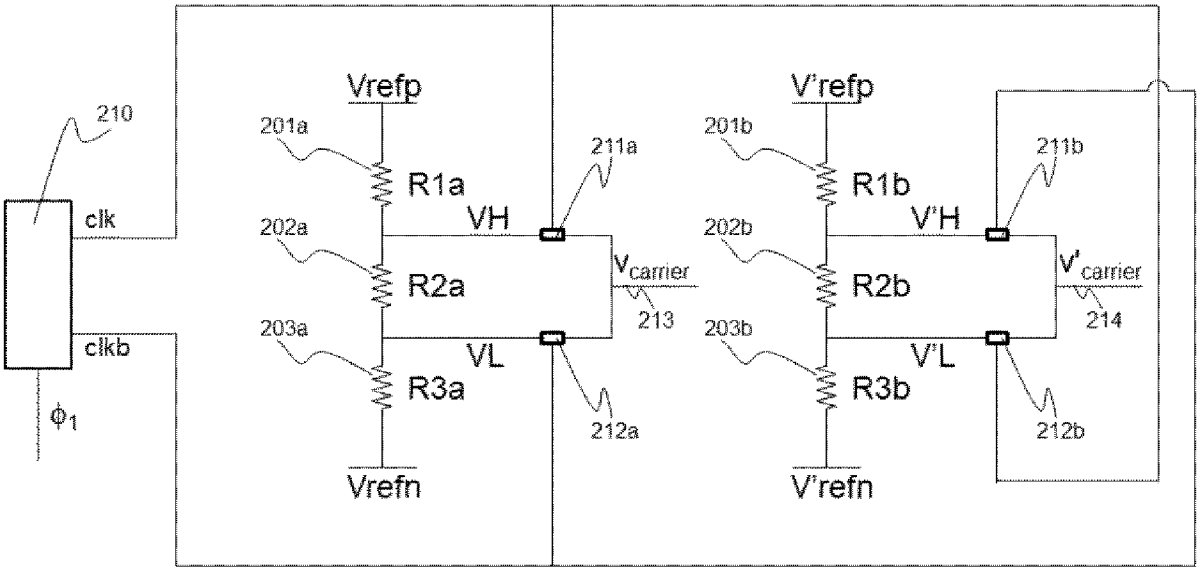
[図9]

図9


231
225
223
241
Vrefp
Cc
226
GND
200
R0
221
210
V'H
201
R1
211
clk
VH
202
R2
Vcarrier
V'carrier
213
214
clkb
203
R3
VL
212
ϕ1
204
V'L
R4
222
228
242
Vrefn
224
Cc
227
GND
232

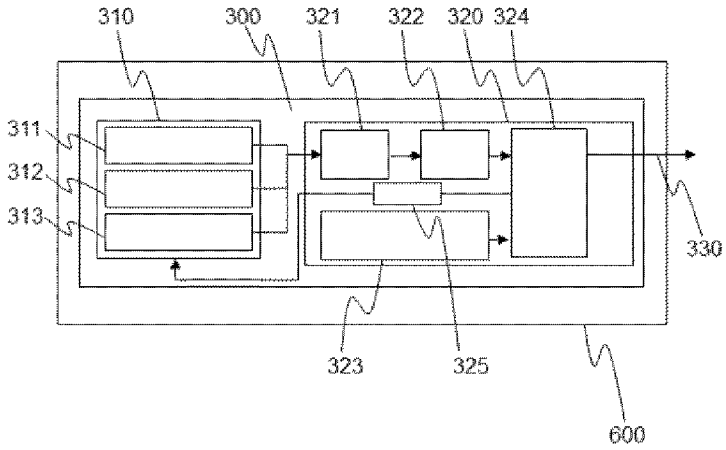
[図10]

図10


210
Vrefp
V'refp
201a
211a
201b
211b
R1a
R1b
clk
VH
V'H
202a
202b
R2a
R2b
Vcarrier
V'carrier
213
214
clkb
203a
203b
VL
V'L
R3a
R3b
ϕ1
212a
212b
Vrefn
V'refn

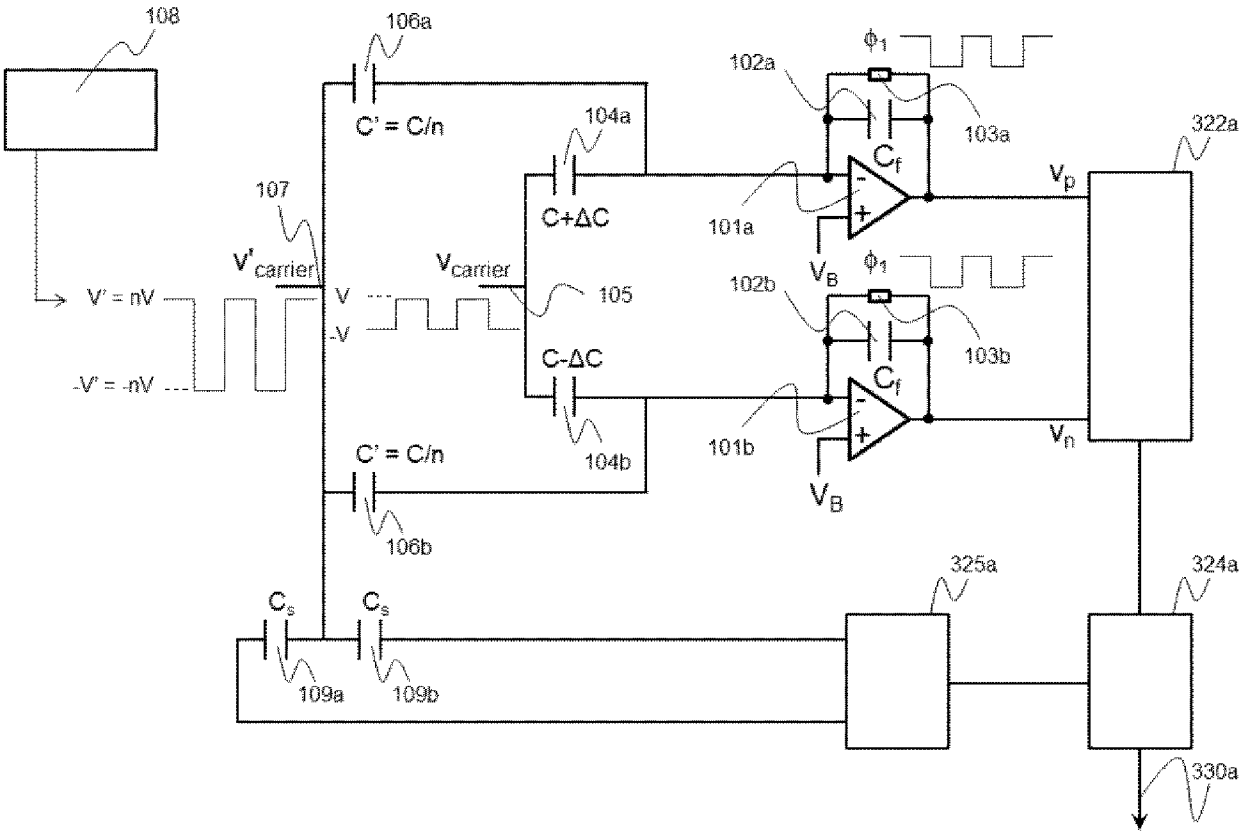
[図11]

図11



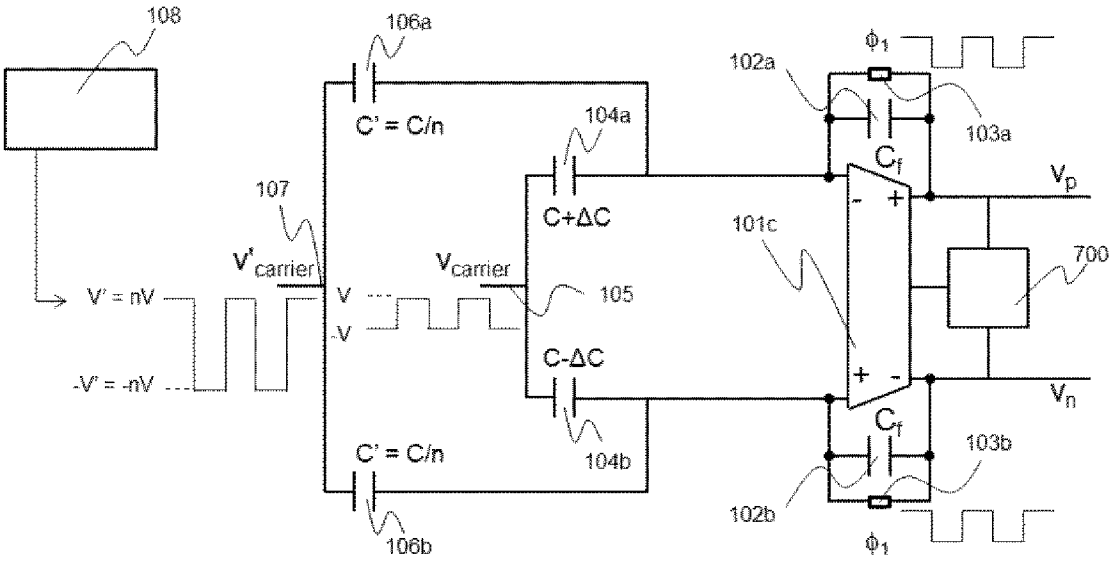
[図12]

図12



[図13]

図13


108
106a
C' = C/n
104a
C+ΔC
107
V'carrier
Vcarrier
105
V' = nV
V
-V
-V' = -nV
C-ΔC
C' = C/n
104b
106b
102a
ϕ1
103a
Cf
Vp
101c
700
Vn
Cf
103b
102b
ϕ1

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2017/014971

A. CLASSIFICATION OF SUBJECT MATTER
G01P15/125(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G01P15/00-15/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2015-135245 A (Seiko Epson Corp.), 27 July 2015 (27.07.2015), entire text; all drawings (Family: none)	1-11
A	US 2014/0176231 A1 (STMICROELECTRONICS S.R.L.), 26 June 2014 (26.06.2014), entire text; all drawings & IT TO20121116 A	1-11

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
03 July 2017 (03.07.17)	11 July 2017 (11.07.17)

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3,Kasumigaseki,Chiyoda-ku, Tokyo 100-8915,Japan	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2017/014971

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2013-542411 A (SI-Ware Systems Inc.), 21 November 2013 (21.11.2013), entire text; all drawings & CN 103119723 A & CN 106289221 A & EP 2616782 A1 & EP 3051256 A1 & KR 10-2013-0118303 A & US 2012/0235724 A1 & US 2012/0235725 A1 & US 2012/0235726 A1 & WO 2012/035439 A2	1-11
A	US 2013/0279717 A1 (NXP B.V.), 24 October 2013 (24.10.2013), entire text; all drawings & CN 103379410 A & EP 2653845 A1	1-11
A	JP 2013-150274 A (Fuji Electric Co., Ltd.), 01 August 2013 (01.08.2013), entire text; all drawings (Family: none)	1-11
A	JP 2009-198265 A (Asahi Kasei EMD Corp.), 03 September 2009 (03.09.2009), entire text; all drawings (Family: none)	1-11

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１７／０１４９７１

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　G01P15/125(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　G01P15/00-15/18

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１７年
日本国実用新案登録公報	１９９６－２０１７年
日本国登録実用新案公報	１９９４－２０１７年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2015-135245 A (セイコーエプソン株式会社) 2015.07.27, 全文,全図 (ファミリーなし)	1-11
A	US 2014/0176231 A1 (STMICROELECTRONICS S.R.L.) 2014.06.26, 全文,全図 & IT TO20121116 A	1-11

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
０３．０７．２０１７	１１．０７．２０１７

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　２Ｆ　９２０６
岡田　卓弥
電話番号　０３－３５８１－１１０１　内線　３２１６

C（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2013-542411 A (エスアイーウェアー　システムズ　インコーポレーテッド) 2013.11.21, 全文,全図 & CN 103119723 A & CN 106289221 A & EP 2616782 A1 & EP 3051256 A1 & KR 10-2013-0118303 A & US 2012/0235724 A1 & US 2012/0235725 A1 & US 2012/0235726 A1 & WO 2012/035439 A2	1-11
A	US 2013/0279717 A1 (NXP B.V.) 2013.10.24, 全文,全図 & CN 103379410 A & EP 2653845 A1	1-11
A	JP 2013-150274 A (富士電機株式会社) 2013.08.01, 全文,全図 (ファミリーなし)	1-11
A	JP 2009-198265 A (旭化成エレクトロニクス株式会社) 2009.09.03, 全文,全図 (ファミリーなし)	1-11