

# (12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织  
国际局

(43) 国际公布日  
2016年12月22日 (22.12.2016)



(10) 国际公布号  
WO 2016/202222 A1

- (51) 国际专利分类号:  
G06F 3/06 (2006.01)
- (21) 国际申请号: PCT/CN2016/085501
- (22) 国际申请日: 2016年6月12日 (12.06.2016)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:  
201510336814.7 2015年6月17日 (17.06.2015) CN
- (71) 申请人: 深圳市中兴微电子有限公司 (ZTE MICROELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市盐田区大梅沙1号厂房, Guangdong 518085 (CN)。
- (72) 发明人: 张猛 (ZHANG, Meng); 中国广东省深圳市盐田区大梅沙1号厂房, Guangdong 518085 (CN)。
- (74) 代理人: 北京派特恩知识产权代理有限公司 (CHINA PAT INTELLECTUAL PROPERTY OF-

FICE); 中国北京市海淀区海淀南路21号中关村知识产权大厦B座2层, Beijing 100080 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO,

[见续页]

(54) Title: ACCESS METHOD AND DEVICE FOR RANDOM ACCESS MEMORIES, CONTROL CHIP AND STORAGE MEDIUM

(54) 发明名称: 一种随机存取存储器的访问方法、装置及控制芯片、存储介质



图 1

(57) Abstract: Disclosed are an access device and method for RAMs and a control chip. The device comprises: a register module used to acquire attribute information and startup information about the configuration of a central processor and send the startup information to a search and matching module, and also configured to store data information successfully matched by the search and matching module and instruct the central processor to read the data information; the search and matching module configured to send address information to a RAM interface module according to the startup information, and also configured to acquire the data information sent by the RAM interface module, match the data information on the basis of the attribute information in the register module and send the data information to the register module after matching is successful; and the RAM interface module configured to read the data information from a RAM on the basis of the address information sent by the search and matching module and send the data information to the search and matching module.

(57) 摘要: 本发明实施例公开了一种RAM的访问装置、方法及控制芯片。所述装置包括: 寄存器模块, 用于获取中央处理器配置的属性信息和启动信息, 将所述启动信息发送至查找匹配模块; 还配置为存储所述查找匹配模块匹配成功的数据信息, 指示所述中央处理器读取所述数据信息; 查找匹配模块, 配置为根据所述启动信息向RAM接口模块发送地址信息; 还配置为获取所述RAM接口模块发送的数据信息, 基于所述寄存器模块中的属性信息与所述数据信息进行匹配, 匹配成功后, 将所述数据信息发送至所述寄存器模块; RAM接口模块, 配置为基于所述查找匹配模块发送的地址信息从RAM中读取数据信息, 将所述数据信息发送至所述查找匹配模块。

- 10 Access device for RAMs
- 11 RAM interface module
- 12 Search and matching module
- 13 Register module
- AA Central processor

WO 2016/202222 A1

RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, **本国际公布:**  
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, — 包括国际检索报告(条约第 21 条(3))。  
TG)。

## 一种随机存取存储器的访问方法、装置及控制芯片、存储介质

### 技术领域

本发明涉及通信技术领域，具体涉及一种随机存取存储器（RAM，Random-Access Memory）的访问方法、装置及控制芯片、存储介质。

### 5 背景技术

随着通信技术的飞速发展，网络的传输速率发展到 100Gb/s，甚至更高。随着传输速率的提高，对 RAM 的访问速度要求也越来越高。比如路由器中的路由表，交换机中的媒体访问控制（MAC，Media/Medium Access Control）地址表，这些表均存储在对应通信设备的 RAM 中，为了实时了解存放在 RAM 中的信息，需要通过中央处理器（CPU，Central Processing Unit）访问 RAM 后进行分析。目前的通信设备中，100Gb/s 以上的数据传输是通过专用集成电路（ASIC，Application Specific Integrated Circuit）芯片实现的，而存放路由表、MAC 地址表等信息的 RAM 也是处于这个 ASIC 芯片中。CPU 要访问 ASIC 中的 RAM，要通过一个带宽并不太高的接口，该接口的  
10  
15 带宽在 10M-200M 之间。

现有技术中，传统的 RAM 的访问过程包括：CPU 将访问的 RAM 编号（RAM\_ID）和访问地址等指令写入命令寄存器；ASIC 内部的逻辑电路根据命令寄存器中的指令来读取 RAM 中的数据信息，读取到的数据信息存储在数据寄存器后，CPU 读取数据寄存器中的数据信息。按照这种方式获得  
20 RAM 中的信息至少需要 10 多个 ASIC 时钟周期，才能得到 RAM 中的一条数据信息。并且，要获取 RAM 中带有某一类属性的信息时，并不知道这个信息在 RAM 中的具体地址，需要将 RAM 的所有地址遍历一遍，从所有的 RAM 信息中提取带有这类属性的信息。按照这种方式访问 RAM 需要消耗

更多的时间，效率较低。

## 发明内容

为解决现有存在的技术问题，本发明实施例提供一种访问 RAM 的方法、装置及控制芯片、存储介质，能够解决访问 RAM 效率低下的问题。

5 本发明实施例的技术方案是这样实现的：

本发明实施例提供了一种 RAM 的访问装置，所述装置包括：寄存器模块、查找匹配模块和 RAM 接口模块；其中，

所述寄存器模块，用于获取中央处理器配置的属性信息和启动信息，将所述启动信息发送至所述查找匹配模块；还用于存储所述查找匹配模块  
10 匹配成功的数据信息，指示所述中央处理器读取所述数据信息；

所述查找匹配模块，配置为根据所述启动信息向所述 RAM 接口模块发送地址信息；还配置为获取所述 RAM 接口模块发送的数据信息，基于所述寄存器模块中的属性信息与所述数据信息进行匹配，匹配成功后，将所述数据信息发送至所述寄存器模块；

15 所述 RAM 接口模块，配置为基于所述查找匹配模块发送的地址信息从 RAM 中读取数据信息，将所述数据信息发送至所述查找匹配模块。

上述方案中，所述寄存器模块，用于获取中央处理器配置的属性信息和启动信息，所述属性信息包括：待访问的地址范围信息；

20 所述查找匹配模块，配置为接收到所述启动信息后，基于所述待访问的地址范围信息，从起始地址开始至结束地址终止依次向所述 RAM 接口模块发送地址信息。

上述方案中，所述寄存器模块，用于获取中央处理器配置的属性信息；所述属性信息包括：属性参数；

25 所述查找匹配模块，配置为基于所述寄存器模块中的属性参数与所述数据信息进行匹配。

上述方案中，所述寄存器模块包括：配置寄存器、数据寄存器和状态寄存器；其中，

所述配置寄存器，用于获取中央处理器配置的属性信息和启动信息，将所述启动信息发送至所述查找匹配模块；

5 所述数据寄存器，用于存储所述查找匹配模块匹配成功的数据信息；  
所述状态寄存器，用于指示所述中央处理器读取所述数据信息。

上述方案中，所述配置寄存器包括：属性寄存器和启动寄存器；其中，  
所述属性寄存器，用于获取中央处理器配置的属性信息；

所述启动寄存器，用于获取中央处理器配置的启动信息，将所述启动  
10 信息发送至所述查找匹配模块。

上述方案中，所述状态寄存器包括单个数据已获取状态寄存器，用于  
当所述查找匹配模块匹配成功的数据信息存储至所述数据寄存器中时，通  
过高电位指示所述中央处理器读取所述数据信息。

上述方案中，所述状态寄存器还包括所有数据已获取状态寄存器，用  
15 于确定待访问的数据信息访问结束时，指示 RAM 访问结束。

本发明实施例还提供了一种 RAM 的访问方法，所述方法包括：

获取中央处理器配置的属性信息和启动信息；

基于所述启动信息和所述属性信息查找 RAM 获得数据信息；

将所述数据信息与所述属性信息进行匹配，匹配成功后指示所述中央  
20 处理器读取所述数据信息。

上述方案中，所述属性信息包括：待访问的地址范围信息和属性参数；

所述基于所述启动信息和所述属性信息查找 RAM 获得数据信息，包  
括：当接收到所述中央处理器配置的启动信息时，基于所述属性信息中的  
地址范围信息，从起始地址开始至结束地址终止依次查找 RAM 获得数据信  
25 息；

相应的，将所述数据信息与所述属性信息进行匹配，包括：

将所述数据信息与所述属性信息中的属性参数进行匹配。

本发明实施例还提供了一种控制芯片，所述控制芯片包括：随机存取存储器 RAM 和权利要求 1 至 7 任一项所述的 RAM 的访问装置；其中，

5 所述 RAM，配置为存储数据信息。

本发明实施例还提供了一种存储介质，所述存储介质中存储有计算机程序，所述计算机程序配置为执行所述的随机存取存储器 RAM 的访问方法。

本发明实施例提供的访问 RAM 的方法、装置及控制芯片，通过所述  
10 RAM 的访问装置内部匹配出符合属性信息的数据信息，将所述数据信息存储在所述访问装置内的数据寄存器中；CPU 仅需要访问寄存器模块（具体是寄存器模块中的状态寄存器和数据寄存器）直接读取符合属性信息的数据，无需 CPU 遍历 RAM 中的所有数据信息再由 CPU 判断数据信息是否满足属性信息的要求，大大节省了访问时间，提升了 RAM 的访问效率。

## 15 附图说明

图 1 为本发明实施例一的 RAM 的访问装置的第一种组成结构示意图；

图 2 为本发明实施例一的 RAM 的访问装置的第二种组成结构示意图；

图 3 为本发明实施例二的控制芯片的组成结构示意图；

图 4 为本发明实施例三的 RAM 的访问方法的流程示意图；

20 图 5 为本发明实施例四的 RAM 的访问方法的流程示意图。

## 具体实施方式

下面结合附图及具体实施例对本发明作进一步详细的说明。

### 实施例一

本发明实施例提供了一种 RAM 的访问装置。图 1 为本发明实施例一的

RAM 的访问装置的组成结构示意图；如图 1 所示，所述装置包括：寄存器模块 13、查找匹配模块 12 和 RAM 接口模块 11；其中，

所述寄存器模块 13，用于获取中央处理器配置的属性信息和启动信息，将所述启动信息发送至所述查找匹配模块 12；还用于存储所述查找匹配模块 12 匹配成功的数据信息，指示所述中央处理器读取所述数据信息；

所述查找匹配模块 12，配置为根据所述启动信息向所述 RAM 接口模块 11 发送地址信息；还配置为获取所述 RAM 接口模块 11 发送的数据信息，基于所述寄存器模块 13 中的属性信息与所述数据信息进行匹配，匹配成功后，将所述数据信息发送至所述寄存器模块 13；

所述 RAM 接口模块 11，配置为基于所述查找匹配模块 12 发送的地址信息从 RAM 中读取数据信息，将所述数据信息发送至所述查找匹配模块 12。

其中，所述寄存器模块 13，用于获取中央处理器配置的属性信息和启动信息，所述属性信息包括：待访问的地址范围信息；所述查找匹配模块 12，用于接收到所述启动信息后，基于所述待访问的地址范围信息，从起始地址开始依次向所述 RAM 接口模块 11 发送地址信息。

其中，所述寄存器模块 13，用于获取中央处理器配置的属性信息；所述属性信息包括：属性参数；所述查找匹配模块 12，用于基于所述寄存器模块 13 中的属性参数与所述数据信息进行匹配。

本实施例中，所述寄存器模块 13 主要用于获取 CPU 配置的属性信息和启动信息，CPU 可通过配置属性信息指示本实施例所述的 RAM 访问装置如何进行操作，例如配置进行匹配的属性参数、配置待访问的 RAM 标识（具体为 RAM 编号）、配置待访问的 RAM 的地址范围信息（包括起始地址和结束地址等）等，也即所述属性信息可以包括属性参数、RAM 标识以及 RAM 的地址范围信息等等；其中，所述待访问的 RAM 的地址范围满足

所述 RAM 的地址范围, 即当所述 RAM 的地址范围为大于等于 0 小于等于 N (N 为正整数) 时, 所述待访问的 RAM 地址范围为大于等于 a 小于等于 b; 其中, a 大于等于 0, b 小于等于 N, a 和 b 均为正整数; 可以理解为, CPU 根据 RAM 的地址范围信息配置待访问的地址范围信息。当然, 所述待访问的地址范围信息为可选的, 即所述寄存器模块 13 获取 CPU 配置的属性信息中也可以不包括所述待访问的地址范围信息; 当所述属性信息中不包括所述待访问的地址范围信息时, 所述查找匹配模块从 RAM 的地址 0 开始至所述 RAM 的地址 n (n 表征 RAM 的深度) 结束依次向 RAM 接口模块发送地址信息。并且 CPU 还可以配置所述启动信息指示本实施例所述的 RAM 访问装置开始执行数据访问, 也可以理解为, 所述 CPU 向所述寄存器模块 13 发送表征执行数据访问的信号, 所述寄存器模块 13 基于所述信号开始执行数据访问操作。所述寄存器模块 13 还用于获取所述查找匹配模块 12 匹配成功的数据信息, 指示 CPU 可以进行数据读取。

所述查找匹配模块 12 配置为控制待访问的 RAM 的地址; 具体的, 所述查找匹配模块 12 基于所述寄存器模块 13 中的属性信息, 具体基于所述属性信息中的地址范围信息, 从所述地址范围信息中的起始地址开始, 依次控制 RAM 接口模块 11 从相应的 RAM 中读取数据信息; 当一个地址信息的数据信息读取完成过后, 所述查找匹配模块 12 将所述地址信息的地址值加 1, 生成新的地址信息, 将所述新的地址信息发送至所述 RAM 接口模块 11 继续从 RAM 中读取数据信息, 直至所述地址范围信息中的所有地址信息对应的数据信息均读取完成。

所述 RAM 接口模块 11 主要配置为访问 RAM, 利用所述查找匹配模块 12 指示的地址信息访问 RAM 获得相应的数据信息, 将所述数据信息发送至所述查找匹配模块 12 进行匹配。

本实施例中, 所述查找匹配模块 12 基于所述寄存器模块 13 中的属性

信息与所述数据信息进行匹配，包括，所述查找匹配模块 12 基于寄存器模块 13 中的属性参数与所述数据信息按预设匹配规则进行匹配；其中，所述预设匹配规则包括：等于、小于或大于所述属性参数，所述预设匹配规则还可以是：基于所述属性参数按预设运算规则运算后等于预设阈值。

5 具体的，以所述属性参数为：端口 (PORT) =8，则当所述预设规则为等于所述属性参数时，则匹配出的数据信息的 PORT 值为 8；当所述预设规则为小于所述属性参数时，则匹配出的数据信息的 PORT 值均小于 8；相应的，当所述预设规则为大于所述属性参数时，则匹配出的数据信息的 PORT 值均大于 8。当所述预设规则为基于所述属性参数按预设运算规则运算后等  
10 于预设阈值时，假设所述预设运算规则为减法，所述预设阈值为 3，则匹配的出的数据信息的 PORT 值为 5 或 11。

作为一种实施方式，图 2 为本发明实施例一的 RAM 的访问装置的第二种组成结构示意图；如图 2 所示，所述 RAM 的访问装置中，所述寄存器模块 13 包括：配置寄存器 131、数据寄存器 132 和状态寄存器 133；其中，

15 所述配置寄存器 131，用于获取中央处理器配置的属性信息和启动信息，将所述启动信息发送至所述查找匹配模块 12；

所述数据寄存器 132，用于存储所述查找匹配模块 12 匹配成功的数据信息；

所述状态寄存器 133，用于指示所述中央处理器读取所述数据信息。

20 具体的，CPU 可通过配置属性信息指示本实施例所述的 RAM 访问装置如何进行操作，例如配置进行匹配的属性参数、配置待访问的 RAM 标识（具体为 RAM 编号）、配置待访问的 RAM 的地址范围信息（包括起始地址和结束地址等）等，也即所述属性信息可以包括属性参数、RAM 标识以及 RAM 的地址范围信息等等；本实施方式中，所述配置寄存器 131 用于存  
25 储所述属性信息。另一方面，CPU 还可以配置所述启动信息指示本实施例

所述的 RAM 访问装置开始执行数据访问，也可以理解为，所述 CPU 向所述配置寄存器 131 发送表征执行数据访问的信号，所述配置寄存器 131 基于所述信号向所述查找匹配模块 12 发送启动信息。

本实施方式中，通过所述数据寄存器 132 存储所述查找匹配模块 12 匹配成功的数据信息；当所述数据寄存器 132 中有数据信息存储时，通过所述状态寄存器 133 指示 CPU 可以读取所述数据信息。具体的，当所述数据寄存器 132 中有数据信息存储时，所述状态寄存器 133 通过设置为高电位，以指示 CPU 当前可以读取数据信息。

基于本实施例的另一实施方式，所述配置寄存器 131 包括：属性寄存器和启动寄存器；其中，

所述属性寄存器，用于获取中央处理器配置的属性信息；

所述启动寄存器，用于获取中央处理器配置的启动信息，将所述启动信息发送至所述查找匹配模块 12。

具体的，所述属性寄存器用于存储配置的属性信息，所述属性信息包括属性参数，还可以包括：待访问的 RAM 标识、待访问的 RAM 的地址范围信息等等。所述启动寄存器获取 CPU 配置的启动信息，基于 CPU 配置的启动信息触发本实施例所述的 RAM 访问装置开始执行数据访问。

基于本实施例的另一实施方式，所述状态寄存器 133 包括单个数据已获取状态寄存器，用于当所述查找匹配模块 12 匹配成功的数据信息存储至所述数据寄存器 132 中时，通过高电位指示所述中央处理器读取所述数据信息。

所述状态寄存器 133 还包括所有数据已获取状态寄存器，用于确定待访问的数据信息访问结束时，指示 RAM 访问结束。

具体的，在所述查找匹配模块 12 基于所述寄存器模块 13 中的属性信息与所述 RAM 读取的数据信息进行匹配，将匹配成功的数据信息写入数据

寄存器 132 的过程中，当有数据信息写入所述数据寄存器 132 时，所述单个数据已获取状态寄存器通过设置为高电位以指示所述 CPU 可以读取所述数据信息；当所述查找匹配模块 12 确定待访问的 RAM 的地址以达到结束地址时，也即待访问的最后一个数据信息均写入所述数据寄存器 132 且 CPU  
5 读取所述最后一个数据信息完成后，所述所有数据已获取状态寄存器通过设置为高电位以指示所有的待访问数据信息均已被读取，结束访问流程。

本发明实施例的技术方案，在不改变原有接口带宽的情况下，通过所述 RAM 的访问装置内部匹配出符合属性信息的数据信息，将所述数据信息存储  
10 在所述访问装置内的数据寄存器中；CPU 仅需要访问寄存器模块（具体是寄存器模块中的状态寄存器和数据寄存器）直接读取符合属性信息的数据，无需 CPU 遍历 RAM 中的所有数据信息再由 CPU 判断数据信息是否满足属性信息的要求，大大节省了访问时间，提升了 RAM 的访问效率。

本实施例中，所述 RAM 的访问装置中的寄存器模块 13、查找匹配模块 12 和 RAM 接口模块 11，在实际应用中均可由数字信号处理器（DSP，  
15 Digital Signal Processor）或可编程门阵列（FPGA，Field - Programmable Gate Array）实现。

## 实施例二

基于实施例一的 RAM 的访问装置，本发明实施例还提供了一种控制芯片。图 3 为本发明实施例二的控制芯片的组成结构示意图；如图 3 所示，  
20 所述控制芯片包括：RAM 和 RAM 的访问装置；其中，

所述 RAM，配置为存储数据信息；

所述 RAM 的访问装置包括本发明实施例一所述的 RAM 的访问装置。

本实施例中，所述控制芯片具体可以为 ASIC 芯片；所述 ASIC 芯片中包括至少一个 RAM 和本发明实施例所述的 RAM 的访问装置；所述 RAM  
25 的访问装置与 CPU 之间通过一个带宽并不太高的接口实现，所述带宽在

10M-200M 之间。而在传统的技术方案中，CPU 要访问 ASIC 中的 RAM，需要通过一个带宽并不太高的接口，所述带宽在 10M-200M 之间。可以理解为，本发明实施例的技术方案，在不改变原有接口带宽的前提下提出一个新的技术方案，

5 具体的，基于实施例以及图 1 和图 2 所示，所述 RAM 的访问装置包括：寄存器模块 13、查找匹配模块 12 和 RAM 接口模块 11；其中，

所述寄存器模块 13，用于获取中央处理器配置的属性信息和启动信息，将所述启动信息发送至所述查找匹配模块 12；还用于存储所述查找匹配模块 12 匹配成功的数据信息，指示所述中央处理器读取所述数据信息；

10 所述查找匹配模块 12，配置为根据所述启动信息向所述 RAM 接口模块 11 发送地址信息；还配置为获取所述 RAM 接口模块 11 发送的数据信息，基于所述寄存器模块 13 中的属性信息与所述数据信息进行匹配，匹配成功后，将所述数据信息发送至所述寄存器模块 13；

所述 RAM 接口模块 11，配置为基于所述查找匹配模块 12 发送的地址  
15 信息从 RAM 中读取数据信息，将所述数据信息发送至所述查找匹配模块 12。

其中，所述寄存器模块 13，用于获取中央处理器配置的属性信息和启动信息，所述属性信息包括：待访问的地址范围信息；所述查找匹配模块 12，用于接收到所述启动信息后，基于所述待访问的地址范围信息，从起  
20 始地址开始依次向所述 RAM 接口模块 11 发送地址信息。

其中，所述寄存器模块 13，用于获取中央处理器配置的属性信息；所述属性信息包括：属性参数；所述查找匹配模块 12，用于基于所述寄存器模块 13 中的属性参数与所述数据信息进行匹配。

本实施例中，所述寄存器模块 13 主要用于获取 CPU 配置的属性信息  
25 和启动信息，CPU 可通过配置属性信息指示本实施例所述的 RAM 访问装

置如何进行操作,例如配置进行匹配的属性参数、配置待访问的 RAM 标识 (具体为 RAM 编号)、配置待访问的 RAM 的地址范围信息 (包括起始地址和结束地址等) 等,也即所述属性信息可以包括属性参数、RAM 标识以及 RAM 的地址范围信息等等;其中,所述待访问的 RAM 的地址范围满足  
5 所述 RAM 的地址范围,即当所述 RAM 的地址范围为大于等于 0 小于等于  $N$  ( $N$  为正整数) 时,所述待访问的 RAM 地址范围为大于等于  $a$  小于等于  $b$ ;其中, $a$  大于等于 0, $b$  小于等于  $N$ , $a$  和  $b$  均为正整数;可以理解为,CPU 根据 RAM 的地址范围信息配置待访问的地址范围信息。当然,所述待访问的地址范围信息为可选的,即所述寄存器模块 13 获取 CPU 配置的  
10 属性信息中也可以不包括所述待访问的地址范围信息;当所述属性信息中不包括所述待访问的地址范围信息时,所述查找匹配模块从 RAM 的地址 0 开始至所述 RAM 的地址  $n$  ( $n$  表征 RAM 的深度) 结束依次向 RAM 接口模块发送地址信息。并且 CPU 还可以配置所述启动信息指示本实施例所述的 RAM 访问装置开始执行数据访问,也可以理解为,所述 CPU 向所述寄存  
15 器模块 13 发送表征执行数据访问的信号,所述寄存器模块 13 基于所述信号开始执行数据访问操作。所述寄存器模块 13 还用于获取所述查找匹配模块 12 匹配成功的数据信息,指示 CPU 可以进行数据读取。

所述查找匹配模块 12 配置为控制待访问的 RAM 的地址;具体的,所述查找匹配模块 12 基于所述寄存器模块 13 中的属性信息,具体基于所述  
20 属性信息中的地址范围信息,从所述地址范围信息中的起始地址开始,依次控制 RAM 接口模块 11 从相应的 RAM 中读取数据信息;当一个地址信息的数据信息读取完成过后,所述查找匹配模块 12 将所述地址信息的地址值加 1,生成新的地址信息,将所述新的地址信息发送至所述 RAM 接口模块 11 继续从 RAM 中读取数据信息,直至所述地址范围信息中的所有地址  
25 信息对应的数据信息均读取完成。

所述 RAM 接口模块 11 主要配置为访问 RAM, 利用所述查找匹配模块 12 指示的地址信息访问 RAM 获得相应的数据信息, 将所述数据信息发送至所述查找匹配模块 12 进行匹配。

本实施例中, 所述查找匹配模块 12 基于所述寄存器模块 13 中的属性  
5 信息与所述数据信息进行匹配, 包括, 所述查找匹配模块 12 基于寄存器模块 13 中的属性参数与所述数据信息按预设匹配规则进行匹配; 其中, 所述预设匹配规则包括: 等于、小于或大于所述属性参数, 所述预设匹配规则还可以是: 基于所述属性参数按预设运算规则运算后等于预设阈值。

具体的, 以所述属性参数为: 端口 (PORT) =8, 则当所述预设规则为  
10 等于所述属性参数时, 则匹配出的数据信息的 PORT 值为 8; 当所述预设规则为小于所述属性参数时, 则匹配出的数据信息的 PORT 值均小于 8; 相应的, 当所述预设规则为大于所述属性参数时, 则匹配出的数据信息的 PORT 值均大于 8。当所述预设规则为基于所述属性参数按预设运算规则运算后等于预设阈值时, 假设所述预设运算规则为减法, 所述预设阈值为 3, 则匹配  
15 的出的数据信息的 PORT 值为 5 或 11。

作为一种实施方式, 如图 2 所示, 所述 RAM 的访问装置中, 所述寄存器模块 13 包括: 配置寄存器 131、数据寄存器 132 和状态寄存器 133; 其中,

所述配置寄存器 131, 用于获取中央处理器配置的属性信息和启动信息, 将所述启动信息发送至所述查找匹配模块 12;  
20

所述数据寄存器 132, 用于存储所述查找匹配模块 12 匹配成功的数据信息;

所述状态寄存器 133, 用于指示所述中央处理器读取所述数据信息。

具体的, CPU 可通过配置属性信息指示本实施例所述的 RAM 访问装置  
25 如何进行操作, 例如配置进行匹配的属性参数、配置待访问的 RAM 标识

(具体为 RAM 编号)、配置待访问的 RAM 的地址范围信息(包括起始地址和结束地址等)等,也即所述属性信息可以包括属性参数、RAM 标识以及 RAM 的地址范围信息等等;本实施方式中,所述配置寄存器 131 用于存储所述属性信息。另一方面,CPU 还可以配置所述启动信息指示本实施例  
5 所述的 RAM 访问装置开始执行数据访问,也可以理解为,所述 CPU 向所述配置寄存器 131 发送表征执行数据访问的信号,所述配置寄存器 131 基于所述信号向所述查找匹配模块 12 发送启动信息。

本实施方式中,通过所述数据寄存器 132 存储所述查找匹配模块 12 匹配成功的数据信息;当所述数据寄存器 132 中有数据信息存储时,通过所  
10 述状态寄存器 133 指示 CPU 可以读取所述数据信息。具体的,当所述数据寄存器 132 中有数据信息存储时,所述状态寄存器 133 通过设置为高电位,以指示 CPU 当前可以读取数据信息。

基于本实施例的另一实施方式,所述配置寄存器 131 包括:属性寄存器和启动寄存器;其中,

15 所述属性寄存器,用于获取中央处理器配置的属性信息;

所述启动寄存器,用于获取中央处理器配置的启动信息,将所述启动信息发送至所述查找匹配模块 12。

具体的,所述属性寄存器用于存储配置的属性信息,所述属性信息包括属性参数,还可以包括:待访问的 RAM 标识、待访问的 RAM 的地址范  
20 围信息等等。所述启动寄存器获取 CPU 配置的启动信息,基于 CPU 配置的启动信息触发本实施例所述的 RAM 访问装置开始执行数据访问。

基于本实施例的另一实施方式,所述状态寄存器 133 包括单个数据已获取状态寄存器,用于当所述查找匹配模块 12 匹配成功的数据信息存储至  
25 所述数据寄存器 132 中时,通过高电位指示所述中央处理器读取所述数据信息。

所述状态寄存器 133 还包括所有数据已获取状态寄存器，用于确定待访问的数据信息访问结束时，指示 RAM 访问结束。

具体的，在所述查找匹配模块 12 基于所述寄存器模块 13 中的属性信息与所述 RAM 读取的数据信息进行匹配，将匹配成功的数据信息写入数据寄存器 132 的过程中，当有数据信息写入所述数据寄存器 132 时，所述单个数据已获取状态寄存器通过设置为高电位以指示所述 CPU 可以读取所述数据信息；当所述查找匹配模块 12 确定待访问的 RAM 的地址以达到结束地址时，也即待访问的最后一个数据信息均写入所述数据寄存器 132 且 CPU 读取所述最后一个数据信息完成后，所述所有数据已获取状态寄存器通过设置为高电位以指示所有的待访问数据信息均已被读取，结束访问流程。

综上所述，本发明实施例在不改变原有接口带宽的情况下，通过所述 RAM 的访问装置内部匹配出符合属性信息的数据信息，将所述数据信息存储在所述访问装置内的数据寄存器中；CPU 仅需要访问寄存器模块（具体是寄存器模块中的状态寄存器和数据寄存器）直接读取符合属性信息的数据，无需 CPU 遍历 RAM 中的所有数据信息再由 CPU 判断数据信息是否满足属性信息的要求，这种新的 RAM 访问方式大大节省了访问时间，提升了 RAM 的访问效率。并且，本实施例中所述 RAM 的访问装置可通过控制芯片（具体可以为 ASIC 芯片）中的逻辑电路实现，无需 CPU 内部对数据信息进行匹配筛选，节省了访问时间，提升了 RAM 的访问效率。

### 20 实施例三

基于实施例一或实施例二，本发明实施例还提供了一种 RAM 的访问方法。图 4 为本发明实施例三的 RAM 的访问方法的流程示意图；如图 4 所示，所述方法包括：

步骤 401：获取中央处理器配置的属性信息和启动信息。

25 步骤 402：基于所述和启动信息和所述属性信息查找 RAM 获得数据信

息。

步骤 403: 将所述数据信息与所述属性信息进行匹配, 匹配成功后指示所述中央处理器读取所述数据信息。

具体的, 所述属性信息包括: 待访问的地址范围信息和属性参数;

5 所述基于所述启动信息和所述属性信息查找 RAM 获得数据信息, 包括: 当接收到所述中央处理器配置的启动信息时, 基于所述属性信息中的地址范围信息, 从起始地址开始依次查找 RAM 获得数据信息;

相应的, 将所述数据信息与所述属性信息进行匹配, 包括: 将所述数据信息与所述属性信息中的属性参数进行匹配。

10 本实施例中, 所述 RAM 的访问方法应用于 RAM 的访问装置中, 也即步骤 401 至步骤 403 的执行主体为所述 RAM 的访问装置。所述 RAM 的访问装置具体可参照实施例一或实施例二的描述, 本实施例不再赘述。

具体的, 步骤 401 中, 所述获取中央处理器配置的属性信息, 为: 寄存器模块获取中央处理器 (CPU) 配置的属性信息和启动信息。步骤 402  
15 中, 所述基于所述启动信息和所述属性信息查找 RAM 获得数据信息, 为: 查找匹配模块基于所述启动信息向 RAM 接口模块发送地址信息; 所述 RAM 接口模块基于所述地址信息从 RAM 中读取数据信息, 将所述数据信息发送至所述查找匹配模块。步骤 403 中, 所述将所述数据信息与所述属性信息  
20 进行匹配, 匹配成功后指示所述中央处理器读取所述数据信息, 包括: 所述查找匹配模块基于所述寄存器模块中的属性信息与所述数据信息进行匹配, 匹配成功后, 将所述数据信息发送至所述寄存器模块; 所述寄存器模块指示所述中央处理器读取所述数据信息。

下面基于图 2 所示的 RAM 的访问装置结合具体实施例对本发明实施例的 RAM 的访问方法进行详细说明。

25 步骤 1: 属性寄存器接收到 CPU 配置的属性信息和启动信息, 所述属

性信息包括 RAM 编号 (RAM\_ID)、待访问的起始地址和结束地址, 启动寄存器接收到所述启动信息后发送信号, 触发开始执行 RAM 的访问过程。

步骤 2: 查找匹配模块接收到所述启动寄存器的信号后, 从起始地址开始到, 将起始地址发送到 RAM 接口模块。

5 步骤 3: RAM 接口模块依据 RAM 编号 (RAM\_ID) 访问 RAM, 读取  
出所述 RAM 中与起始地址对应的数据内容, 将所述数据内容发送至查找匹  
配模块; 所述查找匹配模块根据所述属性寄存器中的属性信息和数据内容  
的信息进行匹配; 当匹配不成功时, 将地址值加 1 生成新的地址, 继续将  
新地址发送至 RAM 接口模块进行数据信息的读取, 直到读取的数据信息匹  
10 配成功; 当匹配成功时, 将所述数据内容发送至数据寄存器, 并将单个数  
据已获取状态寄存器设置为高电位, 指示 CPU 可以读取数据信息, 等待 CPU  
将数据信息从数据寄存器中读出。

步骤 4: 在 CPU 读取数据寄存器中数据信息的过程中, 所述查找匹配  
模块继续增加地址值 (地址值加 1), 继续将新地址发送至 RAM 接口模块  
15 进行数据信息的读取, 所述查找匹配模块对读取的数据内容进行匹配。在  
CPU 读取完数据寄存器中的数据后, 所述单个数据已获取状态寄存器设置  
为低电平, 指示 CPU 当前无数据信息可读取; 所述查找匹配模块将匹配成  
功的数据信息发送至数据寄存器中。

步骤 5: 所述查找匹配模块判断地址值是否已达到结束地址, 从而确定  
20 所有匹配成功的数据信息是否已被 CPU 读取; 当地址值达到结束地址时,  
通过所有数据已获取状态寄存器设置为高电位, 表示所有的数据信息均都  
已被读取, 结束 RAM 的访问操作。

#### 实施例四

本发明实施例还提供了一种 RAM 的访问方法。本实施例通过具体应用  
25 进行详细说明。本实施例中, 假设控制芯片为 ASIC 芯片, ASIC 芯片中包

括一个用于存放MAC地址表的RAM;所述RAM的深度为4096;所述RAM存放数据的格式为: {VLAN[11: 0],MAC[47: 0],PORT[11: 0]}。假设要读取PORT值为8的数据信息。图5为本发明实施例四的RAM的访问方法的流程示意图,如图5所示,所述方法包括:

5 步骤501: CPU配置属性参数为PORT值=8到属性寄存器中,配置启动寄存器,触发开始执行RAM的访问过程。

步骤502: 查找匹配模块收到启动寄存器的信号后,从地址0开始,将地址信息(即地址0)发送至RAM接口模块。

本实施例中,由于所述CPU配置的属性信息中未包括起始地址和结束地址,则本实施例中默认的地址范围包括所述RAM的所有地址,即从  
10 地址0开始至地址4096结束。

步骤503: RAM接口模块访问RAM,读取出所述地址信息(地址0)的数据信息,将所述数据信息发送至查找匹配模块。

步骤504: 所述查找匹配模块判断属性寄存器中的属性参数PORT值=8  
15 和读取出的数据信息的PORT域是否相等;当判断的结果为不相等时,执行步骤505: 所述查找匹配模块将地址值加1生成新的地址信息发送至RAM接口模块,进一步重新执行步骤503,直至匹配成功;当判断的结果为相等时,执行步骤506。

步骤506: 将所述数据信息发送至数据寄存器中,并将单个数据已获取  
20 状态寄存器设置为高电位,指示CPU可以读取数据信息,等待CPU将数据信息从所述数据寄存器中读出。进一步地,当CPU将所述数据信息从所述数据寄存器中读出后,将所述单个数据已获取状态寄存器设置为低电位。

步骤507: CPU从数据寄存器中读取数据后,将所述单个数据已获取状态寄存器设置为低电位。

25 步骤508: 在CPU读取数据寄存器中的数据过程中,所述查找匹配模

块判断当前地址是否达到 4096，当判断的结果为否时，执行步骤 503：所述查找匹配模块将地址值加 1 生成新的地址信息发送至 RAM 接口模块，进一步重新执行步骤 503；当判断的结果为是时，执行步骤 509。

步骤 509：设置所有数据已获取状态寄存器为高电位，以通知 CPU 所有的数据信息均已被读出，结束 RAM 的访问流程。

本发明实施例还记载了一种存储介质，所述存储介质中存储有计算机程序，所述计算机程序配置为执行前述各实施例的随机存取存储器 RAM 的访问方法。

在本申请所提供的几个实施例中，应该理解到，所揭露的设备和方法，可以通过其它的方式实现。以上所描述的设备实施例仅仅是示意性的，例如，所述单元的划分，仅仅为一种逻辑功能划分，实际实现时可以有另外的划分方式，如：多个单元或组件可以结合，或可以集成到另一个系统，或一些特征可以忽略，或不执行。另外，所显示或讨论的各组成部分相互之间的耦合、或直接耦合、或通信连接可以是通过一些接口，设备或单元的间接耦合或通信连接，可以是电性的、机械的或其它形式的。

上述作为分离部件说明的单元可以是、或也可以不是物理上分开的，作为单元显示的部件可以是、或也可以不是物理单元，即可以位于一个地方，也可以分布到多个网络单元上；可以根据实际的需要选择其中的部分或全部单元来实现本实施例方案的目的。

另外，在本发明各实施例中的各功能单元可以全部集成在一个处理单元中，也可以是各单元分别单独作为一个单元，也可以两个或两个以上单元集成在一个单元中；上述集成的单元既可以采用硬件的形式实现，也可以采用硬件加软件功能单元的形式实现。

本领域普通技术人员可以理解：实现上述方法实施例的全部或部分步骤可以通过程序指令相关的硬件来完成，前述的程序可以存储于一计算机

可读取存储介质中，该程序在执行时，执行包括上述方法实施例的步骤；而前述的存储介质包括：移动存储设备、只读存储器（ROM，Read-Only Memory）、随机存取存储器（RAM，Random Access Memory）、磁碟或者光盘等各种可以存储程序代码的介质。

5 或者，本发明上述集成的单元如果以软件功能模块的形式实现并作为独立的产品销售或使用，也可以存储在一个计算机可读取存储介质中。基于这样的理解，本发明实施例的技术方案本质上或者说对现有技术做出贡献的部分可以以软件产品的形式体现出来，该计算机软件产品存储在一个存储介质中，包括若干指令用以使得一台计算机设备（可以是个人计算机、服务器、或者网络设备等）执行本发明各个实施例所述方法的全部或  
10 部分。而前述的存储介质包括：移动存储设备、ROM、RAM、磁碟或者光盘等各种可以存储程序代码的介质。

以上所述，仅为本发明的具体实施方式，但本发明的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本发明揭露的技术范围内，可  
15 轻易想到变化或替换，都应涵盖在本发明的保护范围之内。因此，本发明的保护范围应以所述权利要求的保护范围为准。

### 工业实用性

本发明通过所述 RAM 的访问装置内部匹配出符合属性信息的数据信息，将所述数据信息存储在所述访问装置内的数据寄存器中；CPU 仅需要  
20 访问寄存器模块直接读取符合属性信息的数据，无需 CPU 遍历 RAM 中的所有数据信息再由 CPU 判断数据信息是否满足属性信息的要求，大大节省了访问时间，提升了 RAM 的访问效率。

## 权利要求书

1、一种随机存取存储器 RAM 的访问装置，所述装置包括：寄存器模块、查找匹配模块和 RAM 接口模块；其中，

所述寄存器模块，用于获取中央处理器配置的属性信息和启动信息，  
5 将所述启动信息发送至所述查找匹配模块；还用于存储所述查找匹配模块匹配成功的数据信息，指示所述中央处理器读取所述数据信息；

所述查找匹配模块，配置为根据所述启动信息向所述 RAM 接口模块发送地址信息；还配置为获取所述 RAM 接口模块发送的数据信息，基于所述寄存器模块中的属性信息与所述数据信息进行匹配，匹配成功后，将所述  
10 数据信息发送至所述寄存器模块；

所述 RAM 接口模块，配置为基于所述查找匹配模块发送的地址信息从 RAM 中读取数据信息，将所述数据信息发送至所述查找匹配模块。

2、根据权利要求 1 所述的装置，其中，所述寄存器模块，用于获取中央处理器配置的属性信息和启动信息，所述属性信息包括：待访问的地址  
15 范围信息；

所述查找匹配模块，用于接收到所述启动信息后，基于所述待访问的地址范围信息，从起始地址开始至结束地址终止依次向所述 RAM 接口模块发送地址信息。

3、根据权利要求 1 所述的装置，其中，所述寄存器模块，用于获取中  
20 央处理器配置的属性信息；所述属性信息包括：属性参数；

所述查找匹配模块，配置为基于所述寄存器模块中的属性参数与所述数据信息进行匹配。

4、根据权利要求 1 所述的装置，其中，所述寄存器模块包括：配置寄存器、数据寄存器和状态寄存器；其中，

25 所述配置寄存器，用于获取中央处理器配置的属性信息和启动信息，

将所述启动信息发送至所述查找匹配模块;

所述数据寄存器, 用于存储所述查找匹配模块匹配成功的数据信息;

所述状态寄存器, 用于指示所述中央处理器读取所述数据信息。

5 5、根据权利要求 4 所述的装置, 其中, 所述配置寄存器包括: 属性寄存器和启动寄存器; 其中,

所述属性寄存器, 用于获取中央处理器配置的属性信息;

所述启动寄存器, 用于获取中央处理器配置的启动信息, 将所述启动信息发送至所述查找匹配模块。

10 6、根据权利要求 4 所述的装置, 其中, 所述状态寄存器包括单个数据已获取状态寄存器, 用于当所述查找匹配模块匹配成功的数据信息存储至所述数据寄存器中时, 通过高电位指示所述中央处理器读取所述数据信息。

7、根据权利要求 6 所述的装置, 其中, 所述状态寄存器还包括所有数据已获取状态寄存器, 用于确定待访问的数据信息访问结束时, 指示 RAM 访问结束。

15 8、一种随机存取存储器 RAM 的访问方法, 所述方法包括:

获取中央处理器配置的属性信息和启动信息;

基于所述启动信息和所述属性信息查找 RAM 获得数据信息;

将所述数据信息与所述属性信息进行匹配, 匹配成功后指示所述中央处理器读取所述数据信息。

20 9、根据权利要求 8 所述的方法, 其中, 所述属性信息包括: 待访问的地址范围信息和属性参数;

所述基于所述启动信息和所述属性信息查找 RAM 获得数据信息, 包括: 当接收到所述中央处理器配置的启动信息时, 基于所述属性信息中的地址范围信息, 从起始地址开始至结束地址终止依次查找 RAM 获得数据信息;

25

相应的，将所述数据信息与所述属性信息进行匹配，包括：

将所述数据信息与所述属性信息中的属性参数进行匹配。

10、一种控制芯片，所述控制芯片包括：随机存取存储器 RAM 和权利要求 1 至 7 任一项所述的 RAM 的访问装置；其中，

5 所述 RAM，配置为存储数据信息。

11、一种存储介质，所述存储介质中存储有计算机程序，所述计算机程序配置为执行权利要求 8 或 9 所述的随机存取存储器 RAM 的访问方法。

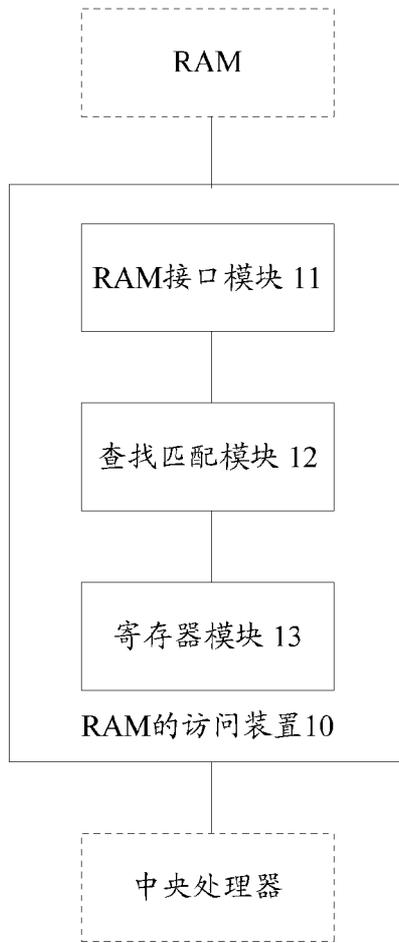


图 1

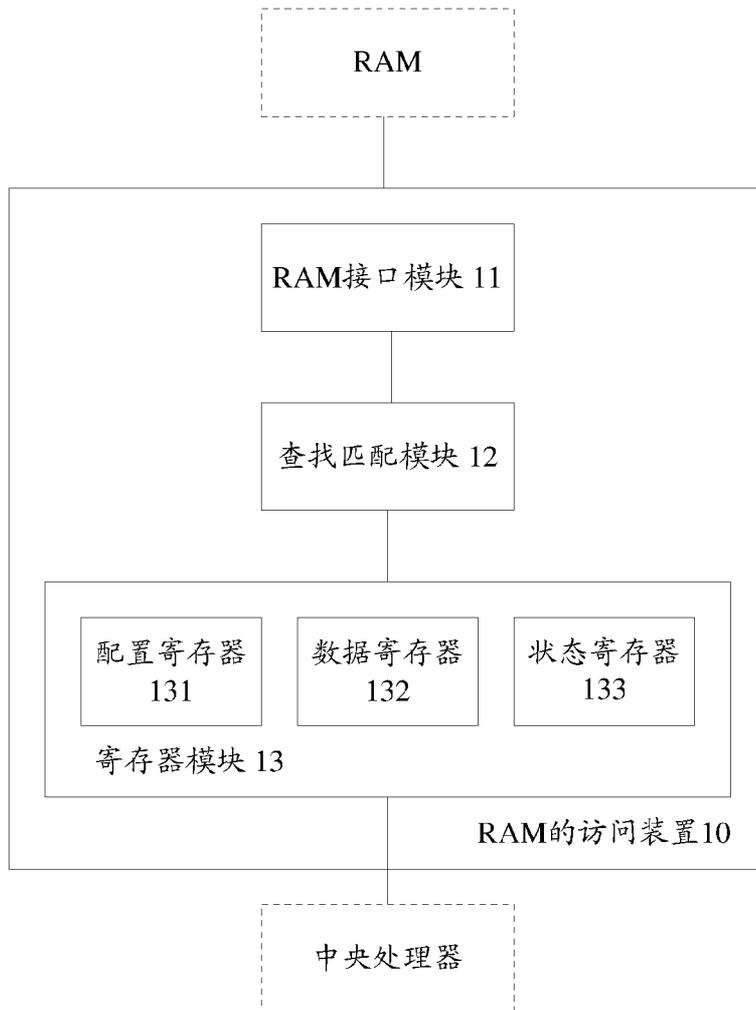


图 2

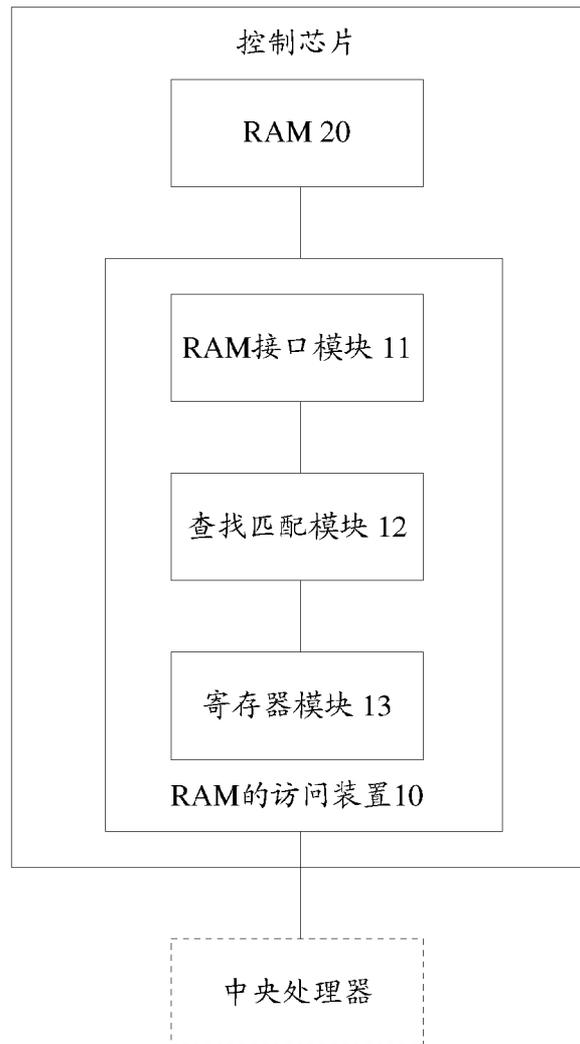


图 3

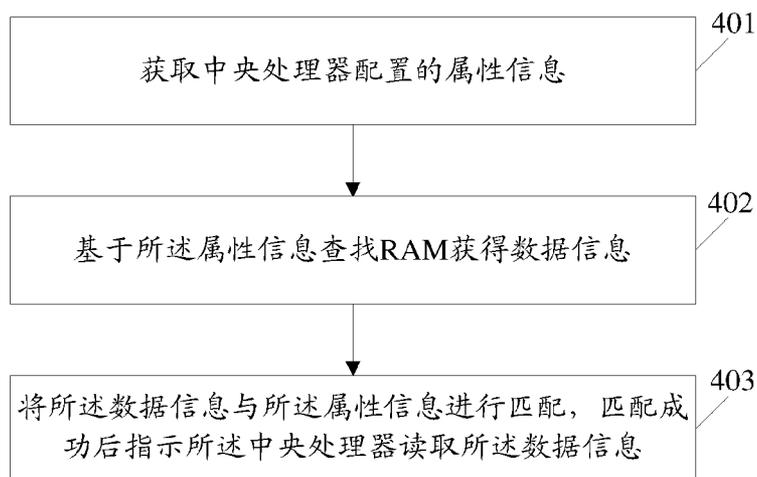


图 4

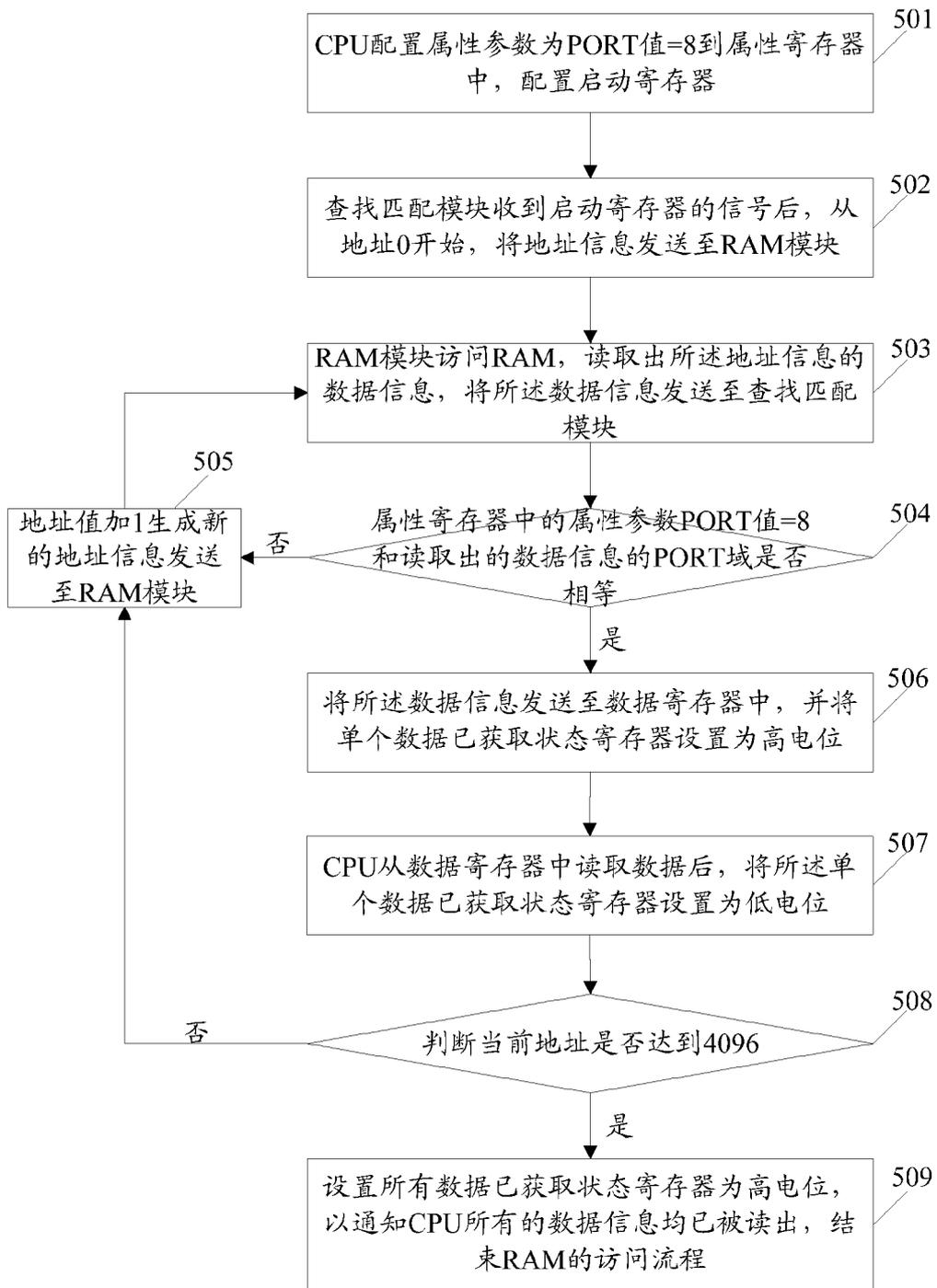


图 5

# INTERNATIONAL SEARCH REPORT

International application No.

**PCT/CN2016/085501**

## A. CLASSIFICATION OF SUBJECT MATTER

G06F 3/06 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F, G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, WPI, EPODOC, CNKI: random access memory, RAM, access+, read+, attribute?, boot, address+, data, match+, lookup+, find+, register, memory, stor+

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 104965676 A (ZTE MICROELECTRONICS TECHNOLOGY CO., LTD.), 07 October 2015 (07.10.2015), claims 1-10, and description, paragraphs [0127]-[0128]	1-11
X	WO 2014158991 A1 (SANDISK TECHNOLOGIES INC.), 02 October 2014 (02.10.2014), claims 1 and 12, description, paragraphs [0008], [0009] and [0045], and figure 1	1-11
A	CN 102866963 A (LIUGONG MACHINERY CO., LTD.), 09 January 2013 (09.01.2013), the whole document	1-11
A	CN 102013274 A (WUXI VIMICRO CORP.), 13 April 2011 (13.04.2011), the whole document	1-11
A	US 2007288690 A1 (FOUNDRY NETWORKS INC.), 13 December 2007 (13.12.2007), the whole document	1-11

Further documents are listed in the continuation of Box C.

See patent family annex.

<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p>	<p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&amp;” document member of the same patent family</p>
---	---

Date of the actual completion of the international search  
05 September 2016 (05.09.2016)

Date of mailing of the international search report  
**18 September 2016 (18.09.2016)**

Name and mailing address of the ISA/CN:  
State Intellectual Property Office of the P. R. China  
No. 6, Xitucheng Road, Jimenqiao  
Haidian District, Beijing 100088, China  
Facsimile No.: (86-10) 62019451

Authorized officer  
**SUN, Weiwei**  
Telephone No.: (86-10) **62412076**

**INTERNATIONAL SEARCH REPORT**  
 Information on patent family members

International application No.

**PCT/CN2016/085501**

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 104965676 A	07 October 2015	None	
WO 2014158991 A1	02 October 2014	KR 20160008157 A	21 January 2016
		CN 105051684 A	11 November 2015
		EP 2972808 A1	20 January 2016
		US 2014281458 A1	18 September 2014
		US 9110677 B2	18 August 2015
CN 102866963 A	09 January 2013	CN 102866963 B	22 July 2015
CN 102013274 A	13 April 2011	CN 102013274 B	07 August 2013
US 2007288690 A1	13 December 2007	None	

国际检索报告

国际申请号

PCT/CN2016/085501

<p>A. 主题的分类</p> <p>G06F 3/06(2006.01) i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																				
<p>B. 检索领域</p> <p>检索的最低限度文献(标明分类系统和分类号)</p> <p>G06F, G11C</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))</p> <p>CNABS, WPI, EPODOC, CNKI; 随机存取存储, RAM, 访问, 读, 属性, 启动, 地址, 数据, 匹配, 查找, 寄存器, 存储, access+, read+, attribute?, boot, address+, data, match+, lookup+, find+, register, memory, stor+</p>																				
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>PX</td> <td>CN 104965676 A (深圳市中兴微电子有限公司) 2015年 10月 7日 (2015 - 10 - 07) 权利要求1-10, 说明书第[0127]-[0128]段</td> <td>1-11</td> </tr> <tr> <td>X</td> <td>WO 2014158991 A1 (SANDISK TECHNOLOGIES INC) 2014年 10月 2日 (2014 - 10 - 02) 权利要求1和12、说明书第[0008][0009][0045]段、附图1</td> <td>1-11</td> </tr> <tr> <td>A</td> <td>CN 102866963 A (广西柳工机械股份有限公司) 2013年 1月 9日 (2013 - 01 - 09) 全文</td> <td>1-11</td> </tr> <tr> <td>A</td> <td>CN 102013274 A (无锡中星微电子有限公司) 2011年 4月 13日 (2011 - 04 - 13) 全文</td> <td>1-11</td> </tr> <tr> <td>A</td> <td>US 2007288690 A1 (FOUNDRY NETWORKS INC) 2007年 12月 13日 (2007 - 12 - 13) 全文</td> <td>1-11</td> </tr> </tbody> </table> <p><input type="checkbox"/> 其余文件在C栏的续页中列出。 <input checked="" type="checkbox"/> 见同族专利附件。</p> <p>* 引用文件的具体类型:          “A” 认为不特别相关的表示了现有技术一般状态的文件          “E” 在国际申请日的当天或之后公布的在先申请或专利          “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)          “O” 涉及口头公开、使用、展览或其他方式公开的文件          “P” 公布日先于国际申请日但迟于所要求的优先权日的文件          “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件          “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性          “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性          “&amp;” 同族专利的文件</p>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	PX	CN 104965676 A (深圳市中兴微电子有限公司) 2015年 10月 7日 (2015 - 10 - 07) 权利要求1-10, 说明书第[0127]-[0128]段	1-11	X	WO 2014158991 A1 (SANDISK TECHNOLOGIES INC) 2014年 10月 2日 (2014 - 10 - 02) 权利要求1和12、说明书第[0008][0009][0045]段、附图1	1-11	A	CN 102866963 A (广西柳工机械股份有限公司) 2013年 1月 9日 (2013 - 01 - 09) 全文	1-11	A	CN 102013274 A (无锡中星微电子有限公司) 2011年 4月 13日 (2011 - 04 - 13) 全文	1-11	A	US 2007288690 A1 (FOUNDRY NETWORKS INC) 2007年 12月 13日 (2007 - 12 - 13) 全文	1-11
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求																		
PX	CN 104965676 A (深圳市中兴微电子有限公司) 2015年 10月 7日 (2015 - 10 - 07) 权利要求1-10, 说明书第[0127]-[0128]段	1-11																		
X	WO 2014158991 A1 (SANDISK TECHNOLOGIES INC) 2014年 10月 2日 (2014 - 10 - 02) 权利要求1和12、说明书第[0008][0009][0045]段、附图1	1-11																		
A	CN 102866963 A (广西柳工机械股份有限公司) 2013年 1月 9日 (2013 - 01 - 09) 全文	1-11																		
A	CN 102013274 A (无锡中星微电子有限公司) 2011年 4月 13日 (2011 - 04 - 13) 全文	1-11																		
A	US 2007288690 A1 (FOUNDRY NETWORKS INC) 2007年 12月 13日 (2007 - 12 - 13) 全文	1-11																		
<p>国际检索实际完成的日期</p> <p>2016年 9月 5日</p>	<p>国际检索报告邮寄日期</p> <p>2016年 9月 18日</p>																			
<p>ISA/CN的名称和邮寄地址</p> <p>中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088</p> <p>传真号 (86-10)62019451</p>	<p>受权官员</p> <p>孙薇薇</p> <p>电话号码 (86-10)62412076</p>																			

国际检索报告  
关于同族专利的信息

国际申请号

PCT/CN2016/085501

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	104965676	A	2015年 10月 7日	无			
WO	2014158991	A1	2014年 10月 2日	KR	20160008157	A	2016年 1月 21日
				CN	105051684	A	2015年 11月 11日
				EP	2972808	A1	2016年 1月 20日
				US	2014281458	A1	2014年 9月 18日
				US	9110677	B2	2015年 8月 18日
CN	102866963	A	2013年 1月 9日	CN	102866963	B	2015年 7月 22日
CN	102013274	A	2011年 4月 13日	CN	102013274	B	2013年 8月 7日
US	2007288690	A1	2007年 12月 13日	无			

表 PCT/ISA/210 (同族专利附件) (2009年7月)