(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 1 月 9 日(09.01.2014)

WIPO | PCT

(10) 国際公開番号
WO 2014/007014 A1

(51) 国際特許分類:
H01P 1/383 (2006.01) *H01P 1/36* (2006.01)

(21) 国際出願番号: PCT/JP2013/065440

(22) 国際出願日: 2013 年 6 月 4 日(04.06.2013)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2012-148282 2012 年 7 月 2 日(02.07.2012) JP

(71) 出願人: 株式会社村田製作所 (MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足１丁目１０番１号 Kyoto (JP).

(72) 発明者: 牧野 敏弘 (MAKINO Toshihiro); 〒6178555 京都府長岡京市東神足１丁目１０番１号 株式会社村田製作所内 Kyoto (JP).

(74) 代理人: 特許業務法人プロフィック特許事務所 (PROFIC PC); 〒5410054 大阪府大阪市中央区南本町４丁目２番１０号 本町永和ビル Osaka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

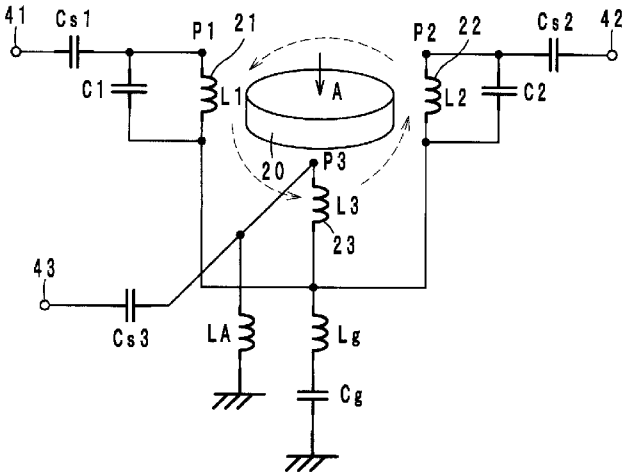
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) **Title**: NON-RECIPROCAL CIRCUIT ELEMENT

(54) 発明の名称 : 非可逆回路素子

図1



(57) **Abstract**: With respect to a microwave magnetic material (20) to which a direct-current magnetic field is applied by way of a permanent magnet, a first center conductor (21), a second center conductor (22), and a third center conductor (23) are each disposed so as to cross one another in insulated states. The invention treats one end of the first center conductor (21) as a first port (P1), one end of the second center conductor (22) as a second port (P2), and one end of the third center conductor (23) as a third port (P3). A first capacitance element (C1) is connected in parallel with respect to the first center conductor (21); a second capacitance element (C2) is connected in parallel with respect to the second center conductor (22); each of the other ends of the first center conductor (21); the second center conductor (22), and the third center conductor (23) are connected to one another, and are grounded via a first inductive element (Lg) and a third capacitance element (Cg) which are serially connected. A second inductive element (LA) is connected in parallel with respect to one end of the center conductor (23), whereas the other end of the second inductive element (LA) is connected to a ground. A fourth capacitance element (Cs3) is connected to a connection node between the one end of the center conductor (23) and the second inductive element (LA), whereas the other end of the fourth capacitance element (Cs3) is connected to a third terminal (43).

(57) 要約:

[続葉有]

WO 2014/007014 A1

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

永久磁石により直流磁界が印加されるマイクロ波磁性体 20 に第 1 中心導体 21、第 2 中心導体 22 及び第 3 中心導体 23 をそれぞれ絶縁状態で交差させて配置し、中心導体 21 の一端を第 1 ポート P1、中心導体 22 の一端を第 2 ポート P2、中心導体 23 の一端を第 3 ポート P3 としている。中心導体 21 に対して第 1 容量素子 C1 を並列に接続し、中心導体 22 に対して第 2 容量素子 C2 を並列に接続し、中心導体 21、中心導体 22 及び中心導体 23 のそれぞれの他端は互いに接続されるとともに、直列に接続された第 1 インダクタンス素子 Lg と第 3 容量素子 Cg とを介してグランドに接続されている。中心導体 23 の一端に対して第 2 インダクタンス素子 LA を並列に接続し、該第 2 インダクタンス素子 LA の他端はグランドに接続されている。中心電極 23 の一端と第 2 インダクタンス素子 LA との接続点に第 4 容量素子 Cs3 を接続し、該第 4 容量素子 Cs3 の他端は第 3 端子 43 に接続されている。

明　細　書

発明の名称 ： 非可逆回路素子

技術分野

[0001] 本発明は、非可逆回路素子、特に、マイクロ波帯で使用されるアイソレータやサーキュレータなどの非可逆回路素子に関する。

背景技術

[0002] 従来より、アイソレータやサーキュレータなどの非可逆回路素子は、予め定められた特定方向にのみ信号を伝送し、逆方向には伝送しない特性を有している。この特性を利用して、例えば、アイソレータは、携帯電話などの移動体通信機器の送信回路部に使用されている。

[0003] この種の非可逆回路素子であって、３端子タイプのサーキュレータとしては特許文献１，２に記載のものが知られている。そのアイソレーション特性は、特許文献１の図２、特許文献２の第５図に示されているように、単峰性を有している。しかし、サーキュレータやアイソレータが使用される回路によっては、平坦性を有するアイソレーション特性が求められる場合があり、この種のサーキュレータやアイソレータでは対応できないという問題点を有している。

[0004] 例えば、図１１に示す無線通信装置１００にあっては、ノイズキャンセラーＮＣとアンテナＡＮＴとの間にサーキュレータＳが搭載される。このサーキュレータＳはアンテナＡＮＴから入力された信号とノイズキャンセラーＮＣから出力される信号の位相を互いに１８０°回転させて受信帯域のノイズを相殺する。ノイズキャンセラーＮＣの振幅特性はほぼ平坦なのでサーキュレータＳのアイソレーション特性もそれと同じ程度の平坦性が求められる。

[0005] また、図１２に示す携帯電話のＲＦ回路１５０にあっては、パワーアンプＰＡとデュープレクサＤＰＸとの間にアイソレータＩが搭載される。パワーアンプＰＡから出力される信号の一部をコンデンサＣを介してゲインコントロール回路ＡＧＣに入力させ、出力電圧をモニターしている。アンテナＡＮ

Ｔからの反射が大きい場合で、アイソレータＩのアイソレーション特性が小さくかつ平坦でなく、周波数特性が大きい場合は、パワーアンプＰＡから出力された電力の大きさを正確に検出できない。それゆえ、ゲインコントロール回路ＡＧＣが正確に働かず、パワーアンプＰＡの出力を正確に制御できないことになる。従って、この場合にもアイソレーション特性の平坦性が求められる。

先行技術文献

特許文献

[0006] 特許文献1：実開平０６－０１３２０３号公報

特許文献2：実公平０２－０１８５６１号公報

発明の概要

発明が解決しようとする課題

[0007] そこで、本発明の目的は、アイソレーション特性がほぼ平坦化された非可逆回路素子を提供することにある。

課題を解決するための手段

[0008] 本発明の第１の形態である非可逆回路素子は、

永久磁石により直流磁界が印加されるマイクロ波磁性体に第１中心導体、第２中心導体及び第３中心導体をそれぞれ絶縁状態で交差させて配置し、

第１中心導体の一端を第１ポート、第２中心導体の一端を第２ポート、第３中心導体の一端を第３ポートとし、

第１ポートは第１端子に接続され、第２ポートは第２端子に接続され、第３ポートは第３端子に接続され

第１中心導体に対して第１容量素子を並列に接続し、第２中心導体に対して第２容量素子を並列に接続し、

第１中心導体、第２中心導体及び第３中心導体のそれぞれの他端は互いに接続されるとともに、直列に接続された第１インダクタンス素子と第３容量素子とを介してグランドに接続され、

第３中心導体の一端に対して第２インダクタンス素子を並列に接続し、該第２インダクタンス素子の他端はグランドに接続され、

第３中心電極の一端と第２インダクタンス素子との接続点に第４容量素子を接続し、該第４容量素子の他端は第３端子に接続されていること、

を特徴とする。

[0009] 本発明の第２の形態である非可逆回路素子は、

永久磁石により直流磁界が印加されるマイクロ波磁性体に第１中心導体、第２中心導体及び第３中心導体をそれぞれ絶縁状態で交差させて配置し、

第１中心導体の一端を第１ポート、第２中心導体の一端を第２ポート、第３中心導体の一端を第３ポートとし、

第１ポートは第１端子に接続され、第２ポートは第２端子に接続され、第３ポートは第３端子に接続され

第１中心導体に対して第１容量素子を並列に接続し、第２中心導体に対して第２容量素子を並列に接続し、

第１中心導体、第２中心導体及び第３中心導体のそれぞれの他端は互いに接続されるとともに、直列に接続された第１インダクタンス素子と第３容量素子とを介してグランドに接続され、

第３中心導体に対して第２インダクタンス素子を並列に接続し、

第３中心電極の一端と第２インダクタンス素子との接続点に第４容量素子を接続し、該第４容量素子の他端は第３端子に接続されていること、

を特徴とする。

[0010] 本発明の第３の形態である非可逆回路素子は、

永久磁石により直流磁界が印加されるマイクロ波磁性体に第１中心導体、第２中心導体及び第３中心導体をそれぞれ絶縁状態で交差させて配置し、

第１中心導体の一端を第１ポート、第２中心導体の一端を第２ポート、第３中心導体の一端を第３ポートとし、

第１ポートは第１端子に接続され、第２ポートは第２端子に接続され、

第１中心導体に対して第１容量素子を並列に接続し、第２中心導体に対し

て第２容量素子を並列に接続し、

第１中心導体、第２中心導体及び第３中心導体のそれぞれの他端は互いに接続されるとともに、直列に接続された第１インダクタンス素子と第３容量素子とを介してグランドに接続され、

第３中心導体に対して第２インダクタンス素子を並列に接続し、

第３中心電極の一端と第２インダクタンス素子との接続点に第４容量素子を直列に接続し、さらに抵抗素子を直列に接続し、該抵抗素子の他端はグランドに接続されていること、

を特徴とする。

[0011] 本発明の第４の形態である非可逆回路素子は、

永久磁石により直流磁界が印加されるマイクロ波磁性体に第１中心導体、第２中心導体及び第３中心導体をそれぞれ絶縁状態で交差させて配置し、

第１中心導体の一端を第１ポート、第２中心導体の一端を第２ポート、第３中心導体の一端を第３ポートとし、

第１ポートは第１端子に接続され、第２ポートは第２端子に接続され、第３ポートは第３端子に接続され

第１中心導体に対して第１容量素子を並列に接続し、第２中心導体に対して第２容量素子を並列に接続し、

第１中心導体、第２中心導体及び第３中心導体のそれぞれの他端は互いに接続されるとともに、直列に接続された第１インダクタンス素子と第３容量素子とを介してグランドに接続され、

第３中心導体に対して第５容量素子を並列に接続し、

第３中心電極の一端と第５容量素子との接続点に第４容量素子を直列に接続し、さらに第３インダクタンス素子を直列に接続し、該第３インダクタンス素子の他端は第３端子に接続され、

第３中心導体の一端と第５容量素子との接続点に第６容量素子を接続し、該第６容量素子の他端はグランドに接続されていること、

を特徴とする。

[0012] 前記非可逆回路素子は、永久磁石により直流磁界が印加されるフェライトに第１中心導体、第２中心導体及び第３中心導体をそれぞれ絶縁状態で交差させている。第１、第２及び第４の形態である非可逆回路素子はサーキュレータとして機能し、例えば、第２ポートから入力された高周波信号は第１ポートから出力され、第１ポートから入力された高周波信号は第３ポートから出力され、第３ポートから入力された高周波信号は第２ポートから出力される。第３形態である非可逆回路素子はアイソレータとして機能し、例えば、第１ポートから入力された高周波信号は第２ポートから出力される。一方、第２ポートから入力された高周波信号は第３ポートが抵抗素子で終端しているため、第１ポートに対して出力されない。

[0013] なお、高周波信号の入出力関係は、永久磁石から印加される直流磁界を反転させることにより、逆転する。

[0014] 第１、第２及び第３の形態である非可逆回路素子では、第３中心導体と並列に第２インダクタンス素子が接続されていることから、アイソレーション特性が広帯域にわたってほぼ平坦になる。また、第４の形態である非可逆回路素子では、第３中心導体と並列に第５容量素子を接続し、かつ、第３中心導体の一端と第５容量素子との接続点に第６容量素子を接続し、該第６容量素子の他端がグランドに接続されていることから、アイソレーション特定が広帯域にわたってほぼ平坦になる。

発明の効果

[0015] 本発明によれば、アイソレーション特性がほぼ平坦化された非可逆回路素子を得ることができる。

図面の簡単な説明

[0016] [図1]第１実施例である非可逆回路素子（３ポート型サーキュレータ）を示す等価回路図である。

[図2]第１実施例である非可逆回路素子を示す分解斜視図である。

[図3]第１実施例である非可逆回路素子の挿入損失特性及びアイソレーション特性を示すグラフである。

[図4]第１実施例である非可逆回路素子の電気角度特性を示すグラフである。

[図5]第２実施例である非可逆回路素子（３ポート型サーキュレータ）を示す等価回路図である。

[図6]第２実施例である非可逆回路素子の挿入損失特性及びアイソレーション特性を示すグラフである。

[図7]第２実施例である非可逆回路素子の電気角度特性を示すグラフである。

[図8]第３実施例である非可逆回路素子（２ポート型アイソレータ）を示す等価回路図である。

[図9]第４実施例である非可逆回路素子（３ポート型サーキュレータ）を示す等価回路図である。

[図10]第４実施例である非可逆回路素子の挿入損失特性及びアイソレーション特性を示すグラフである。

[図11]非可逆回路素子が搭載された無線通信装置を示すブロック図である。

[図12]非可逆回路素子が搭載されたＲＦ回路を示すブロック図である。

発明を実施するための形態

[0017] 以下に、本発明に係る非可逆回路素子の実施例について添付図面を参照して説明する。なお、各図において同じ部材には共通する符号を付し、重複する説明は省略する。

[0018] （第１実施例、図１～図４参照）

第１実施例である非可逆回路素子は、図１に示す等価回路を有する集中定数型の３ポート型サーキュレータである。即ち、永久磁石により矢印Ａ方向に直流磁界が印加されるマイクロ波磁性体（フェライト２０）に第１中心導体２１（Ｌ１）、第２中心導体２２（Ｌ２）及び第３中心導体２３（Ｌ３）をそれぞれ絶縁状態で所定の角度で交差させて配置し、第１中心導体２１の一端を第１ポートＰ１、第２中心導体の一端を第２ポートＰ２、第３中心導体２３の一端を第３ポートＰ３としている。

[0019] さらに、各中心導体２１，２２，２３のそれぞれの他端は互いに接続されるとともに直列に接続されたインダクタンス素子Ｌｇと容量素子Ｃｇを介し

てグランドに接続されている。第１及び第２中心導体２１，２２に対して並列に容量素子Ｃ１，Ｃ２がそれぞれ接続されている。第３中心導体２３の一端に対してインダクタンス素子ＬＡが並列に接続され、該インダクタンス素子ＬＡの他端はグランドに接続されている。第３中心電極２３の一端とインダクタンス素子ＬＡとの接続点にはインピーダンス整合用の容量素子Ｃｓ３が接続され、該容量素子Ｃｓ３の他端は第３端子４３に接続されている。

[0020] さらに、第１ポートＰ１と第１端子４１との間にはインピーダンス整合用の容量素子Ｃｓ１が接続され、第２ポートＰ２と第２端子４２との間にはインピーダンス整合用の容量素子Ｃｓ２が接続されている。

[0021] 以上の等価回路からなる３ポート型サーキュレータは、具体的には、図２に示すように、回路基板３０と、中心導体組立体１０と、永久磁石２５と、で構成されている。

[0022] 中心導体組立体１０は、矩形状のマイクロ波フェライト２０の上面に絶縁体層１１，１２を積層したもので、第１中心導体２１は絶縁体層１１の上面に形成され、その両端部はビアホール導体１５ａ及びフェライト２０に形成されたビアホール導体１５ｂを介してフェライト２０の下面側に引き出されている。第２中心導体２２は絶縁体層１２の上面に形成され、その両端部はビアホール導体１５ｃ、絶縁体層１１に形成されたビアホール導体１５ｄ及びフェライト２０に形成されたビアホール導体１５ｅを介してフェライト２０の下面側に引き出されている。第３中心導体２３はフェライト２０の上面に形成され、ビアホール導体１５ｆにてフェライト２０の下面側に引き出されている。

[0023] 中心導体２１，２２，２３はフェライト２０や絶縁体層１１，１２上に薄膜導体、厚膜導体、又は、導体箔として形成することができる。また、各種容量素子やインダクタンス素子はチップ部品を使用している。なお、中心導体２１，２２，２３は絶縁体層の積層数を増加させてコイル状に巻き回したものであってもよい。

[0024] 回路基板３０は、その上面に、各中心導体２１，２２，２３の端部やチッ

プタイプの各種容量素子及びインダクタンス素子を実装するための電極３１ａ～３１ｏが形成され、中心導体組立体１０及び永久磁石２５を積み重ねて回路基板３０上に実装することにより、図１に示す等価回路の３ポート型サーキュレータが形成される。また、回路基板３０の下面には、図示されていないが、第１端子４１、第２端子４２及び第３端子４３が形成されている。

[0025] 第１実施例である３ポート型サーキュレータにおいて、第２端子４２（第２ポートＰ２）から入力された高周波信号は、第１端子４１（第１ポートＰ１）から出力され、第１端子４１（第１ポートＰ１）から入力された高周波信号は第３端子４３（第３ポートＰ３）から出力され、第３端子４３（第３ポートＰ３）から入力された高周波信号は第２端子４２（第２ポートＰ２）から出力される。但し、フェライト２０への磁界の印加方向を逆にすると、高周波信号の伝達経路が入れ替わる。

[0026] 第１実施例である３ポート型サーキュレータにおいて、第２端子４２から第１端子４１への挿入損失特性は図３の曲線Ｘに示すとおりであり、第１端子４１から第２端子４２へのアイソレーション特性は図３の曲線Ｙに示すとおりである。アイソレーション特性では動作帯域幅６９８～９６０ＭＨｚにおける帯域内偏差が±０．６ｄＢ程度にほぼ平坦な特性となっている。また、第１端子４１から第２端子４２へのアイソレーションの位相特性は図４の曲線Ｚに示すようにほぼ直線になっている。この位相特性は、図１１に示すノイズキャンセラーＮＣの位相特性とほぼ同じである。

[0027] 本第１実施例での特徴的構成は、（Ｌ１，Ｃ１）と（Ｌ２，Ｃ２）からなる並列共振回路、及び、Ｌ３のそれぞれの他端をまとめて１点に接続し、該接続点を（Ｌｇ，Ｃｇ）の直列共振回路を介してグランドに接続したこと、Ｌ３と並列にＬＡを接続し、ＬＡの他端をグランドに接続したこと、さらに、Ｌ３とＬＡとの接続点にＣｓ３を接続し、Ｃｓ３の他端を第３端子４３に接続したことにある。このような特徴的構成によって、第１端子４１から第２端子４２へのアイソレーション特性がほぼ平坦な特性となっている。

[0028] （第２実施例、図５～図７参照）

第２実施例である非可逆回路素子は、図５に示す等価回路を有する集中定数型の３ポート型サーキュレータである。基本的には前記第１実施例と同じ回路構成を有し、異なるのは、インダクタンス素子ＬＡの他端を第３中心導体２３（Ｌ３）の他端に接続した点である。中心導体２１，２２，２３の具体的な構成は図２に示した斜視図と基本的に同じである。

[0029] 本第２実施例での動作形態は前記第１実施例と基本的に同様であり、同様の作用効果を奏する。第２端子４２から第１端子４１への挿入損失特性は図６の曲線Ｘに示すとおりであり、第１端子４１から第２端子４２へのアイソレーション特性は図６の曲線Ｙに示すとおりである。アイソレーション特性では動作帯域幅６９８～９６０ＭＨｚにおいてほぼ平坦な特性となっている。また、第１端子４１から第２端子４２へのアイソレーションの位相特性は図７の曲線Ｚに示すようにほぼ直線になっている。

[0030] 本第２実施例での特徴的構成は、（Ｌ１，Ｃ１）と（Ｌ２，Ｃ２）からなる並列共振回路、及び、（Ｌ３，ＬＡ）の並列回路のそれぞれの他端をまとめて１点に接続し、該接続点を（Ｌｇ，Ｃｇ）の直列共振回路を介してグランドに接続したこと、Ｌ３とＬＡとの接続点にＣｓ３を接続し、Ｃｓ３の他端を第３端子４３に接続したことにある。このような特徴的構成によって、第１端子４１から第２端子４２へのアイソレーション特性がほぼ平坦な特性となっている。

[0031] （第３実施例、図８参照）

第３実施例である非可逆回路素子は、図８に示す等価回路を有する集中定数型のアイソレータである。基本的には前記第２実施例と同じ回路構成を有し、異なるのは、容量素子Ｃｓ３に抵抗素子Ｒを直列に接続し、該抵抗素子Ｒの端端をグランドに接続した点にある。即ち、第３ポートＰ３は抵抗素子Ｒによって終端している。

[0032] 第３実施例である非可逆回路素子においては、第１端子４１（第１ポートＰ１）から入力された高周波信号は第２端子４２（第２ポートＰ２）から出力される。一方、第２端子４２（第２ポートＰ２）から入力された高周波信

号は第３ポートＰ３を抵抗素子Ｒで終端させているため、第１端子４１（第１ポートＰ１）に出力されない。

[0033] 本第３実施例における第１端子４１から第２端子４２への挿入損失特性及び第２端子４２から第１端子４１へのアイソレーション特性は、前記第２実施例で示した図６とほぼ同様であり、アイソレーション特性では動作帯域幅６９８～９６０ＭＨｚにおいてほぼ平坦な特性となっている。また、第２端子４２から第１端子４１へのアイソレーションの位相特性も第２実施例で示した図７とほぼ同様である。

[0034] 本第３実施例での特徴的構成は、（Ｌ１，Ｃ１）と（Ｌ２，Ｃ２）からなる並列共振回路、及び、（Ｌ３，ＬＡ）の並列回路のそれぞれの他端をまとめて１点に接続し、該接続点を（Ｌｇ，Ｃｇ）の直列共振回路を介してグランドに接続したこと、Ｌ３とＬＡとの接続点にＣｓ３を接続し、Ｃｓ３に終端抵抗素子Ｒを接続したことにある。このような特徴的構成によって、第２端子４２から第１端子４１へのアイソレーション特性がほぼ平坦な特性となっている。

[0035] （第４実施例、図９及び図１０参照）

第４実施例である非可逆回路素子は、図９に示す等価回路を有する集中定数型の３ポート型サーキュレータである。基本的には前記第２実施例と同じ回路構成を有し、異なるのは、第２実施例で示したインダクタンス素子ＬＡに代えて容量素子Ｃ３を接続し、第３中心電極２３の一端と容量素子Ｃ３との接続点に容量素子Ｃｓ３を直列に接続し、さらにインダクタンス素子Ｌｓ３を直列に接続し、該インダクタンス素子Ｌｓ３の他端を第３端子４３に接続し、かつ、第３中心導体２３の一端と容量素子Ｃ３との接続点に容量素子Ｃ４を接続し、該容量素子Ｃ４の他端をグランドに接続した点である。中心導体２１，２２，２３の具体的な構成は図２に示した斜視図と基本的に同じである。

[0036] 本第４実施例での動作形態は前記第１実施例と基本的に同様であり、同様の作用効果を奏する。第１端子４１から第３端子４３への挿入損失特性は図

１０の曲線Ｘに示すとおりであり、第１端子４１から第２端子４２へのアイソレーション特性は図１０の曲線Ｙに示すとおりである。アイソレーション特性では動作帯域幅６９８～９６０ＭＨｚにおいてほぼ平坦な特性となっている。また、第１端子４１から第２端子４２へのアイソレーションの位相特性はここでは示していないが、図７の曲線Ｚとほぼ同様である。

[0037] 本第４実施例での特徴的構成は、（Ｌ１，Ｃ１）と（Ｌ２，Ｃ２）と（Ｌ３，Ｃ３）とからなる並列共振回路のそれぞれの他端をまとめて１点に接続し、該接続点を（Ｌｇ，Ｃｇ）の直列共振回路を介してグランドに接続したこと、Ｌ３とＣ３との接続点にＣｓ３を接続し、さらにＬｓ３を接続し、Ｌｓ３の他端を第３端子４３に接続し、Ｌ３の一端とＣ３との接続点にＣ４を接続し、Ｃ４の他端をグランドに接続したことにある。このような特徴的構成によって、第１端子４１から第２端子４２へのアイソレーション特性がほぼ平坦な特性となっている。

[0038] （他の実施例）

なお、本発明に係る非可逆回路素子は、前記実施例に限定されるものではなく、その要旨の範囲内で種々に変更することができる。

[0039] 例えば、中心導体の構成や形状などは任意である。また、インダクタンス素子や容量素子は、チップタイプとして回路基板上に実装する以外に、回路基板に内蔵した導体で構成してもよい。

符号の説明

[0040] １０…中心導体組立体

２０…フェライト

２１…第１中心導体

２２…第２中心導体

２３…第３中心導体

２５…永久磁石

４１，４２，４３…端子

Ｐ１，Ｐ２，Ｐ３…ポート

Ｒ…抵抗素子

Ｃ１，Ｃ２，Ｃ３，Ｃ４…容量素子

ＬＡ，Ｌｇ，Ｌｓ３…インダクタンス素子

Ｃｇ，Ｃｓ１，Ｃｓ２，Ｃｓ３…容量素子

請求の範囲

［請求項1］ 永久磁石により直流磁界が印加されるマイクロ波磁性体に第１中心導体、第２中心導体及び第３中心導体をそれぞれ絶縁状態で交差させて配置し、

第１中心導体の一端を第１ポート、第２中心導体の一端を第２ポート、第３中心導体の一端を第３ポートとし、

第１ポートは第１端子に接続され、第２ポートは第２端子に接続され、第３ポートは第３端子に接続され

第１中心導体に対して第１容量素子を並列に接続し、第２中心導体に対して第２容量素子を並列に接続し、

第１中心導体、第２中心導体及び第３中心導体のそれぞれの他端は互いに接続されるとともに、直列に接続された第１インダクタンス素子と第３容量素子とを介してグランドに接続され、

第３中心導体の一端に対して第２インダクタンス素子を並列に接続し、該第２インダクタンス素子の他端はグランドに接続され、

第３中心電極の一端と第２インダクタンス素子との接続点に第４容量素子を接続し、該第４容量素子の他端は第３端子に接続されていること、

を特徴とする非可逆回路素子。

［請求項2］ 永久磁石により直流磁界が印加されるマイクロ波磁性体に第１中心導体、第２中心導体及び第３中心導体をそれぞれ絶縁状態で交差させて配置し、

第１中心導体の一端を第１ポート、第２中心導体の一端を第２ポート、第３中心導体の一端を第３ポートとし、

第１ポートは第１端子に接続され、第２ポートは第２端子に接続され、第３ポートは第３端子に接続され

第１中心導体に対して第１容量素子を並列に接続し、第２中心導体に対して第２容量素子を並列に接続し、

第１中心導体、第２中心導体及び第３中心導体のそれぞれの他端は互いに接続されるとともに、直列に接続された第１インダクタンス素子と第３容量素子とを介してグランドに接続され、

第３中心導体に対して第２インダクタンス素子を並列に接続し、

第３中心電極の一端と第２インダクタンス素子との接続点に第４容量素子を接続し、該第４容量素子の他端は第３端子に接続されていること、

を特徴とする非可逆回路素子。

［請求項3］ 永久磁石により直流磁界が印加されるマイクロ波磁性体に第１中心導体、第２中心導体及び第３中心導体をそれぞれ絶縁状態で交差させて配置し、

第１中心導体の一端を第１ポート、第２中心導体の一端を第２ポート、第３中心導体の一端を第３ポートとし、

第１ポートは第１端子に接続され、第２ポートは第２端子に接続され、

第１中心導体に対して第１容量素子を並列に接続し、第２中心導体に対して第２容量素子を並列に接続し、

第１中心導体、第２中心導体及び第３中心導体のそれぞれの他端は互いに接続されるとともに、直列に接続された第１インダクタンス素子と第３容量素子とを介してグランドに接続され、

第３中心導体に対して第２インダクタンス素子を並列に接続し、

第３中心電極の一端と第２インダクタンス素子との接続点に第４容量素子を直列に接続し、さらに抵抗素子を直列に接続し、該抵抗素子の他端はグランドに接続されていること、

を特徴とする非可逆回路素子。

［請求項4］ 永久磁石により直流磁界が印加されるマイクロ波磁性体に第１中心導体、第２中心導体及び第３中心導体をそれぞれ絶縁状態で交差させて配置し、

第１中心導体の一端を第１ポート、第２中心導体の一端を第２ポート、第３中心導体の一端を第３ポートとし、

第１ポートは第１端子に接続され、第２ポートは第２端子に接続され、第３ポートは第３端子に接続され

第１中心導体に対して第１容量素子を並列に接続し、第２中心導体に対して第２容量素子を並列に接続し、

第１中心導体、第２中心導体及び第３中心導体のそれぞれの他端は互いに接続されるとともに、直列に接続された第１インダクタンス素子と第３容量素子とを介してグランドに接続され、

第３中心導体に対して第５容量素子を並列に接続し、

第３中心電極の一端と第５容量素子との接続点に第４容量素子を直列に接続し、さらに第３インダクタンス素子を直列に接続し、該第３インダクタンス素子の他端は第３端子に接続され、

第３中心導体の一端と第５容量素子との接続点に第６容量素子を接続し、該第６容量素子の他端はグランドに接続されていること、

を特徴とする非可逆回路素子。

［請求項5］ 第１中心導体の一端と第１容量素子との接続点に第７容量素子を接続し、該第７容量素子の他端は第１端子に接続され、

第２中心導体の一端と第２容量素子との接続点に第８容量素子を接続し、該第８容量素子の他端は第２端子に接続されていること、

を特徴とする請求項１ないし請求項４のいずれかに記載の非可逆回路素子。

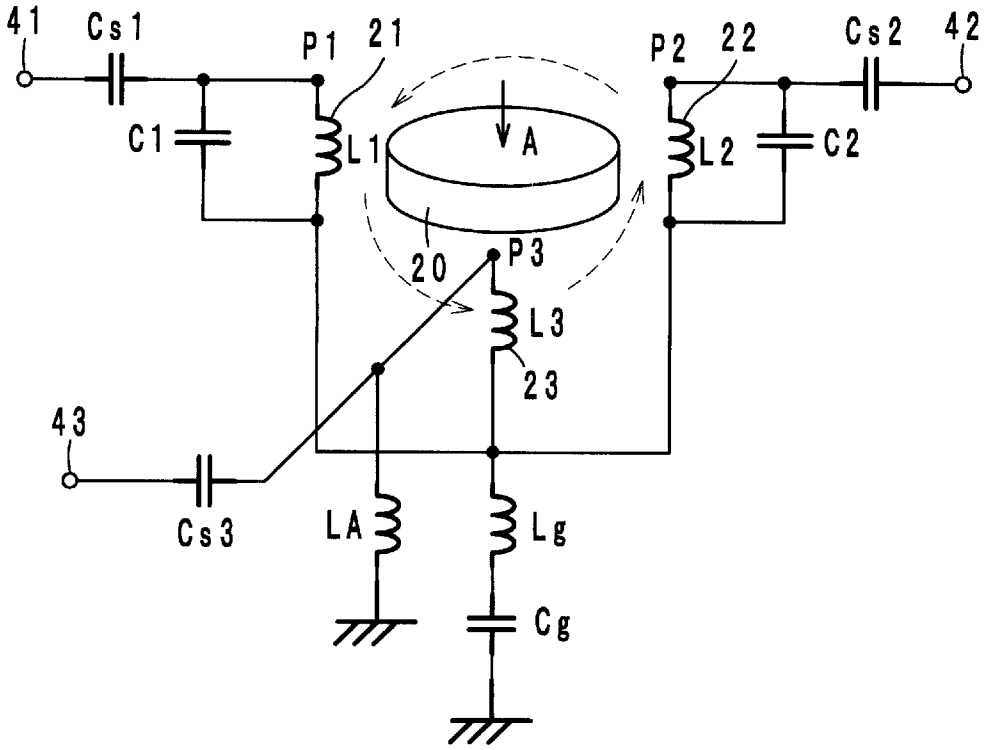
［請求項6］ 第１中心導体、第２中心導体及び第３中心導体は、それぞれ、前記マイクロ波磁性体上及び絶縁体層上にライン状に配置されていること、を特徴とする請求項１ないし請求項５のいずれかに記載の非可逆回路素子。

［請求項7］ 前記マイクロ波磁性体及び前記永久磁石は回路基板に対して積み重ねて配置されていること、を特徴とする請求項６に記載の非可逆回路

素子。

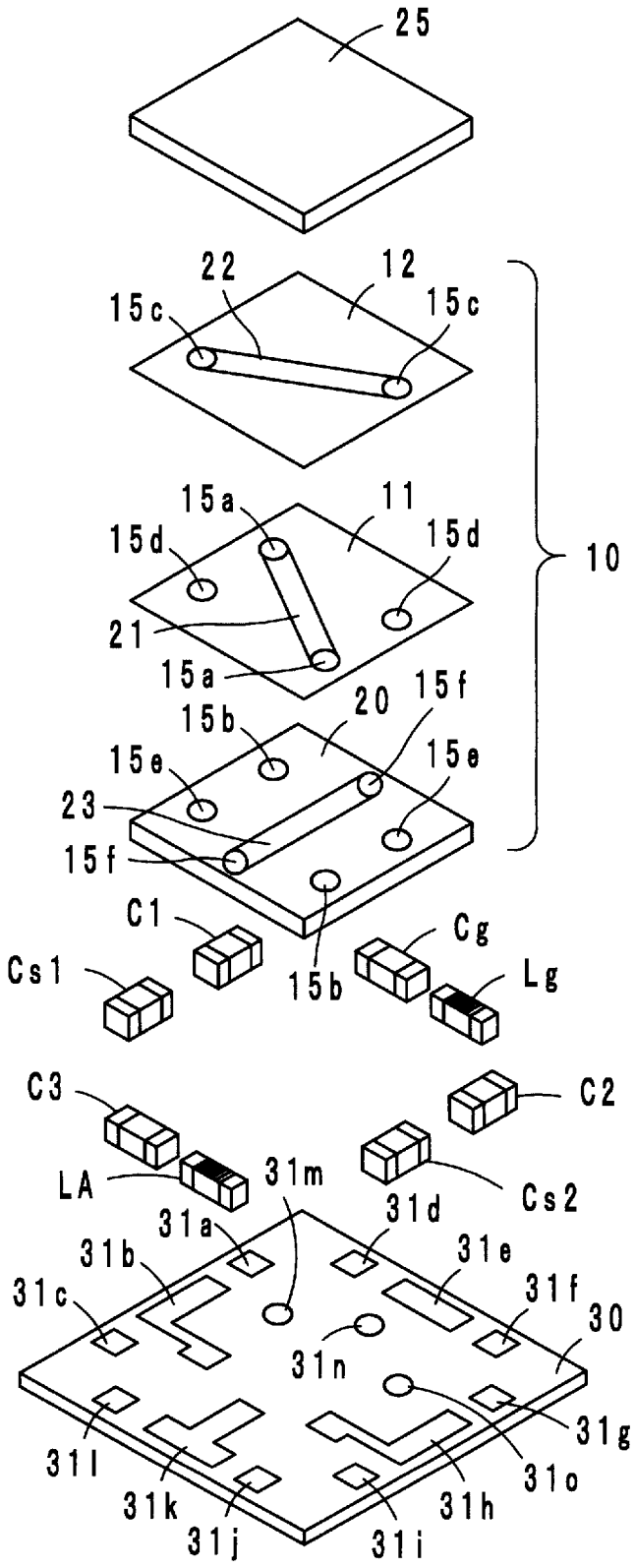
[図1]

図1



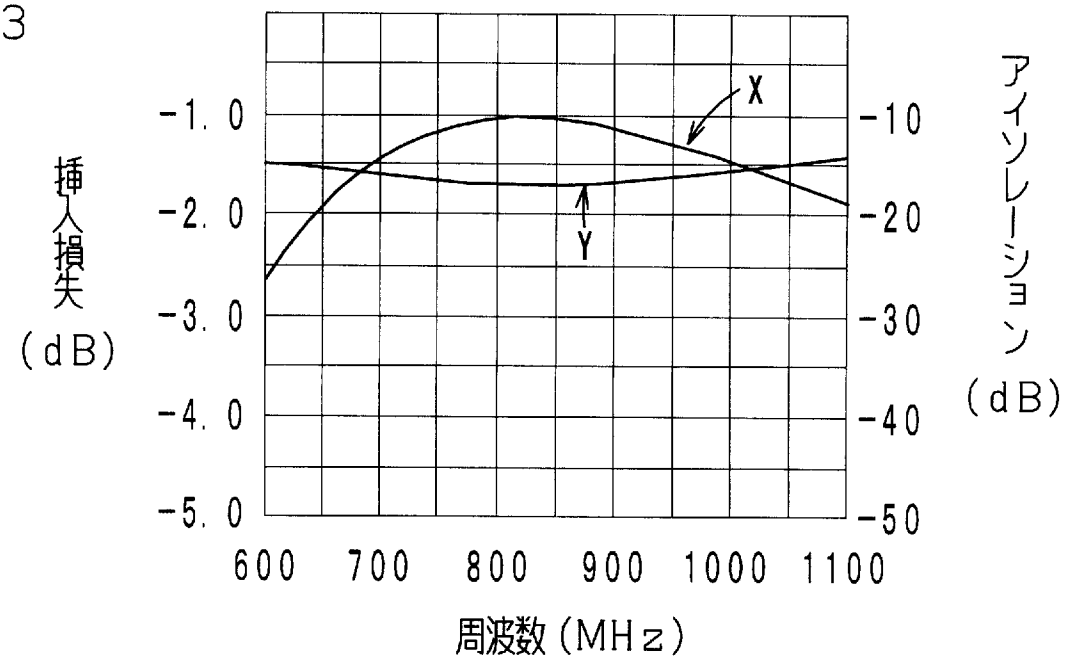
[図2]

図2


25
22
12
15c
15c
15a
11
15d
15d
10
21
15a
20
15f
15b
15e
15e
23
15f
C1
Cg
Cs1
15b
Lg
C3
C2
LA
31m
31d
Cs2
31a
31b
31e
31c
31f
30
31n
31g
31l
31o
31k
31h
31j
31i

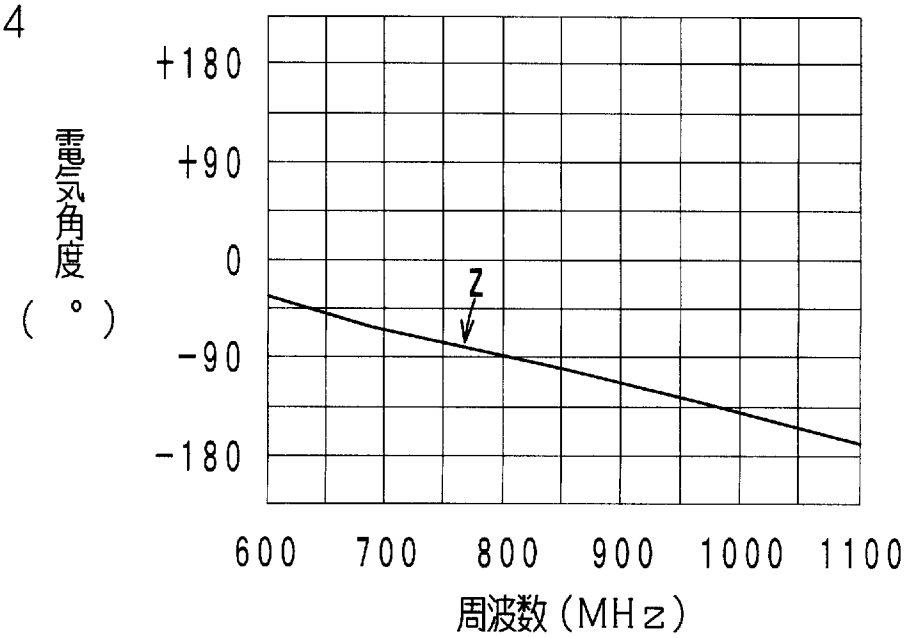
[図3]

図3


挿入損失
(dB)
-1.0
-2.0
-3.0
-4.0
-5.0
X
Y
-10
-20
-30
-40
-50
アイソレーション
(dB)
600
700
800
900
1000
1100
周波数(MHz)

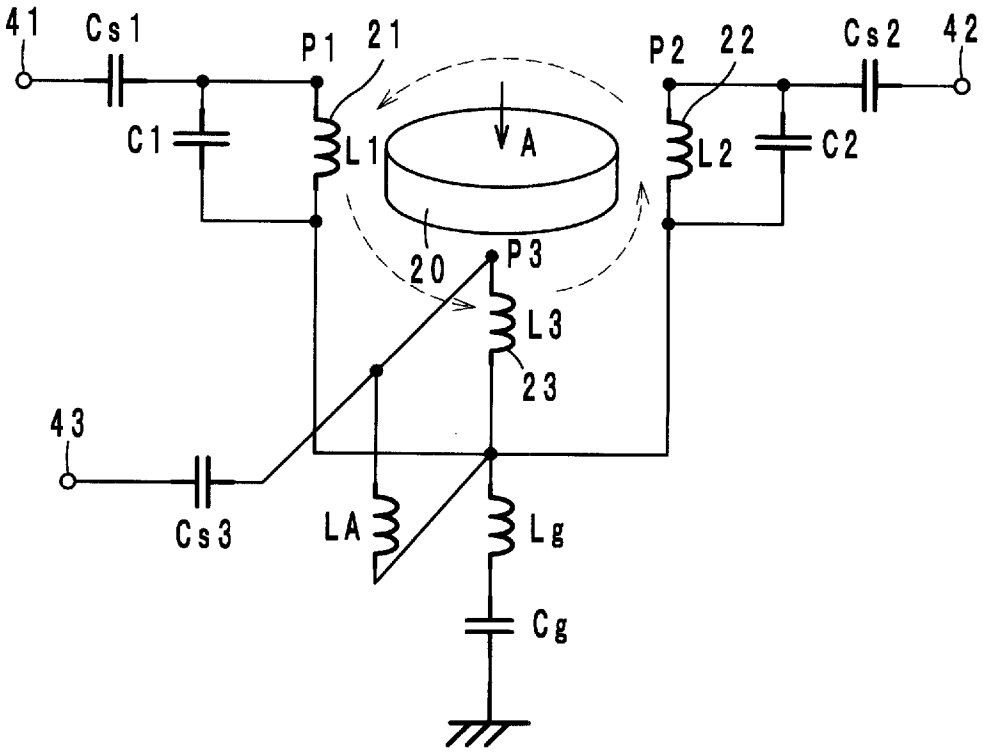
[図4]

図4


電気角度
(°)
+180
+90
0
-90
-180
Z
600
700
800
900
1000
1100
周波数(MHz)

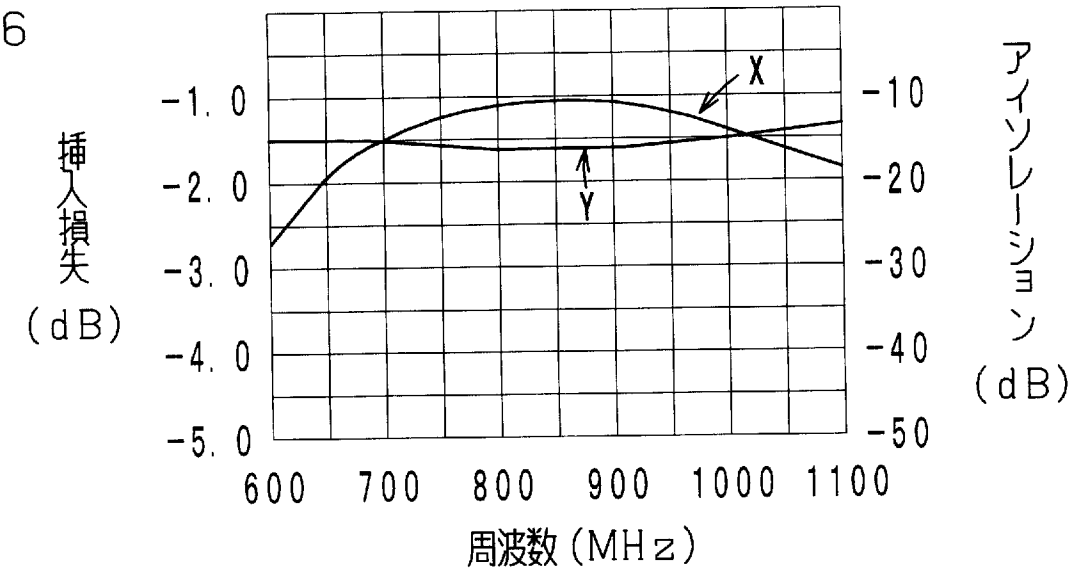
[図5]

図5


41
Cs1
P1
21
P2
22
Cs2
42
C1
L1
A
L2
C2
20
P3
L3
23
43
Cs3
LA
Lg
Cg

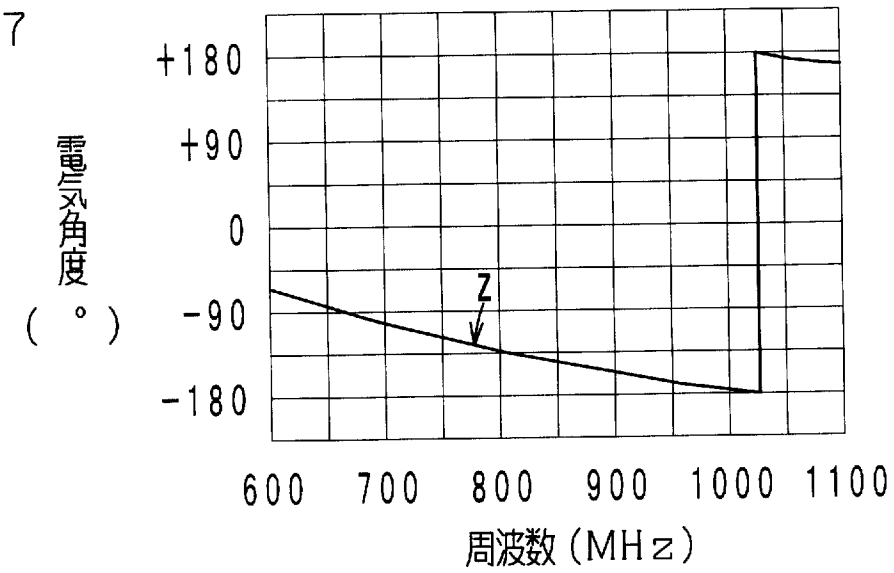
[図6]

図6


挿入損失
(dB)
-1.0
-2.0
-3.0
-4.0
-5.0
X
Y
-10
-20
-30
-40
-50
アイソレーション
(dB)
600
700
800
900
1000
1100
周波数(MHz)

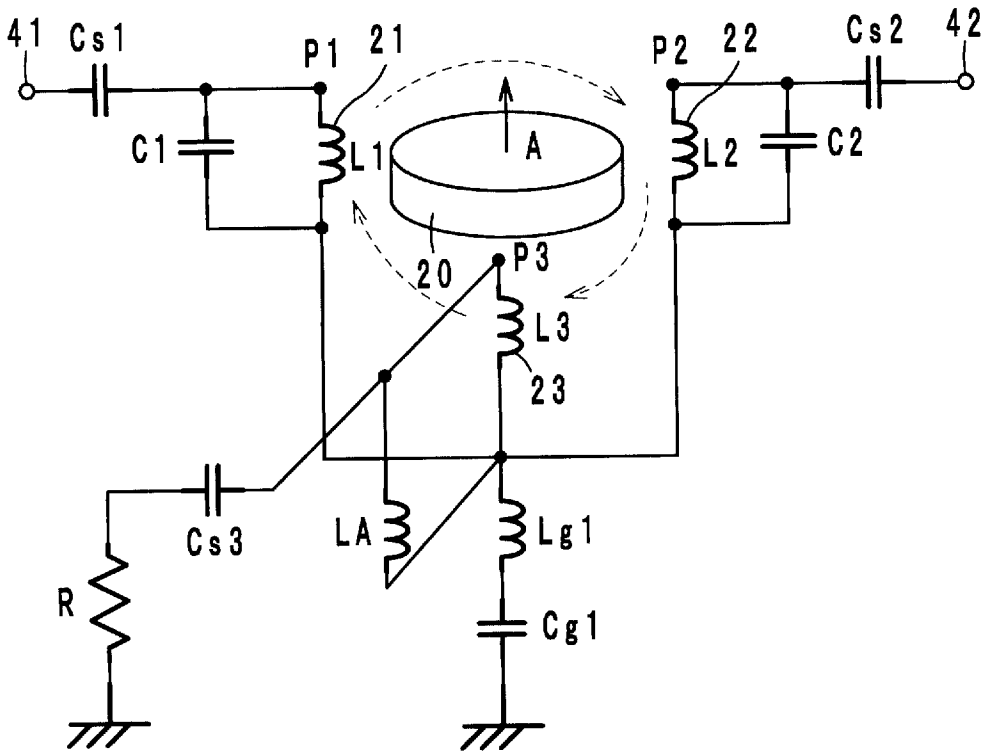
[図7]

図7


+180
+90
0
-90
-180
電圧位相角度（°）
Z
600
700
800
900
1000
1100
周波数（MHz）

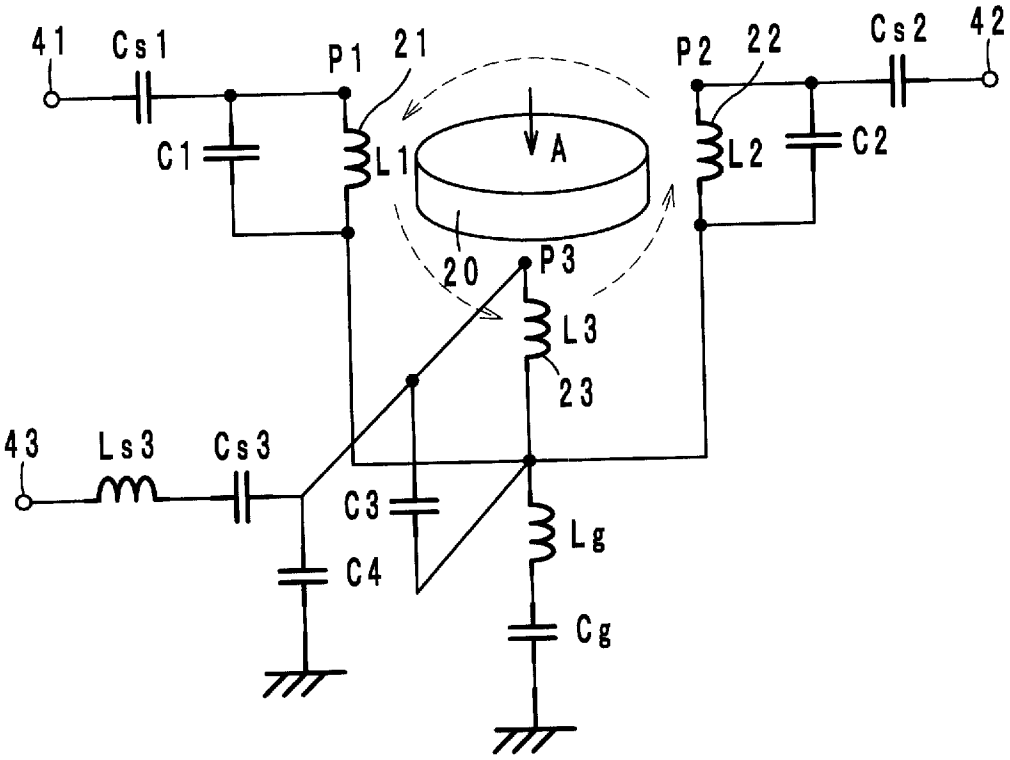
[図8]

図8


41
Cs1
P1
21
P2
22
Cs2
42
C1
L1
A
L2
C2
20
P3
L3
23
Cs3
LA
Lg1
R
Cg1

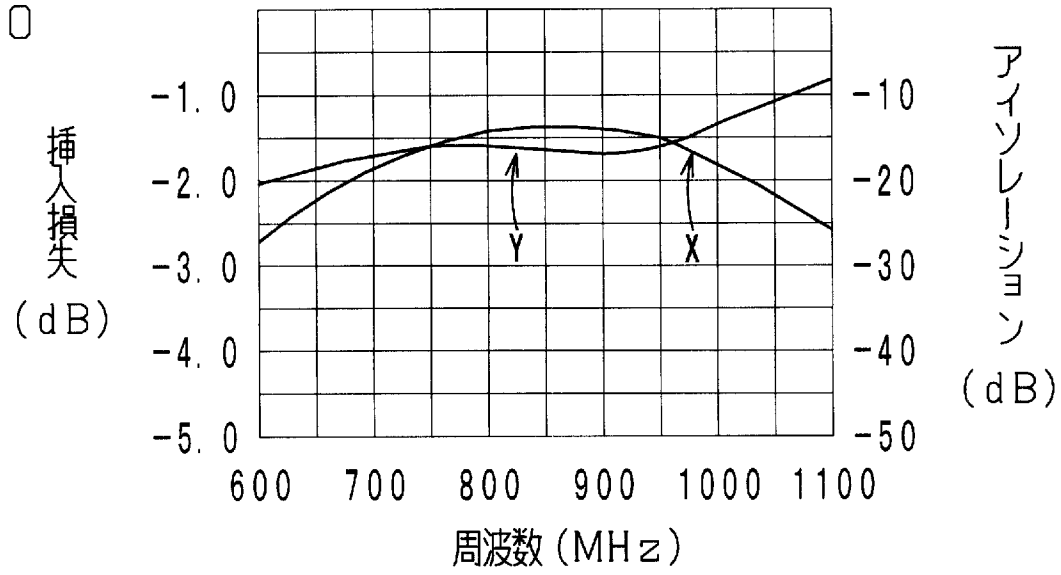
[図9]

図9


41
Cs1
P1
21
P2
22
Cs2
42
C1
L1
A
L2
C2
20
P3
L3
23
43
Ls3
Cs3
C3
Lg
C4
Cg

[図10]

図10


-1.0
-2.0
-3.0
-4.0
-5.0
-10
-20
-30
-40
-50
Y
X
600
700
800
900
1000
1100
挿入損失
(dB)
アイソレーション
(dB)
周波数(MHz)

[図11]

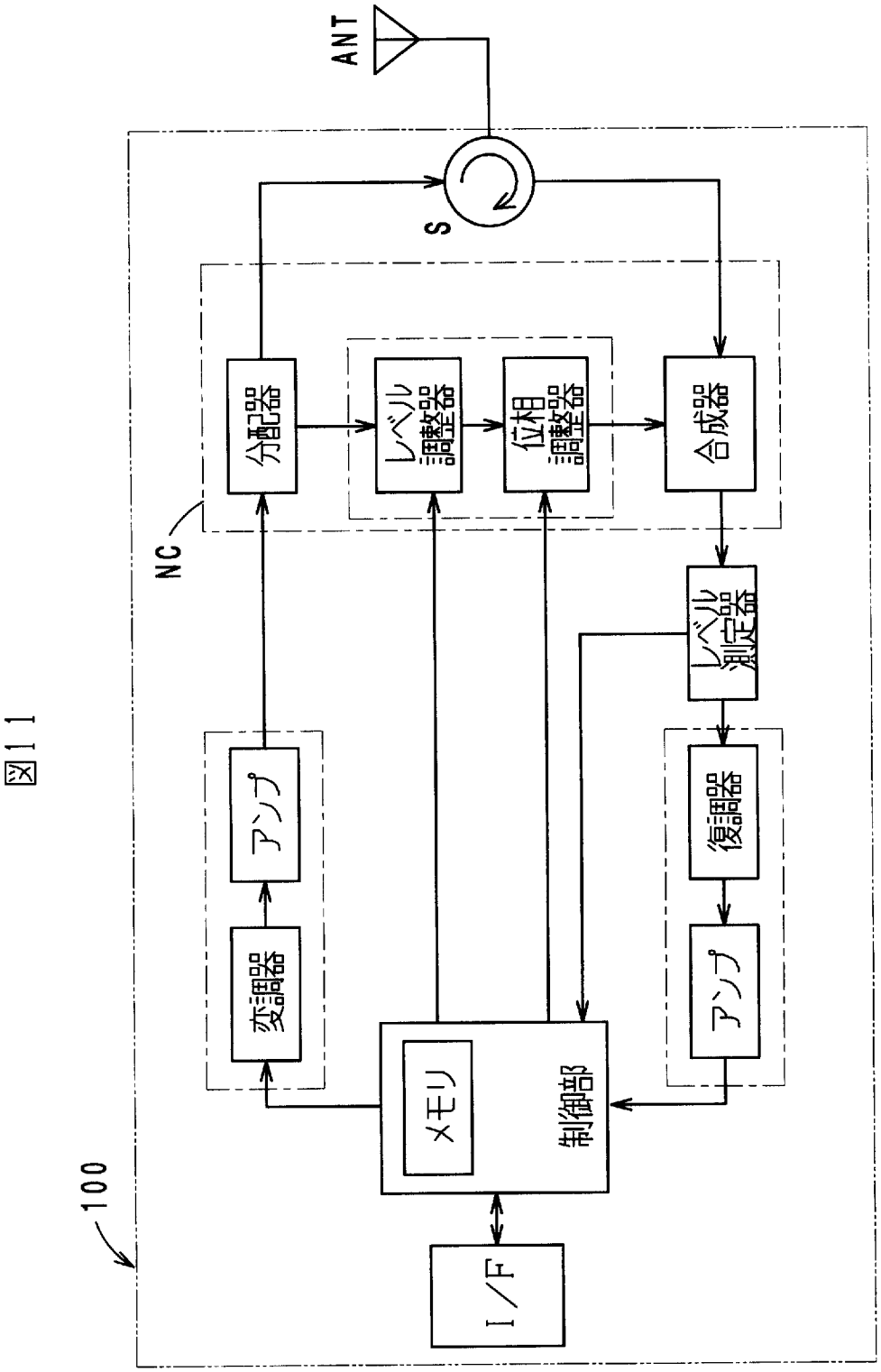
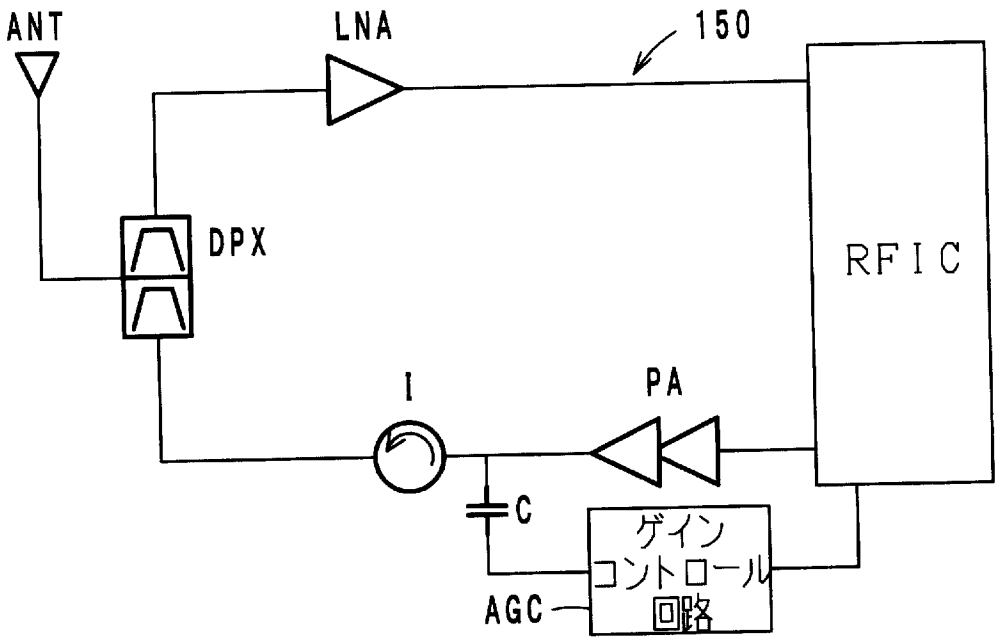

ANT
S
NC
分配器
レベル調整器
位相調整器
合成器
レベル測定器
アンプ
変調器
復調器
アンプ
メモリ
制御部
I/F
100

図11

[図12]

図12



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2013/065440

A. CLASSIFICATION OF SUBJECT MATTER
H01P1/383(2006.01)i, *H01P1/36*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01P1/383, H01P1/36

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2013
Kokai Jitsuyo Shinan Koho 1971-2013 Toroku Jitsuyo Shinan Koho 1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-53505 A (Murata Mfg. Co., Ltd.), 23 February 2001 (23.02.2001), fig. 1 to 2; paragraphs [0015] to [0020] & US 6597252 B1 & EP 1076374 A2 & KR 10-2001-0030061 A & CN 1283944 A	1-7
A	JP 2011-55222 A (Murata Mfg. Co., Ltd.), 17 March 2011 (17.03.2011), fig. 1 to 4; paragraphs [0013] to [0027] (Family: none)	1-7
A	JP 10-98308 A (Murata Mfg. Co., Ltd.), 14 April 1998 (14.04.1998), fig. 6 to 7; paragraphs [0028] to [0033] & US 5923224 A & CA 2214617 A1	1-7

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
16 August, 2013 (16.08.13)	27 August, 2013 (27.08.13)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１３／０６５４４０

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01P1/383(2006.01)i, H01P1/36(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01P1/383, H01P1/36

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１３年
日本国実用新案登録公報	１９９６－２０１３年
日本国登録実用新案公報	１９９４－２０１３年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2001-53505 A (株式会社村田製作所) 2001.02.23, 図 1-2, 【0015】-【0020】 & US 6597252 B1 & EP 1076374 A2 & KR 10-2001-0030061 A & CN 1283944 A	1-7
A	JP 2011-55222 A (株式会社村田製作所) 2011.03.17, 図 1-4, 【0013】-【0027】 (ファミリーなし)	1-7
A	JP 10-98308 A (株式会社村田製作所) 1998.04.14, 図 6-7, 【0028】-【0033】 & US 5923224 A & CA 2214617 A1	1-7

☐　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー

「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの

「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「Ｏ」口頭による開示、使用、展示等に言及する文献

「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
１６．０８．２０１３	２７．０８．２０１３

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｋ　９１８３
岸田　伸太郎

電話番号　０３－３５８１－１１０１　内線　３５５６