

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-294740

(P2005-294740A)

(43) 公開日 平成17年10月20日(2005. 10. 20)

(51) Int. Cl.⁷

H01L 21/822

H01L 27/04

F I

H01L 27/04

H

テーマコード (参考)

5F038

審査請求 未請求 請求項の数 3 O L (全 8 頁)

(21) 出願番号 特願2004-111172 (P2004-111172)

(22) 出願日 平成16年4月5日(2004. 4. 5)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(74) 代理人 100092853

弁理士 山下 亮一

(72) 発明者 中村 博之

東京都大田区下丸子3丁目30番2号キヤ
ノン株式会社内

Fターム(参考) 5F038 AV06 BH02 BH06 BH13 EZ20

(54) 【発明の名称】 マルチフィンガーNMOSトランジスタ構造

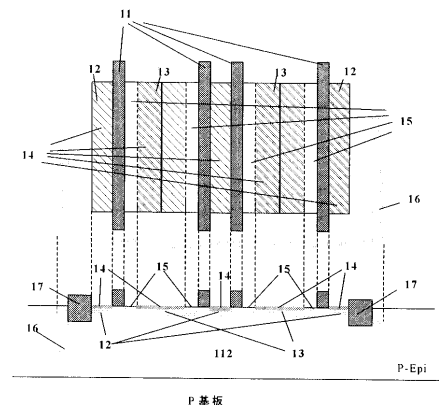
(57) 【要約】

【課題】 プロセス変動に影響されにくく、且つ、マルチフィンガーNMOSトランジスタの寄生NPNTランジスタを、ほぼ同時にONさせるような静電気保護素子としてのマルチフィンガーNMOSトランジスタの構造を提供すること。

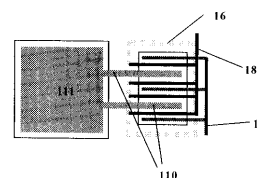
【解決手段】 P型半導体基板上に構成される半導体集積回路の静電破壊保護素子であって、複数のゲート電極を有するマルチフィンガータイプのNMOSにおいて、

前記半導体基板と反対導電型の拡散層をNMOSトランジスタを囲繞するように構成し、且つ、囲繞されたP型半導体領域を配線手段によっては、如何なる電位へも接続されないことを特徴とするマルチフィンガーNMOSトランジスタ構造。

【選択図】 図1



(a)



(b)

【特許請求の範囲】

【請求項 1】

P 型半導体基板上に構成される半導体集積回路の静電破壊保護素子であって、複数のゲート電極を有するマルチフィンガータイプの N M O S において、

前記半導体基板と反対導電型の拡散層を N M O S トランジスタを囲繞するように構成し、且つ、囲繞された P 型半導体領域を配線手段によっては、如何なる電位へも接続されないことを特徴とするマルチフィンガー N M O S トランジスタ構造。

【請求項 2】

反対導電型の拡散層は、P M O S トランジスタがその内部に構成される N 型拡散層と同一の拡散層であることを特徴とする請求項 1 記載のマルチフィンガー N M O S トランジスタ構造。

【請求項 3】

複数のゲート電極は互いに電氣的に接続され、且つ、囲繞された P 型半導体領域に金属配線で接続され、複数のドレイン電極は互いに電氣的に接続され、且つ、外部引出し端子であるパッドへ金属配線で接続され、複数のソース電極は互いに電氣的に接続され、且つ、最低電位配線へ接続されることを特徴とする請求項 1 記載のマルチフィンガー N M O S トランジスタ構造。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体集積回路における静電気破壊保護回路、特に、複数のゲート電極を有するマルチフィンガー型の N M O S トランジスタの構造に関する。

【背景技術】

【0002】

半導体集積回路の静電気保護素子としては、従来から P N 接合ダイオードが用いられてきたが、近年の微細化の進展に伴い、M O S トランジスタのゲート酸化膜厚が、例えば、 $0.35\mu\text{m}$ のプロセスでは $60\sim70$ 、 $0.25\mu\text{m}$ のプロセスでは $40\sim60$ 、というように薄膜化してきている。

【0003】

このようにゲート酸化膜の薄膜化が進むと、低電圧化による動作が可能になる反面、静電気耐性が劣化してしまうという問題がある。従来の P N ダイオードを用いた保護素子・回路では、P N ダイオード自身のブレイクダウン電圧がゲート酸化膜の耐圧より大きいこと、又、ブレイクダウンする速さが静電気パルスに追従できないこと等から、ゲート酸化膜に損傷が生じてしまうため、近年ではマルチフィンガー N M O S トランジスタの寄生バイポーラトランジスタによるスナップバック特性を利用し、より積極的に静電気電荷を能動素子により消費する方法が用いられている（非特許文献 1 参照）。

【0004】

図 7 (a) ~ (c)、図 8 及び図 9 を用いて従来例を説明する。

【0005】

図 7 (a) は通常用いられるマルチフィンガー N M O S トランジスタの平面図、図 7 (b) は断面図、図 7 (c) は寄生の N P N トランジスタまで含めた等価回路図である。図 8 は N M O S トランジスタのスナップバック特性を示す図、図 9 はフィンガー数が 3 の場合のマルチフィンガー N M O S トランジスタのスナップバック特性を示す図である。

【0006】

微細化された M O S トランジスタでは、ソース・ドレイン抵抗が増加し性能が劣化するが、これを防ぐためにソース・ドレイン領域にシリサイドが形成され、ソース・ドレイン抵抗を低減させる手法が採られる。

【0007】

しかしながら、保護素子用の N M O S トランジスタにシリサイド構造を適用すると静電気耐性が劣化することが報告されており（非特許文献 2 参照）、静電気耐性劣化を防ぐた

10

20

30

40

50

めに、通常シリサイド・ブロック技術により保護NMOストランジスタのゲート電極（図7（a）の11）と静電気放電パルスが印加されるドレイン電極（図7（a）の13）との間にシリサイドを設けない領域（図7（a）の15）を設定する。マルチフィンガーNMOストランジスタにシリサイド・ブロック技術を適用すると、シリサイド・ブロックされた領域はバラスト抵抗として動作し、各フィンガーの動作均一性を促す。図7（c）及び図8は静電気放電パルスがドレイン領域に印加されたときのマルチフィンガーNMOストランジスタの動作、所謂スナップバック特性を示す。

【0008】

図9を用いてマルチフィンガーNMOストランジスタの動作を説明する。
尚、図9はフィンガー数が3本の場合の例である。

10

【0009】

まず、パッドに静電気放電パルスが印加されると、N型半導体であるドレイン部とP型半導体であるバックゲート部でアバランシェ・ブレイクダウンが起こり、インパクト・イオン化により大量の電子・正孔対が発生し、電子はドレイン電界により引かれ、正孔はバックゲート電位を上昇させるか、最低電位のソース電界に引かれる。バックゲート電位が、ソースをエミッタ、バックゲートをベース、ドレインをコレクタとする寄生NPNトランジスタのエミッタ・ベース間の順方向電圧より大きくなると、寄生NPNトランジスタが動作する。図9の V_{t1} 、 I_{t1} はこの動作点である。寄生NPNトランジスタがONすると、ドレイン部の電流・電圧特性は寄生NMOストランジスタのON抵抗に従ったものとなる。このとき注意すべき点は、以下の通りである。

20

【0010】

マルチフィンガーNMOストランジスタでは、各ゲート毎に複数のNMOストランジスタが並列に接続されてなるが、レイアウト的に全てのNMOストランジスタに同じ構造を用いても、様々な不均一性（多くはプロセス的な）のために全てのNMOストランジスタの寄生NPNトランジスタが同時にONすることはなく、必ず、或る1つのNMOストランジスタの寄生NPNトランジスタがONすることから動作が始まる。このとき、各NMOストランジスタのドレイン部は共通に接続されているので、各ドレイン電圧は一番最初に寄生NPNトランジスタがONしたNMOストランジスタのドレイン電圧に追従した動作をすることになる（図9の1stフィンガー）。

【0011】

ドレイン電圧は動作している寄生NPNトランジスタのON抵抗に沿って上昇する。ON抵抗は、ソース・ドレインの抵抗成分で、コンタクト抵抗、バラスト抵抗の値を含めたものとなる。ON抵抗での電圧上昇が V_{t1} を超えると、2つ目のフィンガーで再びアバランシェ・ブレイクダウンが起こり、バックゲート電位が上昇し、2つ目の寄生NPNトランジスタがONする。この結果、ON抵抗は2つの寄生NPNトランジスタのON抵抗の合成値となり、この抵抗に沿って3つ目の寄生NPNトランジスタがONするまで電位上昇が起こる。このようにして、全ての寄生NPNトランジスタを順次ONしていくことにより静電気放電パルスのエネルギーをON抵抗で消費される熱エネルギーに変換することで、MOSトランジスタのゲートを保護する。全ての寄生トランジスタがONすると、その合成ON抵抗に沿って電圧は上昇するが、熱暴走に至るまでに温度が上昇すると接合が損傷を受け（図9の V_{t2} 、 I_{t2} ）、接合でのリーク電流が増大する。

30

40

【0012】

従って、熱暴走に至るまでに静電気放電エネルギーを全て消費することが必要である。

【0013】

【非特許文献1】Layout Design On Multi-Finger MOS FET For On-Chip ESD Protection Circuits in a 0.18 μ m Salicided CMOS Process, 2001 IEEE, Multi-Finger Turn-on Circuits and Design Techniques For Enhanced ESD Performance and Width-Scaling, 2001 EOS/ESD Symposium, etc.

【非特許文献2】Markus P.J. Mergens, et al., ESD/EOS Symposium 2001, Thomas L. Polgren et al., 1992 IEEE

50

【発明の開示】

【発明が解決しようとする課題】

【0014】

しかしながら、このような構成によるとソース・ドレイン抵抗の最適化が困難であるという問題がある。即ち、寄生NPNトランジスタを順次ONさせるためには、ドレイン部のバラスト抵抗は大きい方が、ドレイン電圧がより早く V_{t1} に到達するため望ましいが、大き過ぎるバラスト抵抗値はジュール熱による温度上昇による接合損傷を生じさせる。従って、バラスト抵抗での温度上昇の面からは抵抗値が低い方が良いが、抵抗値を下げることでドレイン電圧が V_{t1} に達するのに時間が掛かり、その期間の電流集中による損傷の問題も発生する。特に、シリサイド部分は粒子状であり、電流が局所的に集中し易いため、容易に熱的損傷を受ける。

10

【0015】

これらのことから、ドレイン部の抵抗に最適な値が存在することは明らかであるが、ドレイン抵抗を構成するコンタクト抵抗、シリサイド部抵抗、シリサイド・ブロック領域（ドレイン・インプラント部）、更には、通常シリサイド・ブロック領域はマスクを用いるため、マスクずれの問題等、プロセスに非常に敏感であり、このため、静電気耐性にロットごとに差が生じるという問題もある。

本発明は、以上のような点に鑑みてなされたもので、プロセス変動に影響されにくく、且つ、マルチフィンガーNMOSTランジスタの寄生NPNトランジスタを、ほぼ同時にONさせるような静電気保護素子としてのマルチフィンガーNMOSTランジスタの構造を提供することを目的とする。

20

【課題を解決するための手段】

【0016】

前述のような問題は、ドレイン部における電圧を、いわばドレイン抵抗が監視し、ドレイン電圧が V_{t1} を超えた時点でアバランシェ・ブレイクダウンを起すことを繰返していく過程で生じていることに着目すると、静電気放電パルスが印加された直後のアバランシェ・ブレイクダウンに伴うインパクトイオン化によるバックゲート電位上昇を大きくし、寄生のNPNトランジスタがほぼ同時にトリガーされる状況が望ましく、このためにはバックゲート電位を、如何に上昇させるかが重要である。

【0017】

インパクトイオン化に伴うバックゲート電位上昇を効率的にするためには、バックゲートのインピーダンスを大きくすることが有効であり、最もインピーダンスを高くするにはフローティング状態が望ましいが、完全なフローティング状態はラッチアップを誘発し易いため、望ましくない。

30

【0018】

又、P基板においては、フローティング状態を造ることは不可能である。このため、インピーダンスを高めるためには、基板方向ではなく保護素子の側面を基板と切り離すような構造が必要となる。

【0019】

このために、CMOSプロセスにおいてPMOSTランジスタを製造する際に必須なN型のウェルによってNMOSTランジスタを取り囲むように構成し、且つ、取り囲まれたP領域は底面のみで基板へ接続され、金属配線では特定電位（殆どの場合最低電位）へ接続されないような構造とする。

40

【発明の効果】

【0020】

本発明によれば、マルチフィンガータイプの保護NMOSTランジスタをN型の拡散層で囲み、且つ、囲まれたバックゲート領域を金属配線で最低電位へ接続することなく基板との間に抵抗成分を持たせることで各フィンガー部の寄生NPNトランジスタのトリガー均一性を得ることができ、従来例のような1つの寄生NPNトランジスタへの電流集中を防ぎ、電流集中によるドレイン抵抗部の温度上昇を抑え、ジュール熱による接合破壊を防

50

止することが可能になる。

【発明を実施するための最良の形態】

【0021】

図1に本発明の実施の形態を示す。

図1はフィンガー数が4本の場合を示しているが、フィンガー数は多いほど2次ブレークダウン耐性が向上するので、通常は10本程度の場合が多い。

【0022】

図1(a)本発明の実施の形態の断面図、図1(b)は平面図である。

図1(a), (b)において、11はフィンガーとなるゲート、12はソース、13はドレイン、14はソース、ドレイン部の抵抗を下げるためのサリサイド、15はバラスト抵抗に相当するサリサイドブロック、16は保護NMOSトランジスタを囲繞するN型の拡散層Nウェル、17はフィールド酸化膜、18は1のフィンガーを電氣的に接続する金属配線、19はフィンガーごとに構成されるソース12を電氣的に接続し、且つ、最低電位接続するための金属配線、110はフィンガーごとに構成される3のドレインを電氣的に接続し、且つ、パッド111へ接続する金属配線、112は金属配線によってはどの電位へも接続されていない保護NMOSトランジスタのバックゲートである。

図2はシミュレーションで用いた回路図である。

【0023】

図2において、NOはフィンガー数4のNMOSトランジスタを示しており、1はバックゲートで図1(a)のバックゲート112に相当する部分、2はゲートで図1(a)のゲート11へ、3, 4, 5はソースで図1(a)のソース12へ、6, 7はドレインで図1(a)のドレイン13にそれぞれ相当する。R7はバックゲートと最低電位間のインピーダンス、R6はゲート抵抗、R1, R2, R4はソース直列抵抗、R3, R5はサリサイドブロック部のバラスト抵抗を含んだドレイン部の直列抵抗、VINは静電気放電パルスが印加される端子で、R0は人体帯電モデルの際の1.5kΩ抵抗を示す。

【0024】

図3はシミュレーションで用いた人体帯電モデルの電圧波形図、図4(a), (b)はシミュレーションで用いたマルチフィンガーNMOSトランジスタの全体図及び1つのフィンガー部の拡大図である。

【0025】

このような構造において、先ずパッド111へ静電気放電パルスが印加されると、配線10、サリサイド4を経由してドレイン部3の電位は急激に上昇する。人体帯電モデルでは、およそ200V/ns、2000Vmaxの波形が1.5kΩの抵抗を通してパッド111へ印加される。

【0026】

急激に上昇したドレイン部の電圧は、バックゲートとの間でアバランシェ・ブレークダウンを起し、大量の電子・正孔対を生成し、生成された正孔がバックゲート電位を上昇させる。この電位がソース12をエミッタ、ドレイン13をコレクタ、バックゲート112をベースとする寄生NPNトランジスタのベース・エミッタ間順方向の閾値電圧を超えると寄生NPNトランジスタが動作し、図9に示すスナップバック特性を示すようになる。課題としているのは、フィンガー毎に存在する寄生のNPNトランジスタがほぼ同時にトリガーされ動作することであるが、図5及び図6にバックゲートへ接続される抵抗R7を0.1Ω、1kΩとした場合の各ドレイン電流波形を示している。

【0027】

図5はR7 = 0.1Ωの場合であるが、具体的にはバックゲートが金属配線により最低電位へ接続された状態を表している。

【0028】

ドレイン電流の一方は電流値がゼロであり、寄生NPNトランジスタが動作していないことが分かる。このことは、静電気放電パルスエネルギーを1つの寄生NPNトランジスタで消費しなくてはならず、この結果電流集中により、ドレイン抵抗に熱的損傷を引き起

10

20

30

40

50

こすことを示している。

図6は $R7 = 1\text{ k}\Omega$ の場合であり、バックゲートはNウェルで囲まれ、基板方向のみで抵抗成分によって最低電位へ接続されている状態を示している。1～2 nsecの遅れ時間はあるが、2つのドレインにほぼ等しい電流が流れている、即ち、寄生NPNトランジスタがどちらも動作していることが分かり、この結果静電気放電パルスのエネルギーは両方の寄生NPNトランジスタでほぼ均等に消費されることを意味する。

【図面の簡単な説明】

【0029】

【図1】本発明に係るマルチフィンガーNMOSTランジスタの構造を示す図である。

【図2】シミュレーション回路図である。

10

【図3】シミュレーション人体帯電モデル電圧波形図である。

【図4】(a)はシミュレーションデバイス全体図、(b)はシミュレーションデバイス拡大図である。

【図5】従来例のシミュレーション結果を示す図である。

【図6】本発明のシミュレーション結果を示す図である。

【図7】従来例を示す図である。

【図8】基本スナップバック特性を示す図である。

【図9】フィンガー数3の場合のスナップバック特性を示す図である。

【符号の説明】

【0030】

20

11 フィンガー（ゲート）

12 ドレイン

13 ソース

14 サリサイド

15 サリサイドブロック領域

16 N型拡散層

17 シリコン酸化膜

18 フィンガー配線

19 ソース配線

110 パッドからのドレイン配線

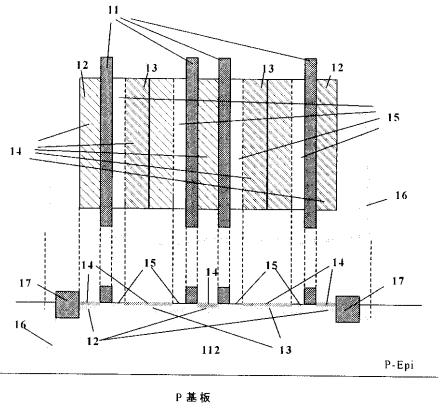
30

111 パッド

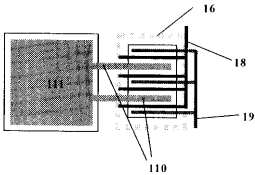
112 バックゲート

113 P型拡散層

【図 1】

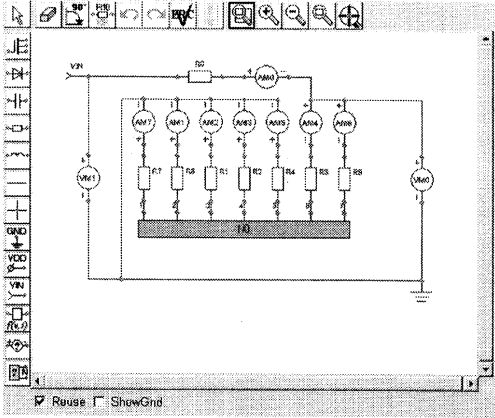


(a)

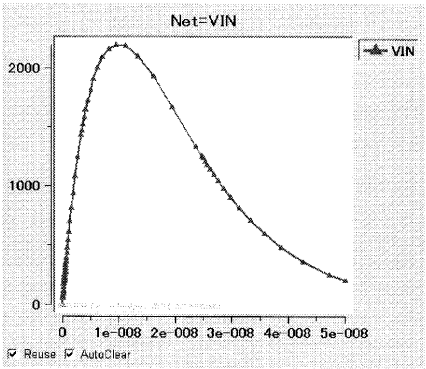


(b)

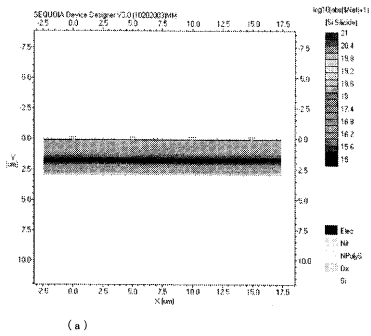
【図 2】



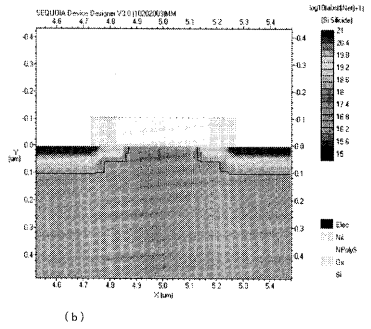
【図 3】



【図 4】

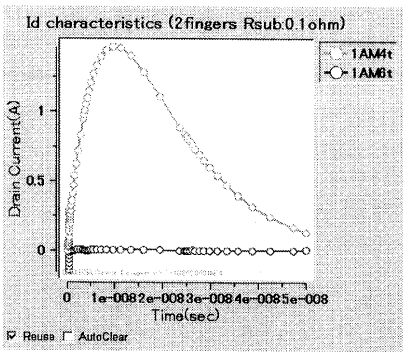


(a)

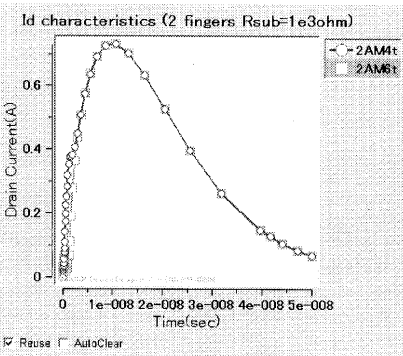


(b)

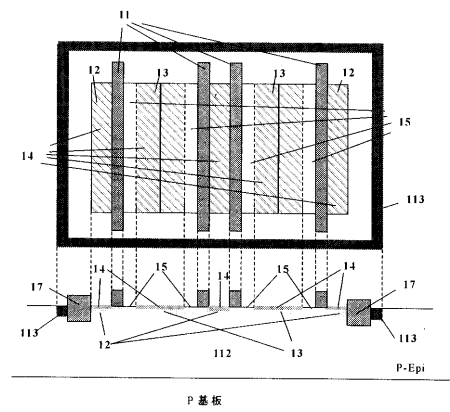
【図 5】



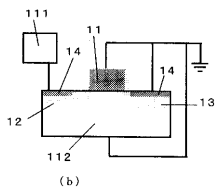
【図 6】



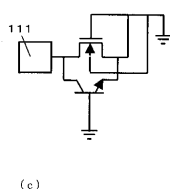
【 図 7 】



(a)

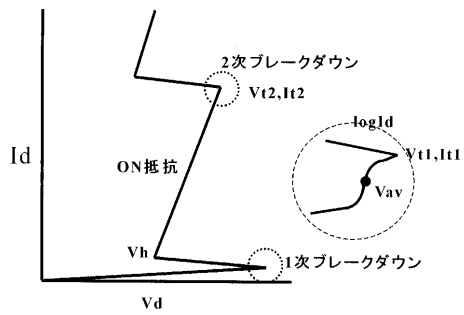


(b)



(c)

【 図 8 】



【 図 9 】

