

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】平成 19 年 8 月 30 日 (2007.8.30)

【公開番号】特開 2005-293596 (P2005-293596A)

【公開日】平成 17 年 10 月 20 日 (2005.10.20)

【年通号数】公開・登録公報 2005-041

【出願番号】特願 2005-106228 (P2005-106228)

【国際特許分類】

G 0 6 F 12/06 (2006.01)

G 0 6 F 13/36 (2006.01)

【F I】

G 0 6 F 12/06 5 5 0 C

G 0 6 F 13/36 3 1 0 D

【手続補正書】

【提出日】平成 19 年 7 月 11 日 (2007.7.11)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

アービトレーション・ロジックと、
データ・プロセッサ・コアと

を備えたデータ処理装置であって、

前記データ・プロセッサ・コアが

外部データ・ソースとデータ・プロセッサ・コアに関連付けられている少なくとも 1 つのメモリとの間でデータ転送操作を実行するように動作可能なメモリ・アクセス・インターフェイス部分と、

データ処理操作を実行するように動作可能なデータ処理部分と、

前記プロセッサ・コアから少なくとも 2 つのバスにデータを転送するように動作可能な読み取り / 書き込みポートであって、前記少なくとも 2 つのバスが前記プロセッサ・コアと前記少なくとも 1 つのメモリとの間にデータ通信を提供するように動作可能であり、前記少なくとも 1 つのメモリが少なくとも 2 つの部分を含み、前記少なくとも 2 つのバスのそれぞれが前記少なくとも 2 つの部分のそれぞれにデータ・アクセスを提供するように動作可能である読み取り / 書き込みポートと

を含み、

前記アービトレーション・ロジックは前記読み取り / 書き込みポートに関連付けられており、前記アービトレーション・ロジックが、前記メモリ・アクセス・インターフェイスから受信された前記少なくとも 1 つのメモリの一部にあるデータのアクセスを要求するデータ・アクセス要求を、前記少なくとも 1 つのメモリの前記一部にアクセスを提供する前記少なくとも 2 つのバスのうちの一方に経路設定し、前記データ処理部分から受信された前記少なくとも 1 つのメモリの別の一部にあるデータのアクセスを要求する別のデータ・アクセス要求を、前記少なくとも 1 つのメモリの前記別の一部にアクセスを提供する前記少なくとも 2 つのバスのうちのもう一方に経路設定するように動作可能であり、前記データ・アクセス要求の前記経路設定が同じクロック・サイクル中に実行される

データ処理装置。

【請求項 2】

請求項 1 に記載のデータ処理装置であって、前記アービトレーション・ロジックが、前記データ・アクセス要求に関連付けられている前記少なくとも 1 つのメモリ内のアドレス位置に基づいて前記データ・アクセス要求を経路設定する前記少なくとも 2 つのバスのうちの一方を選択するように動作可能であるデータ処理装置。

【請求項 3】

請求項 2 に記載のデータ処理装置であって、前記メモリの前記少なくとも 2 つの部分が、命令を格納するように動作可能である命令部分、及びデータ項目を格納するように動作可能である少なくとも 1 つのデータ部分を含み、前記アービトレーション・ロジックは、転送すべきデータが命令であるとき、前記命令部分へのアクセスを提供する前記少なくとも 2 つのバスのうちの第 1 のものに前記アクセス要求を経路設定し、転送すべきデータがデータ項目であるとき、前記少なくとも 1 つのデータ部分へのアクセスを提供する前記少なくとも 2 つのバスのうちの第 2 のものに前記データ・アクセス要求を経路設定するように動作可能であるデータ処理装置。

【請求項 4】

請求項 3 に記載のデータ処理装置であって、前記少なくとも 1 つのデータ部分が、偶数アドレスを有するデータを格納するように動作可能な偶数データ部分、及び奇数アドレスを有するデータを格納するように動作可能な奇数データ部分の 2 つのデータ部分を含み、前記読み取り / 書き込みポートが、前記命令部分へのアクセスを提供する第 1 のバス、前記奇数データ部分へのアクセスを提供する第 2 のバス、及び前記偶数データ部分へのアクセスを提供する第 3 のバスの 3 つのバスを介して前記プロセッサ・コアと前記少なくとも 1 つのメモリとの間にデータを転送するように動作可能であり、前記アービトレーション・ロジックが、転送すべきデータが命令であるときは前記第 1 のバスに、転送すべきデータが奇数アドレスに関連付けられているデータ項目であるときは前記第 2 のバスに、転送すべきデータが偶数アドレスに関連付けられているデータ項目であるときは前記第 3 のバスにデータ・アクセス要求を経路設定するように動作可能であるデータ処理装置。

【請求項 5】

請求項 1 に記載のデータ処理装置において、前記アービトレーション・ロジックが、前記少なくとも 1 つのメモリの一部にあるデータへのアクセスを要求する、前記メモリ・アクセス・インターフェイス部分からのデータ・アクセス要求、及び前記データ処理部分からのデータ・アクセス要求の両方のデータ・アクセス要求の受信に応答して、前記処理部分からの前記要求を前記少なくとも 2 つのバスのうちの前記一方に経路設定する前に、前記メモリ・アクセス・インターフェイス部分からの前記データ・アクセス要求を、前記少なくとも 1 つのメモリの前記一部にデータ・アクセスを提供する前記少なくとも 2 つのバスのうちの前記一方に経路設定するように動作可能であるデータ処理装置。

【請求項 6】

請求項 1 に記載のデータ処理装置であって、前記アービトレーション・ロジックが前記少なくとも 1 つのメモリの少なくとも 1 つのビジー部分から待機要求を検出するように動作可能であり、前記アービトレーション・ロジックが、前記待機要求が検出されなくなるまで、任意のデータ・アクセス要求を前記ビジー部分に経路設定しないように動作可能であるデータ処理装置。

【請求項 7】

請求項 1 に記載のデータ処理装置であって、さらに

少なくとも 2 つの部分に分割される少なくとも 1 つのメモリと、

前記少なくとも 1 つのメモリの前記少なくとも 2 つの部分のそれぞれの部分へのデータ・アクセスをそれぞれ可能にする少なくとも 2 つのバスと
を含むデータ処理装置。

【請求項 8】

請求項 7 に記載のデータ処理装置において、前記少なくとも 1 つのメモリが、命令を格納するように動作可能な命令部分、並びに偶数アドレスを有するデータを格納するように動作可能な偶数データ部分、及び奇数アドレスを有するデータを格納するように動作可能

な奇数データ部分の2つのデータ部分の3つの部分に分割され、前記データ処理装置が3つのバスを含み、前記読み取り/書き込みポートが前記3つのバスを介して前記プロセッサ・コアと前記少なくとも1つのメモリとの間でデータを転送するように動作可能であり、第1のバスが前記命令部分へのアクセスを提供し、第2のバスが前記奇数データ部分へのアクセスを提供し、第3のバスが前記偶数部分へのアクセスを提供するデータ処理装置。

【請求項9】

請求項7に記載のデータ処理装置において、前記少なくとも1つのメモリが密結合メモリであるデータ処理装置。

【請求項10】

外部データ・ソースとデータ・プロセッサ・コアに関連付けられている少なくとも1つのメモリとの間にデータを転送する方法であって、前記データ・プロセッサ・コアが、前記外部データ・ソースと前記データ・プロセッサ・コアに関連付けられている前記少なくとも1つのメモリとの間のデータ転送操作を実行するように動作可能であるメモリ・アクセス・インターフェイス部分、及びデータ処理操作を実行するように動作可能であるデータ処理部分を含み、前記方法が

前記メモリ・アクセス・インターフェイス部分から受信された前記少なくとも1つのメモリの一部にあるデータのアクセスを要求するデータ・アクセス要求、及び前記データ処理部分から受信された前記少なくとも1つのメモリの別の部分にあるデータへのアクセスを要求するデータ・アクセス要求にตอบสนองして、前記メモリ・アクセス・インターフェイス部分から受信された前記データ・アクセス要求を少なくとも2つのバスのうちの一方に経路設定するステップであって、前記少なくとも2つのバスのうちの前記一方が前記少なくとも1つのメモリの前記一部へのアクセスを提供するステップと、前記データ処理部分から受信された前記データ・アクセス要求を前記少なくとも2つのバスのうちのもう一方のバスに経路設定するステップであって、前記別のバスが前記少なくとも1つのメモリの前記別の部分へのアクセスを提供するステップとを含み、前記データ・アクセス要求の前記経路設定が同じクロック・サイクル中に実行される

方法。

【請求項11】

請求項10に記載の方法において、データ・アクセス要求をそれぞれのデータ・バスに経路設定する前記ステップが、前記データ・アクセス要求に関連付けられている前記少なくとも1つのメモリ内のアドレス位置に基づいて行われる方法。

【請求項12】

請求項10に記載の方法において、前記メモリの前記少なくとも2つの部分が、命令を格納するように動作可能である命令部分、及びデータ項目を格納するように動作可能である少なくとも1つのデータ部分を含み、前記データ・アクセス要求を経路設定する前記ステップが、転送すべきデータが命令であるとき、前記命令部分へのアクセスを提供する前記少なくとも2つのバスのうちの一方にデータ・アクセス要求を経路設定し、転送すべきデータがデータ項目であるとき、前記少なくとも1つのデータ部分へのアクセスを提供する前記少なくとも2つのバスのうちのもう一方に前記データ・アクセス要求を経路設定するように動作可能である方法。

【請求項13】

請求項12に記載の方法において、前記少なくとも1つのデータ部分が、偶数アドレスを有するデータを格納するように動作可能な偶数データ部分、及び奇数アドレスを有するデータを格納するように動作可能な奇数データ部分の2つのデータ部分を含み、前記経路設定するステップが、前記命令部分へのアクセスを提供する第1のバス、前記奇数データ部分へのアクセスを提供する第2のバス、及び前記偶数データ部分へのアクセスを提供する第3のバスの3つのバスのうちの1つにデータ・アクセスを経路設定するように動作可能であり、前記経路設定するステップが、転送すべきデータが命令であるときは前記第1のバスに、転送すべきデータが奇数アドレスに関連付けられているデータ項目であるとき

は前記第2のバスに、転送すべきデータが偶数アドレスに関連付けられているデータ項目であるときは前記第3のバスにデータ・アクセス要求を経路設定するように動作可能である方法。

【請求項14】

請求項10に記載の方法において、前記経路設定するステップが、前記少なくとも2つのバスのうちの一方によってアクセスされる前記少なくとも1つのメモリの一部にあるデータへのアクセスを要求する、前記メモリ・アクセス・インターフェイス部分からのデータ・アクセス要求、及び前記データ処理部分からのデータ・アクセス要求の両方のデータ・アクセス要求の受信に回答して、前記処理部分からの前記要求を前記少なくとも2つのバスのうちの前記一方に経路設定する前に、前記メモリ・アクセス・インターフェイス部分からの前記データ・アクセス要求を前記少なくとも2つのバスのうちの前記一方に経路設定する方法。

【請求項15】

請求項10に記載の方法において、前記経路設定するステップが、前記少なくとも1つのメモリの少なくとも1つのビジー部分から待機要求を検出し、前記待機要求の検出に回答して、前記待機要求が検出されなくなるまで、前記ビジー部分にデータ・アクセス要求を経路設定しない方法。

【請求項16】

請求項10に記載の方法において、前記少なくとも1つのメモリが、命令を格納するように動作可能な命令部分、並びに偶数アドレスを有するデータを格納するように動作可能な偶数データ部分、及び奇数アドレスを有するデータを格納するように動作可能な奇数データ部分の2つのデータ部分の3つの部分に分割され、前記経路設定するステップが、前記データ・アクセス要求に関連付けられている前記データのアドレスに基づいて、受信したデータ・アクセス要求を3つのバスのうちの1つに経路設定し、第1のバスが前記命令部分へのアクセスを提供し、第2のバスが前記奇数データ部分へのアクセスを提供し、第3のバスが前記偶数データ部分へのアクセスを提供する方法。

【請求項17】

請求項10から16までのいずれか一項による方法の諸ステップを実行するようにデータ・プロセッサを制御するよう動作可能であるアービトレーション・ロジック。

【請求項18】

請求項1に記載のデータ処理装置において、前記データ・プロセッサ・コアが前記アービトレーション・ロジックを含むデータ処理装置。