

公告本

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：91106100

※ 申請日期：97.2.7

※IPC 分類：H04N 5/21 (2006.01)
H01L 27/146 (2006.01)

一、發明名稱：(中文/英文)

可降低雜訊之影像感測器 / Image Sensor Capable of Reducing
Noises

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

聯詠科技股份有限公司 / NOVATEK MICROELECTRONICS CORP.

代表人：(中文/英文)

何泰舜 / HO, TAI-SHUNG

住居所或營業所地址：(中文/英文)

新竹科學園區創新一路十三號二樓 / 2F, No. 13, Innovation Rd. I,
Hsinchu Science Park, Hsin-Chu, Taiwan, R.O.C.

國 籍：(中文/英文)

中華民國 / TWN

三、發明人：(共 1 人)

姓 名：(中文/英文)

1. 詹日維 / CHAN, JIH-WEI

國 籍：(中文/英文)

1. 中華民國 / TWN

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係指一種可降低雜訊之影像感測器，尤指一種藉由適當地設置關聯雙取樣電路中提供各電路節點電性連結的金屬連接線，以阻擋光線照射在關聯雙取樣電路中電壓浮動之節點上，進而避免雜訊產生之 CMOS 影像感測器。

【先前技術】

隨著數位相機、行動電話等電子商品不斷的開發與成長，消費市場對影像感測元件之需求亦持續的增加。一般而言，目前常用的影像感測元件，包括了電荷耦合感測元件〈Charge Coupled Device, CCD〉以及互補式金氧半導體影像感測元件〈CMOS Image Sensor, CIS〉兩大類。其中，由於 CMOS 影像感測元件具有低操作電壓、低功率消耗與高操作效率及其可根據需要進行隨機存取〈Random Access〉等特性，再加上其可整合於目前的半導體技術來大量製造，因此受到極廣泛的應用。

請參考第 1 圖，第 1 圖為一習知 CMOS 影像感測器 10 之電路示意圖。CMOS 影像感測器 10 包含有一像素陣列 11、一關聯雙取樣〈Correlation Double Sampling, CDS〉電路陣列 12、一系列解碼器 13、一行解碼器 14 以及一類比至數位轉換器 15。像素陣列 11 係由設置為矩陣形式之像素單元 P11~Pmn 所組成，其中每一像素單元具有一感光區域以及一週邊電路區域〈未繪式於第 1 圖

中)。感光區域可以感應入射光線，並累積入射光線所產生的光電荷，而週邊電路則根據列解碼器 13 及行解碼器 14 所輸出之控制訊號，依序輸出感光區域所產生之光電荷。關聯雙取樣電路陣列 12 設置於像素陣列 11 之下側，由關聯雙取樣電路 120₁~120_n 所組成，其中每一關聯雙取樣電路 120 耦接於像素陣列 11 之每一行，用來接收像素陣列 11 之每一行所輸出的訊號。類比至數位轉換器 15 設置於像素陣列 11 之側邊，用來對關聯雙取樣電路 120₁~120_n 輸出的信號進行訊號處理，並轉換為數位形式之訊號。

如本領域具通常知識者所知，由於每一像素單元之週邊電路係由電晶體所構成，而電晶體元件參數的差異將導致每一像素單元所輸出的光電荷訊號產生一固定圖像雜訊 (Fixed Pattern Noise)。因此，習知 CMOS 影像感測器一般會藉由關聯雙取樣電路陣列 12，對來自每一像素單元之資料信號 (即光電荷訊號) 及重置信號進行二次取樣，再藉由類比至數位轉換器 15 計算資料信號及重置信號之差值，以避免所產生的影像引入由電晶體元件參數導致的固定圖像雜訊。

請參考第 2 圖，第 2 圖為第 1 圖中關聯雙取樣電路 120 之示意圖。關聯雙取樣電路 120 包含有一開關 121、一取樣電容 122 及一緩衝器 123。開關 121 用來根據行解碼器 14 所輸出之控制訊號，切換接收像素陣列 11 之資料信號或重置信號。取樣電容 122 耦接於開關 121，用來儲存透過開關 121 所接收之資料信號或重置訊

號。緩衝器 123 耦接取樣電容 122 於一節點 A，用來根據行解碼器 14 所輸出之控制訊號，輸出節點 A 之電壓至類比至數位轉換器 15。因此，當關聯雙取樣電路 120 完成接收資料訊號或重置訊號後，將保持開關 121 為一關閉狀態，以使類比至數位轉換器 15 可依序讀取每一關聯雙取樣電路 120 之取樣電容 122 所保持的電壓。

在此情形下，在類比至數位轉換器 15 尚未讀取電壓之前，關聯雙取樣電路 120 所保持的電壓不能受到外來雜訊的干擾。然而，當開關 121 在關閉狀態時，節點 A 可具有一電壓浮動（floating）的性質，因此對於關聯雙取樣電路 120 的節點 A 來說，業界經常以“浮接點”代表之。

然而，由於浮接點 A 很容易因光線照射而產生光電效應，造成取樣電容 122 所保持的電壓產生改變，進而導致雜訊的產生。此外，由於每一關聯雙取樣電路 120 於關聯雙取樣電路陣列 12 中的位置不同，因此每一關聯雙取樣電路 120 受光線照射的角度及強度也不同，導致所產生雜訊干擾的程度也不同。如此一來，關聯雙取樣電路將無法有效的降低影像訊號雜訊，進而影響 CMOS 影像感測器的效能。

在習知技術中，對於 CMOS 影像感測器的周邊電路，如關聯雙取樣電路，一般以光阻或金屬塊〈Metal Block〉方式來遮擋光線，以減少光能量產生的雜訊對電路造成干擾。然而，光阻並無法完

全有效地隔離光線，而在成本和效能的考量及電路尺寸的限制下，金屬塊的使用有著極大的限制。

【發明內容】

因此，本發明之主要目的即在於提供一種可降低雜訊之影像感測器。

本發明揭露一種可降低雜訊之影像感測器，該影像感測器包含有一像素陣列、一控制電路及一關聯雙取樣電路陣列。該關聯雙取樣電路陣列耦接於該像素陣列及該控制電路之間，由複數個關聯雙取樣電路單元所組成，該複數個關聯雙取樣電路單元之每一關聯雙取樣電路單元包含有一矽基板；一 MOS 元件形成於該矽基板上，該 MOS 元件連接至該關鍵雙取樣電路單元之一浮接點；以及複數個金屬層，設置於該 MOS 元件之上，用來提供該關聯雙取樣電路單元之電性連結，並且用來阻擋光線照射該 MOS 元件。

本發明另揭露一種用於一影像感測器之關聯雙取樣電路，包含有一矽基板；一 MOS 元件形成於該矽基板上，該 MOS 元件連接至該關鍵雙取樣電路單元之一浮接點；以及複數個金屬層設置於該 MOS 元件之上，用來提供該關聯雙取樣電路單元之電性連結，並且用來阻擋光線照射該 MOS 元件。

本發明另揭露一種用於一影像感測器之關聯雙取樣電路的佈

局方法，該佈局方法包含有形成一關聯雙取樣電路之一 MOS 元件於一矽基板上，該 MOS 元件連接至該關聯雙取樣電路中之一浮接點；以及根據該關聯雙取樣電路於一關聯雙取樣電路陣列之位置，於複數個金屬層中形成複數個金屬連接線，以阻擋光線照射該 MOS 元件，並提供該關聯雙取樣電路之電性連結。

本發明另揭露一種可降低雜訊之影像感測器，包含有一像素陣列、一控制電路以及一關聯雙取樣電路陣列。該關聯雙取樣電路陣列耦接於該像素陣列及該控制電路之間，由複數個關聯雙取樣電路單元所組成，該複數個關聯雙取樣電路單元至少包含有一第一關聯雙取樣電路單元及一第二關聯雙取樣電路單元。該第一關聯雙取樣電路單元包含有一第一矽基板；一第一 MOS 元件形成於該第一矽基板上，該 MOS 元件連接至該第一關鍵雙取樣電路單元之一浮接點；以及第一複數個金屬層設置於該第一 MOS 元件之上，用來提供該第一雙取樣電路單元之電性連結，並且於該第一 MOS 元件上形成一第一電路圖案，以阻擋光線照射該第一 MOS 元件。該第二關聯雙取樣電路單元包含有一第二矽基板；一第二 MOS 元件形成於該第二矽基板上，該 MOS 元件連接至該第二關鍵雙取樣電路單元之一浮接點；以及第二複數個金屬層設置於該第一 MOS 元件之上，用來提供該第二雙取樣電路單元之電性連結，並且於該第二 MOS 元件上形成一第二電路圖案，以阻擋光線照射該第二 MOS 元件。其中，該第一關聯雙取樣電路單元與該第二關聯雙取樣電路單元係該關聯雙取樣電路陣列上兩鄰近之電路

單元，以及該第一電路圖案與該第二電路圖案不完全相同。

【實施方式】

請參考第 3 圖，第 3 圖為本發明一 CMOS 影像感測器 30 之示意圖。CMOS 影像感測器 30 包含有一像素陣列 31、一關聯雙取樣〈Correlation Double Sampling, CDS〉電路陣列 32、一列解碼器 33、一行解碼器 34 及一類比至數位轉換器 35。其中像素陣列 31、列解碼器 33、行解碼器 34 及類比至數位轉換器 35 與第 1 圖中 CMOS 影像感測器 10 類似，不再贅述。關聯雙取樣電路陣列 32 設置於像素陣列 11 之下側，由關聯雙取樣電路 320₁~320_n 所組成，每一關聯雙取樣電路之內部電路與第 2 圖所示之關聯雙取樣電路 120 類似，亦不再贅述。由於每一關聯雙取樣電路 320 於關聯雙取樣電路陣列 32 中的位置不同，因此每一關聯雙取樣電路 320 受光線照射的角度及強度也不同，如第 3 圖之虛線箭頭所示。

一般來說，關聯雙取樣電路 320 具有許多電壓浮動的節點，如第 2 圖中的浮接點 A，因此當光線照射在浮接點 A 時，容易因光電效應導致雜訊的產生。此外，由於每一關聯雙取樣電路位置的不同，其受光線照射的角度及強度亦不同，如此一來，因光電效應所產生的雜訊對電路亦會造成不同程度的干擾。因此，本發明係根據關聯雙取樣電路 320₁~320_n 在關聯雙取樣電路陣列 32 中的位置，對關聯雙取樣電路的實體佈局作適當的調整，以降低 CMOS 影像感測器之影像的雜訊。

請參考第 4 圖，第 4 圖為本發明一佈局流程 40 之示意圖。佈局流程 40 係用於 CMOS 影像感測器 30 之關聯雙取樣電路 320_1 ~ 320_n 中，其包含有下列步驟：

步驟 400：開始。

步驟 410：形成一關聯雙取樣電路之一 MOS 元件於一矽基板上。

步驟 420：根據該關聯雙取樣電路於一關聯雙取樣電路陣列之位置，於複數個金屬層中形成複數個金屬連接線，以阻擋光線照射該 MOS 元件，並提供該關聯雙取樣電路之電性連結。

步驟 430：結束。

根據佈局流程 40，本發明於電路佈局時，首先於矽基板上形成關聯雙取樣電路之 MOS 元件，其中該 MOS 元件係連接至關聯雙取樣電路中之一浮接點。接著，本發明根據每一關聯雙取樣電路在關聯雙取樣電路陣列中之位置，於複數個金屬層中形成複數個金屬連接線，以阻擋光線照射在該 MOS 元件所連接之浮接點上，並提供該關聯雙取樣電路之電性連結。較佳地，該 MOS 元件可以是關聯雙取樣電路單元之一取樣電容、一開關元件或者一緩衝器之一組成元件 (component)。也就是說，本發明係藉由適當地設置關聯雙取樣電路中提供各電路節點電性連結的金屬連接線，以阻擋光線照射在關聯雙取樣電路中電壓浮動的節點上，避免電路因光電效應導致雜訊的產生。

舉例來說，請參考第 5 圖，第 5 圖為本發明實施例一關聯雙取樣電路 50 之剖面示意圖。關聯雙取樣電路 50 較佳地係位於第 3 圖中關聯雙取樣電路陣列 32 之右側〈如關聯雙取樣電路 320_n〉，其包含有一矽基板 51、一多晶矽閘極 52 及金屬層 M1 及 M2。矽基板 51 具有一摻雜區 510。多晶矽閘極 52 設置於矽基板 51 之摻雜區 510 上，用來與矽基板 51 形成關聯雙取樣電路 50 之一 MOS 元件。金屬層 M1 及 M2 設置於多晶矽閘極 52 之上，用來根據關聯雙取樣電路 50 於關聯雙取樣電路陣列之位置，形成金屬連接線 531~536，以阻擋光線照射在關聯雙取樣電路中電壓浮動的節點上，並提供關聯雙取樣電路 50 之電性連結。在本實施例中，由於關聯雙取樣電路 50 係位於關聯雙取樣電路陣列 32 之右側，如第 3 圖所示，光線將由關聯雙取樣電路 50 之左斜方入射，因此本發明可將金屬層 M2 之金屬連接線 533 向左側作一適當的平移，以有效遮擋光線照射在 MOS 元件〈亦即多晶矽閘極 52〉上，進而避免電路產生雜訊。較佳地，本發明可於電路佈局時，藉由程式計算光線入射角度等方式，計算出金屬連接線 533 所需調整的距離。值得注意的是，在本實施例中平移金屬層 M2 之金屬連接線 533 僅用來作為一舉例說明，本發明另可視實際需求，平移金屬層 M1 之金屬連接線 534~536，而不限於此。

請注意，本發明並未限定前述金屬層 M1、M2 的位置，M1、M2 僅為標示而並非金屬層位置的限制，在實際應用中，業者可利用任意金屬層來進行金屬層 M1、M2 的建置。

相反地，請參考第 6 圖，第 6 圖為本發明另一實施例一關聯雙取樣電路 60 之剖面示意圖。關聯雙取樣電路 60 之結構與第 5 圖中之關聯雙取樣電路 50 類似，於此不再贅述。在本實施例中，關聯雙取樣電路 60 較佳地位於第 3 圖中關聯雙取樣電路陣列 32 之左側〈如關聯雙取樣電路 320_1〉，光線將由關聯雙取樣電路 60 之右斜方入射〈如第 3 圖所示〉，因此本發明可於電路佈局時，將金屬層 M2 之金屬連接線 631 向右側作一適當的平移，以有效遮擋光線照射在 MOS 元件〈亦即多晶矽閘極 62〉上，進而避免產生雜訊。

請繼續參考第 7 圖，第 7 圖為本發明另一實施例一關聯雙取樣電路 70 之剖面示意圖。關聯雙取樣電路 70 之結構與第 5 圖中之關聯雙取樣電路 50 類似，於此不再贅述。在本實施例中，關聯雙取樣電路 70 較佳地位於第 3 圖中關聯雙取樣電路陣列 32 之中間位置，因此光線將以垂直角度入射，在此情形下，本發明可將金屬層 M1 及 M2 之金屬連接線 731~736 向左或向右作一適當的平移，以遮擋光線照射在 MOS 元件上。請注意，本發明所述之關聯雙取樣電路中電壓浮動之節點並不侷限於 MOS 元件，任何容易因光線照射而改變電性狀態之節點，皆屬本發明之範疇。舉例來說，於上述第 5~7 圖中，金屬層 M2 平移的目的係為遮擋入射至 MOS 元件閘極的光線。然而，在實際應用上，業者亦可利用上層的金屬層來遮擋 MOS 元件的任意位置，以防止光線的入射，譬如，業者可利用上層金屬層，來阻擋入射至 MOS 元件源極/汲極的光線，

如此的相對應變化，亦屬本發明的範疇。此外，如前所述，第 5～7 圖所示的 MOS 元件可作為關聯雙取樣電路單元之一取樣電容、一開關元件或者一緩衝器之一組成元件 (Component)。

因此，請參考第 8 圖及第 9 圖，第 8 圖及第 9 圖為第 3 圖中關聯雙取樣電路陣列 32 之實施例上視圖。第 8 圖及第 9 圖分別代表位於關聯雙取樣電路陣列 32 之左側（如關聯雙取樣電路 320_1 附近）及右側（如關聯雙取樣電路 320_n 附近）之關聯雙取樣電路單元 CDS。為了方便說明，圖中僅顯示了關聯雙取樣電路陣列 32 中之一金屬層之佈局情形。第 8 圖及第 9 圖之上半部代表未經由本發明佈局流程之金屬連接線 M3 之佈局圖案，而其下半部則代表經由本發明佈局流程之結果。由於每一關聯雙取樣電路單元 CDS 於關聯雙取樣電路陣列 32 中受光線照射的角度及強度不同，因此本發明於佈局時會根據入射光線之角度調整每一關聯雙取樣電路單元中金屬連接線 M3 之位置，以阻擋光線照射在每一關聯雙取樣電路單元 CDS 中電壓浮動的節點（以節點 A 表示）上。在第 8 圖中，由於每一關聯雙取樣電路單元 CDS 係位於關聯雙取樣電路陣列 32 之左側，而光線會由其右上方入射，因此本發明可將金屬連接線 M3 之位置向右偏移，以阻擋光線照射在 MOS 元件所連接之浮接點 A 上；類似地，在第 9 圖中，由於每一關聯雙取樣電路單元 CDS 係位於關聯雙取樣電路陣列 32 之右側，而光線會由其左上方入射，因此本發明可將金屬連接線 M3 之位置向左偏移，以阻擋光線照射在 MOS 元件所連接之浮接點 A 上。很明顯

地，每一關聯雙取樣電路單元 CDS 之金屬連接線 M3 之電路佈局圖案與其相鄰之圖案將不完全相同，儘管其仍具有相同之功能。

綜上所述，本發明係根據每一關聯雙取樣電路在關聯雙取樣電路陣列中的位置，藉由適當地設置關聯雙取樣電路中提供各電路節點電性連結的金屬連接線，以阻擋光線照射在關聯雙取樣電路中電壓浮動之節點上，避免電路因光電效應導致雜訊的產生，進而提昇 CMOS 影像感測器之效能。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

【圖式簡單說明】

第 1 圖為一習知 CMOS 影像感測器之電路示意圖。

第 2 圖為第 1 圖中關聯雙取樣電路之示意圖。

第 3 圖為本發明一 CMOS 影像感測器之示意圖。

第 4 圖為本發明一佈局流程之示意圖。

第 5 圖為本發明實施例一關聯雙取樣電路之剖面示意圖。

第 6 圖為本發明另一實施例關聯雙取樣電路之剖面示意圖。

第 7 圖為本發明另一實施例關聯雙取樣電路之剖面示意圖。

第 8 圖及第 9 圖為第 3 圖中關聯雙取樣電路陣列之實施例上視圖。

【主要元件符號說明】

10、30	CMOS 影像感測器
11、31	像素陣列
12、32	關聯雙取樣電路陣列
13、33	列解碼器
14、34	行解碼器
15、35	類比至數位轉換器
P11~Pmn	像素單元
120_1~120_n、320_1~320_n、50、60、70	關聯雙取樣電路
121	開關
122	MOS 元件
123	緩衝器
A	節點
40	佈局流程
400、410、420、430	步驟
51、61、71	矽基板
52、62、72	多晶矽閘極
M1、M2、M3	金屬層
510、610、710	摻雜區
531~536、631~636、731~736	金屬連接線

五、中文發明摘要：

一種可降低雜訊之影像感測器，包含有一像素陣列、一控制電路及一關聯雙取樣電路陣列。該關聯雙取樣電路陣列耦接於該像素陣列及該控制電路之間，由複數個關聯雙取樣電路單元所組成，其中每一關聯雙取樣電路單元包含有一矽基板；一 MOS 元件形成於該矽基板上，該 MOS 元件連接至該關鍵雙取樣電路單元之一浮接點；以及複數個金屬層，設置於該 MOS 元件之上，用來提供該關聯雙取樣電路單元之電性連結，並且用來阻擋光線照射該 MOS 元件。

六、英文發明摘要：

An image sensor capable of reducing noises includes a pixel array, a control circuit and a correlation double sampling (CDS) circuit array. The CDS circuit array is coupled between the pixel array and the control circuit, and includes a plurality of CDS circuit units, of which each CDS circuit unit includes a silicon substrate, a MOS device formed on the silicon substrate and connected to a voltage floating node of the CDS circuit unit, and a plurality of metal layers placed on the MOS device for providing electrical connection for the CDS circuit unit and for blocking light illumination on the MOS device.

七、指定代表圖：

(一)本案指定代表圖為：第 (5) 圖。

(二)本代表圖之元件符號簡單說明：

50 關聯雙取樣電路

51 矽基板

52 多晶矽閘極

M1、M2 金屬層

510 摻雜區

531~536 金屬連接線

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

十、申請專利範圍：

1. 一種可降低雜訊之影像感測器，包含有：

一像素陣列；

一控制電路；以及

一關聯雙取樣電路 (Correlation Double Sampling, CDS) 陣列，

耦接於該像素陣列及該控制電路之間，由複數個關聯雙取樣電路單元所組成，該複數個關聯雙取樣電路單元之每一

關聯雙取樣電路單元包含有：

一矽基板；

一 MOS 元件，形成於該矽基板上，該 MOS 元件連接至該

關鍵雙取樣電路單元之一浮接點 (Floating Node)；以

及

複數個金屬層，設置於該 MOS 元件之上，用來提供該關

聯雙取樣電路單元之電性連結，並且於該 MOS 元件

上形成一電路圖案，以用來阻擋光線照射該 MOS 元

件；

其中，該電路圖案依該每一關聯雙取樣電路單元於該關聯

雙取樣電路陣列之位置不同。

2. 如請求項 1 所述之影像感測器，其中該 MOS 元件係該關聯雙取樣電路單元之一取樣電容。

3. 如請求項 1 所述之影像感測器，其中該 MOS 元件係該關聯雙

取樣電路單元之一開關。

4. 如請求項 1 所述之影像感測器，其中該 MOS 元件係該關聯雙取樣電路單元中一緩衝器之一組成元件。

5. 如請求項 1 所述之影像感測器，其中該複數個金屬層之圖案係對應該 MOS 元件之位置，以阻擋光線照射該 MOS 元件。

6. 一種用於一影像感測器之關聯雙取樣電路，包含有：

一矽基板；

一 MOS 元件，形成於該矽基板上，該 MOS 元件連接至該關鍵

雙取樣電路單元之一浮接點 (Floating Node)；以及

複數個金屬層，設置於該 MOS 元件之上，用來提供該關

聯雙取樣電路之電性連結，並且於該 MOS 元件上形

成一電路圖案，以用來阻擋光線照射該 MOS 元件；

其中，該電路圖案依該關聯雙取樣電路之位置不同。

7. 如請求項 6 所述之關聯雙取樣電路，其中該 MOS 元件係該關聯雙取樣電路之一取樣電容。

8. 如請求項 6 所述之關聯雙取樣電路，其中該 MOS 元件係該關聯雙取樣電路中之一開關。

9. 如請求項 6 所述之關聯雙取樣電路，其中該 MOS 元件係該關

聯雙取樣電路中一緩衝器之一組成元件 (component)。

10. 如請求項 6 所述之關聯雙取樣電路，其中該複數個金屬層之圖案係對應該 MOS 元件之位置，以阻擋光線照射該 MOS 元件。
11. 一種用於一影像感測器之關聯雙取樣電路的佈局方法，該佈局方法包含有：
形成一關聯雙取樣電路之一 MOS 元件於一矽基板上，該 MOS 元件連接至該關聯雙取樣電路中之一浮接點；以及
根據該關聯雙取樣電路於一關聯雙取樣電路陣列之位置，於複數個金屬層中形成複數個金屬連接線，以於該 MOS 元件上形成一電路圖案阻擋光線照射該 MOS 元件，並提供該關聯雙取樣電路之電性連結；
其中，該電路圖案依該關聯雙取樣電路之位置不同。
12. 如請求項 11 所述之佈局方法，其中該 MOS 元件係該關聯雙取樣電路之一取樣電容。
13. 如請求項 11 所述之佈局方法，其中該 MOS 元件係該關聯雙取樣電路中之一開關。
14. 如請求項 11 所述之佈局方法，其中該 MOS 元件係該關聯雙取樣電路中一緩衝器之一組成元件 (component)。

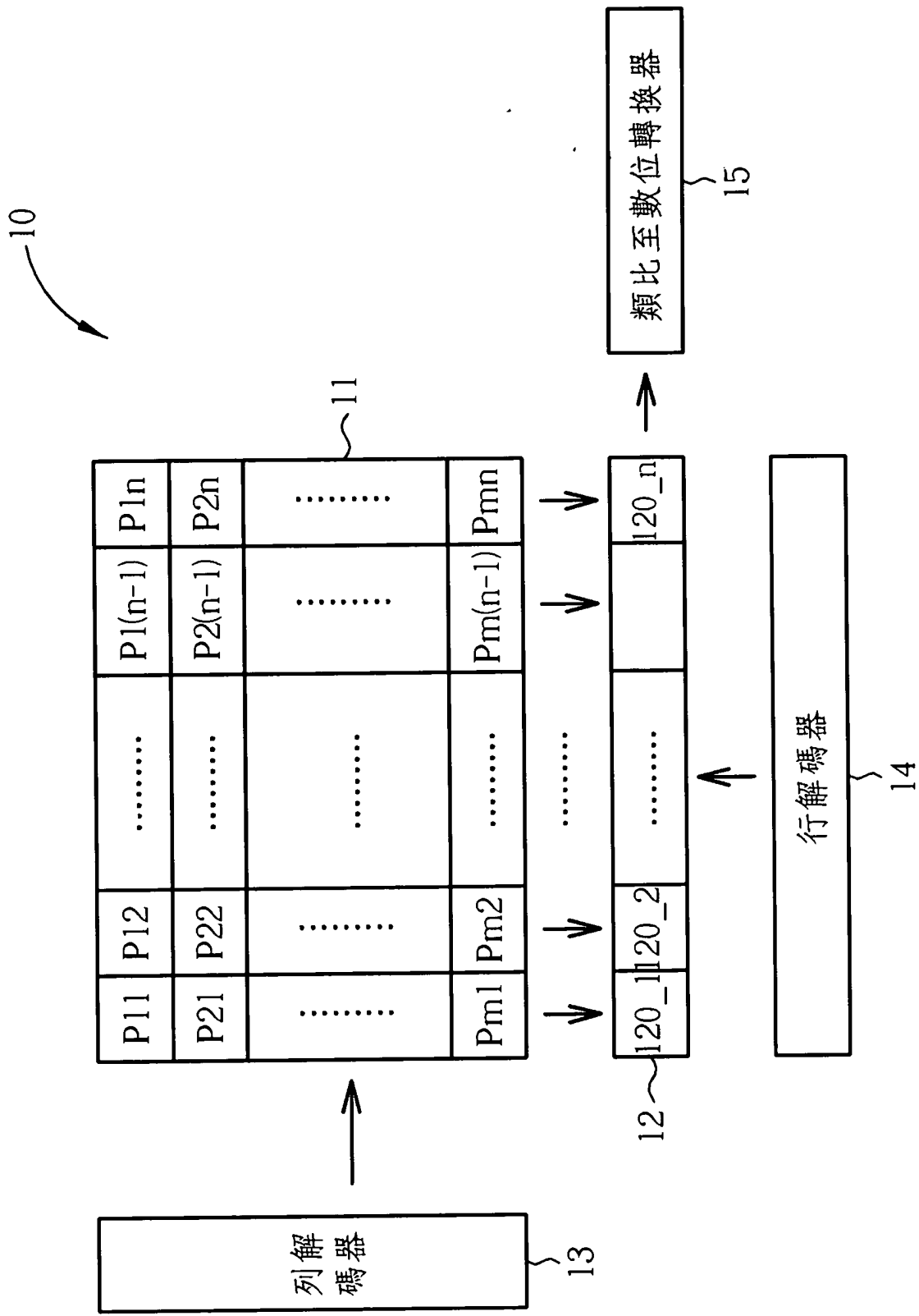
15. 如請求項 11 所述之佈局方法，其中該複數個金屬層之圖案係對應該 MOS 元件之位置，以阻擋光線照射該 MOS 元件。
16. 一種可降低雜訊之影像感測器，包含有：
- 一像素陣列；
 - 一控制電路；以及
 - 一關聯雙取樣電路 (Correlation Double Sampling, CDS) 陣列，耦接於該像素陣列及該控制電路之間，由複數個關聯雙取樣電路單元所組成，該複數個關聯雙取樣電路單元至少包含有：
 - 一第一關聯雙取樣電路單元，其包含有：
 - 一第一矽基板；
 - 一第一 MOS 元件，形成於該第一矽基板上，該第一 MOS 元件連接至該第一關鍵雙取樣電路單元之一浮接點 (Floating node)；以及
 - 第一複數個金屬層，設置於該第一 MOS 元件之上，用來提供該第一雙取樣電路單元之電性連結，並且於該第一 MOS 元件上形成一第一電路圖案，以阻擋光線照射該第一 MOS 元件；以及
 - 一第二關聯雙取樣電路單元，其包含有：
 - 一第二矽基板；
 - 一第二 MOS 元件，形成於該第二矽基板上，該第二 MOS

元件連接至該第二關鍵雙取樣電路單元之一浮接點
(Floating node)；以及

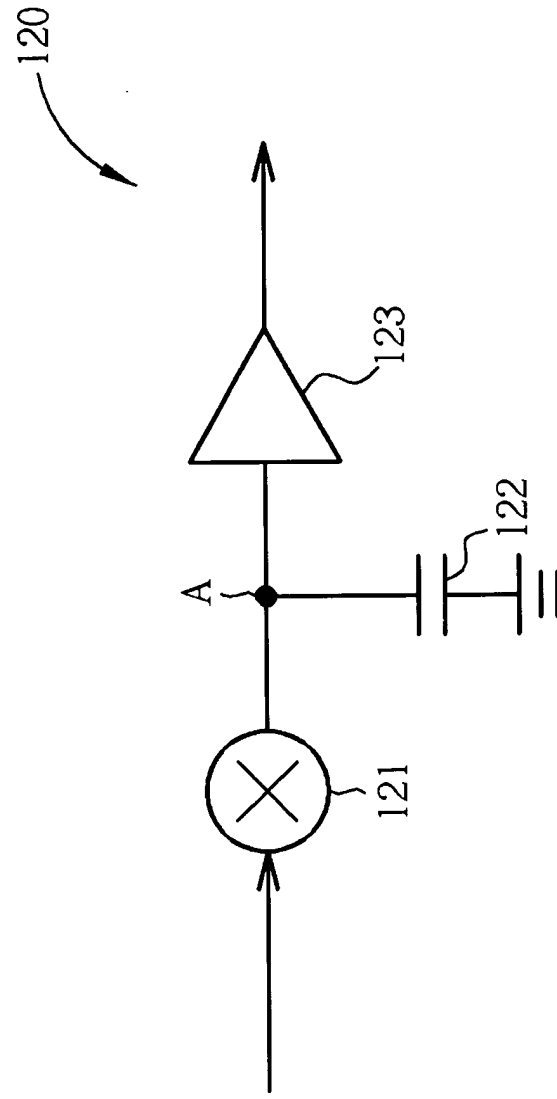
第二複數個金屬層，設置於該第一 MOS 元件之上，用
來提供該第二雙取樣電路單元之電性連結，並且於
該第二 MOS 元件上形成一第二電路圖案，以阻擋
光線照射該第二 MOS 元件；

其中，該第一關聯雙取樣電路單元與該第二關聯雙取樣電
路單元係該關聯雙取樣電路陣列上兩鄰近 (adjacent)
之電路單元，以及該第一電路圖案與該第二電路圖案
不完全相同。

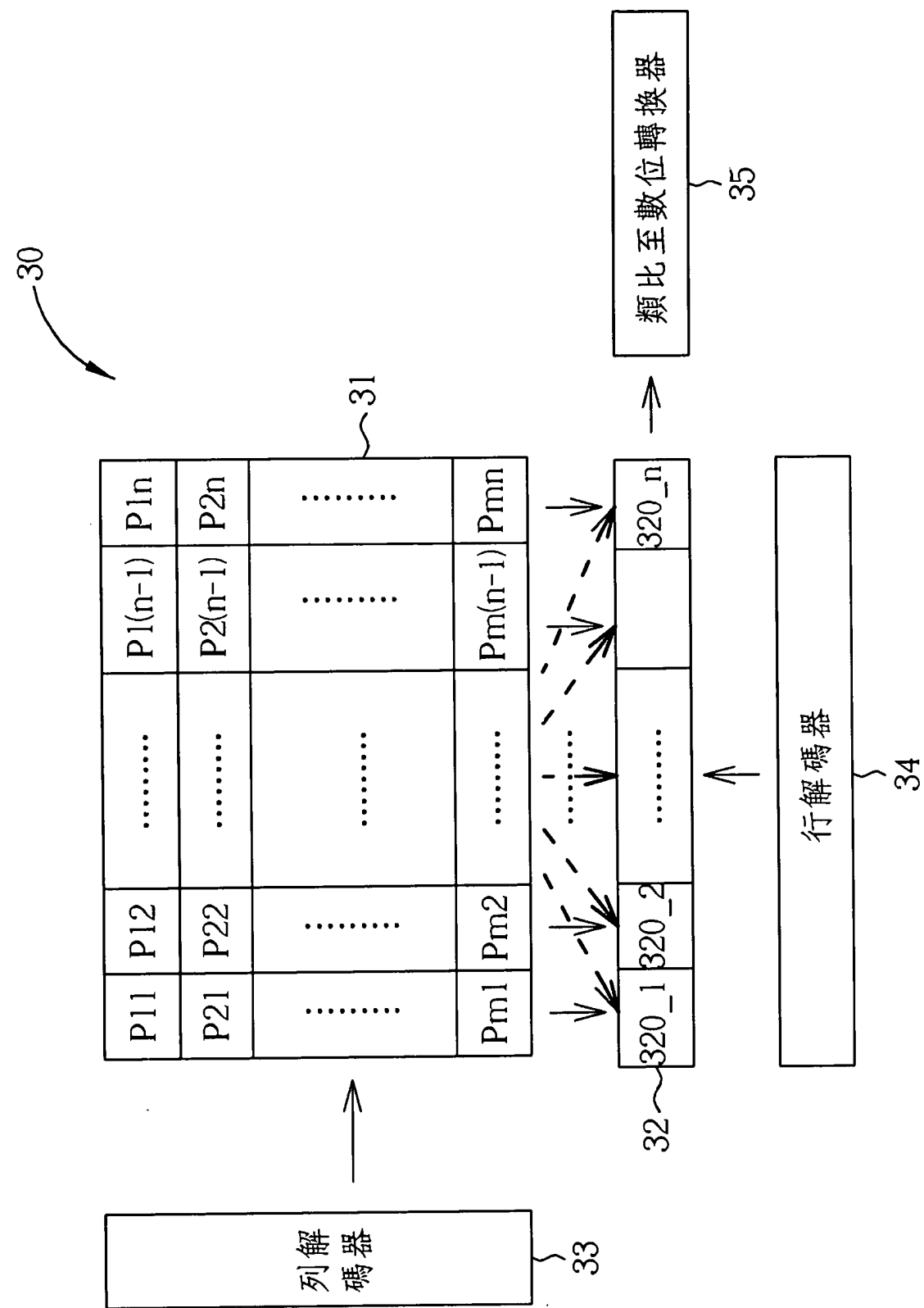
十一、圖式：



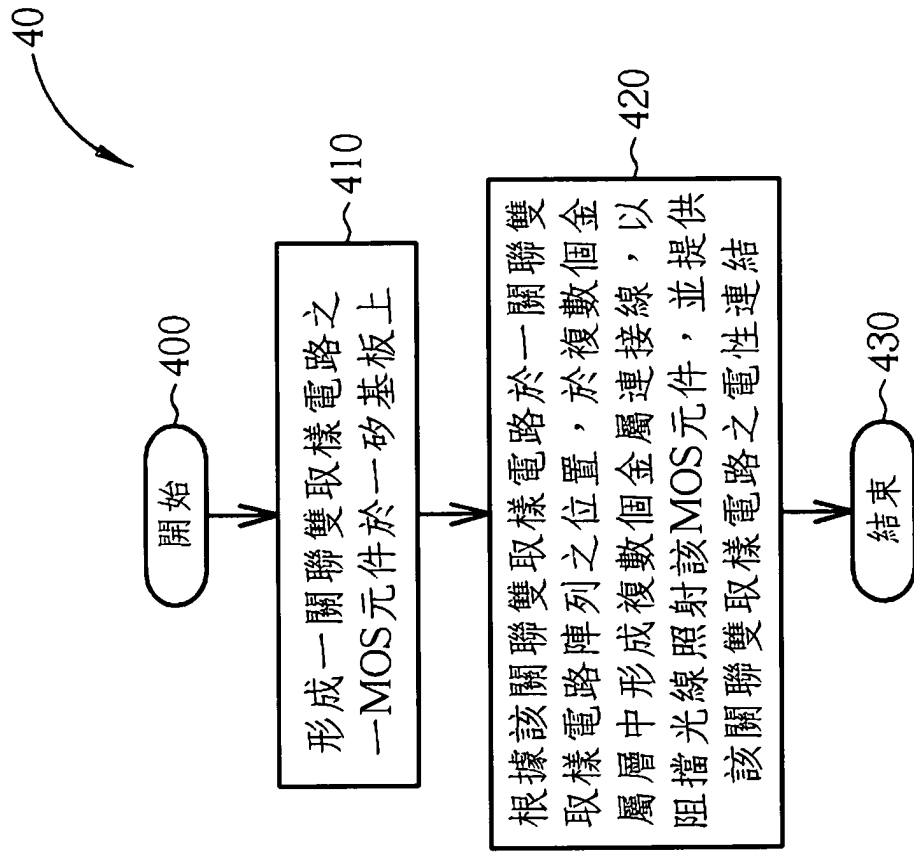
第1圖



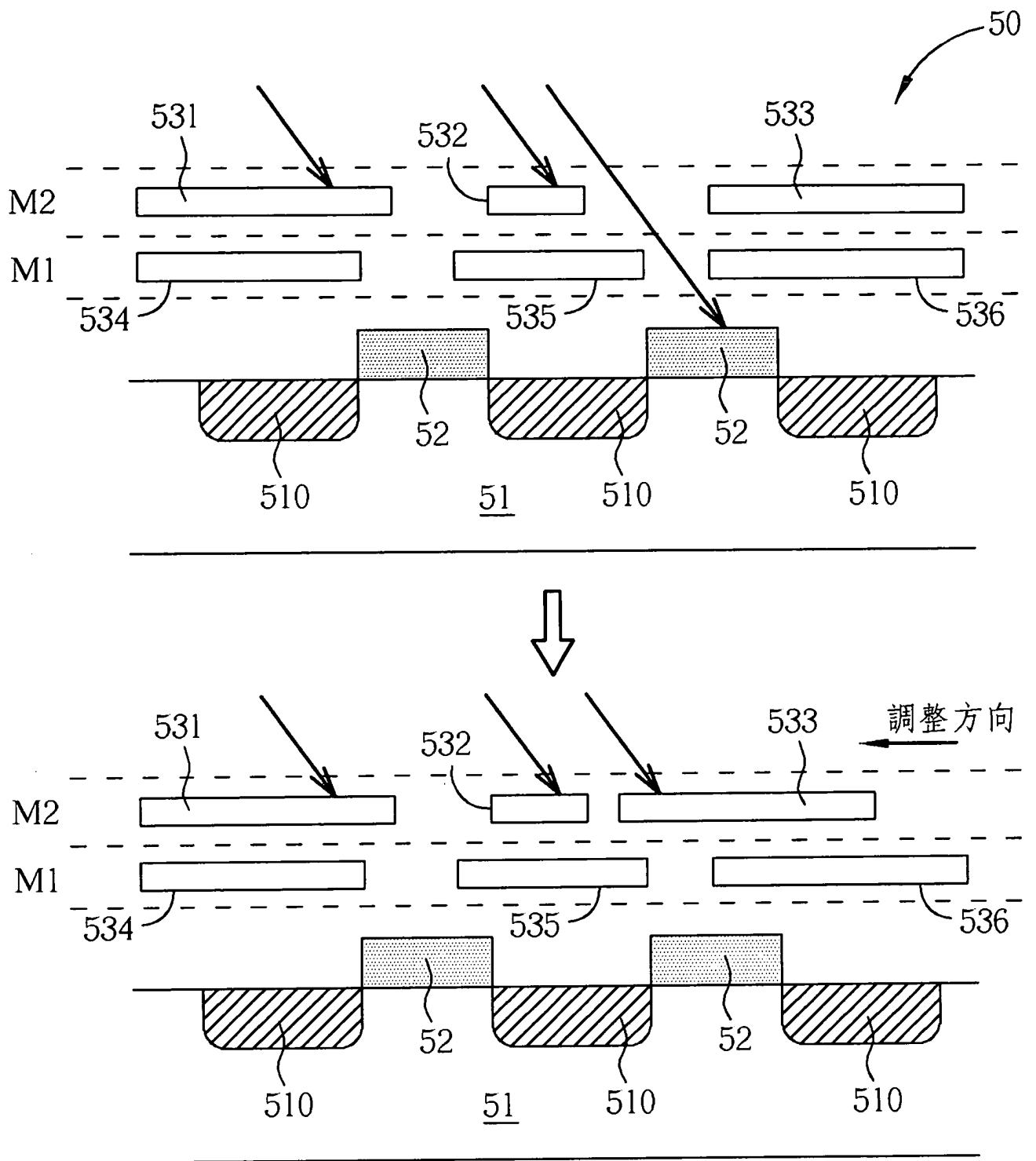
第2圖



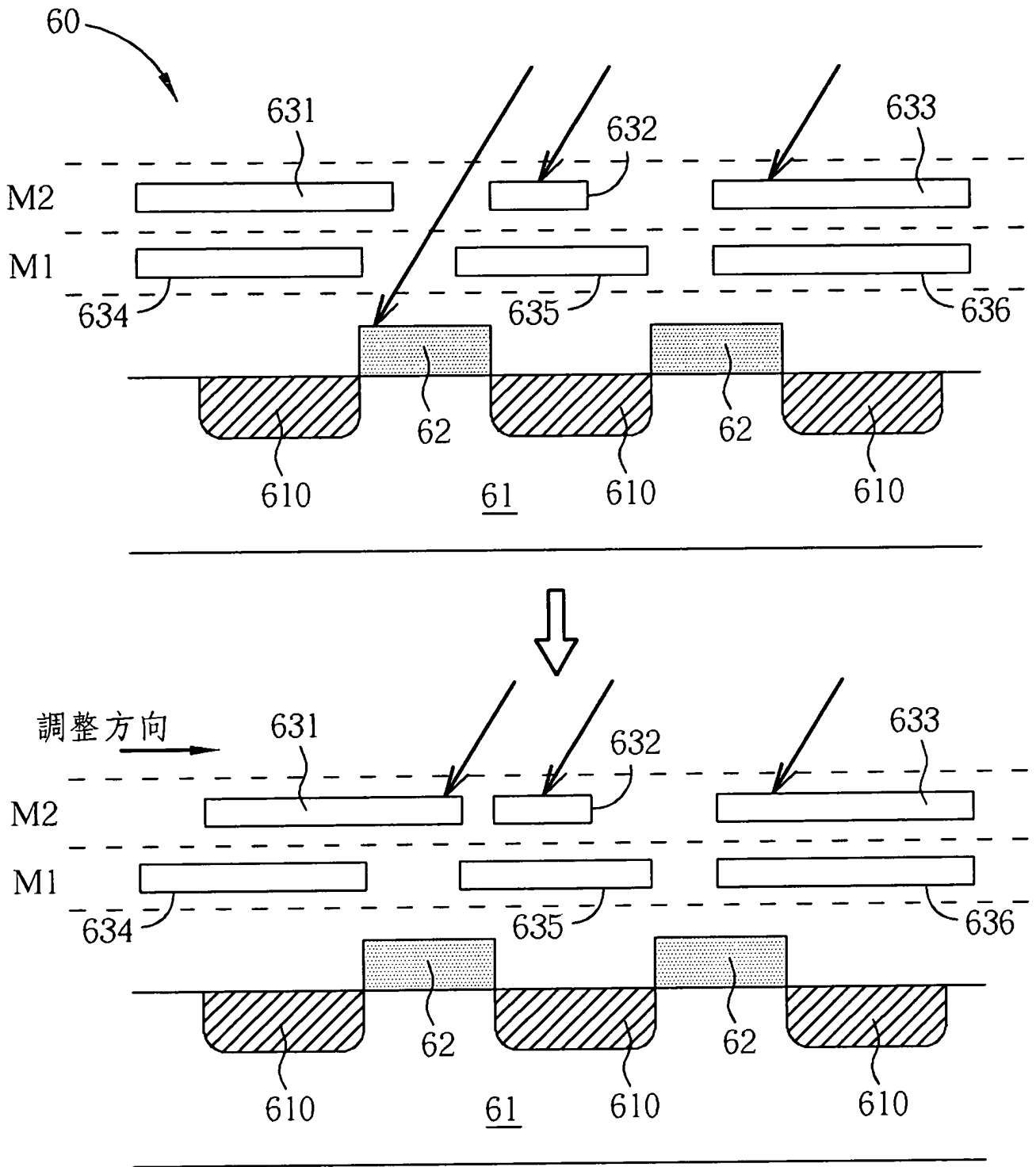
第3圖



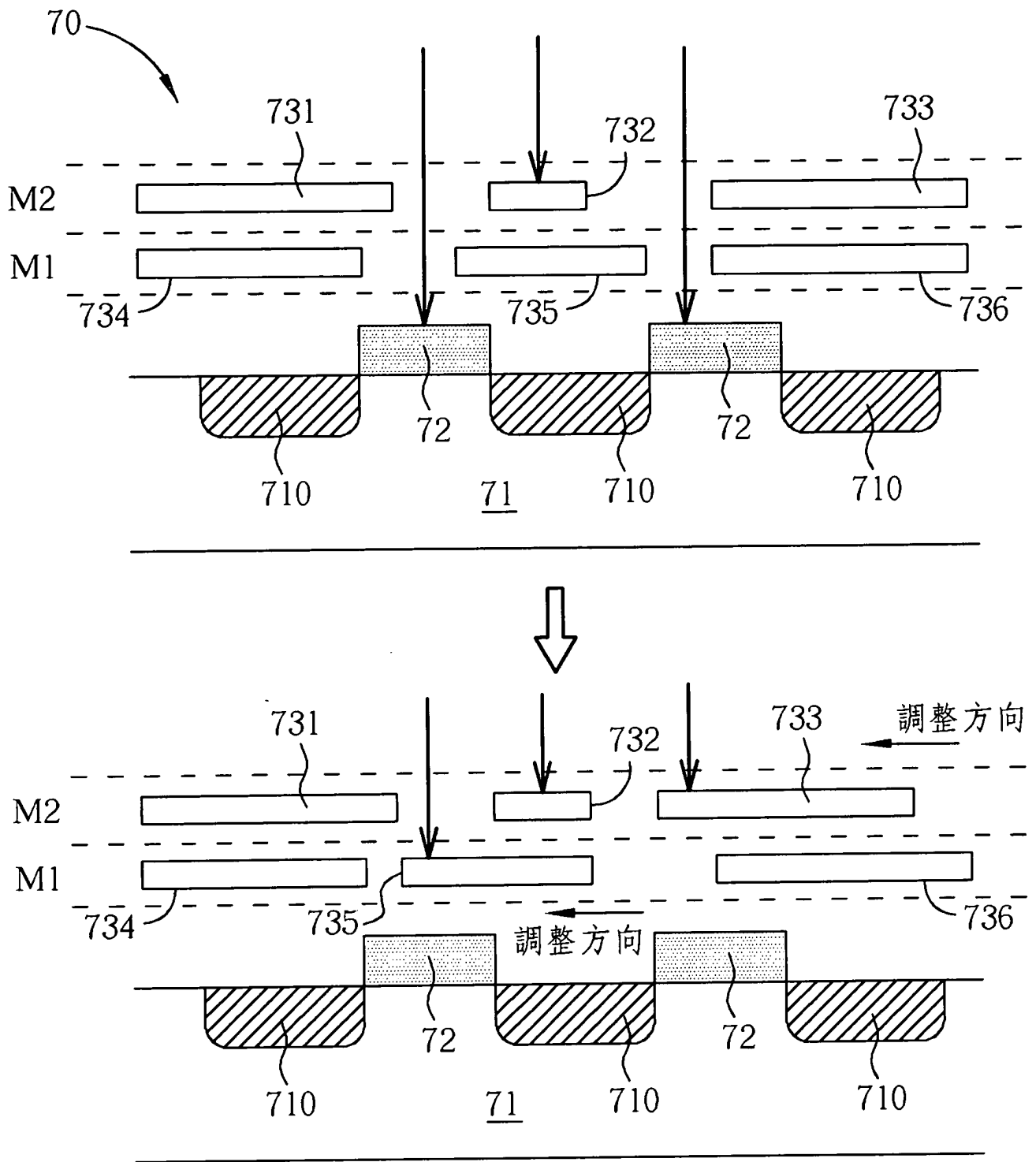
第4圖



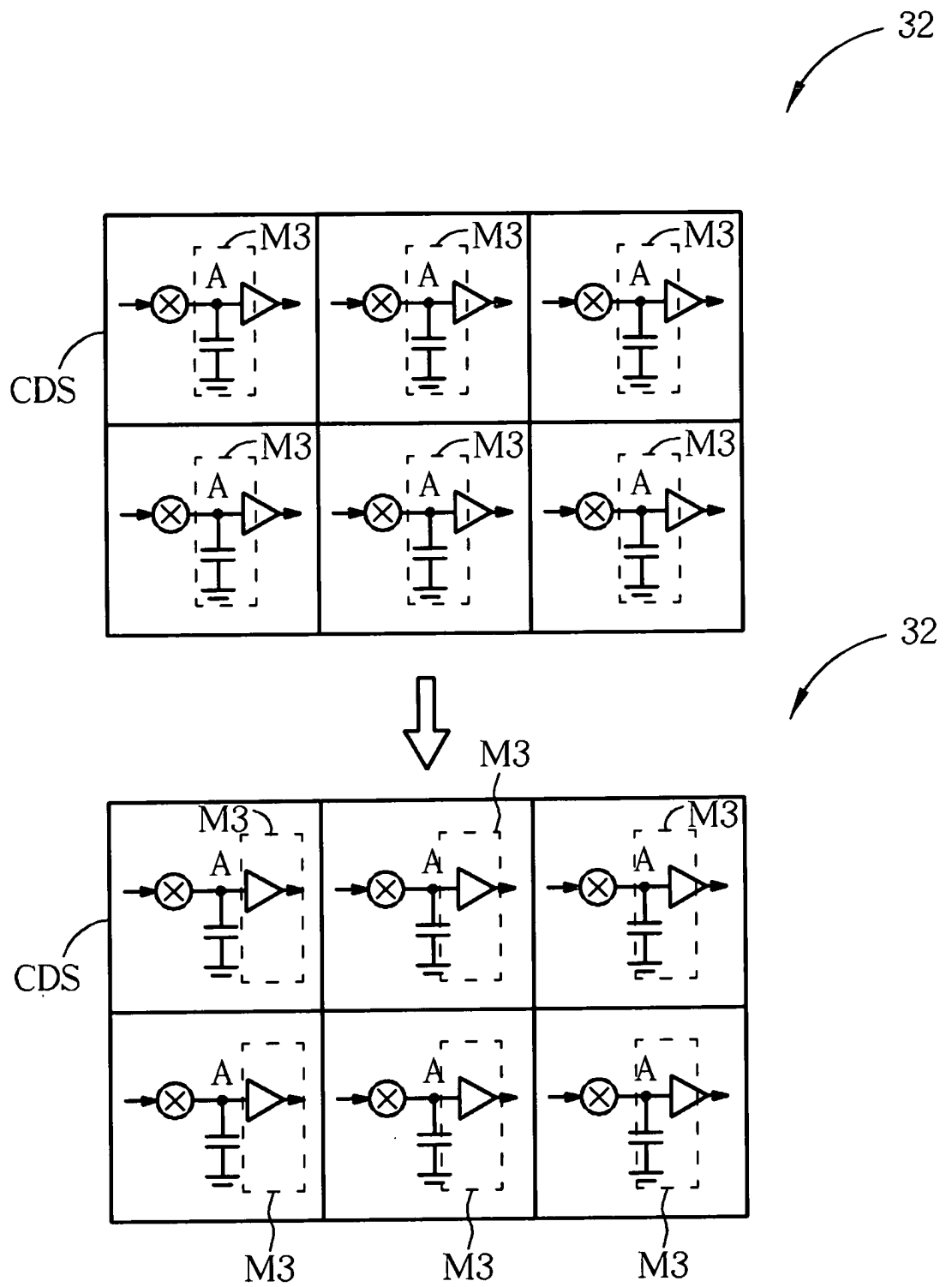
第5圖



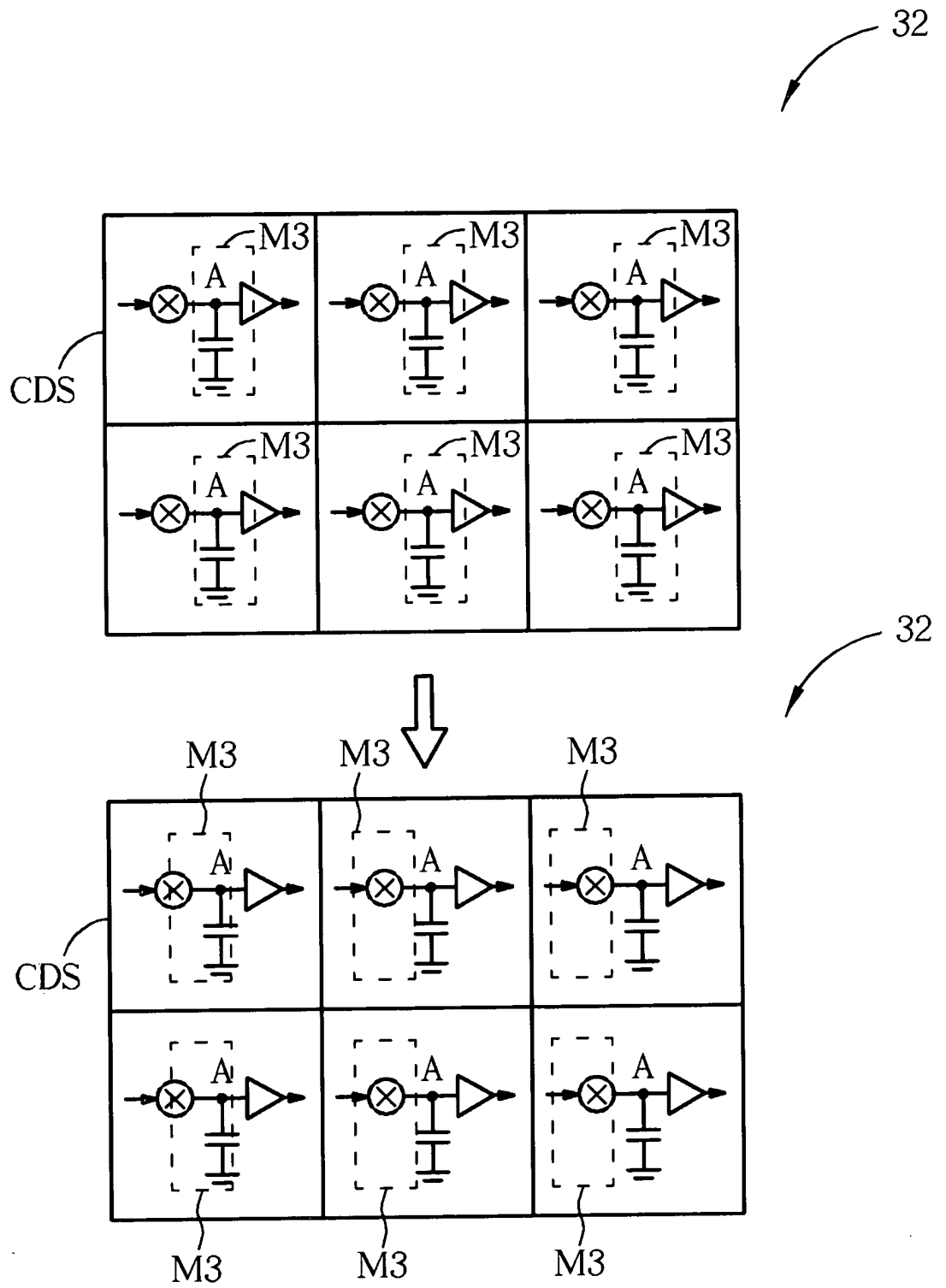
第6圖



第7圖



第8圖



第9圖