



(12) 发明专利

(10) 授权公告号 CN 102422358 B

(45) 授权公告日 2014. 11. 26

(21) 申请号 201080021203. 9

(51) Int. Cl.

(22) 申请日 2010. 03. 25

G11C 11/16(2006. 01)

(30) 优先权数据

12/414, 452 2009. 03. 30 US

(56) 对比文件

CN 1487526 A, 2004. 04. 07, 全文.

US 2005/0018475 A1, 2005. 01. 27, 全文.

(85) PCT国际申请进入国家阶段日

2011. 11. 10

US 2009/0010040 A1, 2009. 01. 08, 全文.

CN 101354917 A, 2009. 01. 28, 全文.

(86) PCT国际申请的申请数据

PCT/US2010/028628 2010. 03. 25

审查员 宁如花

(87) PCT国际申请的公布数据

W02010/117654 EN 2010. 10. 14

(73) 专利权人 希捷科技有限公司

地址 美国加利福尼亚州

(72) 发明人 Y·陈 H·李 H·H·刘

D·V·季米特洛夫 A·X·王

王小斌

(74) 专利代理机构 上海专利商标事务所有限公

司 31100

代理人 钱慰民

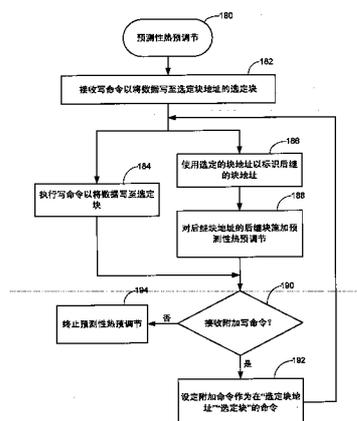
权利要求书2页 说明书7页 附图7页

(54) 发明名称

非易失性存储单元的预测性预加热

(57) 摘要

一种使用热预调节将数据写至例如自旋力矩转移随机存取存储器 (STRAM) 存储单元的非易失性存储单元 (120) 的方法 (180) 和装置 (106)。在一些实施例中, 逻辑状态被写至与第一块地址 (184) 关联的未调节的非易失性第一存储单元。热预调节被同时施加于与响应第一块地址 (186) 选择的第二块地址关联的非易失性第二存储单元 (188), 以使记录块地址是具有相对高概率成为在对非易失性第一存储单元的写操作之后的写操作中选择的块的地址。



1. 一种对非易失性存储单元使用热预调节的方法,包括:

将一逻辑状态写至与第一块地址关联的、未施加热预调节的非易失性第一存储单元;  
以及

在写步骤期间,同时将热预调节施加于非易失性第二存储单元,所述非易失性第二存储单元关联于响应所述第一块地址而选择的第二块地址。

2. 如权利要求 1 所述的方法,其特征在于,所述第一和第二存储单元配置在由多个存储单元行和列构成的阵列中,其中所述第一存储单元设置在第一行和第一列上,而所述第二存储单元设置在不同的第二行和不同的第二列上。

3. 如权利要求 1 所述的方法,其特征在于,还包括:接收写命令,以将所述逻辑状态写至所述第一块地址的第一存储单元,并使用所述第一块地址来标识所述第二块地址以预测所述第二存储单元的后继写命令的将来接收。

4. 如权利要求 1 所述的方法,其特征在于,所述第一存储单元形成第一可寻址存储器块的一部分,所述第一可寻址存储器块具有所述第一块地址并包括第一多个相邻存储单元,其中所述写步骤包括将选定的逻辑状态写入所述第一多个相邻存储单元中的每一个,所述第二存储单元形成第二可寻址存储器块的一部分,所述第二可寻址存储器块具有所述第二块地址并包括第二多个相邻存储单元,并且所述预调节步骤包括将热预调节电流施加于所述第二多个相邻存储单元中的每一个。

5. 如权利要求 4 所述的方法,其特征在于,所述第一存储器块沿数据存储阵列的第一行设置,而所述第二存储器块沿所述数据存储阵列的不同的第二行设置。

6. 如权利要求 4 所述的方法,其特征在于,所述第一块地址被特征化为块地址 N,并且所述第二块地址被特征化为块地址 N+1。

7. 如权利要求 1 所述的方法,其特征在于,所述第一和第二存储单元特征化为数据高速缓存器中的存储单元,而所述第一块地址特征化为数据高速缓存器的第一高速缓存行 N,而所述第二块地址特征化为所述数据高速缓存器的第二高速缓存行 N-1。

8. 如权利要求 1 所述的方法,其特征在于,所述同时施加的热预调节步骤导致所述第二存储单元温度升高,并且所述方法还包括在所述第二存储单元保持所述升高温度的同时在所述同时施加步骤之后将第二逻辑状态写至所述第二存储单元。

9. 如权利要求 1 所述的方法,其特征在于,还包括使用定时机制在预定时间间隔结束时中断所述热预调节对所述第二存储单元的进一步施加。

10. 如权利要求 9 所述的方法,其特征在于,所述使用步骤包括提供电阻器-电容器(RC)电路并使用所述 RC 电路的电压衰弱来指示所述预定时间间隔的结束。

11. 一种对非易失性存储单元使用热预调节的装置,包括控制电路、与第一块地址关联的、未施加热预调节的非易失性第一存储单元以及与第二块地址关联的、未施加热预调节的非易失性第二存储单元,其中所述控制电路配置成将一逻辑状态写至所述非易失性第一存储单元,同时一并将热预调节施加至所述非易失性第二存储单元,响应所述第一块地址来选择所述非易失性第二存储单元以作所述热预调节。

12. 如权利要求 11 所述的装置,其特征在于,所述第一和第二存储单元配置在由多个存储单元行和列构成的阵列中,其中所述第一存储单元设置在第一行和第一列上,而所述第二存储单元设置在不同的第二行和不同的第二列上。

13. 如权利要求 11 所述的装置,其特征在于,所述控制电路进一步配置成接收写命令以将所述逻辑状态写至所述第一块地址的第一存储单元,并使用所述第一块地址来标识所述第二块地址以预测所述第二存储单元的后继写命令的将来接收。

14. 如权利要求 11 所述的装置,其特征在于,所述第一存储单元形成第一可寻址存储器块的一部分,所述第一可寻址存储器块具有所述第一块地址并包括第一多个相邻存储单元,其中所述控制电路引导将选定的逻辑状态写入所述第一多个相邻存储单元中的每一个,所述第二存储单元形成第二可寻址存储器块的一部分,所述第二可寻址存储器块具有所述第二块地址并包括第二多个相邻存储单元,并且所述控制电路引导将热预调节电流施加于所述第二多个相邻存储单元中的每一个。

15. 如权利要求 14 所述的装置,其特征在于,所述第一存储器块沿数据存储阵列的第一行设置,而所述第二存储器块沿所述数据存储阵列的不同的第二行设置。

16. 如权利要求 14 所述的装置,其特征在于,所述第一块地址被特征化为块地址 N,并且所述第二块地址被特征化为块地址 N+1。

17. 如权利要求 11 所述的装置,其特征在于,所述第一和第二存储单元特征化为数据高速缓存器中的存储单元,而所述第一块地址特征化为所述数据高速缓存器的第一高速缓存行 N,而所述第二块地址特征化为所述数据高速缓存器的第二高速缓存行 N-1。

18. 如权利要求 11 所述的装置,其特征在于,所述同时施加的热预调节步骤导致所述第二存储单元温度升高,并且所述控制电路进一步配置成在所述第二存储单元保持所述升高温度的同时在所述同时施加步骤之后将第二逻辑状态写至所述第二存储单元。

19. 如权利要求 11 所述的装置,其特征在于,还包括定时机制,所述定时机制将预定时间间隔结束的指示提供给所述控制电路,并且所述控制电路响应于所述指示中断所述热预调节对所述第二存储单元的进一步施加。

20. 如权利要求 19 所述的装置,其特征在于,所述定时机制包括电阻器 - 电容器 (RC) 电路,所述 RC 电路使用 RC 电压衰弱来指示所述预定时间间隔的结束。

## 非易失性存储单元的预测性预加热

[0001] 背景

[0002] 数据存储设备一般以快速高效的方式工作以存储和检取数据。一些存储设备利用固态存储单元的半导体阵列来存储数据的各个位。这类存储单元可以是易失性的或者非易失性的。

[0003] 易失性存储单元通常仅在持续向设备提供操作电力时保留存储在存储器中的数据,而非易失性存储单元通常即使在不施加操作电力时也保留存储在存储器中的数据。

[0004] 在这些和其它类型的数据存储设备中,经常希望提高存储单元操作的效率,尤其是将数据写至存储单元的方面。

### 发明内容

[0005] 本发明的各实施例一般涉及用于热预调节以将数据写入诸如自旋力矩转移随机存取存储器 (STRAM) 存储单元的方法和设备。

[0006] 根据一些实施例,该方法通常包括将一逻辑状态写至与第一块地址关联的未调节非易失性第一存储单元。热预调节被同时施加于与响应第一块地址而选择的第二块地址关联的非易失性第二存储单元。

[0007] 根据又一些实施例,设备一般包括控制电路、与第一块地址关联的未调节非易失性第一存储单元以及与第二块地址关联的未调节第二非易失性存储单元。控制电路被配置成将一逻辑状态写至第一存储单元并同时热预调节作用于第二存储单元,其中第二存储单元是响应第一块地址针对所述热预调节而选择的。

[0008] 以本发明各种实施例为表征的这些以及各种其它特征与优点可考虑以下具体讨论与所附附图来理解。

### 附图说明

[0009] 图 1 是根据本发明各实施例构造和运作的示例性数据存储设备的总括功能图示。

[0010] 图 2 示出自旋力矩转移随机存取存储器 (STRAM) 存储单元的磁性隧道结 (MTJ) 的示例性构造。

[0011] 图 3 示出使用如图 2 配置的 STRAM 存储单元的图 1 的阵列的多个部分的示意图。

[0012] 图 4 示出具有热预调节二极管的图 1 的阵列的多个部分的另一示意图。

[0013] 图 5 是根据本发明各实施例的定时电路的示意图。

[0014] 图 6 陈述用于 PREDICTIVE THERMAL PRECONDITIONING (预测性热预调节) 例程的流程图。

[0015] 图 7 是根据一些实施例在写数据操作过程中选择地预调节存储单元的时序图。

[0016] 图 8 是根据又一些实施例在写数据操作过程中选择地预调节存储单元的时序图。

[0017] 图 9 是图 1 中的设备配置为内容可读存储器 (CAM) 的高速缓存器结构的框图表示。

[0018] 图 10 示出根据一些实施例选择地预调节图 9 的 CAM 的存储单元的时序图。

[0019] 图 11 示出根据一些实施例选择地预调节图 9 的 CAM 的存储单元的时序图。

### 具体实施方式

[0020] 图 1 提供数据存储设备 100 的功能框图表示以解说可在其中有利地实践本发明的各实施例的示例性环境。设备 100 包括顶层控制器 102、接口 (I/F) 电路 104 和非易失性数据存储阵列 106。I/F 电路 104 在控制器 102 的指导下工作在阵列 106 和主机设备 (未示出) 之间传递用户数据。在一些实施例中, 该设备具有固态驱动器 (SSD) 的特征, 控制器 102 是可编程的微控制器, 而阵列 106 包括非易失性存储单元 (单位) 的阵列。

[0021] 阵列 106 的示例性存储单元构造示出于图 2。图 2 中的存储单元具有带磁性隧道结 (MTJ) 110 的自旋力矩转移随机存取存储器 (STRAM) 结构, 尽管也可使用其它单元结构。MTJ 110 包括固定的基准层 112 和可编程的自由层 114 (记录层), 这两个层由居间的隧道 (壁垒) 层 116 分隔开。

[0022] 基准层 114 具有沿选定方向的固定磁取向, 如图 2 所示的关联箭头表示的那样。该固定磁取向可以许多方式建立, 例如藉由对个别磁体 (未示出) 的钉扎。自由层 114 具有可选择地编程的磁取向, 该磁取向可以是与基准层 114 的选定方向平行的 (实线所示) 或逆平行的 (虚线所示)。

[0023] 当自由层 114 的磁化基本沿与基准层 112 磁化的相同方向 (即与之平行) 取向时, MTJ 110 获得低阻状态。为使 MTJ 110 取向在平行的低阻状态, 写电流流过 MTJ 110 以使基准层 112 的磁化方向设定自由层 114 的磁取向。由于电子沿与电流方向相反的方向流动, 写电流方向从自由层 114 去往基准层 112, 并且电子从基准层 112 向自由层 114 行进。

[0024] MTJ 110 的高阻状态建立在逆平行取向上, 其中自由层 114 的磁化方向与基准层 112 的磁化方向大致相反。为了使 MTJ 110 取向在逆平行阻态, 写电流从基准层 112 流过 MTJ 110 至自由层 114 以使自旋极化电子沿相反方向流入自由层 114。

[0025] 对每种 MTJ 可编程阻抗赋予不同的逻辑状态。在一些实施例中, 低阻平行状态用来表征逻辑 0, 而高阻逆平行状态用来表征逻辑 1。当 MTJ 被配置成存储多个位时, 可采用额外的编程状态。例如, 可使用经编程的阻抗  $R_1 < R_2 < R_3 < R_4$  以分别存储多位值“00”、“01”、“10”和“11”。

[0026] 图 3 示出图 1 的具有非易失性存储单元 120 的阵列 106 的一部分。每个存储单元 120 包括如图 2 示出的 MTJ 110, 该 MTJ 110 耦合于特征化为金属氧化物半导体场效应晶体管 (MOSFET) 的开关器件 122。各单元 120 各自通过断言各字线 WL 124 以使关联的单元晶体管 122 处于漏极 - 源极导通状态而得到访问。

[0027] 编程 (写) 电流是分别通过写电流驱动器 126、128 产生的。写电流在位线 BL130 和源线 SL 132 之间流过以将所选择的 MTJ 110 编程至所需的编程状态。为了之后读取所选单元 120 的编程状态, 断言关联 WL 124 并通过读电流驱动器 (未单独示出) 使读电流通过在单元 110 两侧建立电压降。该电压降由感测放大器 134 检出并与输入基准电压  $V_{REF}$  比较。感测放大器 134 的输出状态 (例如高、低) 将指示所选单元 110 的 MTJ 120 的经编程状态。

[0028] 可能需要大编程电流幅值以切换 MTJ 120 的经编程状态, 尤其是对于逆平行 (高阻) 状态。这可能需要使用相对大的单元晶体管 122, 这限制了可获得的存储器阵列密度。

大编程电流的使用也可能导致较高的阵列动态功耗,并可能需要高成本的芯片上功率传输系统。

[0029] 例如 120 的 STRAM MTJ 的切换电流可表示为:

$$[0030] \quad \frac{J}{J_c} = 1 - \frac{K_b T}{E} \ln \frac{\tau}{\tau_0} \quad [1]$$

[0031] 其中 J 是切换电流强度,  $J_c$  是在开氏 0 度下的临界切换电流强度; E 是磁性切换的能垒、 $\tau$  是切换时间,  $\tau_0$  是热切换的尝试时间而 T 是用开氏度表示的温度。尽管切换电流的减小可通过增加驱动脉冲宽度  $\tau$  的时长来实现,然而这样会降低总数据输出速率。

[0032] 减小切换电流需求的另一方法是通过在切换事件之前热预调节或局部加热 MTJ 从而提高 MTJ 的温度 T。然而,热预调节大量单元的大规模应用会增加总功率需求,并可能导致实际未作写入的许多单元的加热。

[0033] 因此,本发明的各实施例总地涉及提供非易失性阵列中的存储单元的可能性(预测性)热预调节。如下面讨论的那样,经受写操作的第一存储单元的地址被用来预测在最近的将来可能经受写操作的第二存储单元的下一地址。与将状态写至第一存储单元同时地,热预调节被施加于第二存储单元。

[0034] 如此,倘若第二存储单元接下来经历写操作,对第二存储单元的写操作将是受热辅助的,即在第二存储单元处于升高的温度时发生,由此减小切换编程状态所需的切换电流的幅值。

[0035] 第二存储单元的地址可用于预测对受到热预调节的第三存储单元的写操作,诸如此类。在一些实施例中,热预调节的如此使用可能既减少电流需求又减小写电流脉宽,这导致数据吞吐速率提高以及降低的功耗。

[0036] 预测性热预调节可基于已接收到写数据的存储单元的地址。在一些实施例中,基于其中块 N、N+1、N+2……可在最近的将来连续写入的连续写操作正在进行的推测性预测,对具有地址 N 的选定逻辑数据块的单元的写命令可导致对数据块 N+1 中的单元施加预调节。

[0037] 逻辑数据块 N、N+1、N+2……可以是任何适合的存储单元组,例如与主机层逻辑块地址(LBA)关联的数据的可寻址区段(例如用户数据的 512 字节)。这些数据块可构成一个阵列中的存储单元行,例如 32KB 存储单元中的 1024 字节数据(32 行 × 8192 列等),或存储单元的同一直行的部分。数据块也可定义为个别的单元。

[0038] 预调节单元可位于一个或多个阵列中的任意选定位置,并且不一定位于不接收预调节的最初始组的写入单元(即“未调节”或“非预调节”单元)附近。有可能被预调节的这组存储单元可包括具有连续逻辑地址、不同字线的逻辑地址、或数量少于由单条字线连接的单元数目的逻辑地址的存储单元。尽管第一被写块 N 将是未经调节的并因此将以较慢速率和 / 或较高电流被写入,但预调节块 N+1 等中的每一个随后将以更快速率和 / 或更低电流写入,这导致总体较高的数据传输速率和较低的功耗。

[0039] 再次参见图 3,热预调节可以许多方式施加,例如通过将相对小的驱动电流施加于第二(和之后的)存储单元。例如,对图 3 中的第一 MTJ 110 的写操作可触发将相对小的电流施加于第二 MTJ 110,例如通过关联 WL 的部分断言。

[0040] 替代地,热预调节可利用多个组件,这些组件配置成一旦选择就使 MTJ 110 的温度

上升。图 4 示出根据又一些实施例的图 1 的存储阵列 106 的多个部分的结构。图 4 的电路总体类似于图 3 所示的电路,并且相同的附图标记用来表示相同的组件。

[0041] 在图 4 中,例如二极管 136 之类的热辅助机构耦合于相应的 MTJ 110 以利于在写操作前将加热电流施加于此。二极管 136 可采用任何数量的合适形式,例如但不局限于齐纳、肖特基和江崎二极管。当选定的 MTJ 110 被标识为预调节的候选者时,藉由合适的源(未示出)通过二极管将低电平电流提供给单元 120,这提供 MTJ 110 的局部加热。

[0042] 可采用数种不同方法以限制热预调节所施加的程度。在一些实施例中,可通过该系统产生外部信号以终止热调节过程。例如图 1 中的 102 的控制器可实现热预调节算法 (TPA) 138,该算法 138 每当从主机接收写命令和关联的写数据时维持前瞻性的预调节过程。

[0043] 例如,对于每个接收到的写数据块,控制器 102 可对阵列 106 标识应当受到热预调节的一些选定数目的额外连续块,并且可将继续直到不再从主机接收到进一步的写命令为止。控制器 102 可进一步信令通知阵列 106 写操作结束,由此终止任何正在进行的预调节操作。

[0044] 在替代实施例中,可对每个存储器块(或多个附近的存储器块)增设计数器以用于定时控制,例如图 1 中的计数器电路 140 表示的那样。写命令的连续接收可重新发起定时器,或用新的定时器发起计时。当一定数量经计数的时钟周期到达一预定经过时间阈值时,可撤销所施加的热辅助。

[0045] 另一定时控制机构可藉由图 1 阵列 106 中的定时电路 142 实现。如图 5 所示,在一些实施例中,定时电路 142 可特征化为基于 RC 的电路,该电路通常工作以检测由于 RC 延迟的电压放电并当衰弱的 RC 电压达到预定阈值时终止热预调节的进一步施加。

[0046] 图 5 中的定时电路 142 包括衰弱电路 144 和电平变换器 146。反相器 148 耦合在相应的衰减电路 144 和电平变换器 146 之间。衰弱电路 144 包括晶体管 150、152 和电容器 154。电容器 154 存储关联于干线电压和字线 WL 156 的电压  $V_{CAP}$ (在该例中为 1.5V)。放电线路 158 利于将  $V_{CAP}$  电压经由  $V_{DISCHARGE}$  输入向地面 160 的 RC 放电。

[0047] 电平变换器 146 包括如图所示交叉连接在 1.0V 和 -1.0V 的干线电压之间的晶体管 162、164、166 和 168 以及反相器 170。一旦存储在电容器 154 中的电压  $V_{CAP}$  落在反相器 150 的阈值输入之下,路径 172 上的输出的变化信令告知预充电操作的终止。应当理解,在本文论及的这些和其它相关的定时机制中,经过的时间间隔可以是预定义的,并且在该时间间隔对于尚未写入数据的任何和全部预调节单元结束时终止预调节。这进一步用来降低功耗,因为不必要的预调节电流的出现得以减少。

[0048] 图 6 示出 PREDICTIVE THERMAL PRECONDITIONING(预测性热预调节)例程 180,该例程是根据各实施例执行的步骤的总体解说。考虑使图 6 的例程通过适当控制电路执行,例如图 1 中的控制器 102。在步骤 182,写命令由图 1 中例如 100 的设备接收以将数据写至例如 106 的阵列的选定块的选定块地址。在步骤 184,该设备继续执行写命令,并同时步骤 186 使用选定的块地址以标识可能在最近的将来接收到写操作的后继块地址(或多个地址)。在步骤 188,设备在步骤 184 对选定块作写入的过程中继续同时对后继块地址(或多个地址)施加热预调节。

[0049] 判决步骤 188 判断附加写命令是否已由主机接收。该命令可针对后继块地址,或

针对一些其它的块地址。如果这样,该例程可进至步骤 190,此时附加写命令被视为“选定块地址”处的“选定块”,并且流程如图所示地返回。例程可以这种方式继续,直到不再接收到附加写命令为止,此时终止进一步的预调节,步骤 192。

[0050] 图 7 提供根据一些实施例与图 6 的例程 180 对应的时序序列,用于阵列中的预测性预调节。当将数据写至第一存储器块 N 时,热预调节同时被施加于连续的存储器块 N+1 和 N+2。对块 N+1 的后继写操作导致对块 N+2 的继续预调节加上对后继块 N+3 的同时预调节,依此类推。该处理可继续,或根据需要超时。

[0051] 图 8 示出替代性时序序列。对第一存储块 N 的写操作导致对块 N+1、N+2 和 N+3 的选定范围的预测性热预调节的施加。热调节保持施加于这些块中的每一个,直到对其执行写操作或宣布超时状态为止。

[0052] 要注意,对这些其它块的后继写入的执行不触发进一步预调节作用;例如,对预调节块 N+1、N+2 或 N+3 的写入不会触发块 N+4、N+5 等的进一步预调节。相反,一组范围的块最初基于最初未调节块地址而被预调节,并要么对这些块执行写入,要么在适当超时周期结束时终止预调节。对经历预调节的给定块的实际写入可用来终止该块的进一步预调节。然而,并非一定要如此,尤其在预期(或检测到)多次更新的写入的情形下就并非一定如此。

[0053] 对图 8 中的不同块 X 的新的写命令的接收同样导致对块 X+1、X+2 和 X+3 的连续热调节施加,直到对其写入数据或宣告超时状态为止。

[0054] 尽管期望存储器阵列中的连续写入将经常基于预期的递增增大的写序列(例如块 N、N+1、N+2、N+3……),然而应当理解前述方法可适用于其它条件。可检测块地址的递减序列(例如块 N、N-1、N-2、N-3),这导致具有递减地址的块的预测性预调节。给出关联的块在给定范围内的足够时间和空间位置的非连续写命令的接收可导致对该范围内的其它块的预测性预调节的选择。

[0055] 由设备 100 保持的文件分配表(FAT)或其它数据结构可为具有不同的非本地地址的块提供逻辑关联信息。例如,给定数据结构可提供例如块 N、N+2、N+6、N+17 等块组的较高程度关联。因此,对该组中的选定块(比如 N+2)的写操作可导致由这类数据结构标识的其它地址上的其它块(例如块 N、N+6、N+17……)的预调节判定。

[0056] 尽管前面的描述预期对例如 106 的存储器阵列中的单元施加预测性写入预调节,然而这种预调节也能容易地应用于例如高速缓存器的其它类型存储器结构中的单元。如将会理解的那样,然而例如 100 的设备可利用这些高速缓存器来提供主机和阵列 106 之间传输期间的中间数据存储。

[0057] 一种这样的高速缓存器可以是 I/F 104 中的数据缓存器,该数据缓存器暂存待编码和存储到阵列 106 的输入用户数据并存储从阵列检取的待传输至主机的回读数据。也可在控制器层提供本地高速缓存器,例如 L1、L2 和 / 或 L3 高速缓存器,以存储数据和 / 或控制信息,例如编程指令或状态数据。

[0058] 图 9 提供具有内容可寻址存储器(CAM)配置的联合存储器 200(高速缓存器)的功能性表示。基于 CAM 的联合存储器已在例如计算机系统高速缓存器、网络路由器和各内置应用的多种应用中发现具有广泛的用途。

[0059] 高速缓存器 200 配置成具有数个高速缓存器行(排),每个行具有索引字段 202 和

字数据字段 204。索引字段 202 存储标签数据,该标签数据充当字段 204 中的关联字数据的标识符。该标签数据可采用任何数量的要求形式,并可表达为与字数据的一些其它地址关联的多位值(例如在存储器另一位置的块地址,比如阵列 106)。

[0060] 通常通过验证与相应索引字段 202 中的标签数据快速比较的输入搜索数据而在数据检取操作中访问高速缓存器 200。当发现匹配时,来自相应字数据字段 204 的相应字数据被输出。根据高速缓存器 200 的大小和配置,可在超出一个的时钟周期执行搜索,使 CAM 结构比许多其它基于硬件或软件的搜索系统更快。

[0061] 例如 200 的高速缓存器中的数据经常提供有相对于其中存储数据的高速缓存器的位置的暂时位置。这是因为数据可顺序地排列在高速缓存器中,这关联于对其提供数据的顺序。此外,多行数据可在多组数据根据加载要求被移动至高速缓存器的同一时间被高速缓存。因此,对特定高速缓存行的写操作在很近的将来跟随的是对已写入的高速缓存行之前和 / 或之后出现的高速缓存行的后续写操作。

[0062] 预调节可根据图 10 的时序图施加于例如 200 的高速缓存器。在图 10 中,执行写操作以将新数据写至选定的数据行 204。这些数据具有在这里被称为地址 N 的相关块地址。地址 N 可以是本地高速缓存器地址(例如经由索引字段 202 的行指示器)或可以是全局块地址,例如在主机层面的 LBA、阵列层面的行-块地址等。

[0063] 在图 10 中,对高速缓存器 200 中的块 N 的数据写入导致同时对领先于和紧随于块 N 地址的块——也就是块 N-2、N-1、N、N+1 和 N+2——的预测性热预调节。也可使用其它范围,包括非对称的范围(例如块 N-3 至 N+4 等)。

[0064] 应当理解,对高速缓存器 200 的数据写入可能导致已有数据的覆写,和阵列 106 的情形一样。

[0065] 对块 N-2 的后继数据写入发起对块 N-3 的同时预调节,而对块 N+2 的后继数据写入发起对块 n+3 的预调节。如前,写入的第一块(块 N)是未经调节的并因此较慢和 / 或需要较高的写电流,但预调节使对预调节块的后继写入具有较高的效率。采用合适的定时机制以一旦写操作终了即停止进一步的预调节作用,例如前面在图 1、图 4 和图 5 中讨论的各种机制 138、140 和 / 或 142。

[0066] 图 11 给出了对例如 200 的高速缓存器写数据的又一定时序列。在图 11 中,对未调节块 N 的最初写入导致对块 N-3 至 N+3 的较大范围的预调节。然而,对这些其它块的后续写入不触发进一步的预调节作用。如前,预调节继续,直到主动终止为止。

[0067] 如本领域内技术人员所能理解的,由于将数据写至已被预调节的存储单元,本文所示的各实施例对存储单元的效率 and 准确性两者均具有优势。通过基于未来写操作的预测明智地选择仅应当被预调节的那些单元,可以取得大量电力和时间节省。定时机制的使用通过提供一种响应变化的数据负载状态终止进一步预调节的方法而进一步提供电力和时间节省。本文所讨论的各实施例具有许多潜在应用,且不限于某一电子介质领域或数据存储设备类型。

[0068] 对于所附权利要求书来说,“同时地”等术语将与前面描述作一致的解释,用以表述时间重叠的操作,即使该操作单独开始或在不同时间结束。术语“未调节”等将与前面描述作一致的解释,以表述在对其作写操作之前尚未施加热预调节的存储单元。

[0069] 要理解,即使已在前面的描述中阐述了本发明各实施例的许多特征和优势以及本

发明各种实施例的结构和功能的细节,然而该详细描述仅为解说性的,并可在细节上作出改变,尤其可在术语的宽泛意思所指示的全面范围对落入本发明原理内的部分的结构与安排作出改变,其中以术语来表达所附权利要求。

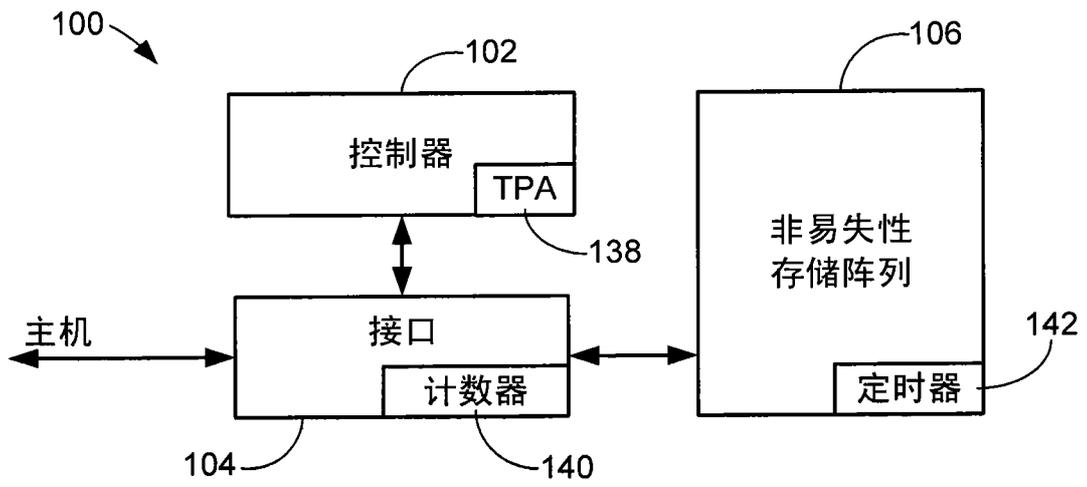


图 1

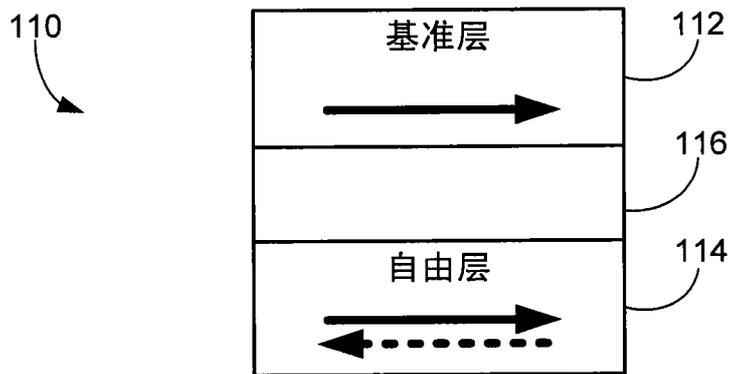


图 2

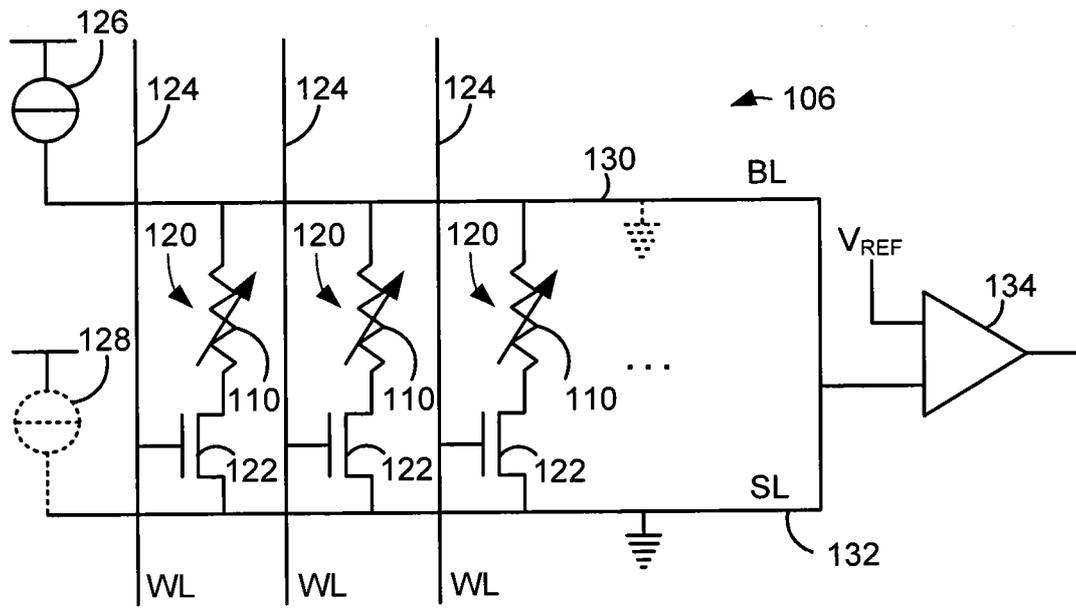


图 3

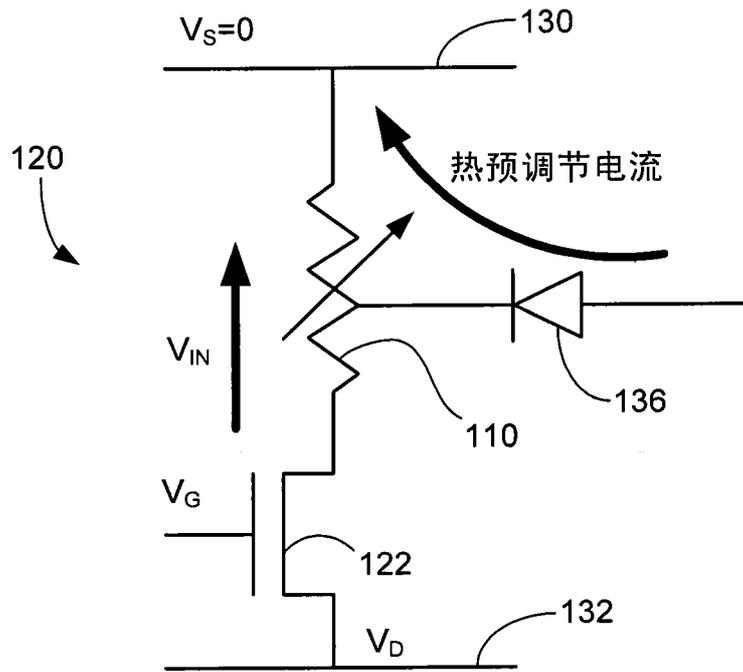


图 4

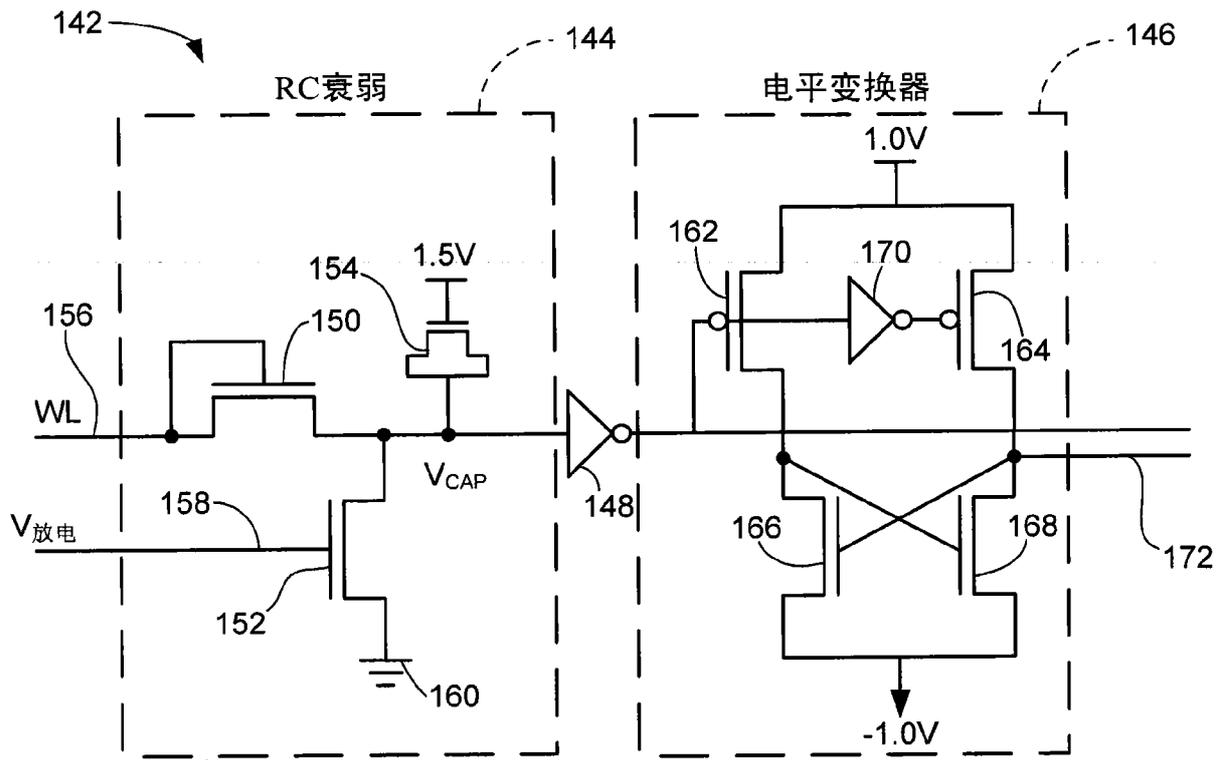


图 5

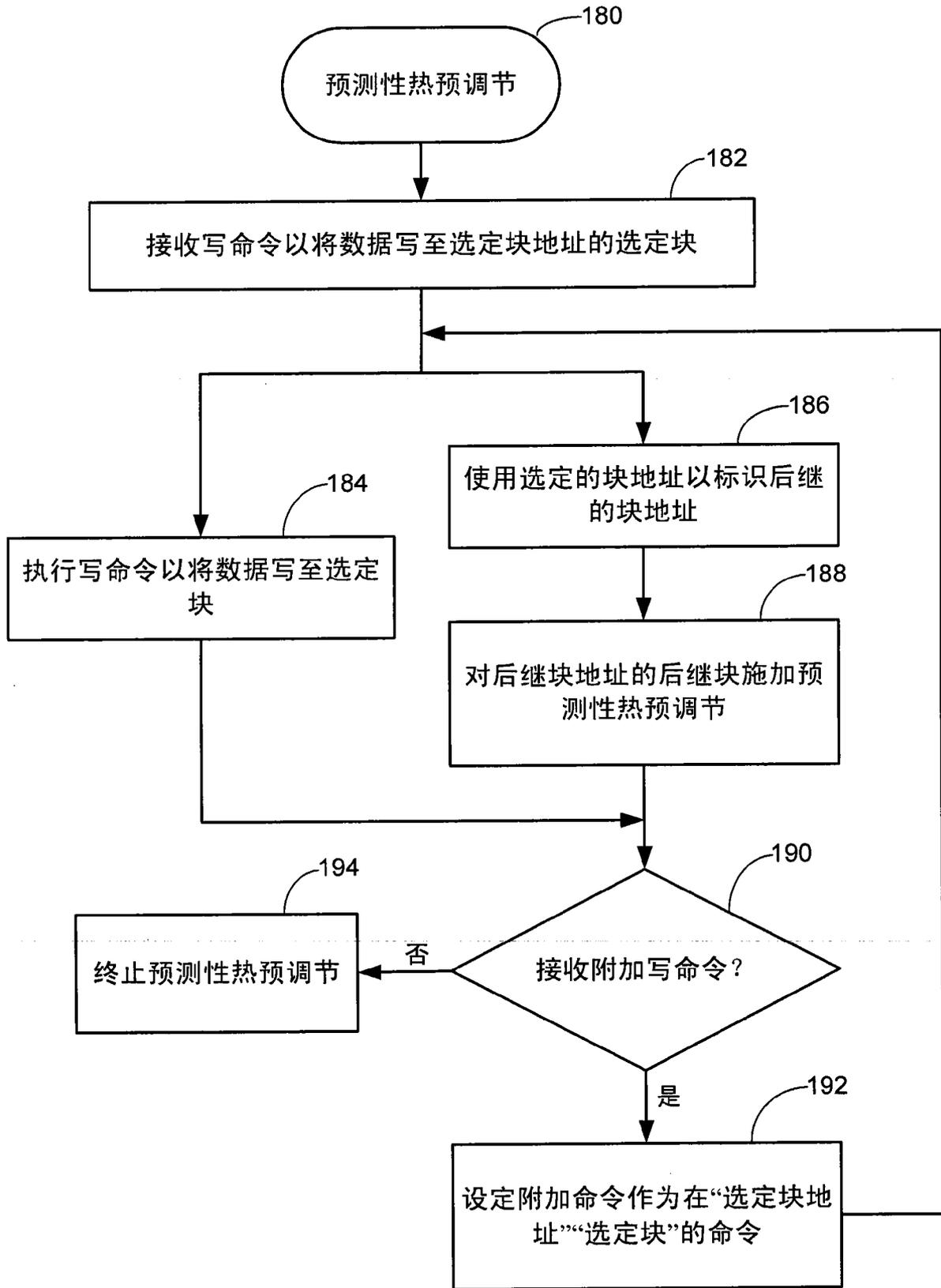


图 6

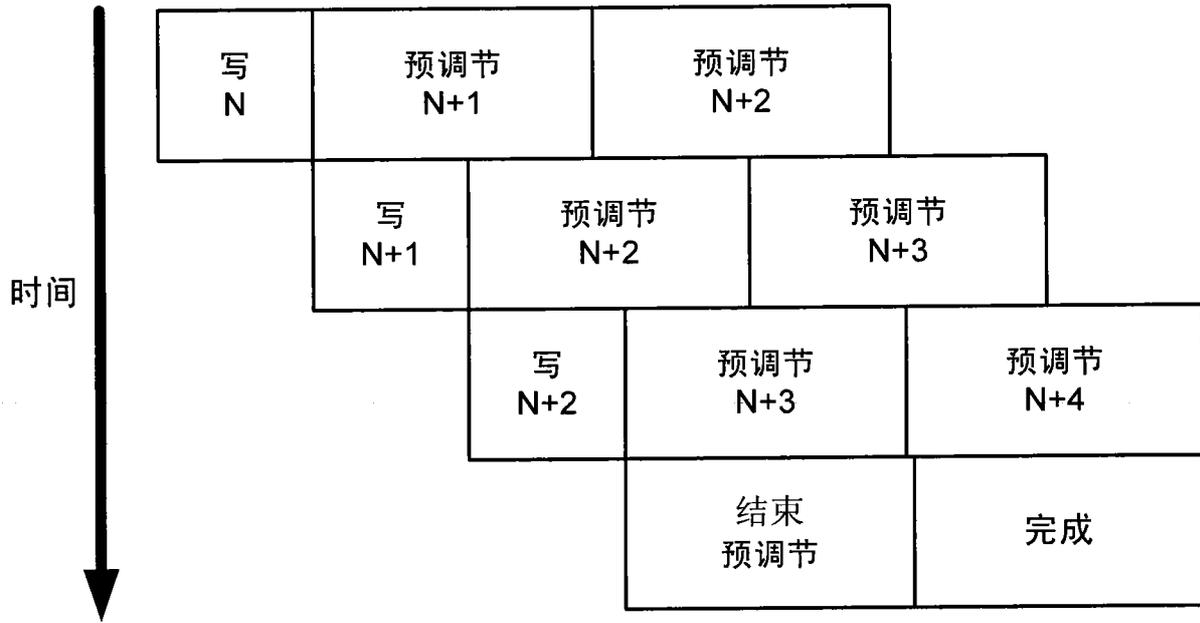


图 7

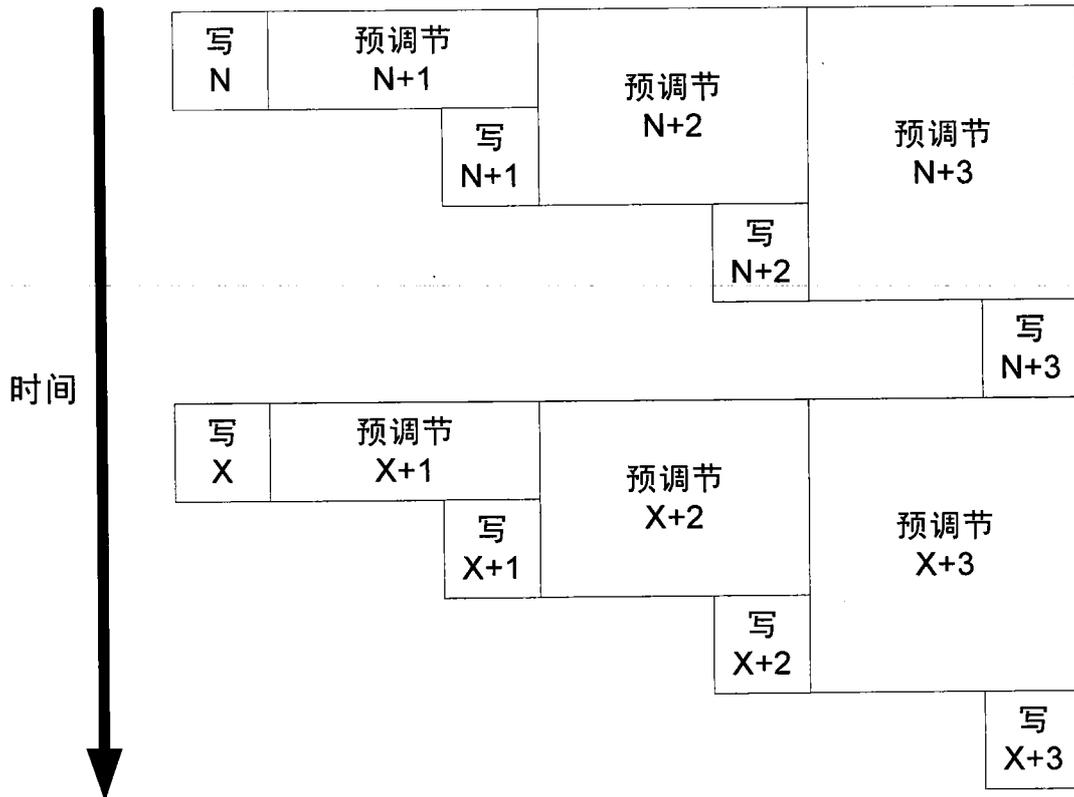


图 8

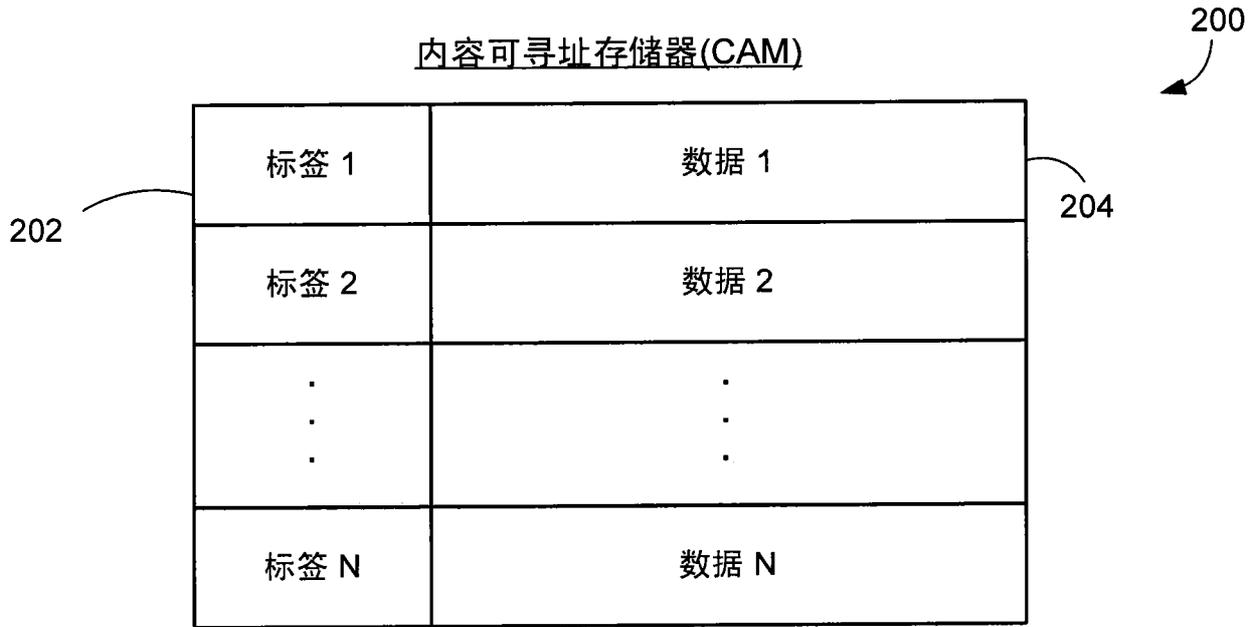


图 9

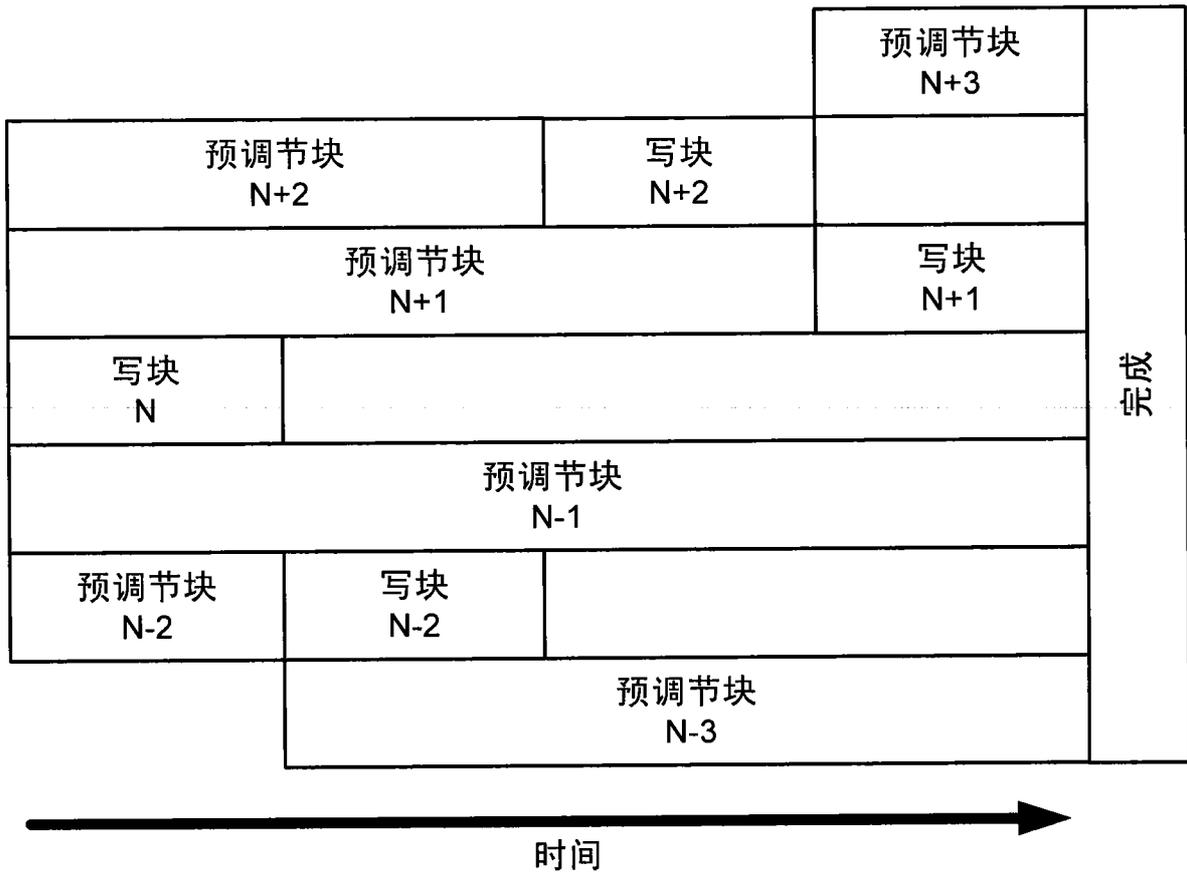


图 10

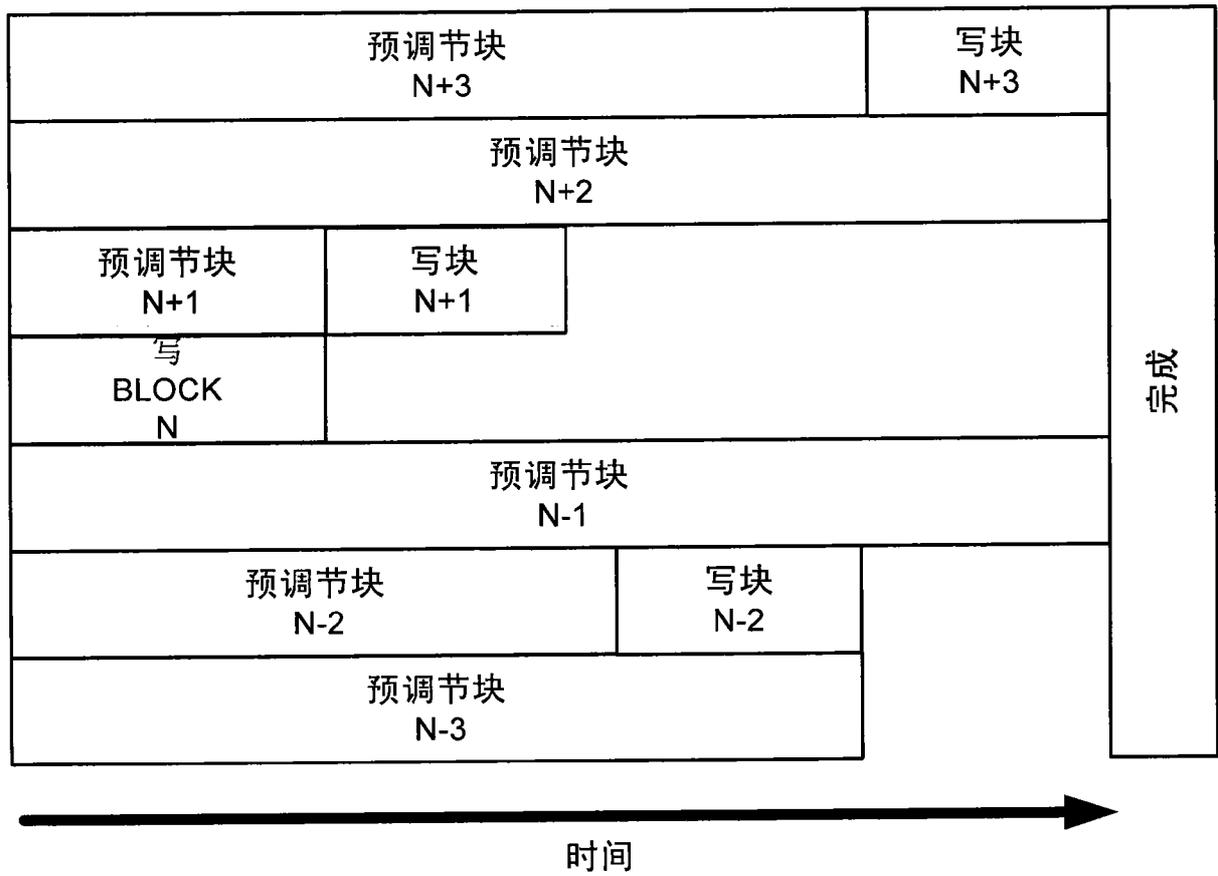


图 11