



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년03월06일
(11) 등록번호 10-1712379
(24) 등록일자 2017년02월27일

- (51) 국제특허분류(Int. Cl.)
H01L 27/02 (2006.01) *H01L 27/12* (2006.01)
H01L 29/786 (2006.01)
- (21) 출원번호 10-2010-0010342
(22) 출원일자 2010년02월04일
심사청구일자 2015년02월04일
- (65) 공개번호 10-2010-0091111
(43) 공개일자 2010년08월18일
- (30) 우선권주장
JP-P-2009-027573 2009년02월09일 일본(JP)
- (56) 선행기술조사문헌
JP2004128052 A*
US06671146 B1*
US20060017139 A1*
JP2006319180 A*

*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
가부시키가이샤 한도오따이 에네루기 첸큐쇼
일본국 가나가와Ken 아쓰기시 하세 398
- (72) 발명자
시시도 히데아키
일본국 가나가와Ken 아쓰기시 하세 398 가부시키가
이샤 한도오따이 에네루기 첸큐쇼 나이
후쿠오카 오사무
일본국 아이치Ken 나고야시 미도리쿠 오다카쵸 아
자 이바라다니야마 1-153 혼루테미나미오다카 102
- (74) 대리인
이화의, 김홍두

전체 청구항 수 : 총 13 항

심사관 : 김종호

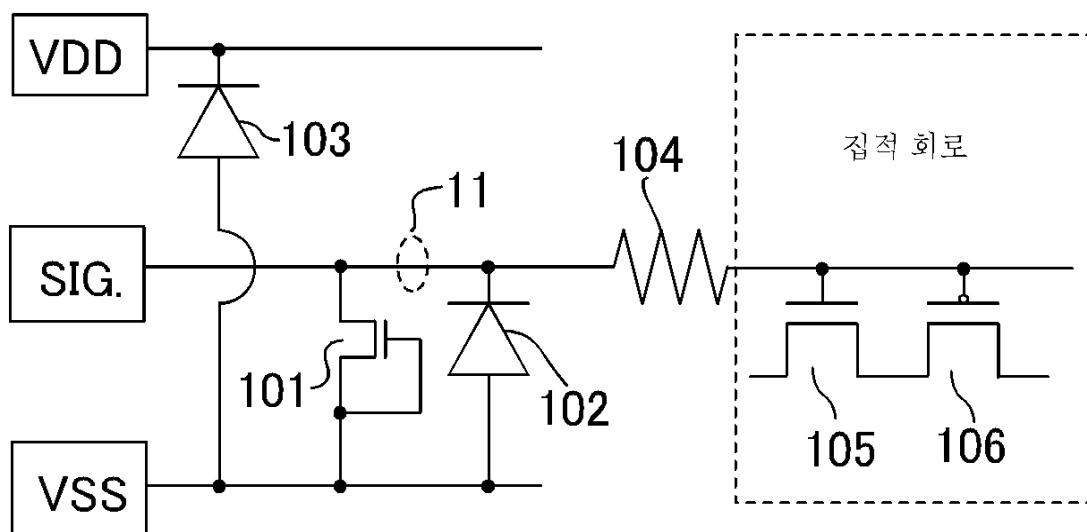
- (54) 발명의 명칭 보호 회로, 반도체 장치, 광전 변환 장치 및 전자기기

(57) 요 약

ESD대책을 실시한 보호 회로 및 반도체 장치를 제공한다.

집적 회로와 전기적으로 접속된 신호선과, 신호선과 제 1 전원선 사이에 형성된 제 1 다이오드, 및 제 1 다이오드와 병렬로 형성된 제 2 다이오드와, 제 1 전원선과 제 2 전원선 사이에 형성된 제 3 다이오드를 갖고, 제 1 다이오드는, 트랜지스터를 다이오드 접속함으로써 형성된 다이오드이고, 제 2 다이오드는 PIN접합 또는 PN접합을 갖는 다이오드인 보호 회로이다. 상기 보호 회로는, 특히 박막 트랜지스터를 사용하여 제작된 반도체 장치에 사용됨으로써 효과를 발휘한다.

대 표 도



명세서

청구범위

청구항 1

집적 회로에 전기적으로 접속된 신호선과,
 상기 신호선과 제 1 전원선 사이에 형성된 제 1 다이오드와,
 상기 제 1 다이오드에 병렬로 형성된 제 2 다이오드와,
 상기 제 1 전원선과 제 2 전원선 사이에 형성된 제 3 다이오드를 포함하고,
 상기 제 1 다이오드는 트랜지스터를 다이오드 접속함으로써 형성되고,
 상기 제 2 다이오드는 PIN접합을 갖고,
 상기 신호선의 전위가 상기 제 1 전원선의 전위보다 높을 때, 역 바이어스가 상기 제 1 다이오드 및 상기 제 2 다이오드의 각각에 인가되도록, 상기 제 1 다이오드 및 상기 제 2 다이오드가 각각 상기 신호선과 상기 제 1 전원선에 전기적으로 접속되고,
 상기 제 1 다이오드의 채널 길이는 $2 \mu m$ 내지 $6 \mu m$ 이고,
 상기 제 1 다이오드의 채널 폭은 $3000 \mu m$ 내지 $4000 \mu m$ 인, 보호 회로.

청구항 2

제 1 항에 있어서,

상기 제 1 다이오드를 구성하는 상기 트랜지스터는 상기 집적 회로가 갖는 적어도 하나의 트랜지스터와 동시에 형성된, 보호 회로.

청구항 3

제 1 항에 있어서,

상기 제 2 다이오드는 반도체층에 p형의 도전성을 부여하는 불순물과 n형의 도전성을 부여하는 불순물이 첨가됨으로써 형성된 횡접합 다이오드이고,

상기 반도체층은 상기 트랜지스터의 반도체층과 동시에 형성된, 보호 회로.

청구항 4

제 3 항에 있어서,

상기 반도체층 및 상기 트랜지스터의 반도체층은 산화물 반도체층인, 보호 회로.

청구항 5

집적 회로에 전기적으로 접속된 신호선과,

상기 신호선과 제 1 전원선 사이에 형성된 박막 트랜지스터와,

상기 박막 트랜지스터에 병렬로 형성된 제 1 다이오드와,
 상기 제 1 전원선 및 제 2 전원선 사이에 형성된 제 2 다이오드를 포함하고,
 상기 박막 트랜지스터의 소스 영역 및 드레인 영역 중의 하나는 상기 신호선에 접속되고, 상기 소스 영역 및 드레인 영역 중의 다른 하나는 상기 제 1 전원선에 접속되고, 상기 박막 트랜지스터의 게이트는 상기 소스 영역

및 드레인 영역 중의 상기 다른 하나에 접속되고,

상기 제 1 다이오드는 PIN접합을 갖고,

상기 신호선의 전위가 상기 제 1 전원선의 전위보다 높을 때, 역 바이어스가 상기 박막 트랜지스터 및 상기 제 1 다이오드의 각각에 인가되도록, 상기 박막 트랜지스터 및 상기 제 1 다이오드가 각각 상기 신호선과 상기 제 1 전원선에 전기적으로 접속되고,

상기 박막 트랜지스터의 채널 길이는 $2 \mu m$ 내지 $6 \mu m$ 이고,

상기 박막 트랜지스터의 채널 폭은 $3000 \mu m$ 내지 $4000 \mu m$ 인, 보호 회로.

청구항 6

제 5 항에 있어서,

상기 박막 트랜지스터는 상기 접적 회로가 갖는 적어도 하나의 트랜지스터와 동시에 형성된, 보호 회로.

청구항 7

제 5 항에 있어서,

상기 제 1 다이오드는 반도체층에 p형의 도전성을 부여하는 불순물과 n형의 도전성을 부여하는 불순물이 첨가됨으로써 형성된 횡접합 다이오드이고,

상기 반도체층은 상기 박막 트랜지스터의 반도체층과 동시에 형성된, 보호 회로.

청구항 8

제 7 항에 있어서,

상기 반도체층 및 상기 박막 트랜지스터의 반도체층은 산화물 반도체층인, 보호 회로.

청구항 9

제 1 항 또는 제 5 항에 있어서,

상기 신호선은 상기 접적 회로에 전기적으로 접속되는 경로의 어느 것에 직렬로 형성된 저항을 포함하는, 보호 회로.

청구항 10

제 1 항 또는 제 5 항에 따른 보호 회로를 포함하는 반도체 장치에 있어서, 상기 보호 회로는 적어도 하나의 신호선에 형성된, 반도체 장치.

청구항 11

제 10 항에 따른 상기 반도체 장치를 포함하는, 광전 변환 장치.

청구항 12

제 10 항에 따른 상기 반도체 장치를 포함하는, 전자기기.

청구항 13

제 11 항에 따른 상기 광전 변환 장치를 포함하는, 전자기기.

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

발명의 설명

기술 분야

[0001] 본 발명은, 보호 회로에 관한 것이다.

배경 기술

[0002] 집적 회로의 불량의 큰 원인 중의 하나로서, 정전기 방전(ElectroStatic Discharge, 이하, “ESD”라고 부름)에 의한 반도체 소자, 전극 등의 파괴가 있다. 따라서, ESD에 의한 집적 회로의 파괴 방지 대책으로서, 단자와 집적 회로 사이에 보호 회로를 삽입하는 것이 행해진다. 보호 회로는, ESD 등에 의하여 단자에 인가된 과잉한 전압이 집적 회로에 공급되는 것을 방지하기 위한 회로이다.

[0003] 신호선의 보호 회로에 대해서, 신호선 단자가 고전위 전원 단자(VDD), 저전위 전원 단자(VSS) 사이의 전위를 설정할 경우, 과대한 전류가 직접 회로에 흐르는 것을 방지하기 위해서 특허 문헌 1과 같은 것이 있다.

선행기술문헌

특허문헌

[0004] (특허문헌 0001) [특허문헌1]특개2006-60191호공보

발명의 내용

해결하려는 과제

[0005] 그러나, 상기 특허 문헌 1의 신호선 보호 회로를 사용한 경우, 또한, 고전위 전원 단자(VDD단자), 저전위 전원 단자(VSS단자)와, 신호선 단자(SIG. 단자) 사이에 다이오드로 이루어지는 보호 회로를 형성하는 경우, SIG.에 입력되는 신호 전위가, VDD 이상, 또는 VSS 이하가 될 가능성이 있는 동작이 포함되는 경우에는, 어느 다이오드가 순방향 바이어스 상태가 되기 때문에 전류가 흐르고, 신호 전위가 VSS 또는 VDD와 같게 되어버린다.

[0006] 이 대책으로서는, 도 17에 도시하는 바와 같이, 신호 전위에 맞추어, 순방향 바이어스가 인가될 측의 다이오드를 다단 직렬 접속으로 하고, 이 경우는 SIG.에 입력되는 신호 전위가 VDD를 초과하여도, 다단 직렬 접속된 다이오드의 각각에 임계값을 초과하는 순방향 바이어스가 인가되지 않도록 보호 회로를 구성하는 방법 등이 생각되지만, 보호 회로의 점유 면적이 커져 버린다.

[0007] 특히, 박막 반도체로 보호 회로를 제작한 경우, 직렬 접속의 Si저항(1703)과, 병렬 접속(SIG.-VSS 사이)의 횡접합 PIN 다이오드(1701)와, 병렬 접속(SIG.-VDD 사이)의 다단의 횡접합 PIN 다이오드(1702)를 사용한 것이 된다. 그러나, SIG.-VDD 사이의 전위차분의 임계값 조절을 위해서 단수가 변화하고, 또한, 횡접합이라는 면적이 큰 다이오드이기 때문에 회로 규모가 매우 커져버린다.

[0008] 본 발명의 일 형태의 목적은, 상기 과제를 감안하여, 회로 규모를 크게 하지 않고 적절한 보호 회로를 제공하는 것이다.

과제의 해결 수단

[0009] 상기 목적을 달성하기 위해서 본 발명의 일 형태의 보호 회로는, 접적 회로와 전기적으로 접속된 신호선과, 신호선과 제 1 전원선 사이에 형성된 제 1 다이오드, 및 제 1 다이오드와 병렬로 형성된 제 2 다이오드와, 제 1 전원선과 제 2 전원선 사이에 형성된 제 3 다이오드를 포함하고, 제 1 다이오드는, 트랜ジ스터를 다이오드 접속 함으로써 형성된 다이오드이고, 제 2 다이오드는 PIN접합 또는 PN접합을 갖는 다이오드이다.

[0010] 상기 구성에 더하여, 제 1 다이오드를 구성하는 트랜지스터는, 접적 회로가 갖는 적어도 하나의 트랜지스터와 동시에 형성된 트랜지스터이다.

[0011] 상기 구성에 더하여, 제 2 다이오드는, 반도체층에 P형을 부여하는 불순물과, N형을 부여하는 불순물이 첨가됨으로써 PIN접합 또는 PN접합이 형성된 횡접합 다이오드이고, 반도체층은, 트랜지스터가 갖는 반도체층과 동시에 형성된 반도체층이다.

[0012] 상기 구성에 더하여, 신호선이 접적 회로와 전기적으로 접속되는 경로의 어느 것에 직렬로 형성된 저항을 포함한다.

[0013] 본 발명의 일 형태의 보호 회로는, 반도체 장치에 사용된다.

[0014] 본 발명의 일 형태의 반도체 장치는, 광전 변환 장치에 사용된다.

[0015] 본 발명의 일 형태의 반도체 장치 또는 광전 변환 장치는, 전자기기에 사용된다.

발명의 효과

[0016] 본 발명의 일 형태인 보호 회로의 구성에 의하여, ESD전위의 상승을 억제하는 성능이 높은 보호 회로를 얻을 수 있다. 또한, 신뢰성이 높은 반도체 장치, 광전 변환 장치, 전자기기를 얻을 수 있다.

도면의 간단한 설명

[0017] 도 1은 실시형태 1의 일 형태에 대하여 설명하는 도면.

도 2는 실시형태 2의 일 형태에 대하여 설명하는 도면.

도 3은 실시형태 3의 일 형태에 대하여 설명하는 도면.

도 4는 실시형태 4의 일 형태에 대하여 설명하는 도면.

도 5a 내지 도 5e는 실시형태 4의 일 형태에 대하여 설명하는 도면.

도 6a 내지 도 6d는 실시형태 4의 일 형태에 대하여 설명하는 도면.

도 7a 내지 도 7c는 실시형태 5의 일 형태에 대하여 설명하는 도면.

도 8a 및 8b는 실시형태 5의 일 형태에 대하여 설명하는 도면.

도 9a 및 도 9b는 실시형태 5의 일 형태에 대하여 설명하는 도면.

도 10은 실시형태 5의 일 형태에 대하여 설명하는 도면.

도 11은 실시형태 5의 일 형태에 대하여 설명하는 도면.

도 12a 내지 도 12f는 실시형태 6의 일 형태에 대하여 설명하는 도면.

도 13은 실시예 1에 대하여 설명하는 도면.

도 14는 실시예 2에 대하여 설명하는 도면.

도 15는 실시예 2에 대하여 설명하는 도면.

도 16은 실시예 3에 대하여 설명하는 도면.

도 17은 종래예에 대하여 설명하는 도면.

발명을 실시하기 위한 구체적인 내용

[0018]

(실시형태 1)

[0019]

이하에, 본 발명의 일 실시형태를 나타낸다. 여기서는, 본 발명의 일 형태의 보호 회로는 반도체를 사용한 접적 회로에 적용하는 경우를 듣다.

[0020]

도 1은, 신호선(SIG.), 고전위 전원선(VDD), 저전위 전원선(VSS), 접적 회로(여기서는 일례로서 상보형 트랜지스터를 도시하였지만, 이것에 한정되지 않음. 도 2, 도 3에 대해서도 마찬가지임)를 갖는 회로를 나타낸 것이다. SIG.의 고전위 신호가 VDD의 전위보다 큰 경우에, SIG.-VSS 사이에 다이오드(102)와 다이오드 접속 트랜지스터(101)를 형성하여, VSS-VDD 사이에 다이오드(103)를 형성하여, 직렬 접속의 저항(104)을 형성한 것이다. 이 직렬 접속의 저항은 없어도 좋다.

[0021]

다이오드(102)와 다이오드(103)를 형성함으로써, SIG.에 VDD의 전위보다도 고전위의 신호가 입력되어, 임계값을 초과한 경우, VSS를 통하여, VDD에 전류가 흐른다.

[0022]

SIG.-VSS 사이에, 역 바이어스 시에 누설 전류를 발생하기 어려운 다이오드(102)와, 역 바이어스 시에 누설 전류를 발생하기 쉬운 다이오드 접속 트랜지스터(101)를 병렬로 형성하면, SIG.가 ESD에 의하여 고전위로 대전한 경우, ESD에 의한 전위가 다이오드(102)의 브레이크다운(breakdown) 전압을 하회하는 영역에서는 주로 다이오드 접속 트랜지스터(101)의 역 바이어스 시의 누설 전류에 의하여, 신속하게 VSS 측에 전하를 방전한다. 또한, 보통 신호 입력의 전위의 범위라면, 다이오드(102), 및 다이오드 접속 트랜지스터(101)는 모두 약간 역 바이어스 상태가 되기 때문에, 누설 전류도 그다지 발생하지 않고, 정상적으로 신호를 입력할 수 있다. 또한, SIG.가 ESD에 의하여 저전위로 대전한 경우에는, 다이오드(102), 및 다이오드 접속 트랜지스터(101)는 모두 순 바이어스 상태가 되어, VSS단자로부터 신속하게 전하를 보충할 수 있다.

[0023]

다이오드(102, 103)에는 PIN 다이오드나, PN 다이오드를 사용할 수 있다. 또한, 다이오드 접속 트랜지스터로서, MOS 트랜지스터인 박막 트랜지스터, SOI(Silicon On Insulator)로 제작한 트랜지스터, SIMOX(Separation by Implantation of Oxygen)로 제작된 트랜지스터, 반도체 기판에 형성된 트랜지스터 등을 사용할 수 있다.

[0024]

도 1을 구체화하는 데에 있어서, 기판 위에 형성된 박막 반도체를 사용하여 제작할 수 있다. 다이오드(102, 103)는, 횡접합 PIN 다이오드를 사용한다. 다이오드 접속 트랜지스터(101)는 n형 다이오드 접속 박막 트랜지스터(이후, 박막 트랜지스터를 TFT로 함)를 사용하지만, 적절히 접속을 바꾸면 p형의 다이오드 접속 박막 트랜지스터를 사용하여도 좋다. 또한, 접적 회로는 n채널형 TFT, p채널형 TFT를 사용한다. 저항은 n형, 또는 p형을 부여한 박막 반도체를 사용할 수 있다. 이상에 의해, 공정수를 증가시키지 않고, 동일 기판 위에 반도체 장치를 제작할 수 있다.

[0025]

다이오드 접속 TFT는, 누설하기 쉽기 때문에, 전위차가 작은 ESD에 의한 전하를 흘릴 수 있다. 한편, 횡접합 PIN 다이오드는, 내열성이 있기 때문에 전위차가 큰 ESD에 의한 전하를 흘리는 것이 우수하다. 양쪽 모두의 특성을 이용함으로써 내압성이 우수한 보호 회로가 얻어진다.

[0026]

(실시형태 2)

[0027]

실시형태 1과 마찬가지로, 본 발명의 일 실시형태를 나타낸다. 여기서는, 본 발명의 일 형태의 보호 회로는 반도체를 사용한 접적 회로에 적용하는 경우를 듣다.

[0028]

도 2는, 접적 회로에 신호를 입력하기 위한 신호선(SIG.)에 형성하는 보호 회로의 일 구성예를 도시하고, 신호선과 접적 회로 사이에 직렬로 삽입된 저항(1203)과 SIG.-VSS 사이에 형성된 다이오드(1201)와, VDD-VSS 사이에 형성된 다이오드(1202)를 갖는다. 또한, 저항(1203)에 관해서는 특별히 형성하지 않아도 좋다.

[0029]

도 2의 회로에서는, SIG.가 ESD에 의하여 음으로 대전된 경우, 다이오드(1201)를 통하여, VSS 측에 전하를 방출한다. SIG.가 ESD에 의하여 정으로 대전된 경우, 다이오드(1201)를 통하여 VSS를 통하고, 그 후, VSS로부터 다

이오드(1202)를 통하여 VDD에 전하를 방출한다.

[0030] 도 2를 구체화하는 데에 있어서, 기판 위에 형성된 박막 반도체를 사용하여 제작할 수 있다. 다이오드(1201, 1202)는, 횡접합 PIN 다이오드를 사용한다. 또한, 접적 회로는 n채널형 TFT, p채널형 TFT를 사용한다. 저항은 n형, 또는 p형이 부여된 박막 반도체를 사용할 수 있다. 이렇게 함으로써, 공정수를 증가시키지 않고, 동일 기판 위에 반도체 장치를 제작할 수 있다.

[0031] (실시형태 3)

[0032] 실시형태 1, 실시형태 2와 마찬가지로, 본 발명의 일 실시형태를 나타낸다. 여기서는, 본 발명의 일 형태의 보호 회로는 반도체를 사용한 접적 회로에 적용하는 경우를 든다.

[0033] 도 3은, 접적 회로에 신호를 입력하기 위한 신호선(SIG.)에 형성하는 보호 회로의 일 구성예를 도시하고, 신호선과 접적 회로 사이에 직렬로 삽입된 저항(1303)과, SIG.-VSS 사이에 형성된 다이오드 접속 트랜지스터(1301)와, VDD-VSS 사이에 형성된 다이오드(1302)를 갖는다. 또한, 저항(1303)에 관해서는, 특별히 형성하지 않아도 좋다.

[0034] 도 3의 회로에서는, SIG.가 ESD에 의하여 음으로 대전된 경우, 다이오드 접속 트랜지스터(1301)를 통하여, VSS 측에 흐름으로써 그 전하를 방출한다. SIG.가 ESD에 의하여 정으로 대전된 경우, 다이오드 접속 트랜지스터(1301)를 경유하여, VSS를 통하여, VSS로부터 다이오드(1302)를 통하여 VDD에 전하를 방전한다.

[0035] 도 3을 구체화하는 데에 있어서, 기판 위에 형성된 박막 반도체를 사용하여 제작할 수 있다. 다이오드(1302)는, 횡접합 PIN 다이오드를 사용한다. 또한, 다이오드 접속 트랜지스터(1301)는 n형의 다이오드 접속 박막 트랜지스터를 사용하지만, 적절히 접속을 바꾸면 p형의 박막 트랜지스터를 사용하여도 좋다. 또한, 접적 회로는 n채널형 TFT, p채널형 TFT를 사용한다. 저항은 n형 또는, p형을 부여한 박막 반도체를 사용할 수 있다. 이상에 의해, 공정수를 증가시키지 않고, 동일 기판 위에 반도체 장치를 제작할 수 있다.

[0036] (실시형태 4)

[0037] 본 실시형태의 일 형태는, 보호 회로를 포함하는 반도체 장치의 제작 방법에 대해서 설명한다. 도 4에, 보호 회로의 횡접합 다이오드와 다이오드 접속 박막 트랜지스터(TFT)의 평면도를 도시한다. 다이오드 접속 TFT를 A-A', 횡접합 다이오드를 B-B'로 절단한 단면도를 도 5a 내지 도 11에 도시한다.

[0038] 도 5a 내지 도 6d에 있어서, 박막 트랜지스터(101, 105, 106) 및 횡접합 PIN다이어드(102, 103)의 제작 방법을 설명한다. 실시형태 2(도 2)에 있어서의 박막 트랜지스터(1204, 1205) 및 횡접합 PIN 다이오드(1201, 1202)의 제작 방법도 마찬가지로 하여 제작할 수 있다. 또한, 실시형태 3(도 3 참조)에 있어서의 박막 트랜지스터(1301, 1304, 1305) 및 횡접합 PIN 다이오드(1302)의 제작 방법도 마찬가지로 하여 제작할 수 있다.

[0039] 우선, 유리 기판(500)을 준비한다. 유리 기판(500)은 무 알칼리 유리 기판이 바람직하다. 무 알칼리 유리 기판에는, 예를 들어, 알루미노 실리케이트 유리 기판, 알루미노 보로실리케이트 유리 기판, 바륨 보로실리케이트 유리 기판 등이 있다. 유리 기판(500) 대신에 석영 기판을 사용할 수 있다.

[0040] 다음에, 유리 기판(500) 위에 두께 50nm 내지 300nm의 하지 절연막을 형성한다. 여기서는, 도 5a에 도시하는 바와 같이, 하지 절연막으로서 질화산화실리콘막(501) 및 산화질화실리콘막(502)으로 이루어지는 2층 구조의 절연막을 형성한다. 다음에, 다이오드(102, 103), 트랜지스터(101, 105)의 반도체막을 형성하기 위해서, 두께 20nm 내지 100nm의 반도체막(520)을 하지 절연막 위에 형성한다.

[0041] 하지 절연막은, 유리 기판(500)에 포함되는 알칼리 금속(대표적으로는 Na)이나 알칼리 토류 금속이 확산하여, 트랜지스터 등의 반도체 소자의 전기적 특성에 악영향을 미치는 것을 방지하기 위해서 형성한다. 하지 절연막은, 단층 구조라도 좋고 적층 구조라도 좋지만, 알칼리 금속 및 알칼리 토류 금속의 확산을 방지하기 위한 배리어막을 적어도 1층 형성하는 것이 바람직하다. 본 실시형태에서는, 배리어막으로서, 질화산화실리콘막(501)을 형성한다. 배리어막으로서는, 질화산화실리콘막 등의 질화산화물막, 및 질화실리콘막, 질화알루미늄막 등의 질화물막이 바람직하다. 트랜지스터(101, 105)를 구성하는 반도체막과 하지 절연막의 계면 준위 밀도를 저감시키기 위해서, 산화질화실리콘막(502)이 형성된다.

[0042] 본 실시형태에서는, 두께 140nm의 질화산화실리콘막(501), 두께 100nm의 산화질화실리콘막(502), 및 두께 50nm의 비정질 실리콘막(520)을, 1대의 PECVD 장치로 연속적으로 형성한다. 질화산화실리콘막(501)의 소스 가스는, SiH₄, N₂O, NH₃ 및 H₂이다. 산화질화실리콘막(502)의 소스 가스는 SiH₄ 및 N₂O이다. 비정질 실리콘막(520)의 소

스 가스는, SiH_4 및 H_2 이다. 소스 가스를 바꿈으로써, 하나의 챔버 내에서 3개의 막을 연속적으로 형성할 수 있다.

[0043] 본 실시형태에서는, 트랜지스터(101, 105, 106) 및 다이오드(102, 103)를 결정성 반도체막으로 형성한다. 그래서, 비정질 반도체막을 결정화하여 결정성 반도체막을 형성한다. 반도체막의 결정화 방법에는, 램프 어닐 장치나 노(爐)를 사용한 고상 성장 방법, 레이저광을 조사하고 반도체막을 용융시켜 결정화시키는 레이저 결정화 방법 등을 사용할 수 있다.

[0044] 여기서는, 하지 절연막 위에 비정질 실리콘막(520)을 형성하고, 이 비정질 실리콘막(520)을 고상 성장시켜 결정화하여, 결정성 실리콘막(521)을 형성한다(도 5a 및 도 5b 참조). 여기서는, 600°C 이하의 가열 온도에서, 짧은 시간으로 비정질 실리콘막(520)을 고상 성장시키기 위해서, 비정질 실리콘막(520)에 금속 원소를 첨가한다. 이하에, 비정질 실리콘막(520)의 결정화 방법에 대해서 구체적으로 설명한다.

[0045] 우선, 비정질 실리콘막(520)의 표면을 오존 수로 처리하고, 극히 짧은(수nm 정도) 산화막을 형성하고, 비정질 실리콘막(520) 표면의 습윤성을 향상시킨다. 다음에, 중량 환산으로 10ppm의 니켈을 포함하는 초산니켈 용액을 스피너로 비정질 실리콘막(520)의 표면에 도포한다.

[0046] 다음에, 노에 있어서, 비정질 실리콘막(520)을 가열하고, 결정성 실리콘막(521)을 형성한다. 예를 들어, 이 비정질 실리콘막(520)을 결정화시키기 위해서는, 예를 들어, 500°C 로 1시간 가열하여, 이어서 550°C 로 4시간의 가열 처리를 행하면 좋다. 니켈의 촉매적인 작용에 의하여, 짧은 시간, 또한 저온으로 결정성 실리콘막(521)을 형성할 수 있다. 또한, 니켈의 촉매적인 작용에 의하여, 결정립계에 댕글링 본드가 적은 결정성 실리콘막(521)을 형성할 수 있다. 실리콘의 결정화를 촉진시키는 금속 원소로서는, Ni 이외에, Fe, Co, Ru, Rh, Pd, Os, Ir, Pt 등이 있다.

[0047] 이들의 금속 원소를 비정질 실리콘막(520)에 도입하는 방법에는, 이들의 금속 원소의 용액을 도포하는 방법 이외에, 금속 원소를 주성분으로 하는 막을 비정질 실리콘막(520) 표면에 형성하는, 플라즈마 도핑법 등에 의하여 금속 원소를 비정질 실리콘막(520)에 첨가하는 방법 등이 있다.

[0048] 다음에, 결정성 실리콘막(521)의 결정 결함을 수복(修復)하는, 결정화율을 향상시키기 위해서, 레이저광을 조사한다. 여기서는 엑시머 레이저광(XeCl: 파장 308nm)을 조사한다. 레이저광은 파장 400nm 이하의 범이 바람직하다. 이러한 레이저광에는, 예를 들어, XeCl 엑시머 레이저광 등의 엑시머 레이저광, YAG 레이저의 제 2 고조파 또는 제 3 고조파 등이 있다. 레이저광을 조사하기 전에 결정성 실리콘막(521) 표면에 형성되는 산화막을 회불산 등으로 제거하는 것이 바람직하다.

[0049] 본 실시형태에서는, 결정화를 위해서, 도입한 니켈을 결정성 실리콘막(521)으로부터 게터링하기 위한 처리를 행한다. 니켈은 비정질 실리콘막(520)의 결정화에는 유용하지만, 니켈이 결정성 실리콘막(521)에 고농도로 존재하면, 트랜지스터(101, 105)의 누설 전류를 증가시키는 등, 트랜지스터(101, 105)의 전기적 특성을 저하시키는 요인이 되기 때문이다. 이하, 게터링 처리의 일례를 설명한다.

[0050] 우선, 오존 수로 결정성 실리콘막(521) 표면을 120초 정도 처리를 하고, 결정성 실리콘막(521) 표면에 두께 1nm 내지 10nm 정도의 산화막을 형성한다. 오존 수에 의한 처리 대신에, UV광을 조사하여도 좋다. 다음에, 산화막을 통하여 결정성 실리콘(521) 표면에 Ar를 포함하는 비정질 실리콘막을 두께 10nm 내지 400nm 정도 형성한다. 이 비정질 실리콘막 중의 Ar의 농도는, $1 \times 10^{18} \text{ atoms/cm}^3$ 이상 $1 \times 10^{22} \text{ atoms/cm}^3$ 이하가 바람직하다. 또한, Ar 대신에 다른 제 18 족 원소를 비정질 실리콘막에 첨가하여도 좋다.

[0051] 제 18 족 원소를 비정질 실리콘막에 첨가하는 목적은, 비정질 실리콘막에 변형을 주어, 비정질 실리콘막 중에 게터링 사이트를 형성하는 것이다. 제 18 족 원소의 첨가로 인하여 변형이 생기는 원인은 2가지 있다. 하나는, 제 18 족 원소의 첨가로 인하여 결정에 댕글링 본드가 형성되는 것에 의한 것이고, 또 하나는, 결정 격자 사이에 제 18 족 원소가 첨가되는 것에 의한 것이다.

[0052] 예를 들어, PECVD법으로 Ar를 포함하는 비정질 실리콘막(이하, “Ar: a-Si 막”이라고 부름)을 형성하는 데에는, SiH_4 , H_2 및 Ar(아르곤)를 소스 가스로 사용하면 좋다. Ar에 대한 SiH_4 의 유량비(SiH_4/Ar)가 1/999 이상 1/9 이하로 하는 것이 바람직하다. 또한, 프로세스 온도는 300°C 내지 500°C 가 바람직하다. 소스 가스를 여기시키기 위한 RF 파워 밀도는, 0.0017W/cm^2 이상 0.48W/cm^2 이하로 하는 것이 바람직하다. 프로세스 압력은, 1.333Pa 이상 66.65Pa 이하로 하는 것이 바람직하다.

- [0053] 예를 들어, 스퍼터링법으로 Ar: a-Si막을 형성하기 위해서는, 타깃에 단결정 실리콘을 사용하고, 스퍼터링용 가스에 Ar를 사용하면 좋다. Ar 가스를 글로우 방전시켜, Ar 이온으로 단결정 실리콘 타깃을 스퍼터링함으로써, Ar를 포함한 비정질 실리콘막을 형성할 수 있다. 비정질 실리콘막 중의 Ar 농도는, 글로우 방전시키기 위한 파워, 압력, 온도 등에 의하여, 조절할 수 있다. 프로세스 압력은, 0.1Pa 이상 5Pa 이하로 하면 좋다. 압력은 낮을수록, 비정질 실리콘막 중의 Ar 농도를 높게 할 수 있고, 1.5Pa 이하가 바람직하다. 프로세스 중에 유리 기판(500)을 특별히 가열할 필요는 없고, 프로세스 온도를 300°C 이하로 하는 것이 바람직하다.
- [0054] Ar: a-Si막을 형성한 후, 게터링을 위해서 노에 있어서 650°C로 3분간의 가열 처리를 행한다. 이 가열 처리에 의하여, 결정성 실리콘막(521)에 포함되는 Ni는 Ar: a-Si막에 석출하여 포획된다. 결과적으로, 결정성 실리콘막(521)의 Ni 농도를 저하시킬 수 있다. 가열 처리가 완료된 후, 에칭 처리에 의하여 Ar: a-Si막을 제거한다. 이 에칭 처리에서는, 산화막이 에칭 스토퍼로서 기능한다. Ar: a-Si막을 제거한 후, 결정성 실리콘막(521) 표면의 산화막을 희불산 등으로 제거한다. 이상으로, Ni가 저감된 결정성 실리콘막(521)이 형성된다.
- [0055] 다음에, 결정성 실리콘막(521)에 억셉터 원소를 첨가한다. 이것은, 트랜지스터(101, 105)의 임계값 전압을 제어하기 위해서이다. 예를 들어, 억셉터 원소로서 붕소를 사용하여, 결정성 실리콘막(521)에 $1 \times 10^{16} \text{ atoms/cm}^3$ 내지 $5 \times 10^{17} \text{ atoms/cm}^3$ 의 농도로 붕소가 포함되도록 첨가한다.
- [0056] 이어서, 결정성 실리콘막(521) 위에 레지스트마스크를 형성하고, 레지스트마스크를 사용하여 결정성 실리콘막(521)을 에칭하고, 도 5c에 도시하는 바와 같이, 다이오드(102, 103)를 구성하는 반도체막(400), n채널형 TFT(101, 105)의 반도체막(405)을 형성한다.
- [0057] 본 실시형태에서는, 반도체막(400, 405)을 실리콘막으로 형성하였지만, 게르마늄, 실리콘게르마늄, 탄화실리콘 등, 다른 제 14 족으로 이루어지는 반도체막으로 형성할 수 있다. 또한, GaAs, InP, SiC, ZnSe, GaN, SiGe 등의 화합물 반도체막, 산화 아연, 산화 주석, InGaZnO 등의 산화물 반도체막으로 형성할 수도 있다.
- [0058] 다음에, 도 5c에 도시하는 바와 같이, 반도체막(400, 405) 위에 게이트 절연막을 형성한다. 여기서는, 게이트 절연막으로서, 두께 30nm의 산화질화실리콘막(503)을 형성한다. 이 산화질화실리콘막(503)은, PECVD법으로 소스 가스에 SiH₄ 및 N₂O를 사용하여 형성된다.
- [0059] 또한, 게이트 절연막 위에 도전막(410)을 구성하는 도전막으로서, 두께 30nm의 질화탄탈막(525)과, 두께 170nm의 텉스텐막(526)으로 이루어지는 2층 구조의 도전막을 형성한다. 질화탄탈막(525)과 텉스텐막(526)은, 스퍼터링법으로 형성된다. 질화탄탈막(525)과 텉스텐막(526)의 적층막 대신에, 예를 들어, 질화텅스텐막과 텉스텐막의 적층막, 또는 질화몰리브덴막과 몰리브덴막의 적층막을 형성할 수 있다. 본 실시형태에서는, 도전막(410)을 불순물 첨가용의 마스크로 사용하여, 반도체막(405)에 자기 정합적으로 소스 영역, 드레인 영역, 및 저농도 불순물 영역을 형성하기 때문에, 상면으로부터 본 크기가 상층의 도전막 쪽이 하층의 도전막보다 작게 되도록 한다. 이러한 도전막(410)의 형성을 용이하게 하기 위해서, 하층의 도전막에 대하여 상층의 도전막의 에칭 선택비가 큰 것이 바람직하다. 이 관점에서 질화탄탈막(525)과 텉스텐막(526)의 적층막은 바람직하다.
- [0060] 다음에, 텉스텐막(526) 위에 레지스트마스크(527)를 형성한다. 이 레지스트마스크(527)를 사용하여, 에칭 처리를 2번 행한다. 우선, 도 5d에 도시하는 바와 같이, 레지스트마스크(527)를 사용하여, 질화탄탈막(525) 및 텉스텐막(526)을 에칭한다. 이 첫 번째 에칭으로, 질화탄탈막(525) 및 텉스텐막(526)으로 이루어지는 적층막의 단면의 형상은, 테이퍼 형상으로 가공된다. 이 에칭 처리는, 예를 들어, 에칭용 가스에 CF₄, Cl₂ 및 O₂의 혼합 가스를 사용하여, ICP(유도 결합형 플라즈마) 에칭 장치로 행할 수 있다.
- [0061] 또한, 레지스트마스크(527)를 사용하여, 도 5e에 도시하는 바와 같이, 상층의 텉스텐막(526)을 선택적으로 에칭 한다. 이 에칭 처리는, 이방성 에칭 처리이고, 예를 들어, 에칭용 가스에 Cl₂, SF₆, 및 O₂의 혼합 가스를 사용하여, ICP 에칭 장치로 행할 수 있다. 이 2번의 에칭 처리에 의하여, 제 1층째의 도전막(410)이 형성된다. 도전막(410)에 있어서, 텉스텐막(526)의 단부는, 질화탄탈막(525)의 상면에 있고, 상면으로부터 본 경우, 텉스텐막(526)의 형상은, 질화탄탈막(525)보다도 작다.
- [0062] 레지스트마스크(527)를 제거한 후, 도 6a에 도시하는 바와 같이, 반도체막(400)의 고저항 영역 및 P형 불순물 영역이 되는 영역을 덮어, 레지스트마스크(528)를 형성한다. 이어서, 반도체막(400, 405)에 도너 원소를 첨가하여, N형 불순물 영역을 형성한다. 여기서는, 도너 원소로서 인을 첨가한다. 우선, 반도체막(405)에 N형의 저농도 불순물 영역을 형성하기 위해서, 저 도즈량, 고가속 전압의 조건 하에서, 반도체막(400, 405)에 인을 첨가

한다. 인의 소스 가스에는, PH_3 를 사용할 수 있다. 이 조건 하에서는, 도전막(410)의 질화탄탈막(525) 및 텅스텐막(526)이 적층하고 있는 부분만이 마스크로서 기능하고, 도전막(410)의 질화탄탈막(525)만으로 구성되는 부분은 인이 통과하고, 반도체막(405)에 저농도 불순물 영역(530)이 형성된다. 또한, 반도체막(400)에도 저농도 불순물 영역(531)이 형성된다.

[0063] 다음에, 트랜지스터(101, 105)의 소스 영역, 드레인 영역 및 다이오드(102, 103)의 N형 불순물 영역을 형성하기 위해서, 고 도즈량, 저가속 전압의 조건 하에서 인을 첨가한다. 이 조건 하에서는, 도전막(410)이 전체적으로 마스크로서 기능하고, 도 6b에 도시하는 바와 같이, 반도체막(405)에, N형 고농도 불순물 영역(406), 저농도 불순물 영역(407) 및 채널 형성 영역(408)이 자기 정합적으로 형성된다. N형 고농도 불순물 영역(406)은, 소스 영역 또는 드레인 영역으로서 기능한다. 또한, 반도체막(400)에는, PIN접합을 구성하는 N형 불순물 영역(401)이 형성된다.

[0064] 레지스트마스크(528)를 제거한 후, 도 6c에 도시하는 바와 같이, 반도체막(405) 및 반도체막(400)의 고저항 영역 및 N형 불순물 영역이 되는 영역을 덮어, 레지스트마스크(529)를 형성한다. 이어서, 반도체막(400), 및 P채널형 TFT(106)의 P형 고농도 불순물 영역이 되는 장소에 억셉터 원소를 첨가하고, P형 불순물 영역을 형성한다. 여기서는, 억셉터 원소로서 붕소를 첨가한다. 붕소의 소스 가스에는, B_2H_6 을 사용할 수 있다. 고 도즈량, 저가속 전압의 조건 하에서 붕소를 첨가함으로써, 반도체막(400)에 P형 불순물 영역(402)이 형성되어, P채널형 TFT(106)의 고농도 불순물 영역(도시하지 않음)이 형성된다. 또한, 도 6a 내지 도 6c의 불순물 원소의 첨가 공정에서, 도너 원소 및 억셉터 원소를 첨가하지 않은 영역은, 고저항 영역(403)이 된다.

[0065] 레지스트마스크(529)를 제거한 후, 도 6d에 도시하는 바와 같이, 도전막(410)을 덮고 유리 기판(500) 위에 제 1 층째의 중간 절연막을 형성한다. 본 실시형태에서는, 이 중간 절연막을 3층 구조로 한다. 1층째는 두께 30nm의 산화질화실리콘막(504)이고, 2층째는 두께 165nm의 질화산화실리콘막(505)이고, 3층째는 두께 600nm의 산화질화실리콘막(506)이다. 이들의 막(504 내지 506)은, PECVD 장치로 형성된다.

[0066] 우선, SiH_4 및 N_2O 를 소스 가스에 사용하여, 산화질화실리콘막(504)을 형성한다. 그리고, 가열 처리를 행하고, 반도체막(400, 405)에 첨가한 인 및 붕소를 활성화한다. 여기서는 480°C로 1시간의 가열 처리를 행한다. 이 가열 처리가 완료된 후, PECVD 장치로 질화산화실리콘막(505) 및 산화질화실리콘막(506)을 형성한다. 질화산화실리콘막(505)의 소스 가스에는 SiH_4 , N_2O , NH_3 및 H_2 를 사용하여 질화산화실리콘막(505) 중의 수소 농도가 높아지도록 한다. 산화질화실리콘막(506)의 소스 가스에는 SiH_4 및 N_2O 가 사용된다. 산화질화실리콘막(506)의 형성 후, 가열 처리를 행하고, 질화산화실리콘막(505)의 수소를 확산시켜, 반도체막(400, 405)의 랭글링 본드를 수소에 의하여 종단시킨다. 이 가열 처리는, 300°C 내지 550°C의 온도로 행할 수 있다.

[0067] 또한, 본 발명의 회로에는 2 k Ω 내지 4 k Ω 의 내압이 필요하게 된다. 따라서, 횡접합 다이오드의 채널 폭은 600 μm 내지 1000 μm , 채널 길이는, 2 μm 내지 6 μm 가 좋고, 다이오드 접속 TFT의 채널 폭은 3000 μm 내지 4000 μm , 채널 길이는 2 μm 내지 6 μm 가 좋다.

[0068] 이상, 본 실시형태에서는, 기능 회로의 트랜지스터와, 보호 회로의 트랜지스터를 동시에 제작하는 것을 설명하였다. 본 실시형태와 같이, 트랜지스터의 반도체막과 같은 공정으로 형성되는 반도체막으로 보호 회로의 다이오드와 트랜지스터를 형성하는 것은, 공정이 복잡해지지 않아서 바람직하다.

[0069] 이렇게 하여 절연 기판을 사용하여 형성된 반도체 장치를 완성할 수 있다. 또한, 이상의 공정을 거치는 것으로 해서, 광전 변환 장치, 액정 표시 장치, SOI(Silicon On Insulator)에 의하여 제작된 반도체 장치를 들 수 있다. 이들은 상기 설명에 의하여 당업자라면 용이하게 응용할 수 있다. 마찬가지로, LSI 등의 반도체 장치에도 응용할 수 있다.

[0070] 본 실시형태는, 다른 실시형태와 적절히 조합하여 형성할 수 있다.

[0071] (실시형태 5)

[0072] 본 실시형태의 일 형태는 기능 회로의 트랜지스터와, 보호 회로의 다이오드와 트랜지스터를 제작한 후의 광전 변환 장치를 제작하는 공정에 대해서 도 7a 내지 도 11의 단면도를 사용하여 설명한다.

[0073] 도 6d에 있어서, 레지스트마스크를 사용하여, 산화질화실리콘막(503, 504), 질화산화실리콘막(505) 및 산화질화실리콘막(506)으로 이루어지는 적층막을 에칭하여, 콘택트 홀이 되는 개구를 형성한다.

- [0074] 다음에, 산화질화실리콘막(506) 위에 제 2층째의 도전막(411 내지 414)을 구성하는 도전막을 형성한다. 여기서는, 스퍼터링법으로 두께 400nm의 티타늄막을 형성한다. 이 티타늄막 위에 레지스트마스크를 형성하고, 이 마스크를 사용하여 티타늄막을 에칭하고, 도전막(411 내지 414)을 형성한다(도 7a 참조).
- [0075] 또한, 2층째의 도전막(411 내지 414), 및 3층째의 도전막(421, 422)은, 티타늄, 티타늄 합금, 티타늄 화합물, 몰리브덴, 몰리브덴 합금, 또는 몰리브덴 화합물로 이루어지는 막이 바람직하다. 이들의 도전성 재료로 이루어지는 막은 내열성이 높은 것, 실리콘막과의 접촉에 의하여 쉽게 전식(電蝕)되지 않는 것, 마이그레이션(migration)이 쉽게 일어나지 않는 것 등의 장점이 있기 때문이다.
- [0076] 다음에, 도 7a에 도시하는 바와 같이, 산화질화실리콘막(506) 위에, 포토 다이오드(301)를 구성하는 광전 변환층(450)을 형성한다. 여기서는, 광전 변환층(450)으로서, PECVD 장치를 사용하여, 비정질 실리콘막을 형성한다. 또한, 광전 변환층(450)에 PIN접합을 형성하기 위해서, 광전 변환층(450)을 P형의 도전성을 나타내는 층, I형의 도전성을 나타내는 층, 및 N형의 도전성을 나타내는 층으로 이루어지는 3층 구조로 한다. 또한, 광전 변환층(450)은 비정질 실리콘막에 한정되는 것이 아니라, 예를 들어, 미결정 실리콘막이라도 좋고, 단결정 실리콘막이라도 좋다.
- [0077] 우선, 도전막(411 내지 414)을 덮어, PECVD 장치에 의하여 두께 60nm의 P형 비정질 실리콘막(451), 두께 400nm의 I형 비정질 실리콘막(452), 및 두께 80nm의 N형 비정질 실리콘막(453)을 연속적으로 형성한다. P형 비정질 실리콘막(451)의 소스 가스에 SiH₄, H₂ 및 B₂H₆를 사용하여, 봉소를 첨가한다. 또한, I형 비정질 실리콘막(452)의 소스 가스에 SiH₄, H₂를 사용하여, 도너 및 억셉터가 되는 불순물 원소를 의도적으로 첨가하지 않는 비정질 실리콘막을 형성한다. N형 비정질 실리콘막(453)의 소스 가스에 SiH₄, H₂ 및 PH₃를 사용하여 인을 첨가한다. 이어서, 레지스트마스크를 사용하여 비정질 실리콘막(451 내지 453)으로 이루어지는 적층막을 에칭하여, 광전 변환층(450)을 형성한다(도 7a 참조).
- [0078] 여기서는, 1장의 유리 기판(500) 위에는 복수의 광전 변환 장치가 동시에 제작된다. 광전 변환 장치가 완성된 후에는, 광전 변환 장치의 크기에 맞추어 유리 기판(500)을 절단하고, 1개씩의 장치로 분할한다. 여기서는, 분할한 후의 광전 변환 장치의 측면을 양호하게 패시베이션하기 위해서, 도 7b에 도시하는 바와 같이, 광전 변환 장치의 주위(541)(점선으로 도시하는 부분)의 산화질화실리콘막(506)을 제거한다. 이 공정은, 에칭 처리로 행할 수 있다.
- [0079] 다음에, 질화산화실리콘막(505), 산화질화실리콘막(506), 도전막(411 내지 414) 및 광전 변환층(450)을 덮어, 제 2층째의 층간 절연막을 형성한다. 여기서는, 도 7c에 도시하는 바와 같이, 두께 100nm의 질화산화실리콘막(507) 및 두께 800nm의 산화실리콘막(508)으로 이루어지는 2층의 절연막을 형성한다.
- [0080] 질화산화실리콘막(507)은, PECVD 장치로 소스 가스에 SiH₄, N₂O, NH₃ 및 H₂를 사용하여 형성한다. 질화산화실리콘막(507)은, 패시베이션막으로서 기능한다. 질화산화실리콘막(507) 대신에 질화실리콘막을 형성하여도 좋다. 질화실리콘막은, PECVD 장치로 소스 가스에 SiH₄, NH₃ 및 H₂를 사용하여 형성할 수 있다. 또한, 산화실리콘막(508)은, 소스 가스에 O₂, 및 테트라에톡시실란(약칭: TEOS, 화학식:Si(OC₂H₅)₄)을 사용하여 PECVD 장치로 형성한다. 산화실리콘막(508) 대신에 PECVD 장치로 산화질화실리콘막을 형성하여도 좋다.
- [0081] 다음에, 레지스트마스크를 사용하여, 질화산화실리콘막(507) 및 산화실리콘막(508)으로 이루어지는 적층막을 에칭하여, 복수의 개구를 형성한다.
- [0082] 다음에, 산화실리콘막(508) 위에 제 3층째의 도전막(421, 422)을 구성하는 도전막을 형성한다. 여기서는, 스퍼터링법으로 두께 200nm의 티타늄막을 형성한다. 이 티타늄막 위에 레지스트마스크를 형성하고, 이 마스크를 사용하여 티타늄막을 에칭하여, 도전막(421, 422)을 형성한다(도 8a 참조).
- [0083] 다음에, 도 8b에 도시하는 바와 같이, 질화산화실리콘막(501)을 남기고, 광전 변환 장치의 주위(542)(점선으로 도시하는 부분)로부터, 절연막(502 내지 508)을 제거한다. 이 공정은 에칭 처리로 행할 수 있다. 이와 같이, 점적 회로의 주위로부터, 절연막을 제거하는 것은, 도 7b의 공정에서, 산화질화실리콘막(506)을 제거한 것과 마찬가지로, 유리 기판(500)을 분할한 후의 광전 변환 장치의 측면을 양호하게 패시베이션하기 위해서이다.
- [0084] 다음에, 도 9a에 도시하는 바와 같이, 두께 100nm의 질화산화실리콘막(509)을 형성한다. 질화산화실리콘막(509)은, PECVD 장치로 소스 가스에 SiH₄, N₂O, NH₃ 및 H₂를 사용하여 형성한다. 질화산화실리콘막(509)은, 패시베이션막으로서 기능한다. 질화산화실리콘막(509)에 의하여, 3층째의 도전막(421, 422), 및 모든 절연막

(501 내지 508)의 노출되어 있는 면이 덮여진다. 따라서, 광전 변환 장치는, 유리 기판(500) 측은 배리어막인 질화산화실리콘막(501)으로 패시베이션되고, 또한, 전원 단자(311, 312)가 형성되는 측은 질화산화실리콘막(509)으로 패시베이션된다. 이러한 구조에 의하여, 광전 변환 장치에 수분 또는 유기물 등의 불순물의 침입을 방지할 수 있다.

[0085] 다음에, 도 9b에 도시하는 바와 같이, 밀봉막(510)을 형성한다. 밀봉막(510)에 의하여, 접적 회로부의 상면 및 측면이 밀봉된다. 밀봉막(510)의 두께는 $1\text{ }\mu\text{m}$ 이상이 바람직하고, $1\text{ }\mu\text{m}$ 내지 $30\text{ }\mu\text{m}$ 정도로 한다. 이와 같이 두껍게 형성하기 위해서, 밀봉막(510)은 수지막으로 형성하는 것이 바람직하다.

[0086] 다음에, 밀봉막(510) 위에 전원 단자(311), 및 전원 단자(312)를 형성한다.

[0087] 본 실시형태에서는, 전원 단자(311), 전원 단자(312)를 4층 구조의 도전막으로 형성한다. 우선, 1층째의 도전막(461)을 스크린 인쇄법 등의 인쇄법으로 형성한다. 본 실시형태에서는, 니켈 입자를 포함하는 도전성 페이스트를 사용하여 스크린 인쇄법에 의하여 도전막(461)을 두께 $15\text{ }\mu\text{m}$ 정도로 형성한다(도 10 참조).

[0088] 도전성 페이스트는, 수지로 이루어지는 바인더에 금속 입자, 또는 금속의 분체(粉體)가 분산되는 재료이다. 이와 같은 도전성 페이스트를 고화함으로써, 도전성 수지막이 형성된다. 따라서, 도전막(461)은 도전성 수지막으로 구성되어 있기 때문에, 땀납과의 밀착성이 부족하다. 그래서, 전원 단자(311, 312)와 땀납과의 밀착성을 높이기 위해서, 도전막(461)의 상면에 각각, 메탈마스크를 사용한 스퍼터링법으로 소정의 형상의 도전막을 형성한다. 여기서는, 도 11에 도시하는 바와 같이, 도전막(461) 위에 각각, 3층 구조의 도전막을 형성한다. 1층째의 도전막은 두께 150nm 의 티타늄막(462)이고, 2층째의 도전막은 두께 750nm 의 니켈막(463)이고, 3층째의 도전막은 두께 50nm 의 Au막(464)이다. 이상의 공정으로, 4층 구조의 전원 단자(311, 312)가 완성된다.

[0089] 다음에, 광전 변환 장치의 주위(542)(도 8b의 점선으로 도시하는 부분)에서 유리 기판(500)을 절단하고, 하나씩의 광전 변환 장치로 분할한다. 유리 기판(500)의 절단은, 다이싱법, 레이저 컷법 등을 사용할 수 있다. 유리 기판(500)을 분단하기 전에 유리 기판(500)의 이면을 연마 또는 연삭(研削)하여, 유리 기판(500)을 얇게 할 수도 있다. 유리 기판(500)을 얇게 해 둠으로써, 유리 기판(500)을 절단하기 위해서 사용하는 절삭 공구의 소모를 저감할 수 있다. 또한, 유리 기판(500)을 얇게 함으로써, 광전 변환 장치를 얇게 할 수 있다. 예를 들어, 0.5mm 정도의 두께의 유리 기판(500)을 0.25mm 정도로 얇게 할 수 있다. 유리 기판(500)을 얇게 하는 경우, 유리 기판(500)의 이면 및 측면을 수지막으로 덮어, 유리 기판(500)을 보호하는 것이 바람직하다.

[0090] 이상, 보호 회로의 다이오드와 트랜지스터와, 기능 회로의 트랜지스터를 사용하여 광전 변환 장치를 제작하는 공정을 설명하였다. 또한, 본 실시형태는, 다른 실시형태와 적절히 조합할 수 있다.

[0091] (실시형태 6)

[0092] 본 실시형태의 일 형태에서는, 상기 보호 회로를 사용하여 제작된 광전 변환 장치의 용도를 설명한다.

[0093] 광전 변환 장치를 전자기기에 장착함으로써, 광전 변환 장치의 디지털 신호에 의거하여 전자기기의 동작을 제어할 수 있다. 예를 들어, 표시 패널을 구비한 전자기기에 광전 변환 장치를 내장함으로써, 광전 변환 장치에 의하여 사용 환경의 조도(照度)를 측정할 수 있고, 광전 변환 장치로 얻어진 디지털 신호를 사용하여, 표시 패널의 휘도 조절을 행할 수 있게 된다. 본 실시형태에서는, 도 12a 내지 도 12f를 사용하여, 이러한 전자기기의 몇 가지 예를 설명한다.

[0094] 도 12a 및 도 12b는 휴대 전화의 외관도이다. 도 12a 및 도 12b의 휴대 전화는, 각각, 본체(1101), 표시 패널(1102), 조작 키(1103), 음성 출력부(1104) 및 음성 입력부(1105)를 갖는다. 또한, 본체(1101)에는 광전 변환 장치(1106)이 형성된다. 도 12a 및 도 12b의 휴대 전화는, 광전 변환 장치(1106)로부터의 출력 신호를 기초로 하여 표시 패널(1102)의 휘도를 조절하는 기능을 갖는다. 또한, 도 12b의 휴대 전화는, 표시 패널(1102)의 백 라이트의 휘도를 검출하는 광전 변환 장치(1107)가 본체(1101)에 내장된다.

[0095] 도 12c는 컴퓨터의 외관도이다. 컴퓨터는, 본체(1111), 표시 패널(1112), 키보드(1113), 외부 접속 포트(1114), 포인팅 디바이스(1115) 등을 갖는다. 또한, 표시 패널(1112)의 백 라이트의 휘도를 검출하는 광전 변환 장치(도시하지 않음)가 본체(1111)에 내장된다.

[0096] 도 12d는 표시 장치의 외관도이다. 텔레비전 수상기, 컴퓨터의 모니터 등이 표시 장치에 해당한다. 본 표시 장치는, 케이스(1121), 지지대(1122), 표시 패널(1123) 등에 의하여 구성된다. 케이스(1121)에는, 표시 패널(1123)의 백 라이트의 휘도를 검출하는 광전 변환 장치(도시하지 않음)가 내장된다.

[0097] 도 12e는 정면 방향으로 본 디지털 카메라의 외관도이고, 도 12f는 뒷면 방향으로 본 디지털 카메라의 외관도이다. 디지털 카메라는, 릴리스 버튼(1131), 메인 스위치(1132), 파인더 창(1133), 플래시 라이트(1134), 렌즈(1135), 경통(1136), 케이스(1137), 파인더 접안창(1138), 표시 패널(1139), 및 조작 버튼(1140) 등을 갖는다. 광전 변환 장치를 디지털 카메라에 내장시킴으로써, 광전 변환 장치에 의하여 촬영 환경의 휘도를 감지할 수 있다. 광전 변환 장치로 검출된 전기 신호를 기초로 하여 노출 조정, 셔터 스피드 조절 등을 행할 수 있다.

[0098] 또한, 본 실시형태는, 다른 실시형태와 적절히 조합할 수 있다.

[0099] [실시예 1]

[0100] 상기 보호 회로의 원리를 설명하기 위해서, 회로 시뮬레이터에 의한 검증을 행하였다. 도 13은 도 1의 회로의 11의 점과, 도 2의 121의 점과, 도 3의 회로의 131의 점에서의 전위를 비교한 것이다. 같은 전위를 인가하는 경우에 도 1의 회로 쪽이 SIG.단자에 인가되는 전위의 상승이 억제되는 것을 알 수 있다. 또한, 도 2의 회로보다도 도 1의 회로 쪽이 저전압 측에서의 ESD전위가 크게 떨어지는 경향이 보인다. 이것은 횡접합 PIN 다이오드에서는 ESD전위가 브레이크다운 전압 근방이 되면 ESD에 의한 전하를 방출하기 어렵게 되지만 다이오드 접속 TFT를 추가함으로써 전위를 떨어지기 쉽게 하기 때문이다. 또한, 다이오드 접속 TFT(101, 1301)의 게이트 절연막의 두께는 30nm, 채널 길이는 50 μ m, 채널 폭은 50 μ m, 횡접합 PIN 다이오드(102, 103, 1201, 1202, 1301, 1302)의 실리콘의 두께는 66nm, 폭은 800 μ m이다. 또한, Si저항(104, 1203, 1303)의 저항은 100k Ω 로 하였다. 또한, 횡접합 PIN 다이오드의 브레이크 다운 전압을 80V로 하였다.

[0101] [실시예 2]

[0102] 도 14는, 도 1의 회로의 SIG.단자에 흐르는 전류와, 횡접합 PIN 다이오드(102)에 흐르는 전류와, 다이오드 접속 TFT(101)에 흐르는 전류를 계산한 것이다. ESD전류는 어느 정도까지 횡접합 PIN 다이오드와 다이오드 접속 TFT로 방출할 수 있지만, ESD전위가 횡접합 PIN 다이오드의 브레이크 다운 전압 근방이 되면, 다이오드 접속 TFT만이 ESD에 의한 전하를 방출하기 시작하는 것을 알 수 있다.

[0103] 도 15는 ESD 인가 직후에 대해서는, 다이오드 접속 TFT보다도 횡접합 PIN 다이오드 쪽이 빠르게 ESD에 의한 전하를 방출하는 것을 알 수 있다.

[0104] [실시예 3]

[0105] 도 16은, 도 1의 회로와, 도 2의 회로와 도 3의 회로를 제작하여, SIG.단자에 고전위를 인가한 결과이지만, 도 2의 회로와 비교하여, 도 1의 회로나 도 3의 회로 쪽이, ESD파괴 전압이 높았다.

[0106] 본 실시형태의 일 형태의 회로에 의하면, 횡접합 PIN 다이오드에 의하여, ESD전위의 상승을 억제하여, 다이오드 접속 TFT의 게이트 절연막 파괴의 확률을 억제할 수 있다. 또한, 다이오드 접속 TFT에 의하여, 횡접합 PIN 다이오드로 방출하기 어려운 저전압의 ESD를 방전할 수 있다.

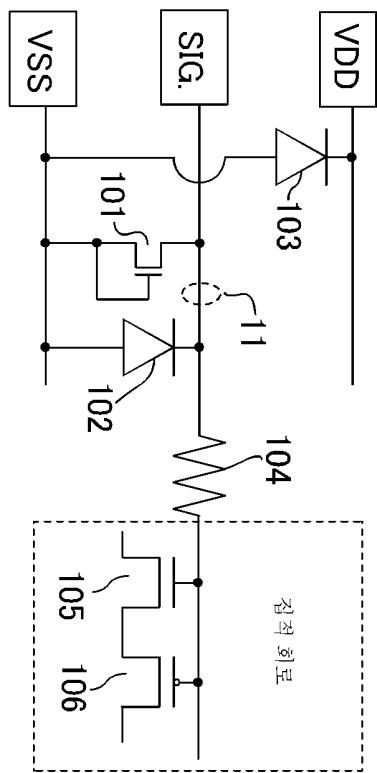
[0107] 본 발명은 이상의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위에서 일탈하지 않으며, 그 형태 및 상세한 내용을 다양하게 변경할 수 있다는 것은 당업자라면 용이하게 이해할 수 있다. 따라서, 본 발명은 이상에 나타내는 실시형태의 기재 내용에 한정하여 해석되지 않는 것으로 한다.

부호의 설명

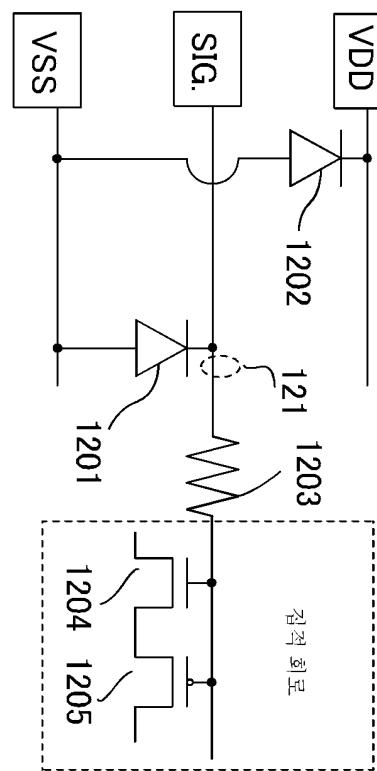
- | | |
|---------------|--------------------|
| 11: 지점 | 101: 다이오드 접속 트랜지스터 |
| 102: 다이오드 | 103: 다이오드 |
| 104: Si 저항 | 105: 박막 트랜지스터 |
| 106: 박막 트랜지스터 | |

도면

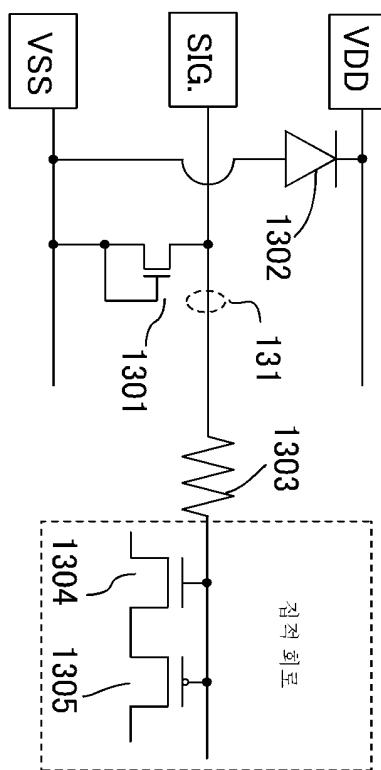
도면1



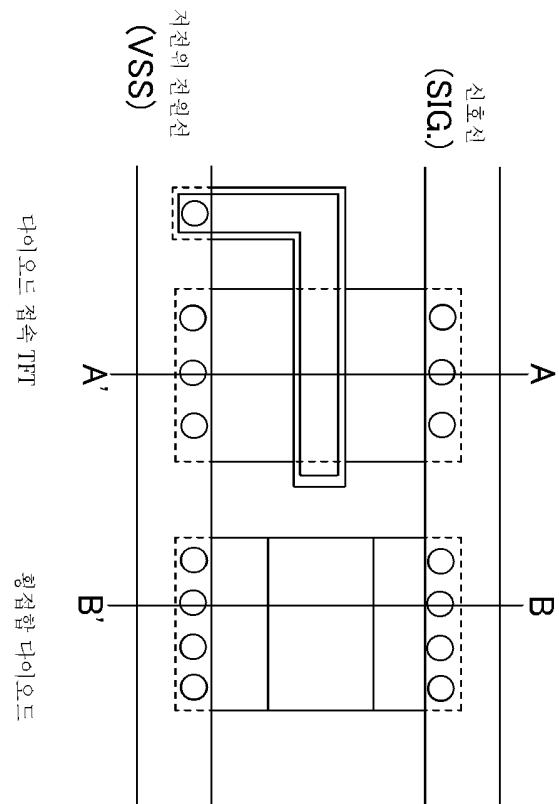
도면2



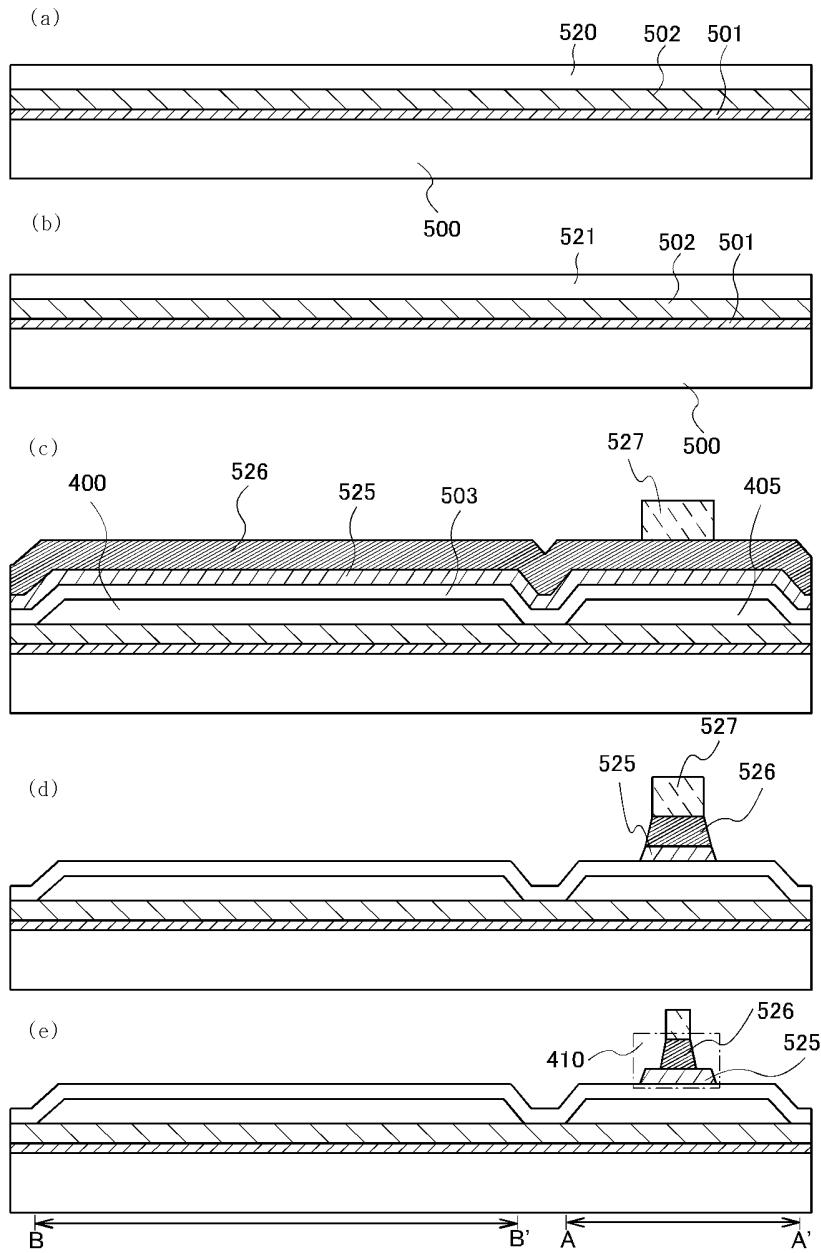
도면3



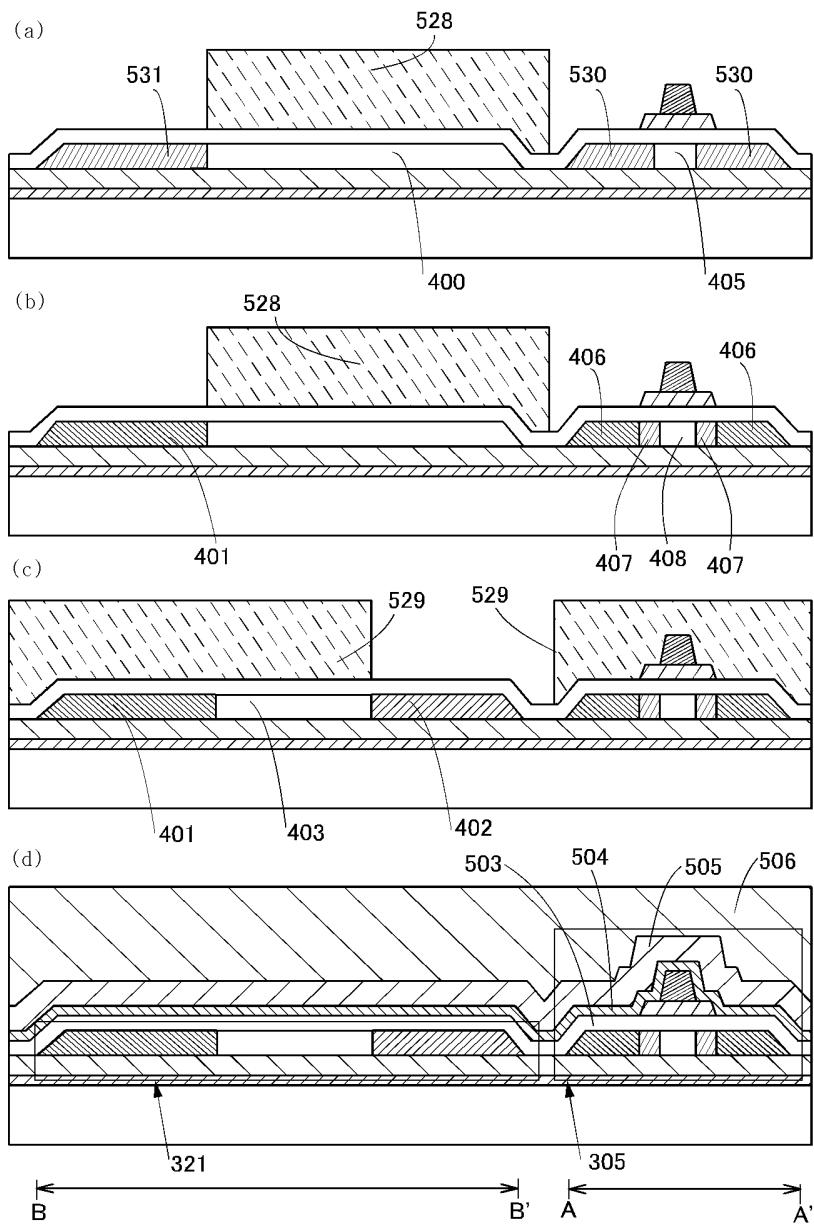
도면4



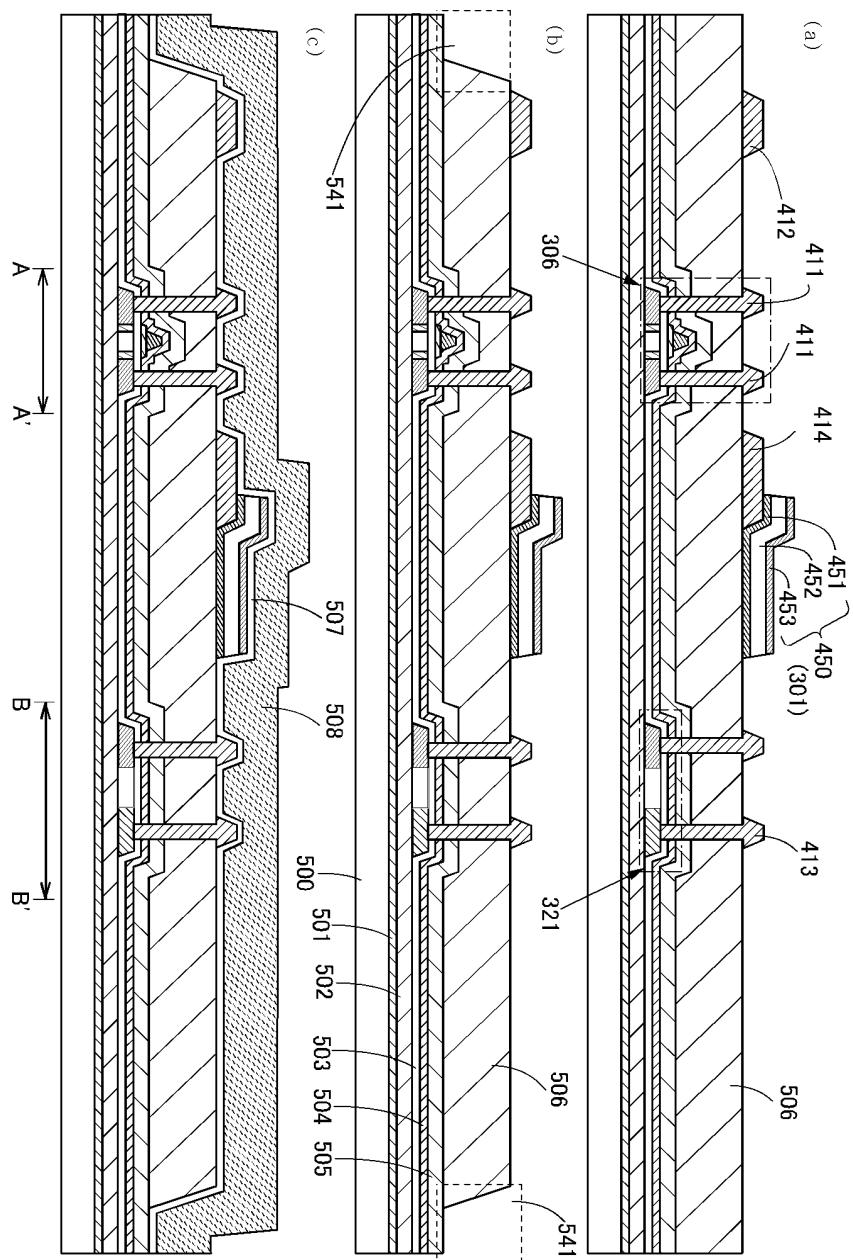
도면5



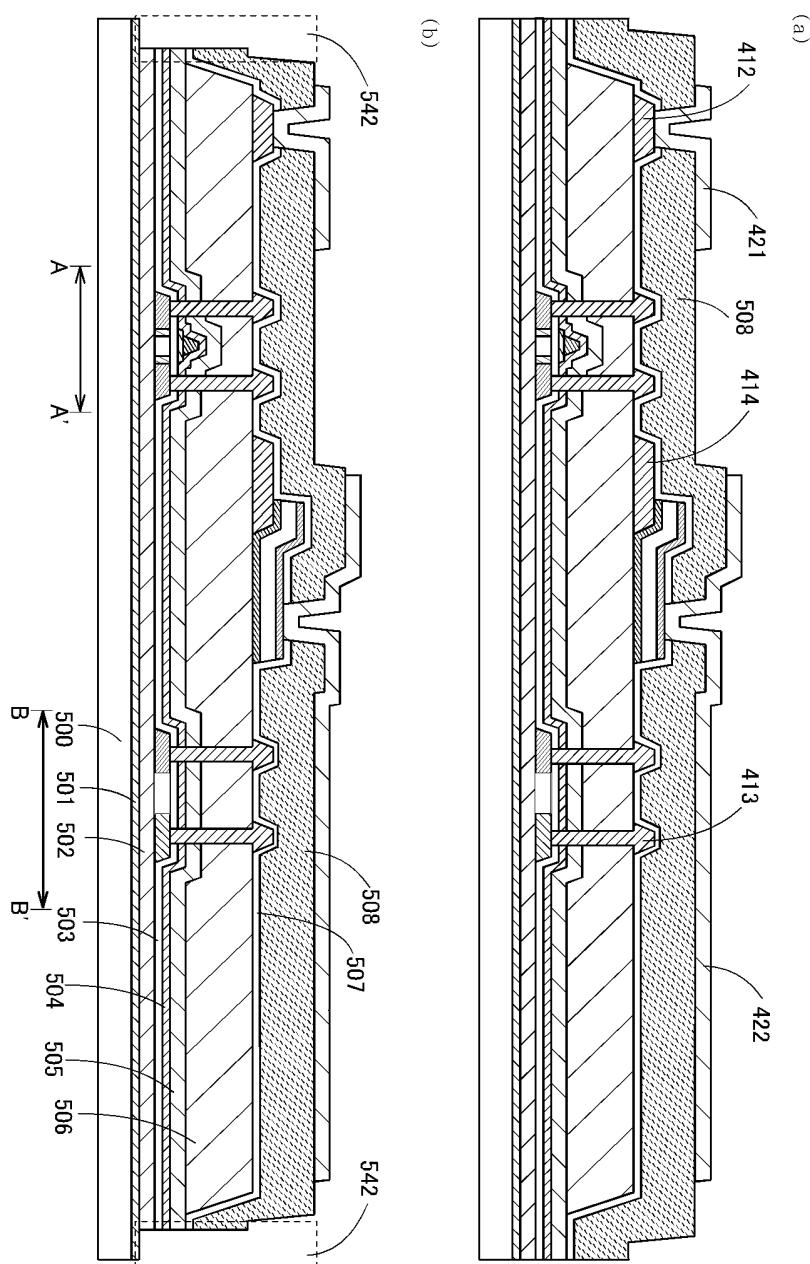
도면6



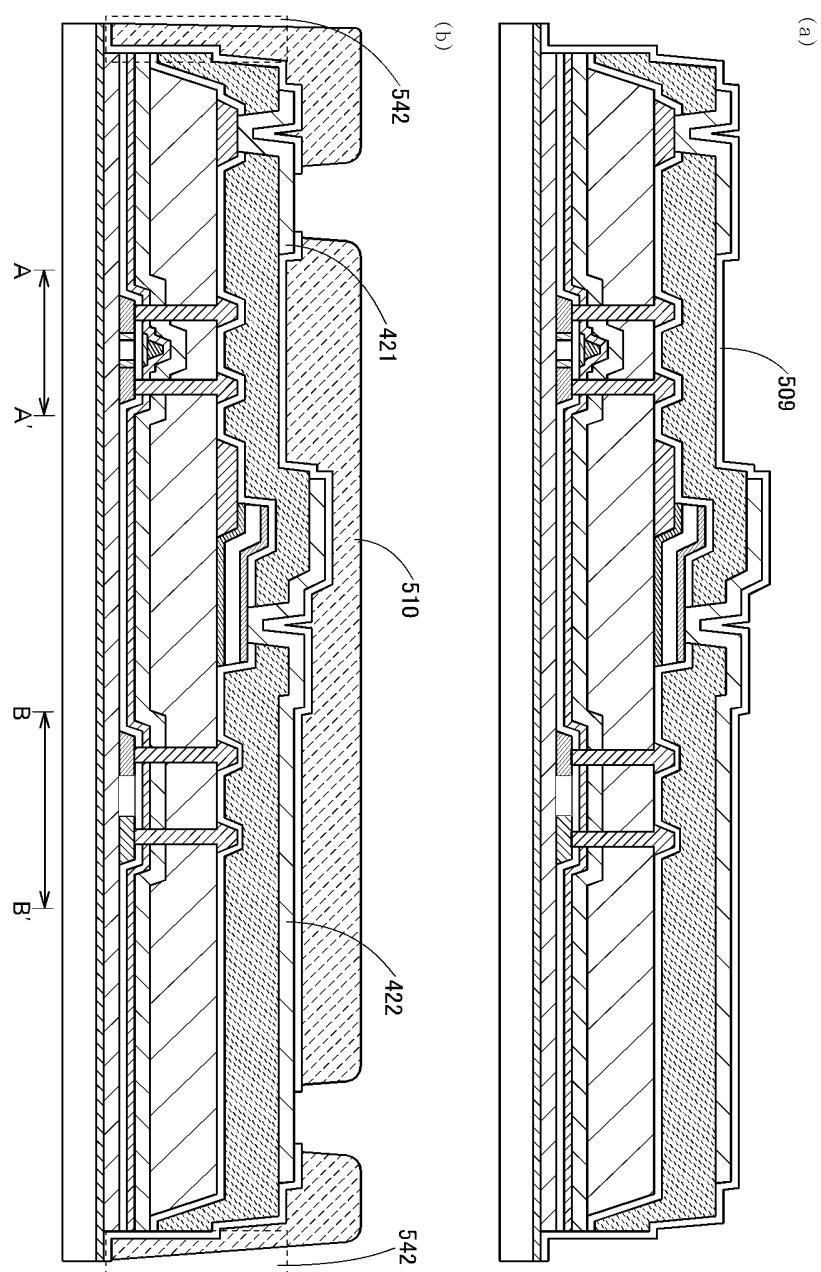
도면7



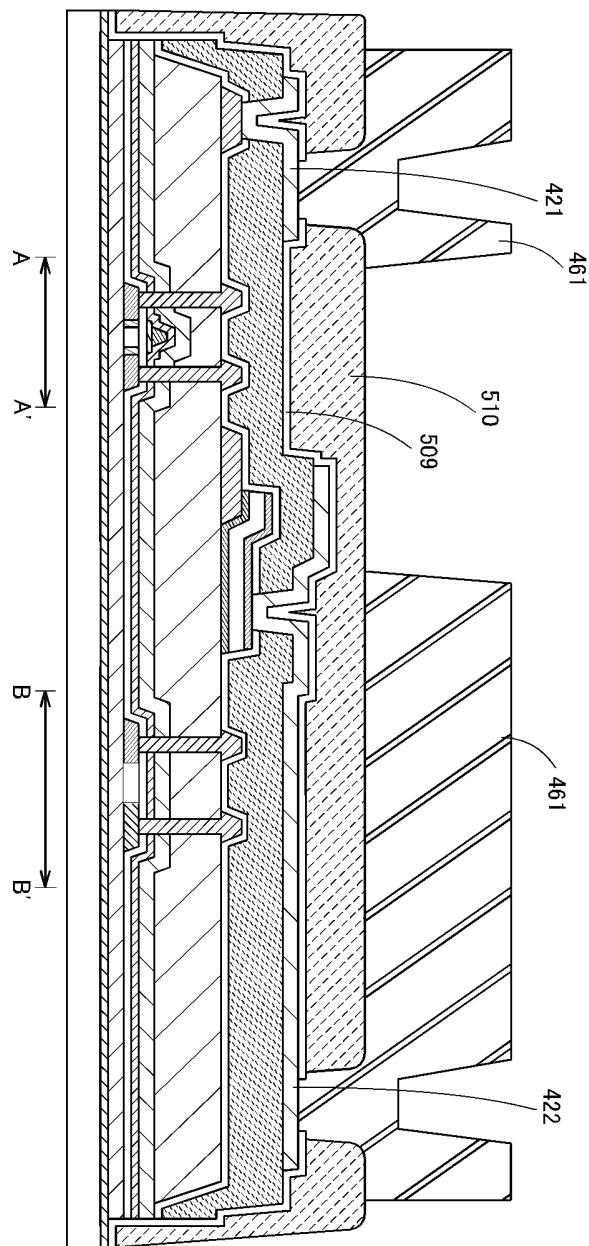
도면8



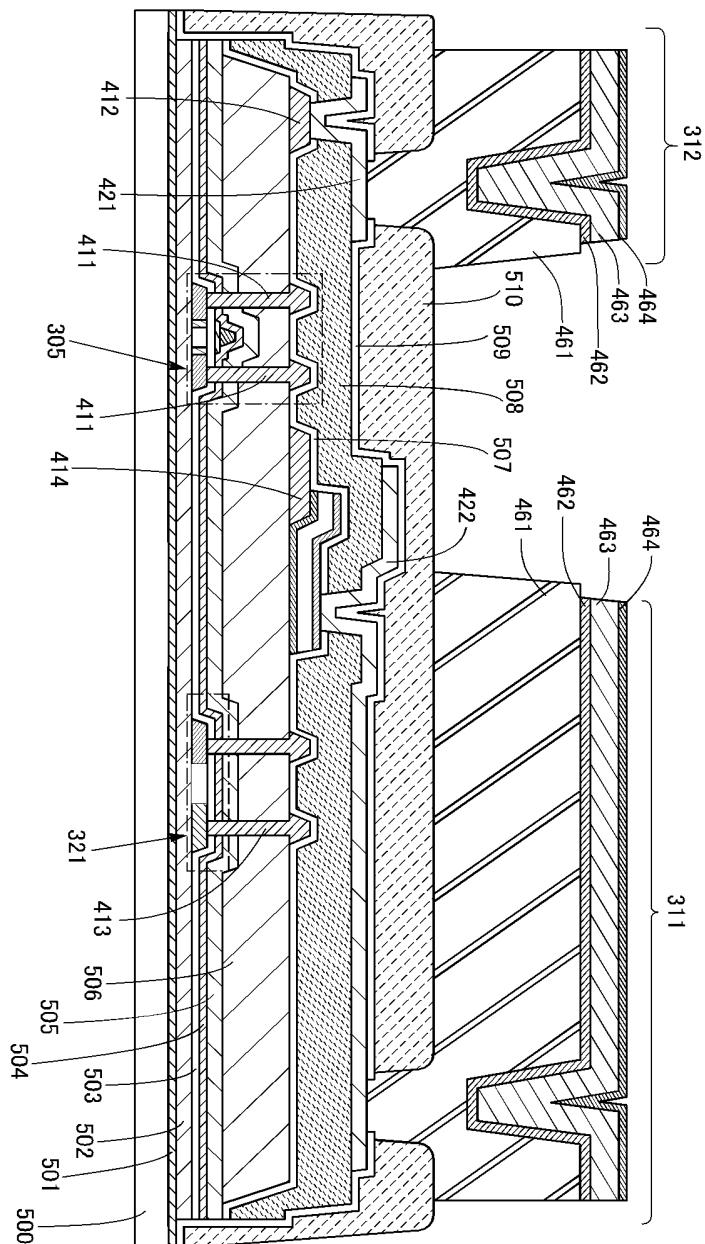
도면9



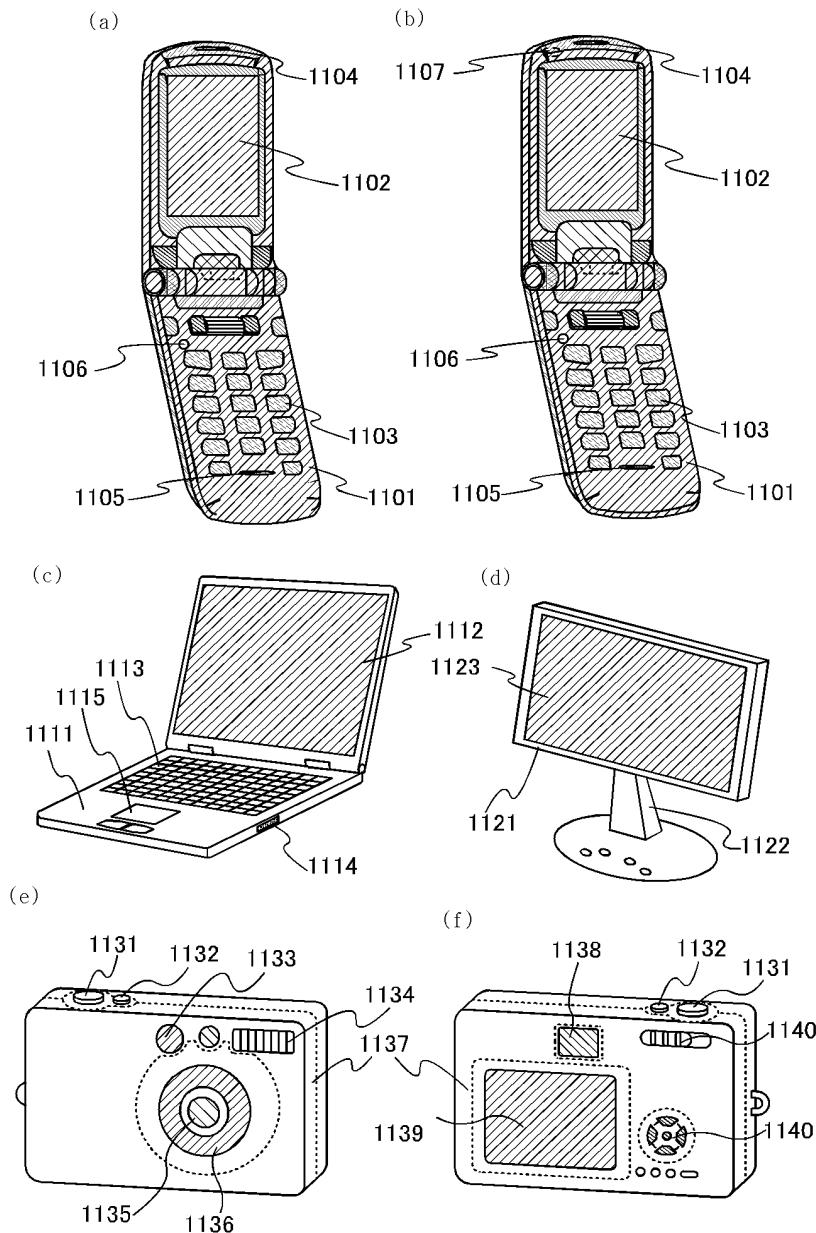
도면10



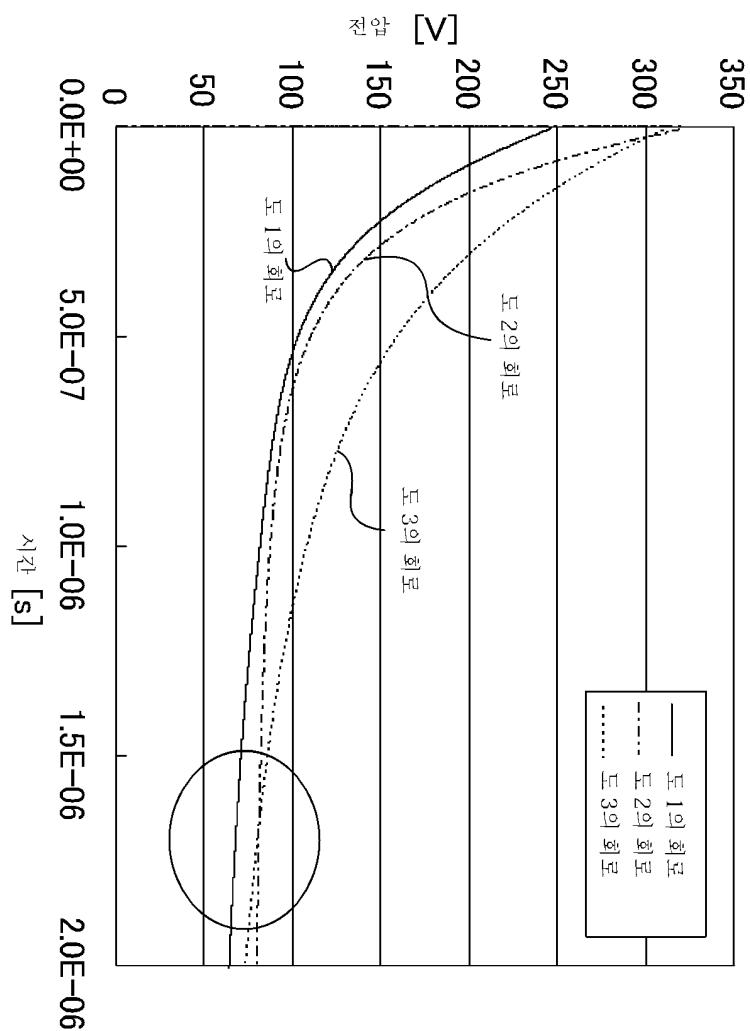
도면11



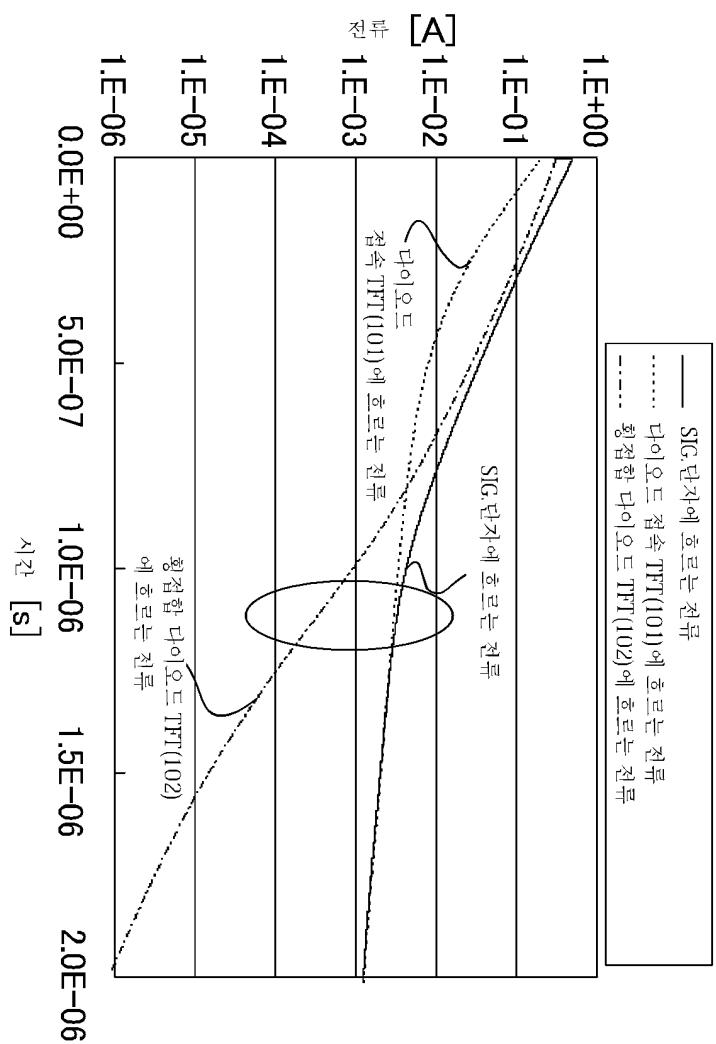
도면12



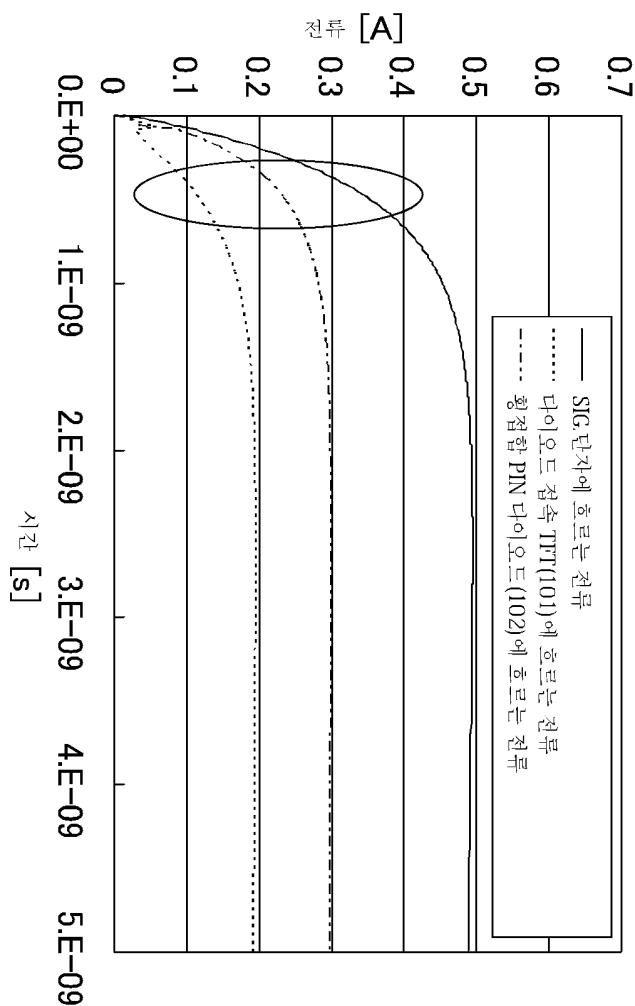
도면13



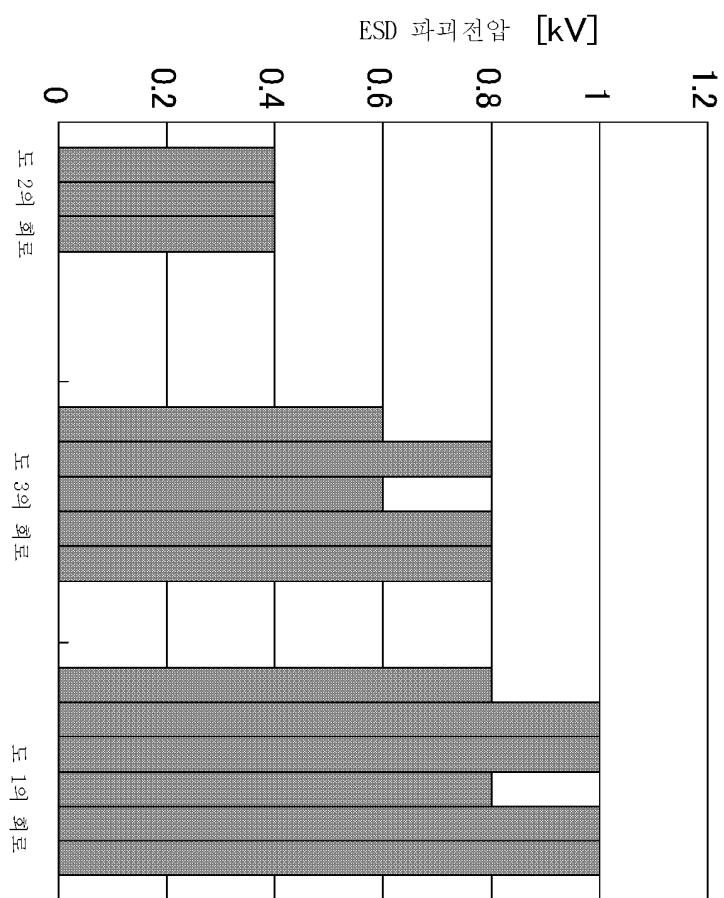
도면14



도면15



도면16



도면17

