



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2012년08월17일  
 (11) 등록번호 10-1175004  
 (24) 등록일자 2012년08월10일

(51) 국제특허분류(Int. Cl.)  
**H01L 21/20** (2006.01)  
 (21) 출원번호 10-2010-0091780  
 (22) 출원일자 2010년09월17일  
 심사청구일자 2010년09월17일  
 (65) 공개번호 10-2011-0038578  
 (43) 공개일자 2011년04월14일  
 (30) 우선권주장  
 12/842,546 2010년07월23일 미국(US)  
 61/249,897 2009년10월08일 미국(US)  
 (56) 선행기술조사문헌  
 US20080001169 A1  
 US20080073667 A1  
 US20080073641 A1  
 KR1020070066170 A

(73) 특허권자  
**타이완 세미콘덕터 매뉴팩처링 컴퍼니 리미티드**  
 중화민국, 타이완 300-77, 신쥬, 사이언스-베이스드 인더스트리얼 파크, 리신 로드. 6, 8호  
 (72) 발명자  
**고 치원**  
 타이완 카오시웅 카운티 830 풍산 시티 우행 로드 레인 200 넘버 1  
**완 클레멘트 싱젠**  
 미국 뉴욕주 10512 카멜 바렛 서클 웨스트 1179  
 (74) 대리인  
**신정건, 김태홍**

전체 청구항 수 : 총 10 항

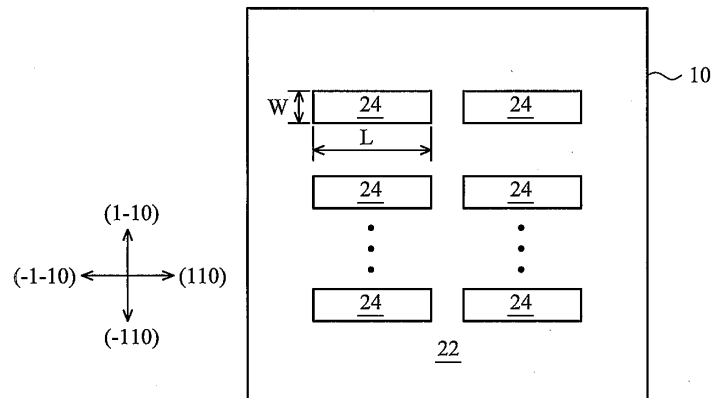
심사관 : 정성중

(54) 발명의 명칭 **정렬된 나노 스케일 패턴을 이용하여 실리콘에 III-V층을 성장시키는 방법**

**(57) 요약**

본 발명의 집적 회로 구조 형성 방법은, 실리콘 기판을 갖는 웨이퍼를 제공하는 단계; 실리콘 기판에 복수의 셀로우 트렌치 아이솔레이션(STI) 영역을 형성하는 단계; 및 복수의 STI 영역들의 마주하는 측벽들 사이에서 실리콘 기판의 상부를 제거함으로써 리세스를 형성하는 단계를 포함한다. 실리콘 기판의 모든 리세스의 실질적으로 모든 장변들이 동일한 방향으로 연장한다. 그 후, III-V 화합물 반도체 재료는 리세스에서 에피택셜 성장한다.

**대표도** - 도1



## 특허청구의 범위

### 청구항 1

집적 회로 구조를 형성하는 방법으로서,

실리콘 기판을 마련하는 단계;

실리콘 기판에 복수의 셀로우 트렌치 아이솔레이션(STI: shallow trench isolation) 영역을 형성하는 단계;

상기 복수의 STI 영역들의 마주하는 측벽들 사이에서 상기 실리콘 기판의 상단 부분들을 제거함으로써 리세스들을 형성하되, 상기 실리콘 기판의 모든 리세스들의 모든 장변들이 동일한 방향으로 연장하게 형성하는 것인 단계; 및

상기 리세스들에서 III-V 화합물 반도체 재료를 에피택셜 성장시키는 단계

를 포함하는 것인 집적 회로 구조 형성 방법.

### 청구항 2

제1항에 있어서, 상기 실리콘 기판은 (001) 표면 배향을 갖고, 상기 동일한 방향은 <110> 방향 또는 <-1-10> 방향인 것인 집적 회로 구조 형성 방법.

### 청구항 3

제2항에 있어서, 상기 III-V 화합물 반도체 재료를 에피택셜 성장시키는 단계 중에, 공정 가스의 V족 대 III족 비는 30 미만인 것인 집적 회로 구조 형성 방법.

### 청구항 4

제2항에 있어서, 상기 III-V 화합물 반도체 재료를 에피택셜 성장시키는 단계 중에, 상기 실리콘 기판의 온도는 400°C를 초과하는 것인 집적 회로 구조 형성 방법.

### 청구항 5

제1항에 있어서, 상기 실리콘 기판은 (001) 표면 배향을 갖고, 상기 동일한 방향은 <1-10> 방향 또는 <-110> 방향인 것인 집적 회로 구조 형성 방법.

### 청구항 6

제5항에 있어서, 상기 III-V 화합물 반도체 재료를 에피택셜 성장시키는 단계 중에, 공정 가스의 V족 대 III족 비는 100을 초과하는 것인 집적 회로 구조 형성 방법.

### 청구항 7

제5항에 있어서, 상기 III-V 화합물 반도체 재료를 에피택셜 성장시키는 단계 중에, 상기 실리콘 기판의 온도는 400°C 미만인 것인 집적 회로 구조 형성 방법.

### 청구항 8

제1항에 있어서, 상기 III-V 화합물 반도체 재료는 GaAs인 것인 집적 회로 구조 형성 방법.

### 청구항 9

집적 회로 구조를 형성하는 방법으로서,

(001) 표면 배향을 갖는 실리콘 기판을 포함하는 웨이퍼를 마련하는 단계;

상기 실리콘 기판에 복수의 셀로우 트렌치 아이솔레이션(STI) 영역을 형성하는 단계;

상기 복수의 STI 영역들의 마주하는 측벽들 사이에서 상기 실리콘 기판의 상단 부분들을 제거함으로써 리세스들을 형성하되, 웨이퍼의 모든 리세스들의 모든 장변들이 상기 실리콘 기판의 <110> 방향으로 연장하게 형성

하는 것인 단계; 및

상기 리세스들에서 GaAs 막을 에피택셜 성장시키는 단계

를 포함하고, 상기 GaAs 막을 에피택셜 성장시키는 단계 중에, As 대 Ga 흐름비는 50 미만이고, 상기 실리콘 기판의 온도는 400°C를 초과하는 것인 집적 회로 구조 형성 방법.

**청구항 10**

제9항에 있어서, 상기 GaAs 막의 표면에서 MOS 디바이스들을 형성하는 단계를 더 포함하고, 상기 웨이퍼 내에 있고 상기 GaAs 막의 표면에 있는 모든 MOS 디바이스들의 게이트 전극들이 <1-10> 방향으로 연장하는 것인 집적 회로 구조 형성 방법.

**명세서**

**기술분야**

[0001] 본 출원은 본 명세서에 참조로 포함되어 있는 "정렬된 나노 스케일 패턴을 이용하여 실리콘에 III-V층을 성장시키는 방법"이란 명칭으로 2009년 10월 8일 출원된 미국 가특허출원번호 제61/249,897호의 우선권을 주장한다.

[0002] 본 명세서는 일반적으로 집적 회로 구조, 더 상세하게는 결함이 줄어든 III-V 반도체 재료를 성장시키는 방법에 관한 것이다.

**배경기술**

[0003] 금속 산화물 반도체(MOS: metal oxide semiconductor) 트랜지스터의 속도는 MOS 트랜지스터의 구동 전류와 밀접하게 관련되어 있고, 이 구동 전류는 전하의 이동도에 더 밀접하게 관련되어 있다. 예컨대, NMOS 트랜지스터는 채널 영역에서의 전자 이동도가 높을 때 높은 구동 전류를 갖지만, PMOS 트랜지스터는 채널 영역에서의 홀 이동도가 높을 때 높은 구동 전류를 갖는다. 따라서, 3족 및 5족 원소의 화합물 반도체 재료(이하, III-V 화합물 반도체로 칭함)는 높은 전자 이동도를 위해 NMOS 디바이스를 형성하는 훌륭한 후보이다.

[0004] III-V 화합물 반도체 박막의 제작에 있어 공지된 현재의 문제점은 성장 공정의 어려움이다. 현재, 적절한 벌크 성장 방법이 존재하지 않는다. 따라서, III-V 화합물 반도체는 통상적으로 Si 또는 SiC 기판과 같은 기판에 막을 에피택셜 성장시킴으로써 형성된다. 그러나, 기존의 이용 가능한 기판 재료는 III-V 화합물 반도체의 것과 근접하게 일치하는 격자 상수 및 열팽창 계수를 갖지 않는다. 예컨대, 실리콘의 격자 상수는 약 5.43Å 인 반면에, 통상적으로 이용되는 III-V 화합물 반도체인 GaAs의 격자 상수는 5.65Å이고, InAs 및 InSb의 격자 상수는 각각 6.06Å 및 6.48Å이다. 결과적으로, 다른 비(非) III-V 기판으로부터 성장하여 획득된 III-V 화합물 반도체는 높은 결함 밀도를 갖게 된다. 따라서, 성장된 III-V 화합물 반도체의 결함 밀도를 줄이기 위해 다양한 방법이 연구되었다. 공지되어 있는 방법에는 셀로우 트렌치 아이솔레이션(shallow trench isolation) 영역에 리세스를 형성하고, 그 후 리세스에 III-V 화합물 반도체를 성장시키는 것이 있다. 이 방법을 이용하여 형성된 III-V 화합물 반도체가 블랭킷 실리콘 웨이퍼로부터 성장된 III-V 화합물 반도체보다 일반적으로 더 낮은 결함 밀도를 갖지만, 결함 밀도는 여전히 종종 높다.

**발명의 내용**

**해결하려는 과제**

[0005] 본 발명은 III-V 화합물 반도체를 용이하게 형성하고 결함 밀도를 줄일 수 있는 집적 회로 구조 형성 방법을 제공하는 것을 목적으로 한다.

**과제의 해결 수단**

[0006] 본 발명의 실시예의 하나의 양태에 따라, 집적 회로 구조를 형성하는 방법은, 실리콘 기판을 갖는 웨이퍼를 마련하는 단계; 실리콘 기판에 복수의 셀로우 트렌치 아이솔레이션(STI) 영역을 형성하는 단계; 및 복수의 STI 영역들의 마주하는 측벽들 사이에서 실리콘 기판의 상부를 제거함으로써 리세스를 형성하는 단계를 포함한다. 실리콘 기판의 모든 리세스의 실질적으로 모든 장변들이 동일한 방향으로 연장한다. 그 후, III-V 화합물 반도체 재료를 리세스에서 에피택셜 성장시킨다.

[0007] 다른 실시예가 또한 개시되어 있다.

[0008] 본 발명 및 그 이점을 더 완벽하게 이해하기 위해서, 첨부 도면과 함께 이용한 이하의 설명을 참조한다.

**발명의 효과**

[0009] 본 발명에 따르면, III-V 화합물 반도체를 용이하게 형성하고 결함 밀도를 줄일 수 있는 집적 회로 구조 형성 방법을 제공할 수 있다.

**도면의 간단한 설명**

[0010] 도 1 내지 도 6은 일실시예에 따른 GaAs 막 및 MOS 트랜지스터를 제작하는 중간 단계들의 평면도 및 단면도이다.

도 7 내지 도 9는 또 다른 실시예에 따른 GaAs 막 및 MOS 트랜지스터를 제작하는 중간 단계들의 평면도 및 단면도이다.

**발명을 실시하기 위한 구체적인 내용**

[0011] 본 발명의 실시예의 구성 및 이용을 이하에서 상세하게 설명하고 있다. 그러나, 본 발명의 실시예는 광범위한 특정 상황으로 구현될 수 있는 많은 적용 가능한 진보적인 개념을 제공함을 이해하여야 한다. 논의되는 특정 실시예는 본 발명의 실시예를 구성하고 이용하는 특정한 방식의 예시일 뿐이며, 본 발명의 범위를 한정하지 않는다.

[0012] 3족 및 5족 원소를 포함하는 화합물 반도체 재료(이하, III-V 화합물 반도체라고 칭함)를 포함하는 화합물 반도체 재료를 형성하는 신규한 방법을 제공한다. 일실시예를 제작하는 중간 단계를 예시한다. 그 다음에, 그 실시예의 변형예를 논의한다. 다양한 도면 및 예시적인 실시예에 걸쳐서, 동일한 참조 번호가 동일한 요소를 명시하도록 사용된다.

[0013] 도 1은 실리콘 기판(20)(도 1에 미도시, 도 2b 및 도 2c를 참조)을 포함하는 웨이퍼(10)의 평면도를 도시한다. 도면에 도시된 구조는 또한 웨이퍼(10)에서의 칩의 구조를 나타낸다. 일실시예에서, 실리콘 기판(20)의 표면 배향은 다른 표면 배향이 이용될 수도 있지만, (001)이다. 셀로우 트렌치 아이솔레이션(STI) 영역(22)이 실리콘 기판(20)에 형성되어 디바이스 영역을 획정한다. 복수의 리세스(24)(도 1, 도 2b 및 도 2c)는 STI 영역(22)에 의해 획정된 실리콘 기판(20)의 부분을 리세스함으로써 형성된다. 각각의 리세스(24)는 장변(해당 치수를 길이 L로 표시) 및 단변(해당 치수를 폭 W로 표시)을 가질 수 있다. 폭(W)은 각 길이(L)를 초과하지 않고, 더 작을 수 있다. 폭(W)은 예컨대 약 50 nm 미만, 또는 약 20 nm 미만이기도 한 나노 크기일 수 있다. 반면에, 길이(L)는 각 폭(W)에 근접하거나 동일할 수도 있긴 하지만, 약 50 nm를 초과할 수 있다. 일실시예에서, (MOS 디바이스를 갖는) 웨이퍼(10)(또는 웨이퍼)의 모든 리세스(24)의 실질적으로 모든 장변, 예컨대 90%를 초과하는 장변이 동일한 방향으로 연장하고 있다. 도 1에 도시한 대표 실시예에서, 리세스(24)의 실질적으로 모든 장변이 <110> 방향 및 그 반대 방향인 <-1-10> 방향으로 연장하고 있다. 리세스(24)의 길이(L)는 동일한 방향으로 연장하고 있지만 서로 같거나 상이할 수 있음을 주목하여야 한다. 또한, 리세스(24)의 폭(W)은 역시 동일한 방향으로 연장하고 있지만 서로 상이할 수 있다.

[0014] 도 2a는 리세스(24)들 중 하나를 포함하는 웨이퍼(10) 일부의 평면도를 도시하고 있다. 리세스(24)의 단변은 <1-10> 방향 및 그 반대 방향인 <-110> 방향을 따라 연장한다. 리세스(24)의 장변은 <110> 방향 및 <-1-10> 방향을 따라 연장한다. 리세스(24) 및 실리콘에서 III-V 화합물 반도체 재료를 성장시키도록 헤테로 에피택시(에피택셜 성장)가 수행된다. 이하의 논의에서, 다른 III-V 화합물 반도체 재료가 형성될 수도 있지만, GaAs가 본 실시예의 개념을 설명하는데 예시적인 III-V 화합물 반도체 재료로서 이용된다.

[0015] 에피택시의 초기에, 초임계 핵이 아일랜드(26: island)[리세스(24) 내의 스쿼어]로서 형성된다. 해당 단계는 핵생성 단계로 불린다. 상이한 표면 배향에서 상이한 에너지에 기인하여, 페이스(facet)이 아일랜드(26)에 형성되고, 그에 따라 획득된 아일랜드(26)가 4개의 페이스를 구비한 피라미드 형상을 가짐을 이해할 것이다. 피라미드의 4개의 페이스는 표면 배향 (1-11)B, (-111)B, (-1-11)A, 및 (111)A를 갖는다. 페이스(1-11)B 및 (-111)B가 장변쪽을 향하는 한편, 페이스(-1-11)A 및 페이스(111)A는 단변쪽을 향한다. 문자 A 및 B의 의미를 이어지는 단락에서 설명하고 있다.

[0016] 도 2b는 도 2a에 도시한 구조의 단면도를 도시하고 있고, 이 단면도는 도 2a의 라인 2B-2B를 가로지르는 수직면을 따라 취하였다. 따라서, 페이스(1-11)B 및 페이스(-111)B는 각각 지면의 안으로 향한 페이스 및 지면의 밖으로

직면하는 패킷인 반면에, 패킷(-1-11)A 및 (111)A는 각각 좌상측 및 우상측을 향하는 패킷이다.

- [0017] 도 2c는 도 2에 도시한 구조의 단면도를 도시하고 있고, 이 단면도는 도 2a의 라인 2C-2C를 가로지르는 수직면을 따라 취하였다. 각 패킷이 도 2c에 표시되어 있고, 도 2a에서 확인할 수 있다.
- [0018] 리세스(24)의 폭(W)은 나노 크기이기 때문에, 리세스(24)의 단면쪽으로는 겨우 수개의, 예컨대 약 4개 미만의, 또는 도 2c에 도시한 바와 같이, 단지 2개뿐인 나노 아일랜드(26)를 수용할 수 있지만, 더 많은 나노 아일랜드가 수용될 수도 있다. 에피택셜 성장의 초기에, 나노 아일랜드(26)는 서로 떨어져 있다. 시간이 지남에 따라, 나노 아일랜드(26)가 성장하고, 결과적으로 서로 합쳐지며 STI 영역(22)의 측벽에 접촉한다. 그러나, 나노 아일랜드(26)가 성장하는 동안, 나노 아일랜드(26)가 합쳐지고 및/또는 STI 영역(22)의 측벽과 접촉할 때까지 피라미드 형상이 유지되고, 그 후에는 성장은 주로 수직으로 일어난다. 도 3은 획득된 GaAs 막(28)을 도시한다.
- [0019] 패킷(도 2a 내지 도 2c)에서 문자 A 및 문자 B의 의미는 성장된 GaAs의 격자 구조를 도시하고 있는 도 4 및 도 5를 이용하여 아래에서 설명된다. 도 4에 도시한 격자 구조는 도 2b와 동일한 각도로 본 것이다(도 4에 표시한 방향을 참조). 실리콘과 달리, GaAs는 두 가지 상이한 유형의 원자, 즉 Ga 원자 및 As 원자를 갖기 때문에 분극화되는 것이 관찰되었다. 각 Ga는 4개의 As 원자와 4개의 결합을 형성하고, 각 As 원자는 4개의 Ga 원자와 4개의 결합을 형성한다. 라인(40, 40')은 에피택셜 성장 중에 형성될 수 있는 가능한 패킷을 도시하고, 패킷은 라인(40, 40')을 각각 따라 지면 안으로 연장한다. 패킷은 좌하측로부터 우상측을 향해 성장할 수 있다. 패킷(40)에서 [Ga 원자(42)와 같은] 각 Ga 원자는 이하에서 업 본드(up-bond)라 불리는 (각 나노 아일랜드로부터 나오는 방향을 의미하는) 위로 향한 하나의 결합과, 이하에서 다운 본드(down-bond)라 불리는 (각 나노 아일랜드로 들어가는 방향을 의미하는) 아래로 향한 3개의 결합을 갖는다. 패킷(40')에서 [As 원자(46)와 같은] 각 As 원자는 3개의 업 본드(48) 및 하나의 다운 본드(44)를 갖는다. 도 4가 단지 단면도를 도시하고 있기 때문에 단지 두 개의 업 본드(48)를 관찰할 수 있음을 유의해야 할 것이다. 상세한 설명에 걸쳐서, 각 Ga 원자는 하나의 업 본드(54) [및 세 개의 다운 본드(56)]를 갖고 각 As 원자는 세 개의 업 본드 [및 하나의 다운 본드]를 갖는 패킷이 문자 A를 이용하여 표현된다. 따라서, 도 2a를 다시 참조하면, 패킷(-1-11)A 및 (111)A는 문자 A가 후위 표기된 것으로, 이하에서 A 패킷으로 지칭된다.
- [0020] 도 5에 도시된 격자 구조는 도 2c와 동일한 각도로 본 것이다(도 5에 표시된 방향을 참조). 라인(50, 50')은 에피택셜 성장 중에 형성될 수 있는 가능한 패킷을 도시하고, 패킷은 라인(50, 50')을 각각 따라 지면 안으로 연장한다. 또한, 패킷은 좌하측으로부터 우상측을 향해 성장할 수 있다. 패킷(50')에서 [As 원자(52)와 같은] 각 As 원자는 하나의 업 본드 및 3개의 다운 본드를 가짐을 유의해야 할 것이다. 패킷(50)에서 [Ga 원자(56)와 같은] 각 Ga 원자는 3개의 업 본드(58) 및 하나의 다운 본드(54)를 갖는다[도 5가 단지 단면도만을 도시하고 있기 때문에, 두 개의 업 본드(58)만이 도시되어 있다]. 각 As 원자가 하나의 업 본드(및 3개의 다운 본드)를 갖고 각 Ga 원자가 3개의 업 본드(및 하나의 다운 본드)를 갖는 패킷이 문자 B를 이용하여 표현된다. 따라서, 도 2a를 다시 참조하면, 패킷(-1-11)B 및 (111)B는 문자 B가 후위 표기된 것으로, 이하에서 B 패킷으로 지칭된다.
- [0021] 도 2a를 다시 참조하면, A 패킷 및 B 패킷은 모두 적층 결합 및 쌍정과 같은 결합을 가질 수 있다. A 패킷과 B 패킷의 결합 밀도는 상이할 수 있다. 그러나, A 패킷 또는 B 패킷이 다른 것보다 큰 결합 밀도를 갖는지 여부는 나노 아일랜드(26)의 성장 조건에 의해 영향받는다. 더 많은 수의 결합을 갖는 패킷이 각 리세스(24)의 장변측을 향하도록 하여, 이들 패킷이 보다 빨리 성장하여 STI 영역(22)의 측벽에 접함으로써 이들 높은 결합 밀도의 패킷이 끝을 맺을 수 있게 하는 것이 바람직할 수 있다. 패킷이 STI 영역(22)의 측벽에 접한 후에, 성장은 주로 수직으로 이루어진다. 더 적은 수의 결합을 갖는 패킷은 단변을 향할 수 있다. 패킷의 방향을 제어함으로써, 고품질의 GaAs 막이 성장될 수 있다.
- [0022] 일실시예에서, 도 2a에 도시한 바와 같이, 리세스(24)의 장변은 <110> 방향에 따르는 반면에, 단변은 <1-10> 방향에 따른다. 따라서, A 패킷은 B 패킷보다 더 작은 결합 밀도를 갖는다. 이는 예컨대 핵생성 단계에서 비교적 높은 기판 온도 및/또는 비교적 낮은 V 대 III 흐름비를 채택함으로써 이루어질 수 있다. V 대 III 흐름비는 공정 가스에서 5족 원소의 원자수 대 3족 원소의 원자수의 비율이다. GaAs를 성장시키는 실시예에서, V 대 III 흐름비는 As 함유 공정 가스 내의 As 원자의 개수비 대 Ga 함유 공정 가스 내의 Ga 원자의 개수의 비이고, 따라서 As 대 Ga 개수비로 언급되기도 한다. 대표적인 실시예에서, V 대 III 흐름비는 약 50 보다 작거나, 심지어 약 30 보다 더 작기도 하다. 기판 온도는 약 400℃를 초과할 수 있고, 약 400℃ 내지 약 600℃일 수 있으며, 또는 약 500℃를 초과할 수 있고, 예컨대 약 500℃ 내지 약 600℃일 수 있다. 이러한 공정 조건은 As 결합의 품질의 개선을 야기하고, 따라서 각 A 패킷은 B 패킷보다 적은 결합을 갖는다. 이 경우에,

B 패킷이 더 높은 결함 밀도를 갖지만, B 패킷은 STI 영역(22)의 측벽에 빠르게 접할 것이고, 고밀도의 패킷이 끝을 맺는다. 따라서, GaAs의 전체 품질이 개선된다.

- [0023] 상기의 V 대 III 흐름비 및 기관 온도가 핵생성 단계 중에, 즉, 나노 아일랜드(26)가 여전히 피라미드 형상을 가질 때 이용된다는 점을 이해하여야 한다. 핵생성 단계 후에, GaAs 막(28)(도 3)의 연속 형성이 핵생성 단계의 V 대 III 흐름비와 동일한 V 대 III 흐름비 또는 상이한 V 대 III 흐름비로 수행될 수 있다. 유사하게는, GaAs 막(28)의 연속 형성이 핵생성 단계의 기관 온도와 동일한 기관 온도 또는 상이한 기관 온도로 수행될 수 있다.
- [0024] GaAs 막(28)의 형성 후에(도 3), 도 6에 도시한 바와 같이, MOS 디바이스(30)가 형성된다. MOS 디바이스(30)의 채널 길이 방향은 리세스(24)[및 그에 따른 GaAs 막(28)]의 장변 방향일 수 있다. 즉, 게이트 전극(31)이 GaAs 막(28)의 단변 방향으로 연장할 수 있다. 따라서, 에피택시 GaAs 막(28)에 형성된 웨이퍼(10)의 실질적으로 모든 MOS 디바이스가 동일한 방향으로 연장하는 게이트 전극(31)을 가질 수 있고, GaAs 막(28)의 단변에 평행할 수 있다. 웨이퍼(10)에서 III-V 화합물 반도체 막보다는 실리콘에 형성되는 다른 MOS 디바이스가 존재한다면, 이러한 MOS 디바이스는 게이트 전극(31)의 방향과 평행하거나 수직인 임의의 방향으로 연장하는 게이트 전극을 가질 수 있다. 또한, MOS 디바이스가 위에 형성되지 않는 더미(dummy) GaAs 막과 같은 GaAs 막이 존재한다면, 이러한 GaAs 막의 장변 방향이 임의의 방향으로 연장될 수도 있다.
- [0025] 도 7은 대안적인 실시예의 평면도를 도시한다. 실시예의 평면도는 리세스(24)의 단변이 <110>/<-1-10> 방향을 따라 연장한다는 점을 제외하고, 도 2A에 도시한 실시예와 유사하며, 리세스(24)의 장변은 <1-10>/<-110> 방향을 따라 연장한다. 또한, 웨이퍼(10)(또는 동일한 웨이퍼)의 실질적으로 모든 리세스(24)가 동일한 방향으로 연장하는 장변을 갖는다.
- [0026] 도 8a를 참조하면, 리세스(24)들 중 하나의 일부가 도시되어 있다. hetero 에피택시가 리세스(24) 및 실리콘에서 GaAs를 성장시키도록 수행되어, 피라미드 형상의 나노 아일랜드(26)[리세스(24) 내의 스쿼어]가 형성된다(또한, 도 8b 및 도 8c를 참조). 피라미드의 4개의 패킷은 표면 배향 (1-11)B, (-111)B, (-1-11)A, 및 (111)A를 갖는다. 패킷 (1-11)B 및 (-111)B는 리세스(24)의 장변을 향하는 반면에, 패킷 (-1-11)A 및 (111)A는 리세스(24)의 단변을 향한다.
- [0027] 도 8b는 도 8a에 도시한 구조의 단면도를 도시하고, 이 단면도는 도 8a의 라인 8B-8B를 횡단하는 수직면을 따라 취하였다. 따라서, 패킷(-1-11)A 및 (111)A(도 8b에 미도시)는 각각 지면의 안으로 향한 패킷 및 지면의 밖으로 향한 패킷인 반면에, 패킷(1-11)B 및 (-111)B는 각각 좌상측을 향하는 패킷 및 우상측을 향하는 패킷이다. (1-11)B 및 (-111)B 패킷은 점선을 이용하여 도시한 것으로, (1-11)B 및 (-111)B 패킷은 점선을 따라 지면에 수직으로 연장하는 평면상에 있다.
- [0028] 도 8c는 도 8a에 도시한 구조의 단면도를 도시하고, 단면도는 도 8a의 라인 8C-8C를 횡단하는 수직면을 따라 단면도를 취하였다. 도 8c에 나타난 각 패킷은 도 8a로부터 확인할 수 있다.
- [0029] 도 7 내지 도 8c에 도시한 기관(20) 및 리세스(24)의 배향으로, B 패킷은 A 패킷보다 적은 결함 밀도를 갖는다. 이는 예컨대 비교적 낮은 기관 온도 및/또는 비교적 높은 V 대 III 흐름비를 채택함으로써 얻을 수 있다. 대표 실시예에서, V 대 III 흐름비는 약 30을 초과하고, 약 100을 초과하기도 한다. 기관 온도는 약 400°C 이하일 수 있고, 약 200°C 내지 약 400°C일 수 있으며, 또는 약 300°C 내지 약 400°C일 수 있으며, 또는 약 300°C 미만일 수도 있다. 이러한 공정 조건으로, 각 B 패킷은 A 패킷보다 더 적은 결함을 갖는다. 이 경우 A 패킷이 더 높은 결함 밀도를 갖지만, A 패킷은 STI 영역(22)의 측벽에 빠르게 접하게 되어, 그러한 높은 결함 밀도의 패킷이 끝을 맺는다. 따라서, 성장된 GaAs 막의 전체 품질이 개선된다.
- [0030] 핵생성 단계 후에, GaAs 막의 형성이 계속된다. 도 9에 도시된 것처럼 GaAs 막(28)을 형성한 후에, MOS 디바이스(30)가 형성된다. 또 한편, MOS 디바이스(30)의 채널 길이 방향은 리세스(24)의 장변 방향일 수 있고, 에피택시 GaAs에 형성된 (동일한 웨이퍼에서) 실질적으로 모든 MOS 디바이스(30)가 동일한 방향으로 연장하는 게이트 전극(31)을 가질 수 있고, 리세스(24)의 단변에 평행할 수 있다.
- [0031] 본 실시예는 여러 유리한 특징을 갖는다. 동일한 방향으로 동일한 칩/웨이퍼에 리세스의 장변을 정렬함으로써, 그리고 장변의 방향에 따라 리세스에 GaAs를 에피택시 성장시키기 위한 공정 조건을 조절함으로써, 획득된 GaAs 막의 결함이 억제될 수 있고, 고 품질의 GaAs 막이 성장될 수 있다.
- [0032] 본 발명의 실시예 및 그 이점을 상세하게 기술하였지만, 첨부한 청구범위에 의해 정의한 바와 같이 본 명세서의 사상 및 범위에서 벗어나지 않고 치환 및 변경이 이루어질 수 있다. 또한, 본 발명의 범위는 명세서에 기

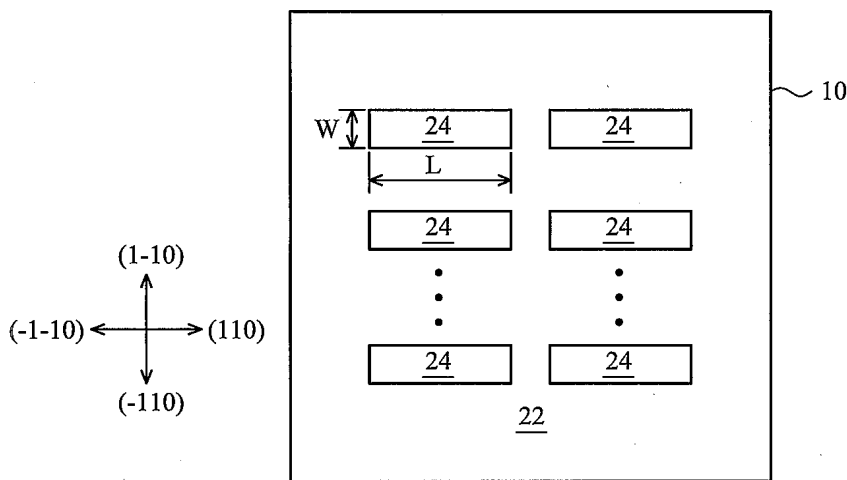
술된 공정, 장치, 제작, 물질의 구성, 수단, 방법 및 단계의 특정 실시예에 한정되도록 의도되지 않는다. 당업자는 본 명세서에 기술된 상응하는 실시예와 실질적으로 동일한 기능을 수행하거나 실질적으로 동일한 결과를 달성하는 현존하거나 후에 개발될 공정, 장치, 제작, 물질의 구성, 수단, 방법 또는 단계를 본 명세서로부터 쉽게 이해할 것이다. 따라서, 첨부된 청구 범위는 그 범위 내에서 이러한 공정, 장치, 제작, 물질의 구성, 수단, 방법, 또는 단계를 포함하도록 의도된다. 게다가, 각 청구항은 별도의 실시예를 구성하고, 다양한 청구항 및 실시예의 조합이 본 명세서의 범위 내에서 이루어진다.

**부호의 설명**

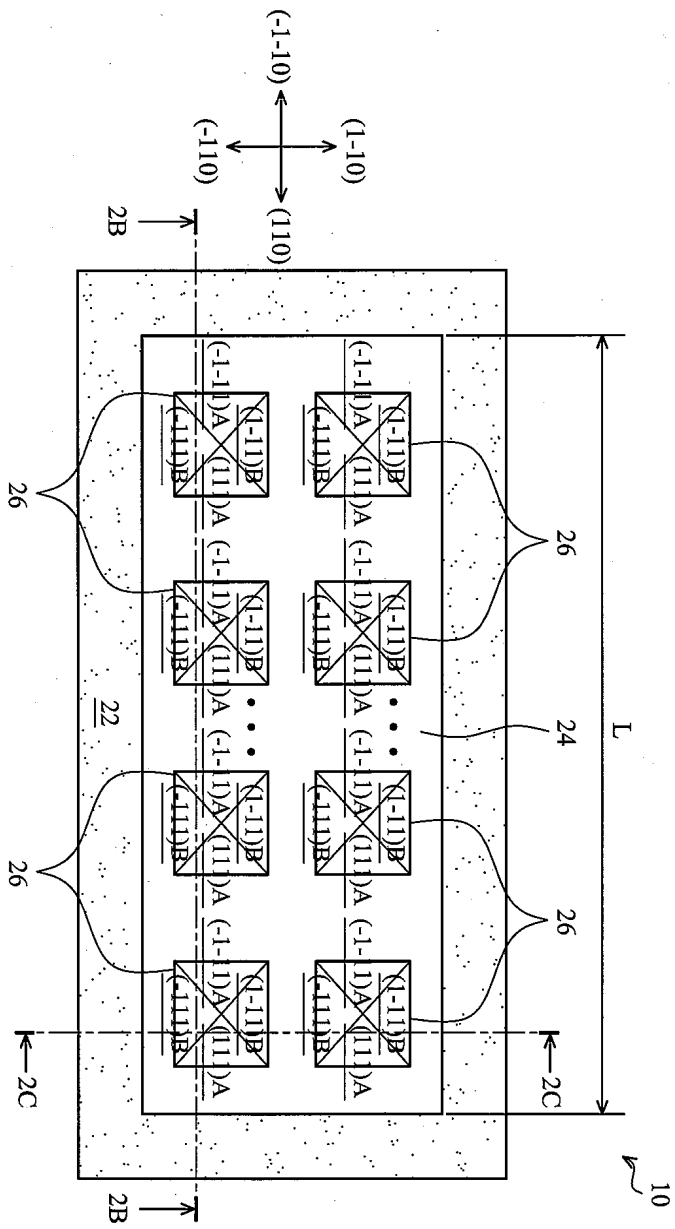
- |              |             |
|--------------|-------------|
| 10: 웨이퍼      | 20: 실리콘 기판  |
| 22: STI 영역   | 24: 리세스     |
| 26: 아일랜드     | 28: GaAs 막  |
| 30: MOS 디바이스 | 31: 게이트 전극  |
| 40, 40': 라인  | 42: Ga 원자   |
| 44: 다운 본드    | 46: As 원자   |
| 48: 업 본드     | 50, 50': 라인 |
| 52: As 원자    | 54: 다운 본드   |
| 56: Ga 원자    | 58: 업 본드    |

**도면**

**도면1**

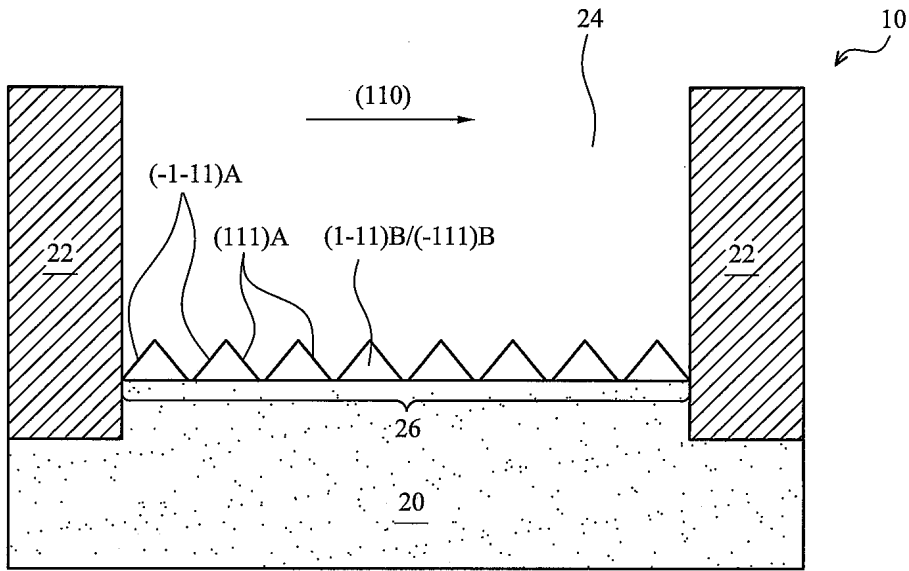


도면2a

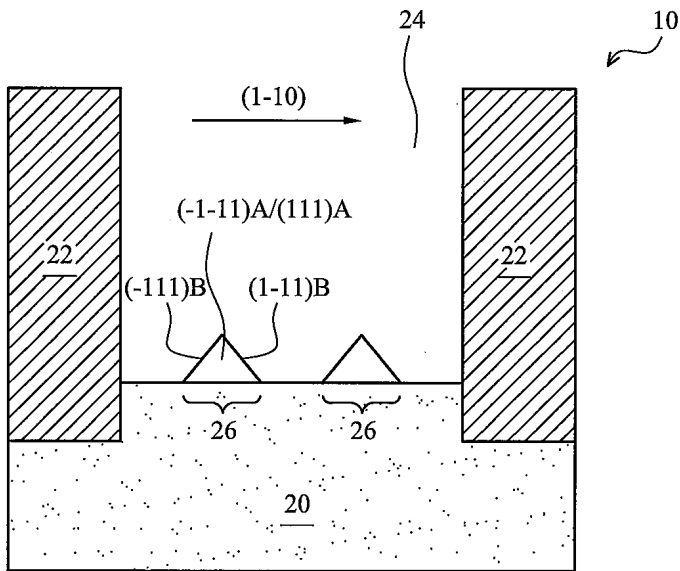




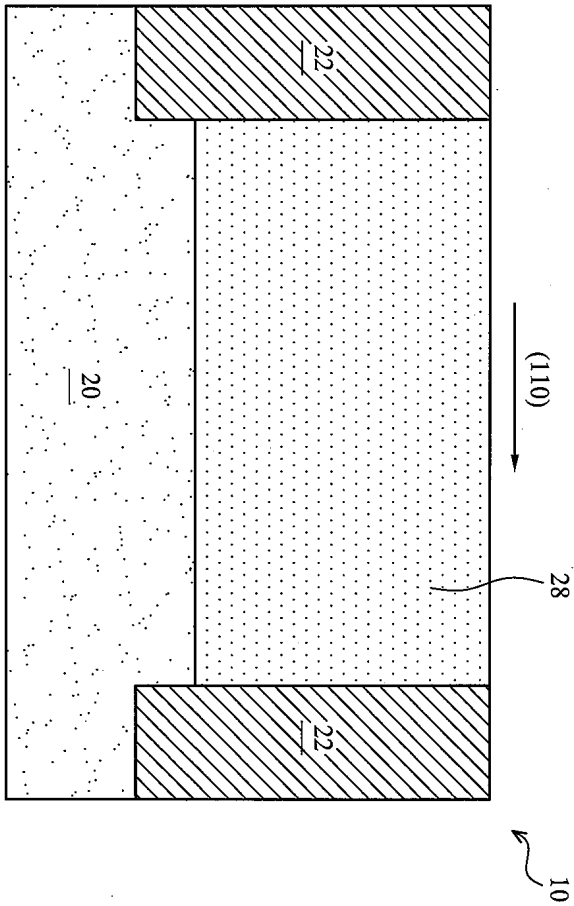
도면2b



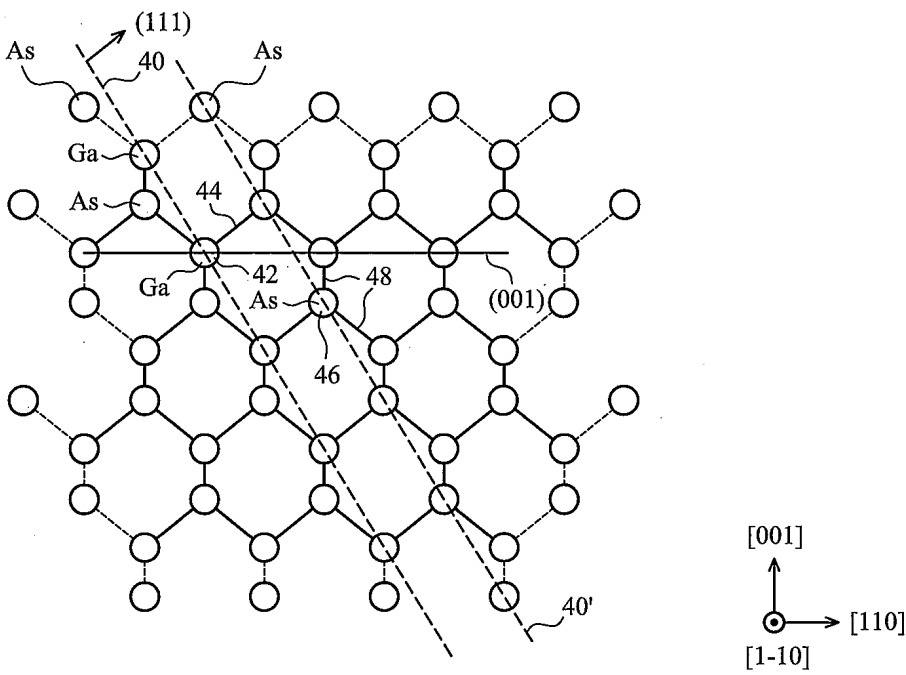
도면2c



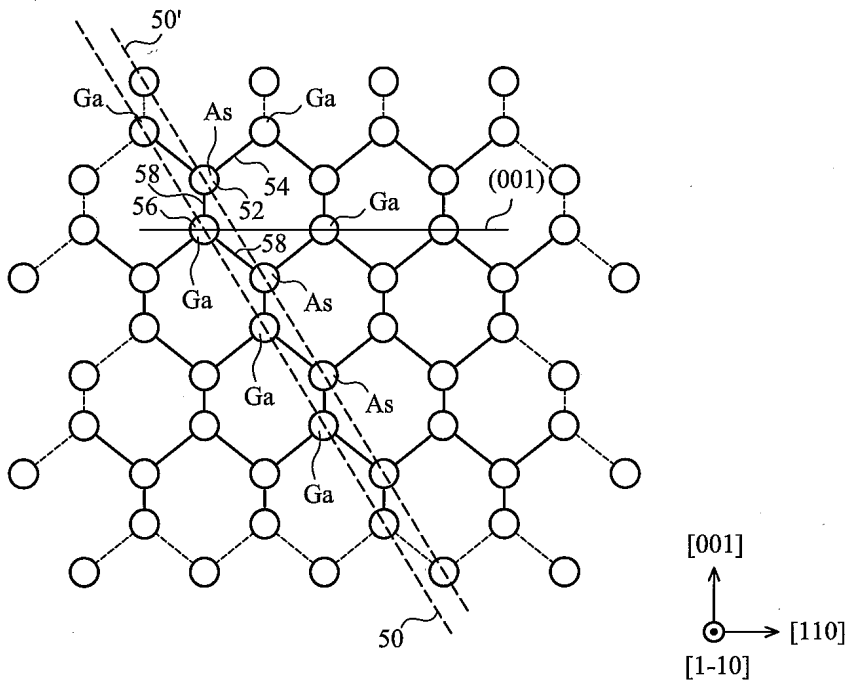
도면3



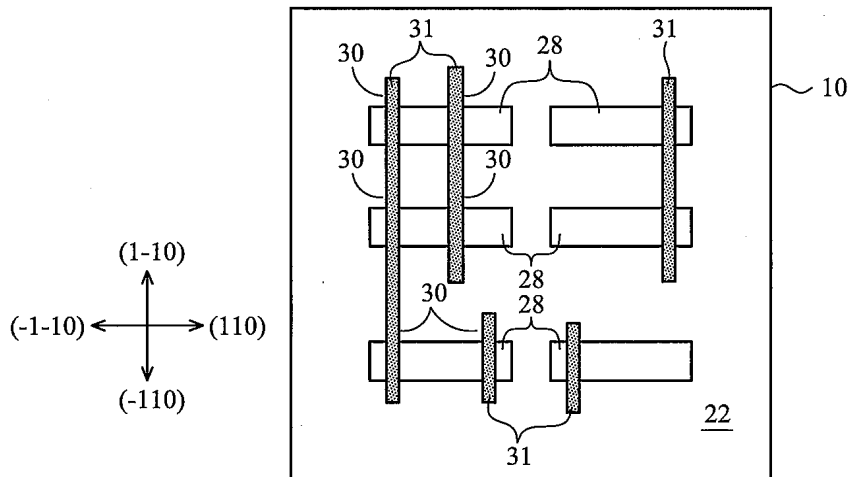
도면4



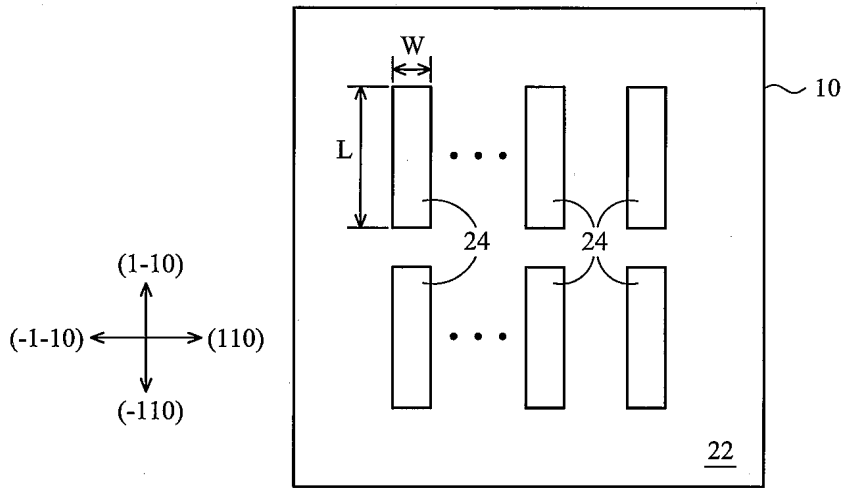
도면5



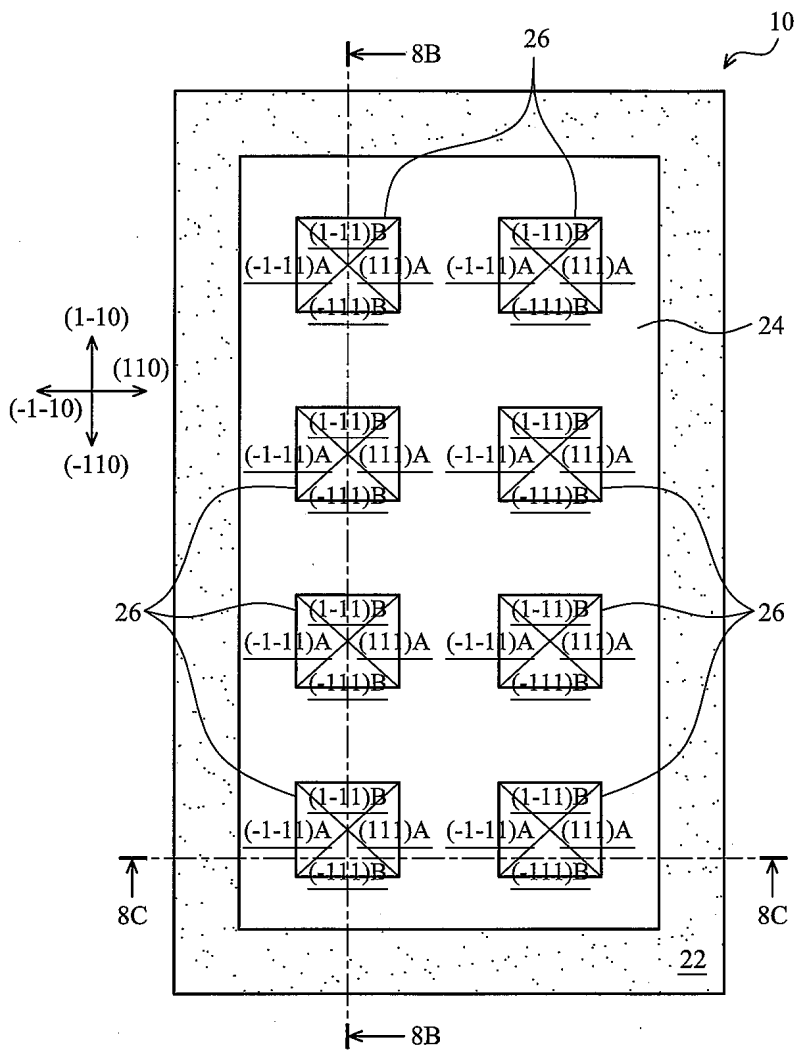
도면6



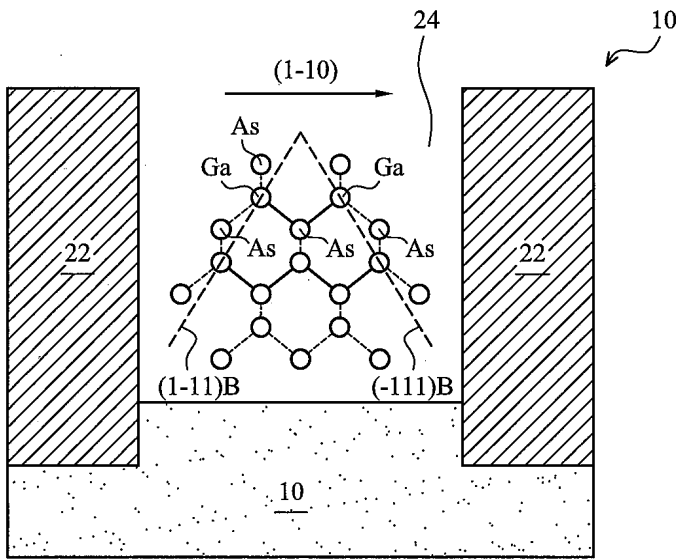
도면7



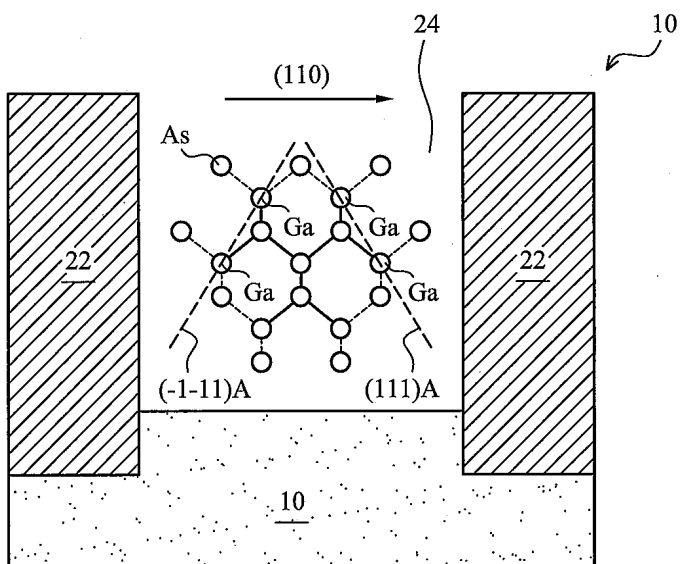
도면8a



도면8b



도면8c



도면9

