

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年1月2日(02.01.2020)



(10) 国際公開番号

WO 2020/003646 A1

- (51) 国際特許分類:
H04N 5/355 (2011.01) H04N 5/378 (2011.01)
H04N 5/374 (2011.01)
- (21) 国際出願番号: PCT/JP2019/011034
- (22) 国際出願日: 2019年3月18日(18.03.2019)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2018-122328 2018年6月27日(27.06.2018) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

(72) 発明者: 佐藤 守 (SATO, Mamoru); 〒2430014
神奈川県厚木市旭町四丁目14番1号
ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

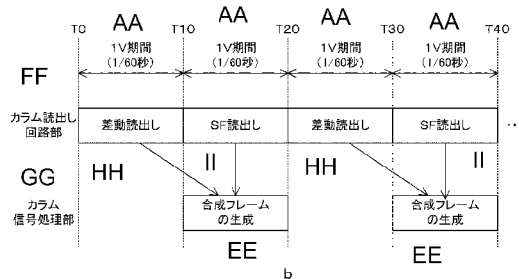
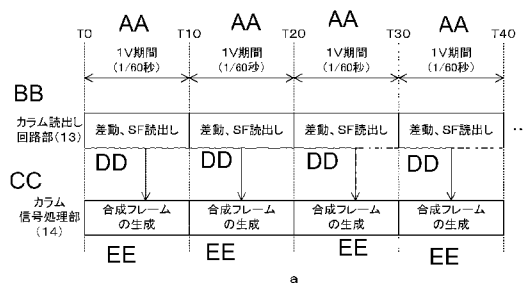
(74) 代理人: 丸島 敏一 (MARUSHIMA, Toshikazu);
〒1600022 東京都新宿区新宿3-3-2 京王新宿三丁目第二ビル 5F クラフト
国際特許事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,

(54) Title: SOLID-STATE IMAGING ELEMENT, IMAGING APPARATUS, AND CONTROL METHOD FOR SOLID-STATE IMAGING ELEMENT

(54) 発明の名称: 固体撮像素子、撮像装置、および、固体撮像素子の制御方法

[図13]



AA 1-V period (1/60 seconds)
BB Column readout circuit unit (13)
CC Column signal processing unit (14)
DD Differential, SF readout
EE Generation of combined frame
FF Column readout circuit unit
GG Column signal processing unit
HH Differential readout
II SF readout

(57) Abstract: The purpose of the invention is to widen the dynamic range without reducing the frame rate in a solid-state imaging element provided with a differential amplifier circuit. The solid-state imaging element is provided with a readout circuit and a processing unit. The readout circuit performs a process of outputting a differential amplification signal obtained by amplifying the difference between respective generated voltages of a pair of pixels and a process of outputting a pixel signal of the generated voltage of at least one of the pair of pixels with these processes performed each time

DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

the pair of pixels are exposed. The processing unit performs a combination process of combining the output differential amplification signal and the output pixel signal.

(57) 要約：差動増幅回路を設けた固体撮像素子において、フレームレートを低下させずにダイナミックレンジを広くする。固体撮像素子は、読出し回路および処理部を具備する。読出し回路は、一対の画素のそれぞれの生成電圧の差分を増幅した差動増幅信号を出力する処理と一対の画素の少なくとも一方の前記生成電圧の画素信号を出力する処理とを前記一対の画素が露光されるたびに行う。処理部は、出力された差動増幅信号と出力された画素信号とを合成する合成処理を行う。

明 細 書

発明の名称：

固体撮像素子、撮像装置、および、固体撮像素子の制御方法

技術分野

[0001] 本技術は、固体撮像素子、撮像装置、および、固体撮像素子の制御方法に関する。詳しくは、画素信号を差動増幅する固体撮像素子、撮像装置、および、固体撮像素子の制御方法に関する。

背景技術

[0002] 従来より、撮像装置などにおいて画像データを撮像するために固体撮像素子が用いられている。この固体撮像素子の個々の画素の感度が比較的低いと、環境光の光量が比較的小さい場合に、画像データが全体的に暗くなり、画質が低下するおそれがある。そこで、感度を高くするために、例えば、一対の画素にカレントミラー回路を接続し、それらの画素とカレントミラー回路とからなる差動増幅回路を構成する固体撮像素子が提案されている（例えば、特許文献1参照。）。

先行技術文献

特許文献

[0003] 特許文献1：特開2005-311487号公報

発明の概要

発明が解決しようとする課題

[0004] 上述の従来技術では、差動増幅回路が、一対の画素のそれぞれの信号を差動増幅するため、カレントミラー回路を接続しない場合よりも画素の感度を高くすることができる。しかしながら、上述の固体撮像素子では、強い光により影が生じている場合など、環境光の光量の変動が激しい場合に、ダイナミックレンジが不足して画質が低下するおそれがある。露光時間の異なる複数枚の画像データ（フレーム）を撮像し、それらを合成すればダイナミックレンジの広い合成フレームが得られるが、その代わりにフレームレートが低

下してしまう。例えば、60ヘルツ（Hz）のフレームレートで複数枚のフレームを撮像し、2枚ずつ合成する場合、合成フレームのフレームレートは30ヘルツ（Hz）に低下してしまう。このように、上述の固体撮像素子では、フレームレートを低下させずに画像データのダイナミックレンジを広くすることができないという問題がある。

[0005] 本技術はこのような状況に鑑みて生み出されたものであり、差動増幅回路を設けた固体撮像素子において、フレームレートを低下させずにダイナミックレンジを広くすることを目的とする。

課題を解決するための手段

[0006] 本技術は、上述の問題点を解消するためになされたものであり、その第1の側面は、一対の画素のそれぞれの生成電圧の差分を増幅した差動増幅信号を出力する処理と上記一対の画素の少なくとも一方の上記生成電圧の画素信号を出力する処理とを上記一対の画素が露光されるたびに行う読出し回路と、上記出力された差動増幅信号と上記出力された画素信号とを合成する合成処理を行う処理部とを具備する固体撮像素子、および、その制御方法である。これにより、差動増幅信号および画像信号の合成によってダイナミックレンジが拡大されるという作用をもたらす。

[0007] また、この第1の側面において、上記一対の画素のそれぞれは、初期化されたときに上記生成電圧としてリセットレベルを生成し、露光が終了したときに上記生成電圧として信号レベルを生成してもよい。これにより、リセットレベルおよび信号レベルから得られた信号の合成によってダイナミックレンジが拡大されるという作用をもたらす。

[0008] また、この第1の側面において、上記読出し回路は、上記一対の画素のそれぞれの上記リセットレベルを差動増幅した第1リセットレベルと上記一対の画素のいずれかの上記リセットレベルである第2リセットレベルとの少なくとも一方を出力するとともに上記一対の画素のそれぞれの上記信号レベルを差動増幅した第1信号レベルと上記一対の画素のいずれかの上記信号レベルである第2信号レベルとを出力してもよい。これにより、第1リセットレ

ベルおよび第2リセットレベルの少なくとも一方と、第1信号レベル、第2信号レベルとから得られた信号の合成によってダイナミックレンジが拡大されるという作用をもたらす。

[0009] また、この第1の側面において、上記読出し回路は、上記第1リセットレベルおよび上記第2リセットレベルの出力後に上記第1信号レベルおよび上記第2信号レベルを出力してもよい。これにより、第1リセットレベル、第2リセットレベル、第1信号レベルおよび第2信号レベルから得られた信号の合成によってダイナミックレンジが拡大されるという作用をもたらす。

[0010] また、この第1の側面において、上記読出し回路は、上記第1リセットレベルおよび上記第1信号レベルの出力後に上記第2信号レベルおよび上記第2リセットレベルをさらに出力してもよい。これにより、第1リセットレベル、第1信号レベル、第2信号レベルおよび第2リセットレベルから得られた信号の合成によってダイナミックレンジが拡大されるという作用をもたらす。

[0011] また、この第1の側面において、上記処理部は、照度が所定値より高い場合には上記第1リセットレベル、上記第1信号レベル、上記第2信号レベルおよび上記第2リセットレベルを順にデジタル信号に変換し、上記照度が上記所定値に満たない場合には上記第1リセットレベルおよび上記第1信号レベルを順にデジタル信号に変換するアナログデジタル変換器と、上記デジタル信号に基づいて上記合成処理を行う合成処理部とを備えてもよい。これにより、照度が所定値に満たない場合には第2信号レベルおよび第2リセットレベルの変換が停止するという作用をもたらす。

[0012] また、この第1の側面において、上記処理部は、照度が所定値に満たない場合には上記差動増幅信号を選択して出力し、上記照度が上記所定値を超える場合には上記画素信号を選択して出力してもよい。これにより、照度に応じた信号が選択されるという作用をもたらす。

[0013] また、この第1の側面において、上記読出し回路は、上記第1リセットレベルおよび上記第2リセットレベルの出力後に上記第1信号レベルおよび上

記第2信号レベルの一方を出力してもよい。これにより、第1信号レベルおよび第2信号レベルの一方の変換が不要になるという作用をもたらす。

[0014] また、この第1の側面において、上記読出し回路には、カレントミラー回路、電流源およびスイッチをそれぞれが含む複数の単位読出し回路が所定方向に配列され、上記スイッチは、上記複数の単位読出し回路のそれぞれの上記カレントミラー回路および上記電流源を互いに接続してもよい。これにより、カレントミラー回路および電流源が横繋ぎされるという作用をもたらす。

[0015] また、この第1の側面において、複数の画素が二次元格子状に配列された画素アレイ部をさらに具備し、上記一对の画素は、上記画素アレイ部において水平方向に配列されてもよい。これにより、水平に配列された一对の画素から差動増幅信号が読み出されるという作用をもたらす。

[0016] また、この第1の側面において、複数の画素が二次元格子状に配列された画素アレイ部をさらに具備し、上記一对の画素は、上記画素アレイ部において垂直方向に配列されてもよい。これにより、垂直方向に配列された一对の画素から差動増幅信号が読み出されるという作用をもたらす。

[0017] また、この第1の側面において、垂直アドレスおよび水平アドレスがそれぞれに割り当てられた複数の画素が二次元格子状に配列された画素アレイ部をさらに具備し、上記一对の画素は、上記画素アレイ部において上記垂直アドレスおよび上記水平アドレスの両方が互いに異なる画素であってもよい。これにより、斜めに配列された一对の画素から差動増幅信号が読み出されるという作用をもたらす。

[0018] また、この第1の側面において、複数の読出画素と上記複数の読出画素に対応付けられた参照画素とが配列された画素アレイ部をさらに具備し、上記一对の画素の一方は、上記複数の読出画素のいずれかであり、上記一对の画素の他方は、上記参照画素であり、上記読出し回路は、上記読出画素および上記参照画素のそれぞれの画素信号の差分を増幅した差動増幅信号を出力する処理と上記読出画素の上記画素信号を出力する処理とを行ってもよい。こ

れにより、読出画素および参照画素から差動増幅信号が読み出されるという作用をもたらす。

[0019] また、この第1の側面において、上記読出し回路は、カレントミラー回路を備えてもよい。これにより、カレントミラー回路が接続された一对の画素から差動増幅信号が読み出されるという作用をもたらす。

[0020] また、この第1の側面において、上記カレントミラー回路は、カスコードカレントミラー回路であってもよい。これにより、カスコードカレントミラー回路が接続された一对の画素から差動増幅信号が読み出されるという作用をもたらす。

[0021] また、この第1の側面において、上記カレントミラー回路は、一对の垂直信号線に接続され、上記読出し回路は、上記一对の垂直信号線の一方を選択して上記処理部に接続するスイッチをさらに備えてもよい。これにより、一对の垂直信号線の一方から差動増幅信号または画素信号が読み出されるという作用をもたらす。

[0022] また、この第1の側面において、所定の基準電流を生成する電流源と上記基準電流に応じた所定の参照信号を生成する抵抗とを備えるデジタルアナログ変換器と、上記基準電流の値を制御するシステム制御部とをさらに具備し、上記処理部は、上記読出し回路により出力された信号と所定の参照信号とを比較する比較器を備えてもよい。これにより、基準電流の制御によって消費電力が削減されるという作用をもたらす。

[0023] また、本技術の第2の側面は、一对の画素と、上記一对の画素のそれぞれの生成電圧の差分を増幅した差動増幅信号を出力する処理と上記一对の画素の少なくとも一方の上記生成電圧の画素信号を出力する処理とを上記一对の画素が露光されるたびに行う読出し回路と、上記出力された差動増幅信号と上記出力された画素信号とを合成する合成処理を行う処理部とを具備する撮像装置である。一对の画素からの差動増幅信号および画像信号の合成によってダイナミックレンジが拡大されるという作用をもたらす。

発明の効果

[0024] 本技術によれば、差動増幅回路を設けた固体撮像素子において、フレームレートを低下させずにダイナミックレンジを広くすることができるという優れた効果を奏し得る。なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれかの効果であってもよい。

図面の簡単な説明

[0025] [図1]本技術の第1の実施の形態における固体撮像素子の一構成例を示すブロック図である。

[図2]本技術の第1の実施の形態における画素回路の一構成例を示すブロック図である。

[図3]本技術の第1の実施の形態におけるカラム読出し回路部の一構成例を示す回路図である。

[図4]本技術の第1の実施の形態における単位読出し回路の一構成例を示す回路図である。

[図5]本技術の第1の実施の形態における単位読出し回路と画素とからなる差動増幅回路の一構成例を示す回路図である。

[図6]本技術の第1の実施の形態におけるカラム信号処理部の一構成例を示すブロック図である。

[図7]本技術の第1の実施の形態におけるADC (Analog to Digital Converter) の一構成例を示す回路図である。

[図8]本技術の第1の実施の形態における合成処理部の一構成例を示す回路図である。

[図9]本技術の第1の実施の形態における入射光量と画素信号のレベルとの関係の一例を示すグラフである。

[図10]本技術の第1の実施の形態における差動読出しの一例を示すタイミングチャートである。

[図11]本技術の第1の実施の形態におけるSF (Source Follower) 読出しの一例を示すタイミングチャートである。

[図12]本技術の第1の実施の形態における画素信号を読み出す制御の一例を

示すタイミングチャートである。

[図13]本技術の第1の実施の形態と比較例とにおけるカラム読出し回路部およびカラム信号処理部の動作の一例を示す図である。

[図14]本技術の第1の実施の形態における固体撮像素子の動作の一例を示すフローチャートである。

[図15]本技術の第2の実施の形態における単位読出し回路の一構成例を示す回路図である。

[図16]本技術の第2の実施の形態における差動読出しの一例を示すタイミングチャートである。

[図17]本技術の第2の実施の形態におけるS F読出しの一例を示すタイミングチャートである。

[図18]本技術の第3の実施の形態におけるA D Cおよび合成処理部の一構成例を示す回路図である。

[図19]本技術の第3の実施の形態における固体撮像素子の動作の一例を示すタイミングチャートである。

[図20]本技術の第3の実施の形態の変形例における固体撮像素子の動作の一例を示すタイミングチャートである。

[図21]本技術の第4の実施の形態における低照度時の固体撮像素子の動作の一例を示すタイミングチャートである。

[図22]本技術の第5の実施の形態における高照度時の固体撮像素子の動作の一例を示すタイミングチャートである。

[図23]本技術の第5の実施の形態における画素アレイ部の一例を示す平面図である。

[図24]本技術の第5の実施の形態における斜め配置の画素アレイ部の一構成例を示す平面図である。

[図25]本技術の第6の実施の形態における画素アレイ部の一例を示す平面図である。

[図26]本技術の第7の実施の形態における差動増幅回路の一構成例を示す回

路図である。

[図27]本技術の第8の実施の形態における差動増幅回路の一構成例を示す回路図である。

[図28]本技術の第8の実施の形態における固体撮像素子の動作の一例を示すタイミングチャートである。

[図29]本技術の第9の実施の形態における固体撮像素子の一構成例を示すブロック図である。

[図30]本技術の第9の実施の形態におけるDAC (Digital to Analog Converter) および比較器の一構成例を示す回路図である。

[図31]車両制御システムの概略的な構成例を示すブロック図である。

[図32]撮像部の設置位置の一例を示す説明図である。

発明を実施するための形態

[0026] 以下、本技術を実施するための形態（以下、実施の形態と称する）について説明する。説明は以下の順序により行う。

1. 第1の実施の形態（差動増幅信号と画素信号とを合成する例）
2. 第2の実施の形態（ノードを横繋ぎし、差動増幅信号と画素信号とを合成する例）
3. 第3の実施の形態（カウンタを削減し、差動増幅信号と画素信号とを合成する例）
4. 第4の実施の形態（信号レベルの変換回数を削減し、差動増幅信号と画素信号とを合成する例）
5. 第5の実施の形態（垂直方向に配列した一対の画素からの差動増幅信号と画素信号とを合成する例）
6. 第6の実施の形態（読出画素および参照画素からの差動増幅信号と画素信号とを合成する例）
7. 第7の実施の形態（カスコードカレントミラー回路からの差動増幅信号と画素信号とを合成する例）
8. 第8の実施の形態（スイッチを配置した読出し回路からの差動増幅信

号と画素信号とを合成する例)

9. 第9の実施の形態(カラム信号処理部内の電流を制御し、差動増幅信号と画素信号とを合成する例)

10. 移動体への応用例

[0027] <1. 第1の実施の形態>

[固体撮像素子の構成例]

図1は、本技術の第1の実施の形態における固体撮像素子10の一構成例を示すブロック図である。この固体撮像素子10は、画素アレイ部11、垂直駆動部12、カラム読出し回路部13、カラム信号処理部14、水平駆動部15、システム制御部16、信号処理部17、およびデータ格納部18を含んで構成される。これらの画素アレイ部11等の回路は、同一または電氣的に接続された複数の積層半導体基板(チップ)上に形成されている。

[0028] 画素アレイ部11には、入射光量に応じた電荷量を光電変換して内部に蓄積し、信号として出力を行う事が可能な光電変換素子を有する単位画素(以下では有効単位画素と呼ぶ)が行列状に2次元配置されている。また、画素アレイ部11には、上記有効単位画素の他に、ダミー単位画素や遮光単位画素が行列状に2次元配置されている領域を含む場合がある。ダミー単位画素は、光電変換を行うフォトダイオードを持たない構造の画素であり、遮光単位画素は、受光面を遮光して外部からの光入射を遮断している事以外は有効画素と等価な画素である。

[0029] なお、以下では、入射光量に応じた電荷量の光電荷を、単に「電荷」と記述し、単位画素を、単に「画素」と記述する場合もある。

[0030] 画素アレイ部11にはさらに、行列状の画素配列に対して行ごとに画素駆動線31が図の左右方向(画素行の画素の配列方向)に沿って形成され、列ごとに垂直画素配線32が図の上下方向(画素列の画素の配列方向)に沿って形成されている。画素駆動線31の一端は、垂直駆動部12の各行に対応した出力端に接続されている。

[0031] カラム読出し回路部13は少なくとも、画素アレイ部11の選択行の画素

内の列毎に定電流を供給する回路、高ゲインアンプを構成するカレントミラー回路、読出しモード切替スイッチから成る。これらは、画素アレイ部 11 の選択画素内のトランジスタと共に増幅器を構成する。この増幅器は、光電荷信号を電圧信号に変換して垂直画素配線 32 に出力する。なお、カラム読出し回路部 13 は、特許請求の範囲に記載の読出し回路の一例である。

[0032] 垂直駆動部 12 は、シフトレジスタやアドレスデコーダなどによって構成され、画素アレイ部 11 の各画素を、全画素同時あるいは行単位等で駆動する画素駆動部である。この垂直駆動部 12 は、その具体的な構成については図示を省略するが、読み出し走査系と、掃き出し走査系あるいは、一括掃き出し、一括転送を有する構成となっている。

[0033] 読み出し走査系は、単位画素から信号を読み出すために、画素アレイ部の単位画素を行単位で順に選択走査する。行駆動（ローリングシャッタ動作）の場合、掃き出しについては、読み出し走査系によって読み出し走査が行われる読み出し行に対して、その読み出し走査よりもシャッタスピードの時間分だけ先行して掃き出し走査が行なわれる。また、グローバル露光（グローバルシャッタ動作）の場合は、一括転送よりもシャッタスピードの時間分先行して一括掃き出しが行なわれる。この掃き出しにより、読み出し行の単位画素の光電変換素子から不要な電荷が掃き出される（リセットされる）。そして、不要電荷の掃き出し（リセット）により、いわゆる電子シャッタ動作が行われる。ここで、電子シャッタ動作とは、直前まで光電変換素子に溜まっていた不要な光電荷を捨てて、新たに露光を開始する（光電荷の蓄積を開始する）動作のことを言う。読み出し走査系による読み出し動作によって読み出される信号は、その直前の読み出し動作または電子シャッタ動作以降に入射した光量に対応するものである。行駆動の場合は、直前の読み出し動作による読み出しタイミングまたは電子シャッタ動作による掃出しタイミングから、今回の読み出し動作による読み出しタイミングまでの期間が、単位画素における光電荷の蓄積時間（露光時間）となる。グローバル露光の場合は、一括掃き出しから一括転送までの時間が蓄積時間（露光時間）となる。

- [0034] 垂直駆動部 12 によって選択走査された画素行の各单位画素から出力される画素信号は、垂直画素配線 32 の各々を通してカラム信号処理部 14 に供給される。カラム信号処理部 14 は、画素アレイ部の画素列ごとに、選択行の各单位画素から垂直画素配線 32 を通して出力される画素信号に対して所定の信号処理を行うとともに、信号処理後の画素信号を一時的に保持する。
- [0035] 具体的には、カラム信号処理部 14 は、信号処理として少なくとも、ノイズ除去処理、例えば CDS (Correlated Double Sampling : 相関二重サンプリング) 処理を行う。このカラム信号処理部 14 による相関二重サンプリングにより、リセットノイズや増幅トランジスタの閾値ばらつき等の画素固有の固定パターンノイズが除去される。なお、カラム信号処理部にノイズ除去処理以外に、例えば、AD (Analog-Digital) 変換機能を持たせ、信号レベルをデジタル信号で出力することも可能である。なお、カラム信号処理部 14 は、特許請求の範囲に記載の処理部の一例である。
- [0036] 水平駆動部 15 は、シフトレジスタやアドレスデコーダなどによって構成され、カラム信号処理部 14 の画素列に対応する単位回路を順番に選択する。この水平駆動部 15 による選択走査により、カラム信号処理部 14 で信号処理された画素信号が順番に信号処理部 17 に出力される。
- [0037] システム制御部 16 は、各種のタイミング信号を生成するタイミングジェネレータ等によって構成される。システム制御部 16 は、タイミングジェネレータで生成された各種のタイミング信号を基に垂直駆動部 12、カラム読み出し回路部 13、カラム信号処理部 14、および水平駆動部 15 などの駆動制御を行う。
- [0038] 固体撮像素子 10 はさらに、信号処理部 17 およびデータ格納部 18 を備えている。信号処理部 17 は、少なくとも加算処理機能を有し、カラム信号処理部 14 から出力される画素信号に対して加算処理等の種々の信号処理を行う。データ格納部 18 は、信号処理部 17 での信号処理に当たって、その処理に必要なデータを一時的に格納する。これら信号処理部 17 およびデータ格納部 18 については、固体撮像素子 10 とは別の基板に設けられる外部

信号処理部、例えばDSP (Digital Signal Processor)やソフトウェアによる処理でも構わない。あるいは、それらを固体撮像素子10と同じ基板上に搭載しても構わない。

[0039] [画素の構成例]

図2は、本技術の第1の実施の形態における画素220および230の一構成例を示す回路図である。画素アレイ部11においては、画素220や230などの複数の画素が二次元格子状に配列される。画素220は、画素230に隣接した画素である。例えば、画素220は、偶数列である $2k$ (k は整数)列に配置され、画素230は、奇数列である $2k+1$ 列に配置される。

[0040] 画素220は、フォトダイオード221、転送トランジスタ222、浮遊拡散領域226、リセットトランジスタ223、増幅トランジスタ224および選択トランジスタ225を備える。これらのトランジスタとして、例えば、MOS (Metal-Oxide-Semiconductor) トランジスタが用いられる。

[0041] また、画素アレイ部11には、垂直駆動部12に一端が接続される画素駆動線31が水平方向に沿って行ごとに配線される。それぞれの行の画素駆動線31は、6つの信号線を含む。それらの信号線は、6つの駆動信号を伝送する。

[0042] また、画素アレイ部11には、カラム読出し回路部13に一端が接続される垂直画素配線32が垂直方向に沿って列ごとに配線される。それぞれの偶数列の垂直画素配線32は、垂直信号線 VSL_{2k} と、垂直リセット入力線 VRD_{2k} と、垂直電流供給線 $VCOM_{2k}$ とを含む。奇数列の垂直画素配線32は、垂直信号線 VSL_{2k+1} と、垂直リセット入力線 VRD_{2k+1} と、垂直電流供給線 $VCOM_{2k+1}$ とを含む。例えば、列数を J (J は、整数)とすると、垂直方向の配線数は、 $3 \times J$ 本である。

[0043] フォトダイオード221のアノードは接地されており、フォトダイオード221のカソードは、転送トランジスタ222のソースに接続されている。転送トランジスタ222のドレインは、リセットトランジスタ223のソー

スト、増幅トランジスタ224のゲートに接続されている。この接続点が浮遊拡散領域226を構成する。

[0044] また、リセットトランジスタ223のドレインは、垂直リセット入力線 VRD_{2k} に接続されている。増幅トランジスタ224のソースは、垂直電流供給線 $VCOM_{2k}$ に接続されている。増幅トランジスタ224のドレインは、選択トランジスタ225のソースに接続されており、選択トランジスタ225のドレインは、垂直信号線 $VS L_{2k}$ に接続されている。転送トランジスタ222、リセットトランジスタ223、および、選択トランジスタ225のそれぞれのゲートは、画素駆動線31を介して、垂直駆動部12にそれぞれ接続されている。これらのトランジスタには、駆動信号としてのパルスがそれぞれ供給される。

[0045] 画素230は、フォトダイオード231、転送トランジスタ232、浮遊拡散領域236、リセットトランジスタ233、増幅トランジスタ234および選択トランジスタ235を備える。これらの素子の接続構成は、画素220と同様である。画素220以外の偶数列の画素の構成は、画素220と同様であり、画素230以外の奇数列の画素の構成は、画素230と同様である。すなわち、偶数列は、垂直信号線 $VS L_{2k}$ に接続され、奇数列は、垂直信号線 $VS L_{2k+1}$ に接続される。

[0046] 次に画素220の基本機能について説明する。リセットトランジスタ223は、垂直駆動部12から供給される駆動信号 $RST_{(i, 2k)}$ に従って、浮遊拡散領域226に蓄積されている電荷の排出をオンオフする。ここで、行数は、 l (l は、整数)であり、添え字の i は、0乃至 l の整数である。例えば、ハイレベルの駆動信号 $RST_{(i, 2k)}$ が供給されると、浮遊拡散領域226は垂直リセット入力線 VRD_{2k} を通して印可される電圧にクランプされる。そして、リセットトランジスタ223は、浮遊拡散領域226に蓄積されていた電荷を排出(リセット)する。

[0047] また、リセットトランジスタ223に、ローレベルの駆動信号 $RST_{(i, 2k)}$ が供給されると、浮遊拡散領域226は垂直リセット入力線 VRD_{2k} と電気

的に切断され、浮遊状態になる。

[0048] また、フォトダイオード221は、入射光を光電変換し、その光量に応じた電荷を生成して蓄積する。転送トランジスタ222は、垂直駆動部12から供給される駆動信号 $TRG_{(i, 2k)}$ に従って、フォトダイオード221から浮遊拡散領域226への電荷の転送をオンオフする。例えば、転送トランジスタ222は、ハイレベルの駆動信号 $TRG_{(i, 2k)}$ が供給されると、フォトダイオード221に蓄積されている電荷を浮遊拡散領域226に転送し、ローレベルの駆動信号 $TRG_{(i, 2k)}$ が供給されると電荷の転送を停止する。なお、転送トランジスタ222が、浮遊拡散領域226への電荷の転送を停止している間、光電変換された電荷は、フォトダイオード221に蓄積される。

[0049] 浮遊拡散領域226は、フォトダイオード221から転送トランジスタ222を介して転送されてくる電荷を蓄積する機能を持つ。リセットトランジスタ223がオフした浮遊状態では、その蓄積された電荷量に応じて浮遊拡散領域226の電位は変調される。

[0050] 増幅トランジスタ224は、そのゲートに接続された浮遊拡散領域226の電位変動を入力信号とする増幅器として働き、その出力電圧信号は選択トランジスタ225を介して垂直信号線 $VS L_{2k}$ に出力される。

[0051] 選択トランジスタ225は、垂直駆動部12から供給される駆動信号 $SEL_{(i, 2k)}$ に従って、増幅トランジスタ224からの電圧信号の垂直信号線 $VS L_{2k}$ への出力をオンオフする。例えば、選択トランジスタ225は、ハイレベルの駆動信号 $SEL_{(i, 2k)}$ が供給されると、電圧信号を垂直信号線 $VS L_{2k}$ に出力し、ローレベルの駆動信号 $SEL_{(i, 2k)}$ が供給されると、電圧信号の出力を停止する。これにより複数の画素が接続された垂直信号線において、選択した画素の出力のみを取り出す事が可能となる。

[0052] 一方、画素230内のトランジスタには、駆動信号 $RST_{(i, 2k+1)}$ 、 $TRG_{(i, 2k+1)}$ および $SEL_{(i, 2k+1)}$ が供給され、それらの駆動信号に従って画素220内の対応するトランジスタと同様に動作する。

[0053] [カラム読出し回路部の構成例]

図3は、本技術の第1の実施の形態におけるカラム読出し回路部13の一構成例を示すブロック図である。このカラム読出し回路部13には、2列ごとに単位読出し回路300が配置される。列数をJとすると、 $J/2$ 個の単位読出し回路300が配置される。

[0054] それぞれの単位読出し回路300は、垂直信号線 VSL_{2k} および VSL_{2k+1} と、垂直リセット入力線 VRD_{2k} および VRD_{2k+1} と、垂直電流供給線 $VCOM_{2k}$ および $VCOM_{2k+1}$ とを介して画素アレイ部11と接続されている。また、単位読出し回路300は、垂直信号線 VSL_{2k} および VSL_{2k+1} のそれぞれからの電圧信号を画素信号 $Vout_{2k}$ および $Vout_{2k+1}$ としてカラム信号処理部14に供給する。

[0055] 図4は、本技術の第1の実施の形態における単位読出し回路300の一構成例を示す回路図である。単位読出し回路300は、P型トランジスタ311および312と、スイッチ313および314と、スイッチ316乃至329と、電流源331および332とを備える。P型トランジスタ311および312として、例えば、MOSトランジスタが用いられる。P型トランジスタ311および312は、電源電圧 VDD の端子に並列に接続され、それらのゲートは接続される。

[0056] スイッチ313は、システム制御部16からの駆動信号 $DAS1$ に従ってP型トランジスタ311のゲートおよびドレインを短絡するものである。例えば、駆動信号 $DAS1$ がハイレベルの際に、スイッチ313がオン状態に移行してP型トランジスタ311のゲートおよびドレインが短絡される。

[0057] スイッチ314は、システム制御部16からの駆動信号 $DAS2$ に従ってP型トランジスタ312のゲートおよびドレインを短絡するものである。例えば、駆動信号 $DAS2$ がハイレベルの際に、スイッチ314がオン状態に移行してP型トランジスタ312のゲートおよびドレインが短絡される。

[0058] スイッチ313および314の一方がオン状態に、他方がオフ状態に移行することにより、P型トランジスタ311および312は、カレントミラー

回路として機能する。

[0059] スイッチ316は、システム制御部16からの駆動信号SFENに従って電源電圧VDDの端子を垂直リセット入力線VRD_{2k}に接続するものである。例えば、駆動信号SFENがハイレベルの場合に、電源電圧VDDが垂直リセット入力線VRD_{2k}に接続される。

[0060] スイッチ317は、システム制御部16からの駆動信号DAS1に従って電源電圧VDDと異なるリセット電圧Vrstの端子を垂直リセット入力線VRD_{2k}に接続するものである。例えば、駆動信号DAS1がハイレベルの場合に、リセット電圧Vrstが垂直リセット入力線VRD_{2k}に接続される。

[0061] ここで、リセット電圧Vrstとして、例えば、電源電圧VDDより低い電圧が印加される。例えば、電源電圧VDDは3.3ボルト(V)であり、リセット電圧Vrstは、2.2ボルト(V)である。リセット電圧Vrstは、高い方が電荷の転送には有利で、多くの信号電荷を転送することができる。その一方で、リセット電圧Vrstが低い方が、出力電圧の振幅を大きくすることができる。なお、フォトダイオードの極性が逆の場合には、それぞれが逆の電位設定が有利とされる。

[0062] スイッチ318は、システム制御部16からの駆動信号DAS2に従ってP型トランジスタ311を垂直リセット入力線VRD_{2k}に接続するものである。例えば、駆動信号DAS2がハイレベルの場合にP型トランジスタ311が垂直リセット入力線VRD_{2k}に接続される。

[0063] スイッチ319は、システム制御部16からの駆動信号DAENに従ってP型トランジスタ311を垂直信号線VSL_{2k}に接続するものである。例えば、駆動信号DAENがハイレベルの場合にP型トランジスタ311が垂直信号線VSL_{2k}に接続される。

[0064] スイッチ320は、システム制御部16からの駆動信号SFENに従って電源電圧VDDの端子を垂直電流供給線VCOM_{2k}に接続するものである。例えば、駆動信号SFENがハイレベルの場合に、電源電圧VDDが垂直電

流供給線 $VCOM_{2k}$ に接続される。

- [0065] スイッチ 321 は、システム制御部 16 からの駆動信号 $SFEN$ に従って電源電圧 VDD の端子を垂直リセット入力線 VRD_{2k+1} に接続するものである。例えば、駆動信号 $SFEN$ がハイレベルの場合に、電源電圧 VDD が垂直リセット入力線 VRD_{2k+1} に接続される。
- [0066] スイッチ 322 は、システム制御部 16 からの駆動信号 $DAS2$ に従ってリセット電圧 $Vrst$ の端子を垂直リセット入力線 VRD_{2k+1} に接続するものである。例えば、駆動信号 $DAS2$ がハイレベルの場合に、リセット電圧 $Vrst$ が垂直リセット入力線 VRD_{2k+1} に接続される。
- [0067] スイッチ 323 は、システム制御部 16 からの駆動信号 $DAS1$ に従って P 型トランジスタ 312 を垂直リセット入力線 VRD_{2k+1} に接続するものである。例えば、駆動信号 $DAS1$ がハイレベルの場合に P 型トランジスタ 312 が垂直リセット入力線 VRD_{2k+1} に接続される。
- [0068] スイッチ 324 は、システム制御部 16 からの駆動信号 $DAEN$ に従って P 型トランジスタ 312 を垂直信号線 VSL_{2k+1} に接続するものである。例えば、駆動信号 $DAEN$ がハイレベルの場合に P 型トランジスタ 312 が垂直信号線 VSL_{2k+1} に接続される。
- [0069] スイッチ 325 は、システム制御部 16 からの駆動信号 $SFEN$ に従って電源電圧 VDD の端子を垂直電流供給線 $VCOM_{2k+1}$ に接続するものである。例えば、駆動信号 $SFEN$ がハイレベルの場合に、電源電圧 VDD が垂直電流供給線 $VCOM_{2k+1}$ に接続される。
- [0070] スイッチ 326 は、システム制御部 16 からの駆動信号 $DAEN$ に従って、垂直電流供給線 $VCOM_{2k}$ を電流源 331 に接続するものである。例えば、駆動信号 $DAEN$ がハイレベルの場合に、垂直電流供給線 $VCOM_{2k}$ が電流源 331 に接続される。
- [0071] スイッチ 327 は、システム制御部 16 からの駆動信号 $SFEN$ に従って、垂直信号線 VSL_{2k} を電流源 331 に接続するものである。例えば、駆動信号 $SFEN$ がハイレベルの場合に、垂直信号線 VSL_{2k} が電流源 331 に

接続される。

- [0072] スイッチ 328 は、システム制御部 16 からの駆動信号 D A E N に従って、垂直電流供給線 $V C O M_{2k+1}$ を電流源 332 に接続するものである。例えば、駆動信号 D A E N がハイレベルの場合に、垂直電流供給線 $V C O M_{2k+1}$ が電流源 332 に接続される。
- [0073] スイッチ 329 は、システム制御部 16 からの駆動信号 S F E N に従って、垂直信号線 $V S L_{2k+1}$ を電流源 332 に接続するものである。例えば、駆動信号 S F E N がハイレベルの場合に、垂直信号線 $V S L_{2k+1}$ が電流源 332 に接続される。
- [0074] 上述の構成において、ローレベルの駆動信号 S F E N とハイレベルの駆動信号 D A E N とにより、単位読出し回路 300 と、画素 220 および 230 とは、差動増幅回路を構成する。この差動増幅回路から差動増幅信号を読み出す動作を「差動読出し」と称する。また、垂直同期信号の周期である 1 V 期間において、差動読出しのみを行うモードを以下、「差動モード」と称する。
- [0075] 一方、ハイレベルの駆動信号 S F E N とローレベルの駆動信号 D A E N とにより、単位読出し回路 300 と、画素 220 および 230 とは、ソースフォロワ回路を構成する。このソースフォロワ回路から画素信号を読み出す動作を「S F (Source Follower) 読出し」と称する。また、1 V 期間において、S F 読出しのみを行うモードを以下、「S F モード」と称する。
- [0076] 差動モードでは、画像信号に対するゲインを大きくして変換効率を大幅に大きくすることができるが、動作点が狭く、ダイナミックレンジの拡大が困難である。ただし、画像信号を比較的高いゲインにより増幅することができるため、差動モードは暗所での撮像に適している。一方、S F モードでは、画像信号を比較的低いゲインでしか増幅することができないが、ダイナミックレンジを比較的に広くすることができるため、明所での撮像に適している。このため、例えば、環境光の測光量が所定の閾値より小さい場合に差動モードが設定され、その測光量が閾値以上の場合に S F モードが設定される。

[0077] また、差動モードにおいては、垂直方向に配列された一対の画素が選択され、その一方が「読出画素」、他方が「参照画素」として選択される。これらのうち読出画素は、光電変換された電荷の量に応じた電圧が信号電圧として読み出される画素である。一方、参照画素は、浮遊拡散領域の電圧が、所定の参照電圧に初期化された電圧である。差動モードにおいては、これらの信号電圧および参照電圧の差分を増幅した信号が読み出される。

[0078] また、差動モードにおいては、駆動信号DAS1およびDAS2を制御することにより、読出画素および参照画素を切り替えることができる。例えば、駆動信号DAS1およびDAS2のうち駆動信号DAS1のみをハイレベルにした場合、画素220および230の一方が読出画素となり、逆に、駆動信号DAS2のみをハイレベルにした場合、画素220および230の他方が読出画素となる。

[0079] また、差動モードおよびSFモードの他、1V期間内において差動読出し、および、SF読出しの両方を行うこともできる。このモードは、ハイダイナミックレンジ合成を行うために用いられるため、このモードを以下、「HDR (High Dynamic Range) モード」と称する。

[0080] 図5は、本技術の第1の実施の形態における単位読出し回路300と画素220および230とからなる差動増幅回路の一構成例を示す回路図である。この差動増幅回路は、読出し対象の読出画素と、参照電圧を与える参照画素と、カラム読出し回路部13に配置されたカレントミラー回路と、電流源330とで構成される。例えば、画素220が参照画素として用いられ、画素230が読出画素として用いられる。電流源330は、電流源331および332を記載の便宜上、1つにまとめた素子である。なお、同図では、記載の便宜上、スイッチ群は省略されている。

[0081] 垂直リセット入力線VRD_{2k}は、カラム読出し回路部13内の単位読出し回路300で所定のリセット電圧V_{rst}に接続されている。リセット時にはこの配線を通して選択された参照画素の浮遊拡散領域226、すなわち参照側の増幅トランジスタ224の入力端子に所望の入力電圧信号が印可され

る。

[0082] 参照側の垂直信号線 VSL_{2k} は、カラム読出し回路部 13 で、カレントミラー回路の P 型トランジスタ 311 のドレインおよびゲートと P 型トランジスタ 312 のゲートとに接続されている。

[0083] 一方、読出し側の垂直信号線 VSL_{2k+1} は、カラム読出し回路部 13 で P 型トランジスタ 312 のドレインと、読出画素の浮遊拡散領域 236（すなわち、読出し側の増幅トランジスタ 234 の入力端子）にリセットトランジスタ 233 を介して接続される。これにより、差動型増幅回路の出力信号が負帰還される。差動型増幅回路の出力信号は垂直信号線 VSL_{2k+1} から取り出される。また、参照側および読出し側の垂直電流供給線 $VCOM_{2k}$ および $VCOM_{2k+1}$ は、電流源 330 に接続される。

[0084] 参照画素（ここでは、画素 220）が参照電圧を生成する場合にリセットトランジスタ 223 がオン状態となり、浮遊拡散領域 226 にリセット電圧 $Vrst$ を供給する。一方、読出画素（ここでは、画素 230）では、信号電圧を読み出す場合にリセットトランジスタ 233 が転送直前にオン状態となり、カレントミラー回路を介して電源電圧 VDD に応じた、リセット電圧 $Vrst$ と異なる電圧を浮遊拡散領域 236 に供給する。そして、読出画素においてフォトダイオード 231 から電荷が転送され、信号電圧が生成される。これらの参照電圧と信号電圧との差分を増幅した信号が画素信号 $Vout_{2k+1}$ として読み出される。

[0085] 参照画素と読出画素との位置関係は固定ではなく、前述したように入れ替えることができる。例えば、画素 220 が参照画素、画素 230 が読出画素として選択された後に、次いで、画素 220 が読出画素、画素 230 が参照画素として選択される。

[0086] [カラム信号処理部の構成例]

図 6 は、本技術の第 1 の実施の形態におけるカラム信号処理部 14 の一構成例を示すブロック図である。このカラム信号処理部 14 は、2 列ごとにスイッチ 410、ADC 420 および合成処理部 430 を備える。

- [0087] スイッチ410は、画素アレイ部11内の対応する2列からの画素信号 $V_{out_{2k}}$ および $V_{out_{2k+1}}$ のいずれかを駆動信号DAS1に従って選択し、ADC420にアナログ信号 A_{in} として供給するものである。
- [0088] ADC420は、アナログ信号 A_{in} をデジタル信号に変換するものである。このADC420は、デジタル信号を合成処理部430に供給する。
- [0089] 合成処理部430は、HDRモードにおいて、ADC420からのデジタル信号に対してダイナミックレンジを広くするためのHDR合成処理を行うものである。一方、差動モードおよびSFモードにおいては、HDR合成処理は実行されない。この合成処理部430は、HDR合成処理後の画素データSIGを信号処理部17へ出力する。
- [0090] 図7は、本技術の第1の実施の形態におけるADC420の一構成例を示す回路図である。このADC420は、比較器520と、スイッチ423と、カウンタ421および422とを備える。
- [0091] 比較器520は、スロープ状にレベルが変化する参照信号 V_{slope} と、アナログ信号 A_{in} とを比較するものである。差動読出しの際の参照信号 V_{slope} の振幅レンジは、SF読出しのときと同様であるものとする。この比較器520は、比較結果をカウンタ421および422に供給する。
- [0092] スイッチ423は、システム制御部16からのオートゼロのための駆動信号AZに従って、比較器520の出力端子と、アナログ信号 A_{in} 側の入力端子とを短絡するものである。
- [0093] カウンタ421および422は、システム制御部16の制御に従って比較結果が反転するまでの期間内に計数値を計数するものである。
- [0094] システム制御部16は、カウンタ422を制御してソースフォロフ回路からのP相レベルとD相レベルとの差分を計数させる。ここで、P相レベルは、浮遊拡散領域が初期化されたときに画素220や230により生成された画素信号 $V_{out_{2k}}$ や $V_{out_{2k+1}}$ の電圧（レベル）である。また、D相レベルは、画素220や230の露光が終了したときに画素220や230により生成された画素信号 $V_{out_{2k}}$ や $V_{out_{2k+1}}$ の電圧（レベル）である。

。以下、ソースフォロワ回路のP相レベルおよびD相レベルを「P 2 レベル」および「D 2 レベル」とする。なお、P相レベルおよびD相レベルは、特許請求の範囲に記載の生成電圧の一例である。P 2 レベルは、特許請求の範囲に記載の第2リセットレベルの一例であり、D 2 レベルは、特許請求の範囲に記載の第2信号レベルの一例である。

[0095] また、システム制御部16は、カウンタ421を制御して差動増幅回路からのP相レベルとD相レベルとの差分を計数させる。ここで、差動増幅回路からのP相レベルは、読出画素のP相レベルと参照画素のP相レベルとの差分を増幅した差動増幅信号のレベルである。また、差動増幅回路からのD相レベルは、読出画素のD相レベルと参照画素のD相レベルとの差分を増幅した差動増幅信号のレベルである。以下、差動増幅回路のP相レベルおよびD相レベルを「P 1 レベル」および「D 1 レベル」とする。なお、P 1 レベルおよびD 1 レベルは、特許請求の範囲に記載の差動増幅信号の一例である。また、P 1 レベルは、特許請求の範囲に記載の第1リセットレベルの一例であり、D 1 レベルは、特許請求の範囲に記載の第1信号レベルの一例である。

[0096] カウンタ421は、P 1 レベルとD 1 レベルとの差分を示すデジタル信号をデジタル信号Dout1として合成処理部430に出力する。カウンタ422は、P 2 レベルとD 2 レベルとの差分を示すデジタル信号をデジタル信号Dout2として合成処理部430に出力する。これらの差分を求める処理は、CDS処理に該当する。

[0097] [合成処理部の構成例]

図8は、本技術の第1の実施の形態における合成処理部430の一構成例を示す回路図である。この合成処理部430は、乗算器431、判定回路432およびスイッチ433を備える。乗算器431は、P 2 レベルおよびD 2 レベルの差分を示すデジタル信号Dout2に対して所定の係数Aを乗算し、乗算結果を判定回路432に出力するものである。この係数Aは、例えば、次の式に示す値が設定される。

$$A = (\eta_D \times G_{AD}) \div (\eta_S \times G_{AS})$$

上式において、 η_D は、差動読出し時の変換効率であり、 G_{AD} は、差動読出し時のアナログゲインである。 η_S は、S F 読出し時の変換効率であり、 G_{AS} は、S F 読出し時のアナログゲインである。

[0098] 判定回路432は、乗算結果が所定の閾値より大きいか否かを判定するものである。この判定回路432は、判定結果をスイッチ433に供給する。

[0099] スイッチ433は、判定結果に応じて、P1レベルおよびD1レベルの差分を示すデジタル信号Dout1と、P2レベルおよびD2レベルの差分を示すデジタル信号Dout2とのいずれかを選択するものである。例えば、乗算結果が閾値以下と判定された場合にスイッチ433は、差動読出しされたデジタル信号Dout1を選択して画素データSIGとして出力する。一方、乗算結果が閾値より大きいと判定された場合にスイッチ433は、S F 読出しされたデジタル信号Dout2を選択して画素データSIGとして出力する。これらの処理により、差動読出ししたデジタル信号Dout1からなるフレームとS F 読出ししたデジタル信号Dout2からなるフレームとを合成した合成フレームが生成される。

[0100] 図9は、本技術の第1の実施の形態における入射光量と画素信号のレベルとの関係の一例を示すグラフである。同図における縦軸は、デジタル信号のレベルをLSB (Least Significant Bit) の単位で表した値である。同図における横軸は、画素の入射光量である。また、実線は、P1レベルおよびD1レベルの差分を示すデジタル信号Dout1の特性を示し、一点鎖線は、P2レベルおよびD2レベルの差分を示すデジタル信号Dout2の特性を示す。

[0101] 同等の入射光量のとき、S F 読出しされたデジタル信号Dout2 (= D2 - P2) のレベルに対し、差動増幅読出しされたデジタル信号Dout1 (= D1 - P1) は、例えば4倍となる。階調12ビットのADC420の出力レンジを4095LSBとすると、差動読出しの場合は、入射光量がN (e-) のときに出力値が飽和してしまうのに対し、S F 読出しでは、4N (

e^-)まで飽和しない。

[0102] そこで、合成処理部430は、 $D_{out2} (= D2 - P2)$ に4倍の係数(デジタルゲイン)を乗算し、閾値を4000LSBとして、乗算結果と比較する。そして、合成処理部430は、4000LSB以下の場合は差動読出しに係るデジタル信号を選択し、4000LSBを超える場合はソースフォロワ読出しに係るデジタル信号を選択する。これにより、差動読出しのみの読出しに比べ、ダイナミックレンジを4倍(言い換えれば、+12デシベル)に拡大することができる。

[0103] また、 η_D/η_S の値が「4」で、 G_{AD}/G_{AS} の値が「2」とすると、SF読出しされたデジタル信号 D_{out2} のレベルに対し、差動増幅読出しされたデジタル信号 D_{out1} は、8倍となる。階調12ビットのADC420の出力レンジを4095LSBとすると、差動読出しの場合は、入射光量が $N(e^-)$ のときに出力値が飽和してしまうのに対し、SF読出しでは、 $8N(e^-)$ まで飽和しない。この際は、合成処理部430は、 $D_{out2} (= D2 - P2)$ に8倍の係数(デジタルゲイン)を乗算すればよい。

[0104] [固体撮像素子の動作例]

図10は、本技術の第1の実施の形態における差動読出しの一例を示すタイミングチャートである。例えば、垂直駆動部12は、タイミングT1において駆動信号 $RST_{(i, 2k)}$ および $RST_{(i, 2k+1)}$ を供給し、タイミングT3において駆動信号 $TRG_{(i, 2k)}$ を供給する。そして、垂直駆動部12は、タイミングT5において駆動信号 $RST_{(i, 2k)}$ および $RST_{(i, 2k+1)}$ を供給し、タイミングT7において駆動信号 $TRG_{(i, 2k+1)}$ を供給する。駆動信号 $SEL_{(i, 2k)}$ および $SEL_{(i, 2k+1)}$ はハイレベルに制御される。

[0105] また、システム制御部16は、駆動信号SFENをローレベルにし、駆動信号DAENをハイレベルにする。これにより、差動増幅回路が構成される。システム制御部16は、タイミングT1の直前からタイミングT5の直前まで駆動信号DAS1をローレベルにし、駆動信号DAS2をハイレベルにする。これにより、画素 $(i, 2k)$ が読出画素となり、画素 $(i, 2k +$

1) が参照画素となる。そしてシステム制御部 16 は、タイミング T5 の直前以降は、駆動信号 D A S 1 をハイレベルにし、駆動信号 D A S 2 をローレベルにする。これにより、参照画素と読出画素とが入れ替えられる。

[0106] 上述の制御により、タイミング T1 乃至 T3 の期間内に P1 レベルの画素信号 $V_{out_{2k}}$ (差動増幅信号) が読み出され、タイミング T3 乃至 T5 の期間内に D1 レベルの画素信号 $V_{out_{2k}}$ が読み出される。タイミング T5 乃至 T7 の期間内に P1 レベルの画素信号 $V_{out_{2k+1}}$ が読み出され、タイミング T7 以降に D1 レベルの画素信号 $V_{out_{2k+1}}$ が読み出される。

[0107] 上述の差動読出しは、差動モードにおいて 1 V 期間内に行われる。また、HDR モードにおいては、この差動読出しに加えて S F 読出しが行われる。

[0108] 図 11 は、本技術の第 1 の実施の形態における S F 読出しの一例を示すタイミングチャートである。例えば、垂直駆動部 12 は、タイミング T2 において駆動信号 $RST_{(i, 2k)}$ を供給し、タイミング T4 において駆動信号 $TRG_{(i, 2k)}$ を供給する。そして、垂直駆動部 12 は、タイミング T6 において駆動信号 $RST_{(i, 2k+1)}$ を供給し、タイミング T8 において駆動信号 $TRG_{(i, 2k+1)}$ を供給する。駆動信号 $SEL_{(i, 2k)}$ は、タイミング T6 の直前までハイレベルに制御され、 $SEL_{(i, 2k+1)}$ はローレベルに制御される。また、それ以降は、駆動信号 $SEL_{(i, 2k)}$ は、ローレベルに制御され、 $SEL_{(i, 2k+1)}$ はハイレベルに制御される。

[0109] また、システム制御部 16 は、駆動信号 S F E N をハイレベルにし、駆動信号 D A E N をローレベルにする。これにより、ソースフォロワ回路が構成される。駆動信号 D A S 1 および D A S 2 は、ローレベルに制御される。

[0110] 上述の制御により、タイミング T2 乃至 T4 の期間内に P2 レベルの画素信号 $V_{out_{2k}}$ が読み出され、タイミング T4 乃至 T6 の期間内に D2 レベルの画素信号 $V_{out_{2k}}$ が読み出される。タイミング T6 乃至 T8 の期間内に P2 レベルの画素信号 $V_{out_{2k+1}}$ が読み出され、タイミング T8 以降に D2 レベルの画素信号 $V_{out_{2k+1}}$ が読み出される。

[0111] 上述の S F 読出しは、S F モードにおいて 1 V 期間内に行われる。また、

HDRモードにおいては、このSF読出しに加えて差動読出しが行われる。

[0112] 図12は、本技術の第1の実施の形態における画素信号を読み出す制御の一例を示すタイミングチャートである。この読出し制御は、1V期間が経過するたび（言い換えれば参照画素および読出画素の露光が終了するたび）に実行される。

[0113] 垂直駆動部12は、タイミングT1において駆動信号 $RST_{(i, 2k)}$ および $RST_{(i, 2k+1)}$ を供給し、タイミングT3において駆動信号 $TRG_{(i, 2k)}$ を供給する。駆動信号 $SEL_{(i, 2k)}$ および $SEL_{(i, 2k+1)}$ はハイレベルに制御される。

[0114] また、システム制御部16は、タイミングT1において駆動信号AZを供給し、タイミングT1からT2までの間において、差動読出しであるか否かを示す $AMPMODE$ をローレベルにし、タイミングT2からT3までの間において $AMPMODE$ をハイレベルにする。

[0115] 比較器520は、画素信号 $Vout_{2k}$ と参照信号 $Vslope$ とを比較し、比較結果 Vcm を出力する。

[0116] また、システム制御部16は、タイミングT1においてカウンタ421に初期値（「0」など）を設定し、カウンタ421に計数を開始させる。カウンタ421は、比較結果 Vcm が反転するまで計数する。これにより、差動増幅回路からのP1レベルがデジタル信号に変換される。

[0117] システム制御部16は、タイミングT2においてカウンタ422に初期値（「0」など）を設定し、カウンタ422に計数を開始させる。カウンタ422は、比較結果 Vcm が反転するまで計数する。これにより、ソースフォロワ回路からのP2レベルがデジタル信号に変換される。

[0118] そして、システム制御部16は、タイミングT3においてカウンタ421の保持値の正負を反転させ、その値からの計数をカウンタ421に開始させる。カウンタ421は、比較結果 Vcm が反転するまで計数する。これにより、差動増幅回路からのD1レベルがデジタル信号に変換される。P1レベルの反転値から計数が開始されたため、計数終了時のデジタル信号 $Dout$

1 は、D 1 レベルと P 1 レベルとの差分を示す。

[0119] そして、システム制御部 1 6 は、タイミング T 3 においてカウンタ 4 2 2 の保持値の正負を反転させ、タイミング T 4 以降において、その値からの計数をカウンタ 4 2 2 に開始させる。カウンタ 4 2 2 は、比較結果 V c m が反転するまで計数する。これにより、ソースフォロワ回路からの D 2 レベルがデジタル信号に変換される。D 2 レベルの反転値から計数が開始されたため、計数終了時のデジタル信号 D o u t 2 は、D 2 レベルと P 2 レベルとの差分を示す。

[0120] 次に読出画素と参照画素とが入れ替えられ、同様の制御が行われる。これにより、2 列が読み出される。以降は、全ての列が読み出されるまで同様の制御が繰り返される。

[0121] なお、カラム読出し回路部 1 3 は、P 1 レベル、P 2 レベル、D 1 レベルおよび D 2 レベルの順に読み出しているが、この順に限定されない。また、後述するように、D 1 レベルおよび D 2 レベルの一方のみを読み出すこともできる。すなわち、カラム読出し回路部 1 3 は、P 1 レベルおよび P 2 レベルと、D 1 レベルおよび D 2 レベルの少なくとも一方とを読み出す。

[0122] これらのデジタル信号 D o u t 1 および D o u t 2 を合成することにより、ダイナミックレンジの広い合成フレームの画素データが得られる。

[0123] 図 1 3 は、本技術の第 1 の実施の形態と比較例とにおけるカラム読出し回路部 1 3 およびカラム信号処理部 1 4 の動作の一例を示す図である。同図における a は、第 1 の実施の形態の H D R モードの動作の一例を示す。同図における b は、差動読出し、および、S F 読出しの一方のみを 1 V 期間内に行う比較例の動作の一例を示す。

[0124] H D R モードのカラム読出し回路部 1 3 は、タイミング T 0 からタイミング T 1 0 までの 1 V 期間（1 / 6 0 秒など）において、露光の終了時に差動読出し、および、S F 読出しを順に行う。また、カラム信号処理部 1 4 は、差動読出しされた信号と S F 読出しされた信号とを合成し、H D R フレームを生成する。タイミング T 1 0 以降においても同様に、1 V 期間が経過する

たび（言い換えれば、露光が終了するたび）に、差動読出し、および、S F 読出しが順に行われる。これにより、1 V 期間の経過するたびに、ダイナミックレンジの広い合成フレームが生成される。

[0125] 一方、比較例では、カラム読出し回路部 1 3 は、タイミング T 0 からタイミング T 1 0 までの 1 V 期間において、露光の終了時に差動読出しのみを行う。そして、カラム読出し回路部 1 3 は、タイミング T 1 0 からタイミング T 2 0 までの次の 1 V 期間において、露光の終了時に S F 読出しのみを行う。カラム信号処理部 1 4 は、差動読出しによるフレームと、S F 読出しによるフレームとを合成することにより、合成フレームを生成することができる。なお、固体撮像素子は、S F モードのみにより、露光時間を変えて複数のフレームを読み出し、それらを合成することもできる。この場合も同様に、ダイナミックレンジの広い合成フレームを生成することができる。

[0126] 比較例ではダイナミックレンジを拡大することができるが、合成フレームのフレームレートが低下してしまう。例えば、60ヘルツ（Hz）のフレームレートで複数枚のフレームを撮像し、2枚ずつ合成する場合、合成フレームのフレームレートは30ヘルツ（Hz）に低下してしまう。

[0127] これに対して、1 V 期間内に差動読出し、S F 読出しの両方を行う固体撮像素子 1 0 では、1 V 期間ごとに合成フレームを生成することができるため、フレームレートの低下を抑制することができる。

[0128] 図 1 4 は、本技術の第 1 の実施の形態における固体撮像素子 1 0 の動作の一例を示すフローチャートである。この動作は、例えば、HDR モードが設定されたときに開始される。

[0129] 垂直駆動部 1 2 およびシステム制御部 1 6 は、露光終了時に、読出し対象の画素を選択し（ステップ S 9 0 1）、その画素を制御して差動読出しにより P 1 レベルを生成させる（ステップ S 9 0 2）。そして、垂直駆動部 1 2 等は、S F 読出しにより P 2 レベルを生成させ（ステップ S 9 0 3）、差動読出しにより D 1 レベルを生成させる（ステップ S 9 0 4）。垂直駆動部 1 2 等は、S F 読出しにより D 2 レベルを生成させる（ステップ S 9 0 5）。

A D C 4 2 0 は、C D S 処理を行い（ステップ S 9 0 6）、合成処理部 4 3 0 は、S F 読出しに係る D 2 レベルと P 2 レベルとの差分が、閾値を超える（すなわち、高照度である）か否かを判定する（ステップ S 9 0 7）。

[0130] 差分が閾値を超える場合（ステップ S 9 0 7 : Y e s）、合成処理部 4 3 0 は、D 2 レベルと P 2 レベルとの差分を示すデジタル信号 D o u t 2 を選択し、画素データ S I G として出力する（ステップ S 9 0 8）。一方、差分が閾値以下の場合（ステップ S 9 0 7 : N o）、合成処理部 4 3 0 は、D 1 レベルと P 1 レベルとの差分を示すデジタル信号 D o u t 1 を選択し、画素データ S I G として出力する（ステップ S 9 0 9）。

[0131] ステップ S 9 0 8 または S 9 0 9 の後に、垂直駆動部 1 2 は、全画素の読出しが完了したか否かを判断する（ステップ S 9 1 0）。全画素の読出しが完了していない場合（ステップ S 9 1 0 : N o）、垂直駆動部 1 2 は、ステップ S 9 0 1 以降を繰り返す。一方、全画素の読出しが完了した場合（ステップ S 9 1 0 : Y e s）、固体撮像素子 1 0 は、撮像のための動作を終了する。2 枚以上の合成フレームを連続して撮像する場合には、ステップ S 9 0 1 乃至 S 9 1 0 の処理が、垂直同期信号に同期して繰り返し実行される。

[0132] このように、本技術の第 1 の実施の形態によれば、固体撮像素子 1 0 は、ゲインの大きい差動増幅信号と、ゲインの小さな S F モードによる画素信号とを合成するため、合成しない場合よりもダイナミックレンジを広くすることができる。

[0133] < 2. 第 2 の実施の形態 >

上述の第 1 の実施の形態では、固体撮像素子 1 0 は、差動読出しを行っていたが、差動読出しにより信号の増幅率を高くすることができる一方でノイズも増幅されてしまうおそれがある。この第 2 の実施の形態の固体撮像素子 1 0 は、カラム読出し回路部 1 3 内のノードを横繋ぎすることにより、ノイズを抑制する点において第 1 の実施の形態と異なる。

[0134] 図 1 5 は、本技術の第 2 の実施の形態における単位読出し回路 3 0 0 の一構成例を示す回路図である。この第 2 の実施の形態の単位読出し回路 3 0 0

は、スイッチ 315、333 および 334 をさらに備える点において第 1 の実施の形態と異なる。

[0135] スイッチ 315 は、P 型トランジスタ 311 および 312 のゲートとスイッチ 313 および 314 のそれぞれの一端とを、システム制御部 16 からの駆動信号 DAHZ に従って水平方向に配線された水平信号線に接続するものである。例えば、ハイレベルの駆動信号 DAHZ が供給された際に、スイッチ 315 はオン状態に移行する。

[0136] システム制御部 16 は、ハイレベルの駆動信号 DAHZ を供給することにより、水平方向に配列された複数のカレントミラー回路を横繋ぎで接続することができる。

[0137] スイッチ 333 は、電流源 331 およびスイッチ 326 の接続点と、電流源 332 およびスイッチ 328 の接続点とをシステム制御部 16 からの駆動信号 DAEN に従って接続するものである。例えば、ハイレベルの駆動信号 DAEN が供給された際に、スイッチ 333 は電流源 331 および 332 を接続する。

[0138] また、スイッチ 334 は、電流源 332 およびスイッチ 328 の接続点と、隣接する単位読出し回路 300 内の電流源 331 およびスイッチ 326 の接続点とを、駆動信号 DAHZ に従って接続するものである。例えば、ハイレベルの駆動信号 DAHZ が供給された際に、スイッチ 334 は電流源 332 および 331 を接続する。

[0139] システム制御部 16 は、ハイレベルの駆動信号 DAEN または DAHZ を供給することにより、水平方向に配列された複数の電流源を横繋ぎで接続することができる。

[0140] このような横繋ぎを行うことで、各画素の増幅トランジスタでは、そのソース側とドレイン側の両方を結線し、各々の横繋ぎノードで発生するノイズを、横繋ぎ数に応じて抑圧することができる。

[0141] なお、スイッチ 315、333 および 334 の全てを配置しているが、スイッチ 315 のみ、あるいは、スイッチ 333 および 334 のみを配置する

こともできる。これらを全て配置することにより、ノイズ抑圧の効果を向上させることができる。

[0142] 横繋ぎの単位は、カラム数が多ければ多いほど、ノイズ抑圧効果は大きくなる。画素アレイ部 11 に配置された画素配列の全ての画素ペア（差動対）を接続する場合に限らず、2カラム以上の単位で横繋ぎをすれば、ノイズ低減の効果を得ることができる。

[0143] 例えば、R（Red）、G（Green）、B（Blue）の色別に分離して横繋ぎをしたり、あるいは、画角に応じて複数の領域で横繋ぎをしたり、それらの領域をモードに応じて切り替えられるようにしてもよい。

[0144] 図 16 は、本技術の第 2 の実施の形態における差動読出しの一例を示すタイミングチャートである。この第 2 の実施の形態においてシステム制御部 16 は、ハイレベルの駆動信号 D A H Z をさらに供給する。これにより、差動読出しの際に、横繋ぎによりノイズを抑制することができる。

[0145] 図 17 は、本技術の第 2 の実施の形態における S F 読出しの一例を示すタイミングチャートである。この第 2 の実施の形態においてシステム制御部 16 は、ローレベルの駆動信号 D A H Z をさらに供給する。

[0146] このように、本技術の第 2 の実施の形態によれば、差動読出しの際にスイッチ 315、333 および 334 が、カレントミラー回路および電流源を横繋ぎするため、ノイズを抑制して信号品質を向上させることができる。

[0147] <3. 第 3 の実施の形態>

上述の第 1 の実施の形態では、2列ごとにカウンタ 421 および 422 を配置して計数していたが、列数が多くなるほど、回路規模が増大するおそれがある。この第 3 の実施の形態の固体撮像素子 10 は、2列ごとにカウンタを 1 つ削減した点において第 1 の実施の形態と異なる。

[0148] 図 18 は、本技術の第 3 の実施の形態における A D C 420 および合成処理部 430 の一構成例を示す回路図である。この第 3 の実施の形態の A D C 420 は、カウンタ 422 が配置されない点において第 1 の実施の形態と異なる。また、第 3 の実施の形態の合成処理部 430 は、スイッチ 434 およ

びメモリ435をさらに備える点において第1の実施の形態と異なる。第3の実施の形態のADC420は、デジタル信号Doutを出力する。

[0149] スイッチ434は、システム制御部16の制御に従って、デジタル信号Doutを乗算器431およびメモリ435のいずれかに供給するものである。

[0150] メモリ435は、差動読出しの際のデジタル信号Dout ($= P1 - D1$) をDout1として保持するものである。

[0151] 第3の実施の形態のスイッチ434は、SF読出しの際のデジタル信号DoutであるDout2と、メモリ435に保持されたデジタル信号Dout1とのいずれかを選択する。

[0152] 図19は、本技術の第3の実施の形態における固体撮像素子10の動作の一例を示すタイミングチャートである。タイミングT1からT2までの間において垂直駆動部12は、差動読出しによりP1レベルを生成させ、タイミングT2からT3までの間において差動読出しによりD1レベルを生成させる。

[0153] また、システム制御部16は、タイミングT2において、カウンタ421の計数値の符号を反転する。これにより、計数終了時のデジタル信号Doutは、D1レベルとP1レベルとの差分を示す。また、システム制御部16は、スイッチ434を制御してメモリ435に、D1レベルおよびP1レベルの差分をデジタル信号Dout1として保持させる。

[0154] タイミングT3からT4までの間において垂直駆動部12は、SF読出しによりD2レベルを生成させ、タイミングT4以降において差動読出しによりP2レベルを生成させる。また、システム制御部16は、タイミングT3においてカウンタ421を初期化し、タイミングT4において、その計数値の符号を反転する。これにより、計数終了時のデジタル信号Doutは、D2レベルとP2レベルとの差分を示す。システム制御部16は、スイッチ434を制御し、D2レベルおよびP2レベルの差分をデジタル信号Dout2として乗算器431に供給させる。

[0155] ここで、D 2 レベルと P 2 レベルとの差分は、浮遊拡散領域の kTC ノイズの相関がない D D S (Double Data Sampling) 読出しの信号である。この D D S 読出しは、C D S 読出しに対しノイズが増大する。しかし、S F 読出しは明るい信号が対象であり、明時は光ショットノイズが支配的であるためノイズ増大の影響を無視することができる。

[0156] 合成処理部 430 は、メモリ 435 に保持された、差動読出しの際のデジタル信号 $Dout1$ と、S F 読出しの際のデジタル信号 $Dout2$ とのいずれかを選択する。これにより、HDR 合成処理が行われる。

[0157] このように、本技術の第 3 の実施の形態によれば、P 1 レベル、D 1 レベル、D 2 レベルおよび P 2 レベルを順に読み出すため、カウンタ 421 は、P 1 レベルおよび D 1 レベルの差分と、D 2 レベルおよび P 2 レベルの差分とを順に求めることができる。これにより、カウンタ 421 と並列に動作して、P 2 レベルおよび D 2 レベルの差分を求めるカウンタ 422 を削減することができる。

[0158] [変形例]

上述の第 3 の実施の形態では、ADC 420 は、P 1 レベル、D 1 レベル、D 2 レベルおよび P 2 レベルの全てを A D 変換していたが、列数が多くなるほど、変換回数が多くなり、消費電力が増大するおそれがある。この第 3 の実施の形態の変形例の ADC 420 は、低照度時に S F 読出しに係る D 2 レベルおよび P 2 レベルの A D 変換を停止して消費電力を削減した点において第 3 の実施の形態と異なる。

[0159] 図 20 は、本技術の第 3 の実施の形態の変形例における固体撮像素子 10 の動作の一例を示すタイミングチャートである。第 3 の実施の形態の変形例のシステム制御部 16 は、タイミング T3 において判定回路 432 の判定結果を参照し、D 1 レベルと P 1 レベルとの差分が閾値を超える（すなわち、照度が所定値より高い）か否かを判断する。そして、照度が所定値以下の場合に、システム制御部 16 は、カウンタ 421 をディセーブルにして、D 2 レベルおよび P 2 レベルの A D 変換を停止させる。

[0160] 一方、照度が所定値を超える場合にシステム制御部 16 は、カウンタ 421 を動作させて D2 レベルおよび P2 レベルを AD 変換させる。

[0161] このように、本技術の第 3 の実施の形態の変形例によれば、照度が所定値以下の場合に、カウンタ 421 が D2 レベルおよび P2 レベルの AD 変換をしないため、照度に関わらず、それらの変換を行う場合と比較して消費電力を削減することができる。

[0162] <4. 第 4 の実施の形態>

上述の第 3 の実施の形態では、ADC 420 は、P1 レベル、P2 レベル、D1 レベルおよび D2 レベルの全てを読み出して AD 変換していたが、列数が多くなるほど、変換回数が多くなり、読出し速度が低下するおそれがある。この第 4 の実施の形態の変形例の ADC 420 は、D1 レベルおよび D2 レベルの一方のみを読み出すことにより読出し速度を向上させた点において第 3 の実施の形態と異なる。

[0163] 図 21 は、本技術の第 4 の実施の形態における低照度時の固体撮像素子の動作の一例を示すタイミングチャートである。タイミング T1 から T2 までの間において垂直駆動部 12 は、差動読出しにより P1 レベルを生成させ、タイミング T2 から T3 までの間において SF 読出しにより P2 レベルを生成させる。

[0164] また、システム制御部 16 は、スイッチ 434 を制御して、P1 レベルをメモリ 435 に保持させる。そして、タイミング T3 の直後の所定タイミングでシステム制御部 16 は、比較器 520 の比較結果 V_{cm} を参照し、比較結果 V_{cm} が反転した（すなわち、照度が所定値より高い）か否かを判断する。照度が所定値以下の場合にシステム制御部 16 は、カウンタ 421 の計数値を -P1 に初期化する。また、垂直駆動部 12 も比較結果 V_{cm} を参照し、照度が所定値以下の場合に差動読出しにより D1 レベルを生成させる。カウンタ 421 の計数終了時の計数値は、D1 レベルおよび P1 レベルの差分となる。D1 レベルおよび P1 レベルの差分はそのまま画素データ SIG として出力される。

[0165] また、第4の実施の形態のカラム信号処理部14には、合成処理部430の代わりにメモリ435のみが配置される点において第3の実施の形態と異なる。

[0166] 図22は、本技術の第4の実施の形態における高照度時の固体撮像素子の動作の一例を示すタイミングチャートである。タイミングT3までの制御は、低照度時と同様である。

[0167] タイミングT3の直後にシステム制御部16は、比較結果Vcmを参照し、照度が所定値より高いか否かを判断する。照度が所定値より高い場合にシステム制御部16は、カウンタ421の計数値P2の符号を反転させる。垂直駆動部12も比較結果Vcmを参照し、照度が所定値より高い場合に差動読出しによりD2レベルを生成させる。カウンタ421の計数終了時の計数値は、D2レベルおよびP2レベルの差分となる。D2レベルおよびP2レベルの差分はそのまま画素データSIGとして出力される。

[0168] このように、本技術の第4の実施の形態によれば、照度に応じてD1レベルおよびD2レベルの一方のみをAD変換するため、それらの両方をAD変換する場合と比較して読出し速度を向上させることができる。これにより、合成フレームのフレームレートを向上させることができる。

[0169] <5. 第5の実施の形態>

上述の第1の実施の形態では、水平方向に隣接する画素220および230を読出画素および参照画素として差動読出しを行っていた。しかし、この構成では、行数が多くなるほど、垂直駆動部12と画素アレイ部11との間の水平信号線の本数が増大するおそれがある。この第5の実施の形態の固体撮像素子10は、垂直方向に隣接する画素220および230を読出画素および参照画素として、水平信号線の本数を削減した点において第1の実施の形態と異なる。

[0170] 図23は、本技術の第5の実施の形態における画素アレイ部11の一例を示す平面図である。この第5の実施の形態の画素アレイ部11は、画素220は、偶数行である2k行に配置され、画素230は、奇数行である2k+

1 行に配置される点において第 1 の実施の形態と異なる。

[0171] また、画素アレイ部 1 1 と垂直駆動部 1 2 との間には、行ごとに 3 本の水平信号線が配線される。

[0172] また、垂直信号線 VSL_{2k} および VSL_{2k+1} と、垂直リセット入力線 VRD_{2k} および VRD_{2k+1} と、垂直電流供給線 $VCOM_{2k}$ および $VCOM_{2k+1}$ とが列ごとに配線される。画素 2 2 0 は、垂直信号線 VSL_{2k} と、垂直リセット入力線 VRD_{2k} と、垂直電流供給線 $VCOM_{2k}$ とに接続される。一方、画素 2 3 0 は、垂直信号線 VSL_{2k+1} と、垂直リセット入力線 VRD_{2k+1} と、垂直電流供給線 $VCOM_{2k+1}$ とに接続される。

[0173] なお、図 2 4 に例示するように、ペアとなる画素 2 2 0 と画素 2 3 0 とを垂直アドレスおよび水平アドレスの両方が互いに異なる位置に配置することもできる。例えば、画素 2 2 0 は、アドレス (i, j) に配置され、画素 2 3 0 は、その右斜め下のアドレス $(i + 1, j + 1)$ に配置される。

[0174] このように、本技術の第 5 の実施の形態によれば、垂直方向に隣接する画素 2 2 0 および 2 3 0 を垂直駆動部 1 2 が駆動するため、垂直駆動部 1 2 からの駆動信号を伝送する水平信号線の本数を削減することができる。

[0175] < 6. 第 6 の実施の形態 >

上述の第 1 の実施の形態では、読出画素および参照画素を入れ替えて差動読出しを行っていたが、この構成では、入れ替えるための多数のスイッチをカラム読出し回路部 1 3 に配置する必要があり、それらのスイッチの分、回路規模が増大する。この第 6 の実施の形態の固体撮像素子 1 0 は、参照画素の位置を固定として、スイッチを削減した点において第 1 の実施の形態と異なる。

[0176] 図 2 5 は、本技術の第 6 の実施の形態における画素アレイ部 1 1 の一例を示す平面図である。この第 6 の実施の形態の画素アレイ部 1 1 には、複数の読出画素 2 4 0 と複数の参照画素 2 5 0 とが二次元格子状に配列される。参照画素 2 5 0 は、例えば、特定の行に配列される。読出画素 2 4 0 は、参照画素 2 5 0 と異なる行に配列される。

- [0177] 読出画素240は、フォトダイオード241、転送トランジスタ242、浮遊拡散領域246、リセットトランジスタ243、増幅トランジスタ244および選択トランジスタ245を備える。これらの素子の接続構成は、画素220と同様である。
- [0178] 参照画素250は、読出画素240と同様なりセットフィードスルー特性を示す疑似画素である。例えば、参照画素250は、フォトダイオード251、転送トランジスタ252、浮遊拡散領域256、リセットトランジスタ253、増幅トランジスタ254および選択トランジスタ255を備える。これらの素子の接続構成は、画素220と同様である。
- [0179] なお、遮光した画素や、フォトダイオードを削減した点以外は読出画素240と同様の構成の画素を参照画素250として配置することもできる。
- [0180] また、第6の実施の形態の単位読出し回路300は、列ごとに配置され、対応する列の参照画素250と、いずれかの読出画素240とから差動増幅信号を読み出す。単位読出し回路300には、読出画素および参照画素の入れ替えのためのスイッチ（スイッチ313など）群が設けられない。
- [0181] このように、本技術の第6の実施の形態では、参照画素の位置を固定としたため、参照画素と読出画素とを入れ替える必要がなくなり、入れ替えのためのスイッチ群の分、単位読出し回路300の回路規模を削減することができる。
- [0182] <7. 第7の実施の形態>
- 上述の第1の実施の形態では、P型トランジスタ311および312を電源電圧に並列に接続した通常のカレントミラー回路を用いていたが、電源電圧の変動に起因してカレントミラー回路から出力される画素信号 V_{out} が変動するおそれがある。この第7の実施の形態の固体撮像素子10は、カスコードカレントミラー回路により電源電圧の変動の影響を抑制する点において第1の実施の形態と異なる。
- [0183] 図26は、本技術の第7の実施の形態における差動増幅回路の一構成例を示す回路図である。この第7の実施の形態の差動増幅回路は、単位読出し回

路300が、P型トランジスタ345および346をさらに備える点において第1の実施の形態と異なる。

[0184] P型トランジスタ345は、P型トランジスタ311とカスコード接続され、P型トランジスタ346は、P型トランジスタ312とカスコード接続されている。P型トランジスタ345のドレインおよびゲートが、例えば、参照側の垂直信号線 $VS_{L_{2k}}$ に接続される。また、P型トランジスタ346のドレインが、例えば、読出し側の垂直信号線 $VS_{L_{2k+1}}$ に接続される。このようなカレントミラー回路は、カスコードカレントミラー回路と呼ばれる。

[0185] このように、本技術の第7の実施の形態によれば、カスコードカレントミラー回路を配置したため、カスコード接続されない通常のカレントミラー回路を配置した場合と比較して、電源電圧の変動による画素信号 V_{out} の変動を抑制することができる。

[0186] <8. 第8の実施の形態>

上述の第1の実施の形態では、カラム信号処理部14内において列ごとにスイッチ410、ADC420および合成処理部430を配置していたが、列数が多くなるほど、カラム信号処理部14の回路規模が増大するおそれがある。この第8の実施の形態の固体撮像素子10は、スイッチ410を削減した点において第1の実施の形態と異なる。

[0187] 図27は、本技術の第8の実施の形態における差動増幅回路の一構成例を示す回路図である。この第8の実施の形態の差動増幅回路は、単位読出し回路300内にスイッチ351および352をさらに配置した点において第1の実施の形態と異なる。

[0188] スイッチ351は、システム制御部16からの駆動信号 SW_1 に従って垂直信号線 $VS_{L_{2k}}$ をカラム信号処理部14に接続するものである。例えば、ハイレベルの駆動信号 SW_1 が供給された際に、スイッチ351は、垂直信号線 $VS_{L_{2k}}$ をカラム信号処理部14に接続する。

[0189] スイッチ352は、システム制御部16からの駆動信号 SW_2 に従って垂

直信号線 VSL_{2k+1} をカラム信号処理部 14 に接続するものである。例えば、ハイレベルの駆動信号 $SW2$ が供給された際に、スイッチ 352 は、垂直信号線 VSL_{2k+1} をカラム信号処理部 14 に接続する。

[0190] また、第 8 の実施の形態において、スイッチ 313 には駆動信号 $SW3$ が入力され、スイッチ 314 には駆動信号 $SW4$ が入力される。また、スイッチ 317 には駆動信号 $SW5$ が入力され、スイッチ 318 には駆動信号 $SW6$ が入力される。スイッチ 322 には駆動信号 $SW7$ が入力され、スイッチ 323 には駆動信号 $SW8$ が入力される。

[0191] また、第 8 の実施の形態のカラム信号処理部 14 には、スイッチ 410 が配置されない。

[0192] 図 28 は、本技術の第 8 の実施の形態における固体撮像素子 10 の動作の一例を示すタイミングチャートである。タイミング $T10$ において垂直駆動部 12 は、駆動信号 $RST_{(i, 2k)}$ および $TRG_{(i, 2k)}$ を供給し、画素 $(i, 2k)$ の露光を開始させる。タイミング $T11$ において垂直駆動部 12 は、駆動信号 $RST_{(i, 2k+1)}$ および $TRG_{(i, 2k+1)}$ を供給し、画素 $(i, 2k+1)$ の露光を開始させる。

[0193] タイミング $T12$ において垂直駆動部 12 は、駆動信号 $RST_{(i, 2k)}$ および $RST_{(i, 2k+1)}$ を供給し、P 相レベルを生成させる。タイミング $T13$ において垂直駆動部 12 は、駆動信号 $TRG_{(i, 2k)}$ を供給し、画素 $(i, 2k)$ の露光を終了させ、D 相レベルを生成させる。

[0194] タイミング $T14$ において垂直駆動部 12 は、駆動信号 $RST_{(i, 2k)}$ および $RST_{(i, 2k+1)}$ を供給し、P 相レベルを生成させる。タイミング $T15$ において垂直駆動部 12 は、駆動信号 $TRG_{(i, 2k+1)}$ を供給し、画素 $(i, 2k+1)$ の露光を終了させ、D 相レベルを生成させる。

[0195] 一方、システム制御部 16 は、タイミング $T10$ において駆動信号 $SW8$ を供給し、タイミング $T11$ において駆動信号 $SW5$ を供給する。また、システム制御部 16 は、タイミング $T12$ 乃至 $T14$ の間において、駆動信号 $SW2$ 、 $SW3$ 、 $SW5$ および $SW8$ をハイレベルにし、残りをローレベル

にする。システム制御部 16 は、タイミング T 14 乃至 T 16 の間において、駆動信号 SW 1、SW 4、SW 6 および SW 7 をハイレベルにし、残りをローレベルにする。

[0196] 上述の制御により、タイミング T 12 乃至 T 13 の間に P 1 レベルが A/D 変換され、タイミング T 13 乃至 T 14 の間に D 1 レベルが A/D 変換される。また、タイミング T 14 乃至 T 15 の間に P 2 レベルが A/D 変換され、タイミング T 15 乃至 T 16 の間に D 2 レベルが A/D 変換される。

[0197] このように、本技術の第 8 の実施の形態では、単位読出し回路 300 内に垂直信号線を切り替えるスイッチ 351 および 352 を配置したため、カラム信号処理部 14 内に、それらと同等の機能を持つスイッチ 410 を配置する必要がなくなる。これにより、カラム信号処理部 14 の回路規模を削減することができる。

[0198] < 9. 第 9 の実施の形態 >

上述の第 1 の実施の形態では、差動読出しにおいて、S/F 読出しのときと同様の振幅レンジの参照信号 V_{slope} を用いて A/D 変換を行っていたが、この構成では、消費電力を十分に削減することができないおそれがある。この第 9 の実施の形態の固体撮像素子 10 は、DAC 内の電流を制御して消費電力を削減した点において第 1 の実施の形態と異なる。

[0199] 図 29 は、本技術の第 9 の実施の形態における固体撮像素子 10 の一構成例を示すブロック図である。この第 9 の実施の形態の固体撮像素子 10 には、DAC 510 が配置される。

[0200] DAC 510 は、システム制御部 16 からの制御信号に従って、参照信号 V_{slope} を生成し、比較器 520 に供給するものである。

[0201] 図 30 は、本技術の第 9 の実施の形態における DAC 510 および比較器 520 の一構成例を示す回路図である。DAC 510 は、P 型トランジスタ 511 と、電流源 512 と、複数の P 型トランジスタ 513 と、複数のスイッチ 514 と、可変抵抗 515 とを備える。P 型トランジスタ 513 は、M (M は、整数) 個配置され、スイッチ 514 は、P 型トランジスタ 513 個

とに設けられる。これらのP型トランジスタとして、例えば、MOSトランジスタが用いられる。

[0202] 電流源512は、所定の基準電流を生成するものである。システム制御部16は、この基準電流の値を制御することができる。例えば、差動読出しにおいてシステム制御部16は、基準電流 I_{DA_D} を生成させ、SF読出しにおいて、 I_{DS_A} と異なる基準電流 I_{DA_S} を生成させる。

[0203] P型トランジスタ511と、複数のP型トランジスタ513とは、電源電圧の端子に並列に接続される。また、P型トランジスタ511のゲートは、複数のP型トランジスタ513のそれぞれのゲートと接続される。P型トランジスタ511のドレインは、電流源512と、自身のゲートとに接続される。

[0204] スイッチ514は、システム制御部16からの制御信号SW2m（mは、1乃至Mの整数）に従って、対応するP型トランジスタ513のドレインを可変抵抗515に接続するものである。例えば、ハイレベルの制御信号SW2mが供給されると、スイッチ514は、対応するP型トランジスタ513のドレインを可変抵抗515に接続する。

[0205] 可変抵抗515とスイッチ514との接続点からは、参照信号 V_{slope} が出力される。この可変抵抗515の抵抗値をシステム制御部16は制御することができる。例えば、差動読出しにおいて R_D の抵抗値に制御され、SF読出しにおいて、 R_S の抵抗値に制御される。

[0206] 上述のP型トランジスタ511と、M個のP型トランジスタ513とにより、カレントミラー回路が構成される。システム制御部16は、M個のスイッチ514を時分割でオンオフし、カレントミラー回路から可変抵抗515に流れる電流を変動させ、スロープ状の参照信号 V_{slope} を生成させる。

[0207] また、比較器520は、P型トランジスタ521、522および523と、N型トランジスタ524および525と、電流源526および527とを備える。これらのトランジスタとして、例えば、MOSトランジスタが用いられる。

- [0208] P型トランジスタ521および522は、電源電圧の端子に並列に接続される。P型トランジスタ521のゲートは、自身のドレインと、P型トランジスタ522のゲートとに接続される。P型トランジスタ521のドレインは、N型トランジスタ524のドレインに接続される。P型トランジスタ522のドレインは、P型トランジスタ523のゲートと、N型トランジスタ525のドレインとに接続される。
- [0209] N型トランジスタ524および525は、差動対を構成し、N型トランジスタ524のゲートには参照信号 V_{slope} が入力される。一方、N型トランジスタ525のゲートには、アナログ信号 A_{in} が入力される。N型トランジスタ524および525のソースは、電流源526に共通に接続される。
- [0210] P型トランジスタ523および電流源527は、電源電圧の端子に直列に接続され、それらの接続点から比較結果 V_{cm} が出力される。差動読出しの際に電流源526に流れるテール電流を I_{CM_D1} とし、電流源527に流れる出力電流を I_{CM_D2} とする。また、SF読出しの際に電流源526に流れるテール電流を I_{CM_S1} とし、電流源527に流れる出力電流を I_{CM_S2} とする。
- [0211] また、アナログ信号 A_{in} を伝送する信号線には、負荷MOS回路530が接続される。この負荷MOS回路530に差動読出しの際に流れる負荷電流を I_{LM_D} とし、SF読出しの際に流れる負荷電流を I_{LM_S} とする。これらの電流値が大きいほどノイズが低下し、応答速度が速くなるというメリットがあるが、消費電力の増大や出力信号の振幅レンジの減少といったデメリットがある。負荷電流 I_{LM_D} および I_{LM_S} はそれぞれ異なる電流値であり、それぞれの読出しモードに適した電流値を、基準電流の制御により設定することができる。例えば、負荷電流 I_{LM_D} を負荷電流 I_{LM_S} より大きくすると暗い場所での撮像を想定した差動増幅読出し時にノイズを低減し、明るい場所での撮像を想定したSF読出し時に信号振幅のレンジを拡大することができる。
- [0212] また、DAC510において、基準電流 I_{DA_D} および I_{DA_S} はそれぞれ異なる電流値であり、それぞれの読出しモードに適した電流値を、システム制

御部 16 の制御により設定することができる。例えば、基準電流 I_{DA_D} が基準電流 I_{DA_S} より小さく、抵抗値 R_D が抵抗値 R_S より大きいとする。DAC 510 においては可変抵抗 515 の熱ノイズが総ノイズの支配成分であり、その抵抗値が小さいほど低ノイズとなる。しかし、差動読出し時に大きな抵抗値にして DAC のノイズを悪化させても、変換効率が高いため後段のノイズ悪化の画質影響は無視できるレベルであり、さらに電流値が小さいため消費電力を削減できる。

[0213] また、比較器において電流源 526 および 527 に流れる電流の電流値が大きいほどノイズが低下し、応答速度が速くなるというメリットがあるが、消費電力の増大や出力信号の振幅レンジの減少といったデメリットがある。テール電流 I_{CM_D1} とテール電流 I_{CM_S1} との電流値は異なり、出力電流 I_{CM_D2} と出力電流 I_{CM_S2} との電流値は異なる。例えば、テール電流 I_{CM_D1} をテール電流 I_{CM_S1} より小さく、出力電流 I_{CM_D2} を出力電流 I_{CM_S2} より小さくすると、差動読出しの際の消費電力を削減することができる。その代わりに比較器 520 のノイズは悪化するが差動読出しにより変換効率が高くなっているため後段のノイズ悪化の画質影響は無視できるレベルに小さい。

[0214] このように、本技術の第 9 の実施の形態では、DAC 510 内の基準電流や負荷電流を差動読出しの際に低下させるため、差動読出しの際の消費電力を削減することができる。

[0215] < 10. 移動体への応用例 >

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0216] 図 31 は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0217] 車両制御システム 12000 は、通信ネットワーク 12001 を介して接

続された複数の電子制御ユニットを備える。図31に示した例では、車両制御システム12000は、駆動系制御ユニット12010、ボディ系制御ユニット12020、車外情報検出ユニット12030、車内情報検出ユニット12040、及び統合制御ユニット12050を備える。また、統合制御ユニット12050の機能構成として、マイクロコンピュータ12051、音声画像出力部12052、及び車載ネットワークI/F(interface)12053が図示されている。

[0218] 駆動系制御ユニット12010は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット12010は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0219] ボディ系制御ユニット12020は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット12020は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウinker又はフォグラмп等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット12020には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット12020は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0220] 車外情報検出ユニット12030は、車両制御システム12000を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット12030には、撮像部12031が接続される。車外情報検出ユニット12030は、撮像部12031に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット12030は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処

理を行ってもよい。

\$

[0221] 撮像部12031は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部12031は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部12031が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

[0222] 車内情報検出ユニット12040は、車内の情報を検出する。車内情報検出ユニット12040には、例えば、運転者の状態を検出する運転者状態検出部12041が接続される。運転者状態検出部12041は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット12040は、運転者状態検出部12041から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0223] マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット12010に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むADAS (Advanced Driver Assistance System)の機能実現を目的とした協調制御を行うことができる。

[0224] また、マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0225] また、マイクロコンピュータ12051は、車外情報検出ユニット120

30で取得される車外の情報に基づいて、ボディ系制御ユニット12020に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車外情報検出ユニット12030で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0226] 音声画像出力部12052は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図31の例では、出力装置として、オーディオスピーカ12061、表示部12062及びインストルメントパネル12063が例示されている。表示部12062は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでもよい。

[0227] 図32は、撮像部12031の設置位置の例を示す図である。

[0228] 図32では、撮像部12031として、撮像部12101、12102、12103、12104、12105を有する。

[0229] 撮像部12101、12102、12103、12104、12105は、例えば、車両12100のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部12101及び車室内のフロントガラスの上部に備えられる撮像部12105は、主として車両12100の前方の画像を取得する。サイドミラーに備えられる撮像部12102、12103は、主として車両12100の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部12104は、主として車両12100の後方の画像を取得する。車室内のフロントガラスの上部に備えられる撮像部12105は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0230] なお、図32には、撮像部12101ないし12104の撮影範囲の一例が示されている。撮像範囲12111は、フロントノーズに設けられた撮像

部 1 2 1 0 1 の撮像範囲を示し、撮像範囲 1 2 1 1 2, 1 2 1 1 3 は、それぞれサイドミラーに設けられた撮像部 1 2 1 0 2, 1 2 1 0 3 の撮像範囲を示し、撮像範囲 1 2 1 1 4 は、リアバンパ又はバックドアに設けられた撮像部 1 2 1 0 4 の撮像範囲を示す。例えば、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 で撮像された画像データが重ね合わせられることにより、車両 1 2 1 0 0 を上方から見た俯瞰画像が得られる。

[0231] 撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の少なくとも 1 つは、距離情報を取得する機能を有していてもよい。例えば、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の少なくとも 1 つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0232] 例えば、マイクロコンピュータ 1 2 0 5 1 は、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 から得られた距離情報を基に、撮像範囲 1 2 1 1 1 ないし 1 2 1 1 4 内における各立体物までの距離と、この距離の時間的变化（車両 1 2 1 0 0 に対する相対速度）を求めることにより、特に車両 1 2 1 0 0 の進行路上にある最も近い立体物で、車両 1 2 1 0 0 と略同じ方向に所定の速度（例えば、0 k m / h 以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ 1 2 0 5 1 は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0233] 例えば、マイクロコンピュータ 1 2 0 5 1 は、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 から得られた距離情報を元に、立体物に関する立体物データを、2 輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ 1 2 0 5 1 は、車両 1 2 1 0 0 の周辺の障害物を、車両 1 2 1 0 0 のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ 1 2 0 5 1 は、各障害物との衝突の危険度を示す衝突リスク

を判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ 12061 や表示部 12062 を介してドライバに警報を出力することや、駆動系制御ユニット 12010 を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0234] 撮像部 12101 ないし 12104 の少なくとも 1 つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ 12051 は、撮像部 12101 ないし 12104 の撮像画像中に歩行者が存在するかどうかを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部 12101 ないし 12104 の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ 12051 が、撮像部 12101 ないし 12104 の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部 12052 は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部 12062 を制御する。また、音声画像出力部 12052 は、歩行者を示すアイコン等を所望の位置に表示するように表示部 12062 を制御してもよい。

[0235] 以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、撮像部 12031 に適用され得る。例えば、図 1 の固体撮像素子 10 は、撮像部 12031 に適用することができる。撮像部 12031 に本開示に係る技術を適用することにより、ダイナミックレンジを広くして、より見やすい撮影画像を得ることができるため、ドライバの疲労を軽減することが可能になる。

[0236] なお、上述の実施の形態は本技術を具現化するための一例を示したものであり、実施の形態における事項と、特許請求の範囲における発明特定事項とはそれぞれ対応関係を有する。同様に、特許請求の範囲における発明特定事項と、これと同一名称を付した本技術の実施の形態における事項とはそれぞれ対応関係を有する。ただし、本技術は実施の形態に限定されるものではない。

く、その要旨を逸脱しない範囲において実施の形態に種々の変形を施すことにより具現化することができる。

[0237] また、上述の実施の形態において説明した処理手順は、これら一連の手順を有する方法として捉えてもよく、また、これら一連の手順をコンピュータに実行させるためのプログラム乃至そのプログラムを記憶する記録媒体として捉えてもよい。この記録媒体として、例えば、C D (Compact Disc)、M D (MiniDisc)、D V D (Digital Versatile Disc)、メモリカード、ブルーレイディスク (Blu-ray (登録商標) Disc) 等を用いることができる。

[0238] なお、本明細書に記載された効果はあくまで例示であって、限定されるものではなく、また、他の効果があってもよい。

[0239] なお、本技術は以下のような構成もとることができる。

(1) 一对の画素のそれぞれの生成電圧の差分を増幅した差動増幅信号を出力する処理と前記一对の画素の少なくとも一方の前記生成電圧の画素信号を出力する処理とを前記一对の画素が露光されるたびに行う読出し回路と、

前記出力された差動増幅信号と前記出力された画素信号とを合成する合成処理を行う処理部と

を具備する固体撮像素子。

(2) 前記一对の画素のそれぞれは、初期化されたときに前記生成電圧としてリセットレベルを生成し、露光が終了したときに前記生成電圧として信号レベルを生成する

前記(1)記載の固体撮像素子。

(3) 前記読出し回路は、前記一对の画素のそれぞれの前記リセットレベルを差動増幅した第1リセットレベルと前記一对の画素のいずれかの前記リセットレベルである第2リセットレベルとの少なくとも一方を出力するとともに前記一对の画素のそれぞれの前記信号レベルを差動増幅した第1信号レベルと前記一对の画素のいずれかの前記信号レベルである第2信号レベルとを出力する

前記(2)記載の固体撮像素子。

(4) 前記読出し回路は、前記第1リセットレベルおよび前記第2リセットレベルの出力後に前記第1信号レベルおよび前記第2信号レベルを出力する前記(3)記載の固体撮像素子。

(5) 前記読出し回路は、前記第1リセットレベルおよび前記第1信号レベルの出力後に前記第2信号レベルおよび前記第2リセットレベルをさらに出力する

前記(3)記載の固体撮像素子。

(6) 前記処理部は、照度が所定値より高い場合には前記第1リセットレベル、前記第1信号レベル、前記第2信号レベルおよび前記第2リセットレベルを順にデジタル信号に変換し、前記照度が前記所定値に満たない場合には前記第1リセットレベルおよび前記第1信号レベルを順にデジタル信号に変換するアナログデジタル変換器と、

前記デジタル信号に基づいて前記合成処理を行う合成処理部とを備える

前記(5)記載の固体撮像素子。

(7) 前記処理部は、照度が所定値に満たない場合には前記差動増幅信号を選択して出力し、前記照度が前記所定値を超える場合には前記画素信号を選択して出力する

前記(3)から(6)のいずれかに記載の固体撮像素子。

(8) 前記読出し回路は、前記第1リセットレベルおよび前記第2リセットレベルの出力後に前記第1信号レベルおよび前記第2信号レベルの一方を出力する

前記(3)記載の固体撮像素子。

(9) 前記読出し回路には、カレントミラー回路、電流源およびスイッチをそれぞれが含む複数の単位読出し回路が所定方向に配列され、

前記スイッチは、前記複数の単位読出し回路のそれぞれの前記カレントミラー回路および前記電流源を互いに接続する

前記(1)から(8)のいずれかに記載の固体撮像素子。

(10) 複数の画素が二次元格子状に配列された画素アレイ部をさらに具備し、

前記一对の画素は、前記画素アレイ部において水平方向に配列される前記(1)から(9)のいずれかに記載の固体撮像素子。

(11) 複数の画素が二次元格子状に配列された画素アレイ部をさらに具備し、

前記一对の画素は、前記画素アレイ部において垂直方向に配列される前記(1)から(9)のいずれかに記載の固体撮像素子。

(12) 垂直アドレスおよび水平アドレスがそれぞれに割り当てられた複数の画素が二次元格子状に配列された画素アレイ部をさらに具備し、

前記一对の画素は、前記画素アレイ部において前記垂直アドレスおよび前記水平アドレスの両方が互いに異なる画素である

前記(1)から(9)のいずれかに記載の固体撮像素子。

(13) 複数の読出画素と前記複数の読出画素に対応付けられた参照画素とが配列された画素アレイ部をさらに具備し、

前記一对の画素の一方は、前記複数の読出画素のいずれかであり、前記一对の画素の他方は、前記参照画素であり、

前記読出し回路は、前記読出画素および前記参照画素のそれぞれの画素信号の差分を増幅した差動増幅信号を出力する処理と前記読出画素の前記画素信号を出力する処理とを行う

前記(1)から(12)のいずれかに記載の固体撮像素子。

(14) 前記読出し回路は、カレントミラー回路を備える

前記(1)から(13)のいずれかに記載の固体撮像素子。

(15) 前記カレントミラー回路は、カスコードカレントミラー回路である前記(14)記載の固体撮像素子。

(16) 前記カレントミラー回路は、一对の垂直信号線に接続され、

前記読出し回路は、前記一对の垂直信号線の一方を選択して前記処理部に接続するスイッチをさらに備える

前記（１４）または（１５）に記載の固体撮像素子。

（１７）所定の基準電流を生成する電流源と前記基準電流に応じた所定の参照信号を生成する抵抗とを備えるデジタルアナログ変換器と、

前記基準電流の値を制御するシステム制御部と
をさらに具備し、

前記処理部は、前記読出し回路により出力された信号と所定の参照信号とを比較する比較器を備える

前記（１）から（１６）のいずれかに記載の固体撮像素子。

（１８）一对の画素と、

前記一对の画素のそれぞれの生成電圧の差分を増幅した差動増幅信号を出力する処理と前記一对の画素の少なくとも一方の前記生成電圧の画素信号を出力する処理とを前記一对の画素が露光されるたびに行う読出し回路と、

前記出力された差動増幅信号と前記出力された画素信号とを合成する合成処理を行う処理部と
を具備する撮像装置。

（１９）一对の画素のそれぞれの生成電圧の差分を増幅した差動増幅信号を出力する処理と前記一对の画素の少なくとも一方の前記生成電圧の画素信号を出力する処理とを前記一对の画素が露光されるたびに行う読出し手順と、

前記出力された差動増幅信号と前記出力された画素信号とを合成する合成処理を行う処理手順と
を具備する固体撮像素子の制御方法。

符号の説明

- [0240]
- １０ 固体撮像素子
 - １１ 画素アレイ部
 - １２ 垂直駆動部
 - １３ カラム読出し回路部
 - １４ カラム信号処理部
 - １５ 水平駆動部

- 1 6 システム制御部
- 1 7 信号処理部
- 1 8 データ格納部
- 2 2 0、2 3 0 画素
- 2 2 1、2 3 1、2 4 1、2 5 1 フォトダイオード
- 2 2 2、2 3 2、2 4 2、2 5 2 転送トランジスタ
- 2 2 3、2 3 3、2 4 3、2 5 3 リセットトランジスタ
- 2 2 4、2 3 4、2 4 4、2 5 4 増幅トランジスタ
- 2 2 5、2 3 5、2 4 5、2 5 5 選択トランジスタ
- 2 2 6、2 3 6、2 4 6、2 5 6 浮遊拡散領域
- 2 4 0 読出画素
- 2 5 0 参照画素
- 3 0 0 単位読出し回路
- 3 1 1、3 1 2、3 4 5、3 4 6、5 1 1、5 1 3、5 2 1～5 2 3 P
型トランジスタ
- 3 1 3～3 2 9、3 3 3、3 3 4、3 5 1、3 5 2、4 1 0、4 2 3、4
3 3、4 3 4、5 1 4 スイッチ
- 3 3 0、3 3 1、3 3 2、5 1 2、5 2 6、5 2 7 電流源
- 4 2 0 A D C
- 4 2 1、4 2 2 カウンタ
- 4 3 0 合成処理部
- 4 3 1 乗算器
- 4 3 2 判定回路
- 4 3 5 メモリ
- 5 1 0 D A C
- 5 1 5 可変抵抗
- 5 2 0 比較器
- 5 2 4、5 2 5 N型トランジスタ

5 3 0 負荷MOS回路

1 2 0 3 1 撮像部

請求の範囲

- [請求項1] 一対の画素のそれぞれの生成電圧の差分を増幅した差動増幅信号を出力する処理と前記一対の画素の少なくとも一方の前記生成電圧の画素信号を出力する処理とを前記一対の画素が露光されるたびに行う読出し回路と、
- 前記出力された差動増幅信号と前記出力された画素信号とを合成する合成処理を行う処理部と
- を具備する固体撮像素子。
- [請求項2] 前記一対の画素のそれぞれは、初期化されたときに前記生成電圧としてリセットレベルを生成し、露光が終了したときに前記生成電圧として信号レベルを生成する
- 請求項1記載の固体撮像素子。
- [請求項3] 前記読出し回路は、前記一対の画素のそれぞれの前記リセットレベルを差動増幅した第1リセットレベルと前記一対の画素のいずれかの前記リセットレベルである第2リセットレベルとの少なくとも一方を出力するとともに前記一対の画素のそれぞれの前記信号レベルを差動増幅した第1信号レベルと前記一対の画素のいずれかの前記信号レベルである第2信号レベルとを出力する
- 請求項2記載の固体撮像素子。
- [請求項4] 前記読出し回路は、前記第1リセットレベルおよび前記第2リセットレベルの出力後に前記第1信号レベルおよび前記第2信号レベルを出力する
- 請求項3記載の固体撮像素子。
- [請求項5] 前記読出し回路は、前記第1リセットレベルおよび前記第1信号レベルの出力後に前記第2信号レベルおよび前記第2リセットレベルをさらに出力する
- 請求項3記載の固体撮像素子。
- [請求項6] 前記処理部は、照度が所定値より高い場合には前記第1リセットレ

ベル、前記第 1 信号レベル、前記第 2 信号レベルおよび前記第 2 リセットレベルを順にデジタル信号に変換し、前記照度が前記所定値に満たない場合には前記第 1 リセットレベルおよび前記第 1 信号レベルを順にデジタル信号に変換するアナログデジタル変換器と、

前記デジタル信号に基づいて前記合成処理を行う合成処理部とを備える

請求項 5 記載の固体撮像素子。

[請求項 7] 前記処理部は、照度が所定値に満たない場合には前記差動増幅信号を選択して出力し、前記照度が前記所定値を超える場合には前記画素信号を選択して出力する

請求項 3 記載の固体撮像素子。

[請求項 8] 前記読出し回路は、前記第 1 リセットレベルおよび前記第 2 リセットレベルの出力後に前記第 1 信号レベルおよび前記第 2 信号レベルの一方を出力する

請求項 3 記載の固体撮像素子。

[請求項 9] 前記読出し回路には、カレントミラー回路、電流源およびスイッチをそれぞれが含む複数の単位読出し回路が所定方向に配列され、

前記スイッチは、前記複数の単位読出し回路のそれぞれの前記カレントミラー回路および前記電流源を互いに接続する

請求項 1 記載の固体撮像素子。

[請求項 10] 複数の画素が二次元格子状に配列された画素アレイ部をさらに具備し、

前記一对の画素は、前記画素アレイ部において水平方向に配列される

請求項 1 記載の固体撮像素子。

[請求項 11] 複数の画素が二次元格子状に配列された画素アレイ部をさらに具備し、

前記一对の画素は、前記画素アレイ部において垂直方向に配列され

る

請求項 1 記載の固体撮像素子。

[請求項12] 垂直アドレスおよび水平アドレスがそれぞれに割り当てられた複数の画素が二次元格子状に配列された画素アレイ部をさらに具備し、
前記一对の画素は、前記画素アレイ部において前記垂直アドレスおよび前記水平アドレスの両方が互いに異なる画素である

請求項 1 記載の固体撮像素子。

[請求項13] 複数の読出画素と前記複数の読出画素に対応付けられた参照画素とが配列された画素アレイ部をさらに具備し、

前記一对の画素の一方は、前記複数の読出画素のいずれかであり、
前記一对の画素の他方は、前記参照画素であり、

前記読出し回路は、前記読出画素および前記参照画素のそれぞれの画素信号の差分を増幅した差動増幅信号を出力する処理と前記読出画素の前記画素信号を出力する処理とを行う

請求項 1 記載の固体撮像素子。

[請求項14] 前記読出し回路は、カレントミラー回路を備える

請求項 1 記載の固体撮像素子。

[請求項15] 前記カレントミラー回路は、カスコードカレントミラー回路である
請求項 1 4 記載の固体撮像素子。

[請求項16] 前記カレントミラー回路は、一对の垂直信号線に接続され、

前記読出し回路は、前記一对の垂直信号線の一方を選択して前記処理部に接続するスイッチをさらに備える

請求項 1 4 記載の固体撮像素子。

[請求項17] 所定の基準電流を生成する電流源と前記基準電流に応じた所定の参照信号を生成する抵抗とを備えるデジタルアナログ変換器と、

前記基準電流の値を制御するシステム制御部と
をさらに具備し、

前記処理部は、前記読出し回路により出力された信号と所定の参照

信号とを比較する比較器を備える

請求項 1 記載の固体撮像素子。

[請求項18]

一対の画素と、

前記一対の画素のそれぞれの生成電圧の差分を増幅した差動増幅信号を出力する処理と前記一対の画素の少なくとも一方の前記生成電圧の画素信号を出力する処理とを前記一対の画素が露光されるたびに行う読出し回路と、

前記出力された差動増幅信号と前記出力された画素信号とを合成する合成処理を行う処理部と

を具備する撮像装置。

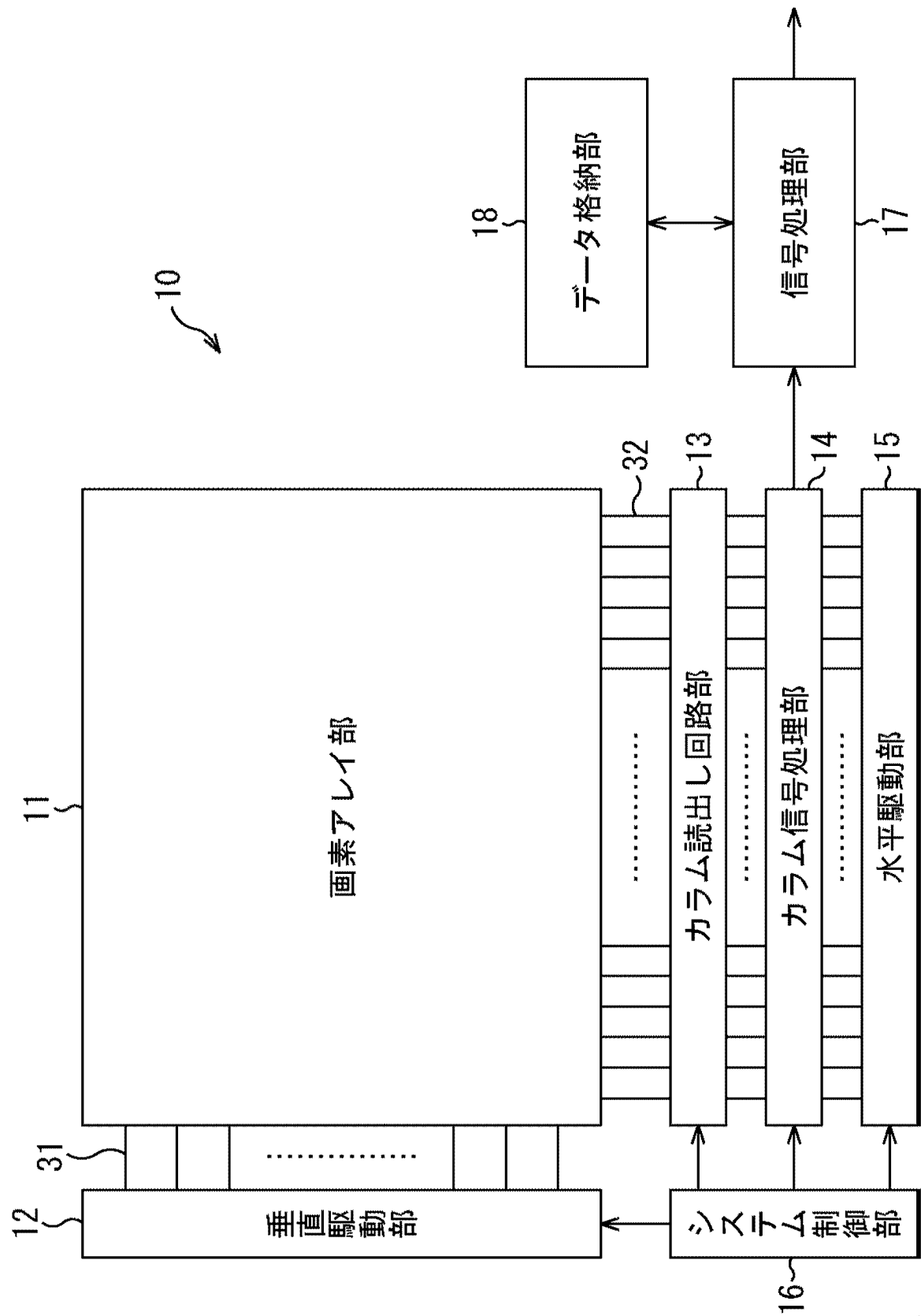
[請求項19]

一対の画素のそれぞれの生成電圧の差分を増幅した差動増幅信号を出力する処理と前記一対の画素の少なくとも一方の前記生成電圧の画素信号を出力する処理とを前記一対の画素が露光されるたびに行う読出し手順と、

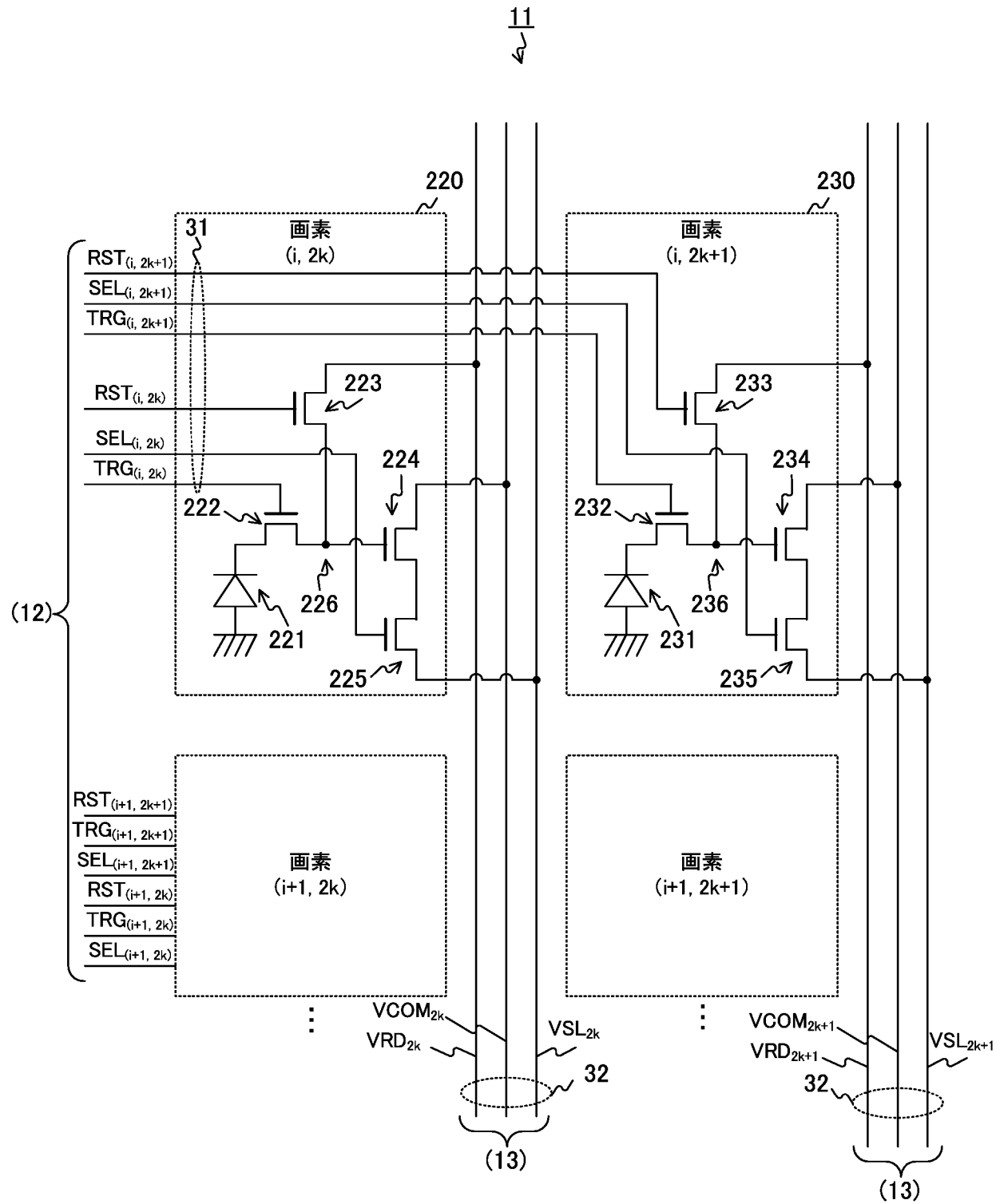
前記出力された差動増幅信号と前記出力された画素信号とを合成する合成処理を行う処理手順と

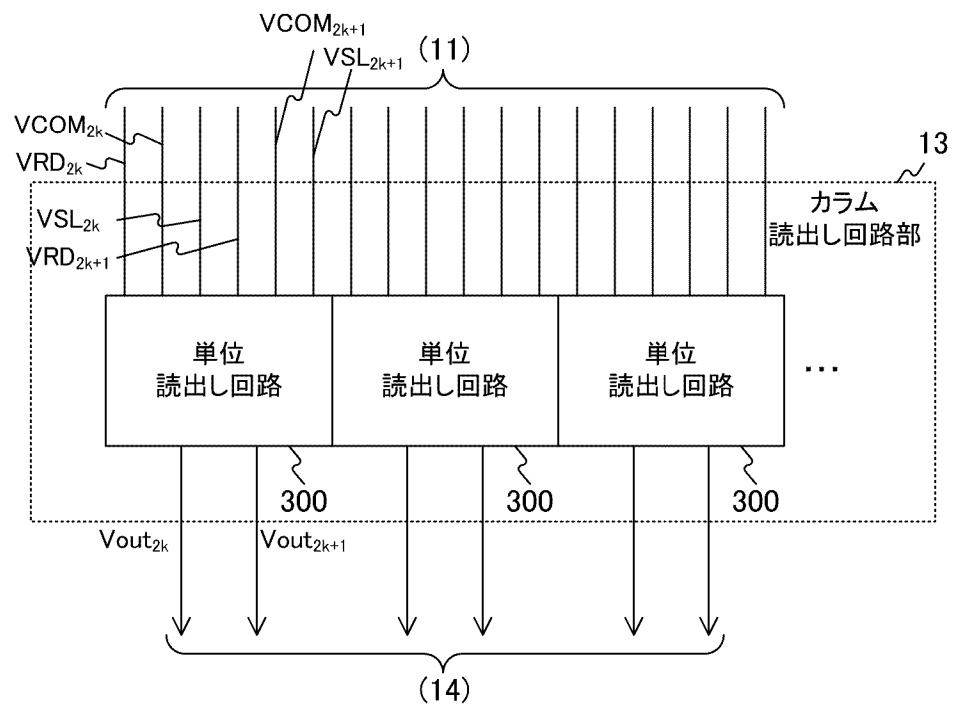
を具備する固体撮像素子の制御方法。

[図1]

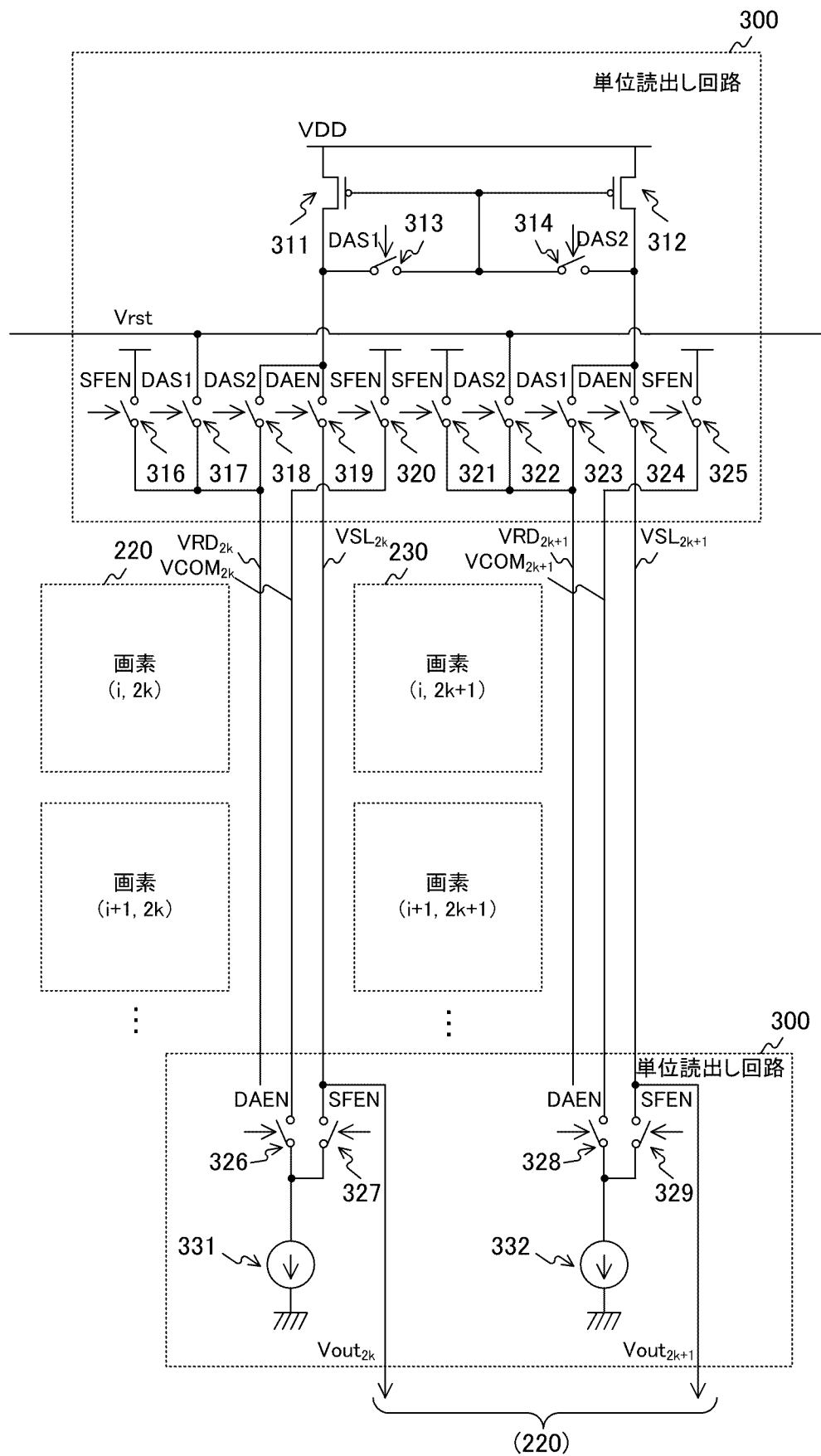


[図2]

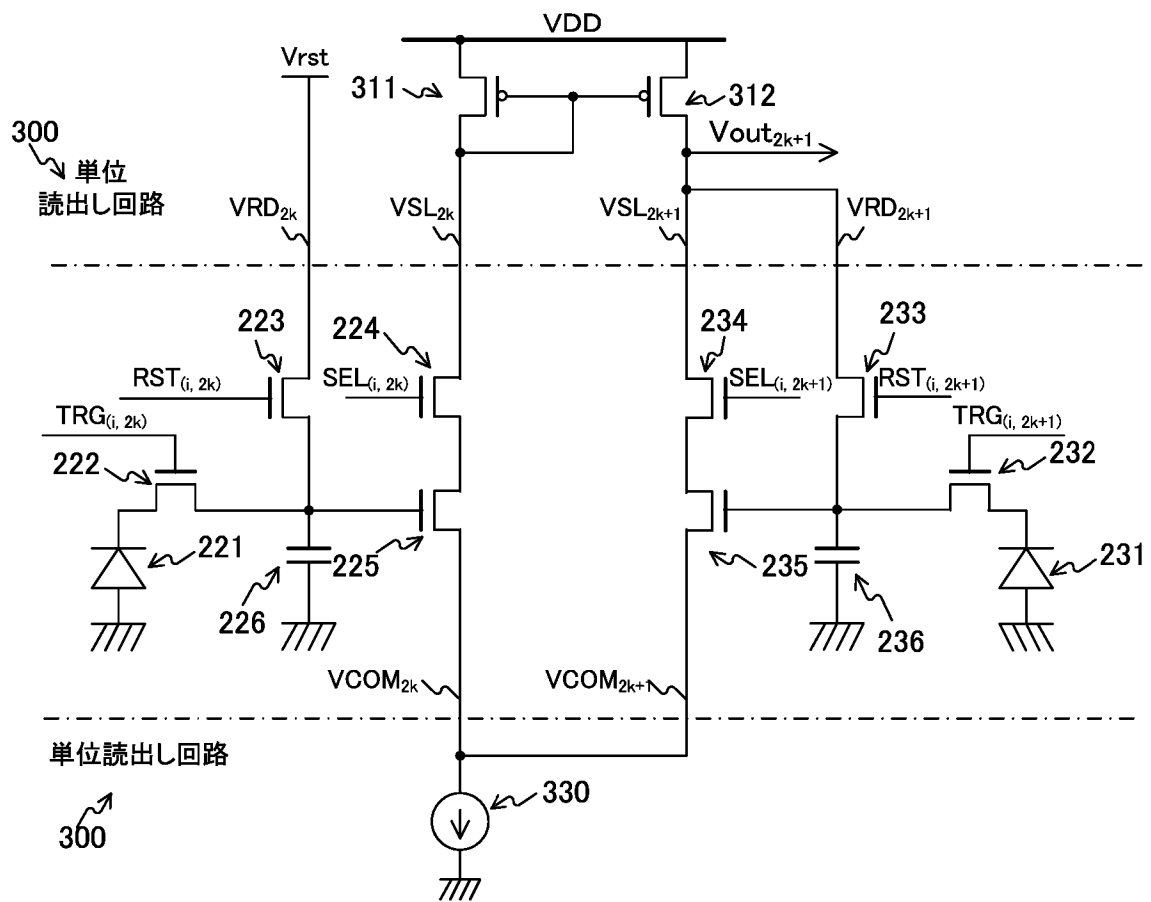




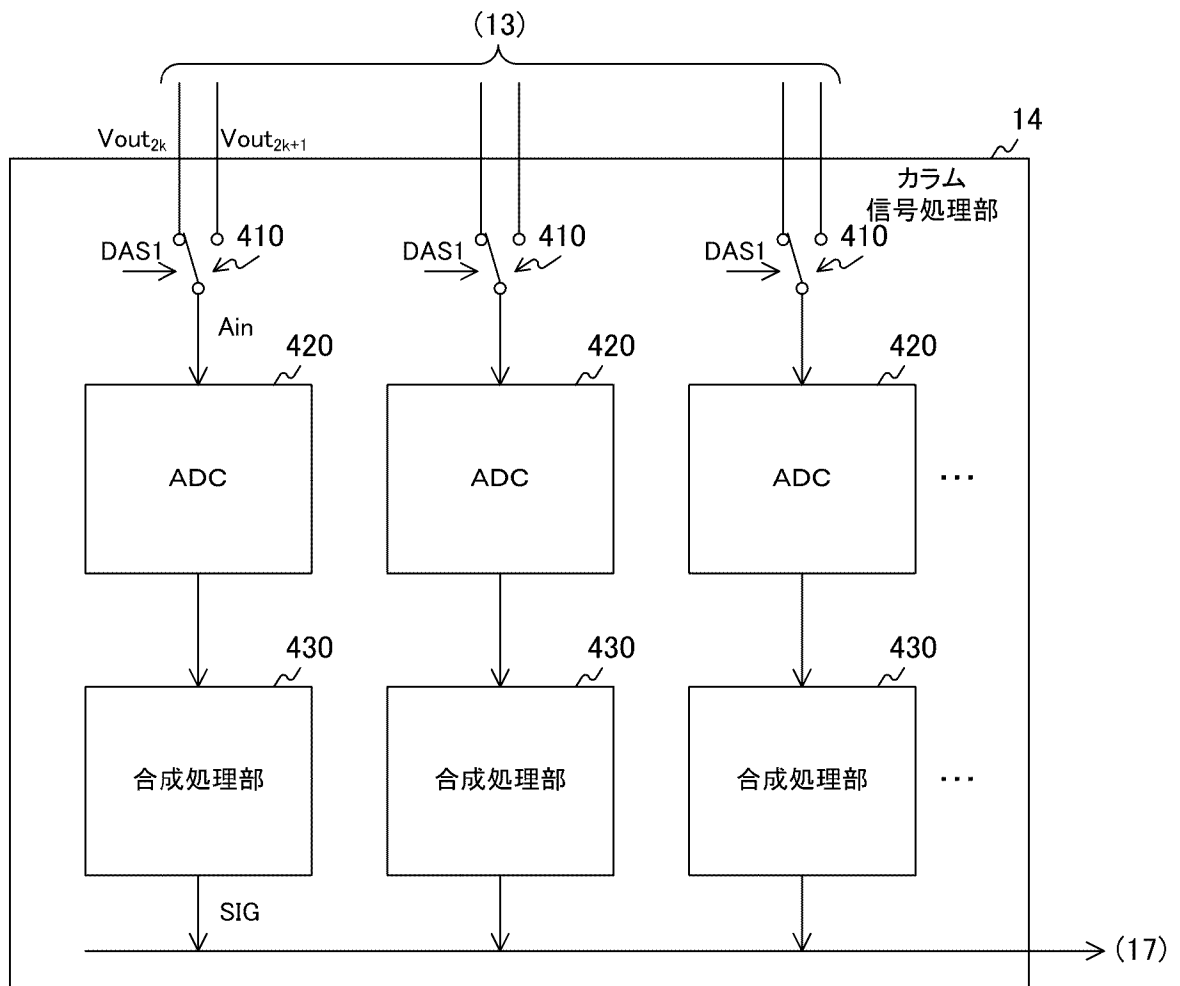
[図4]



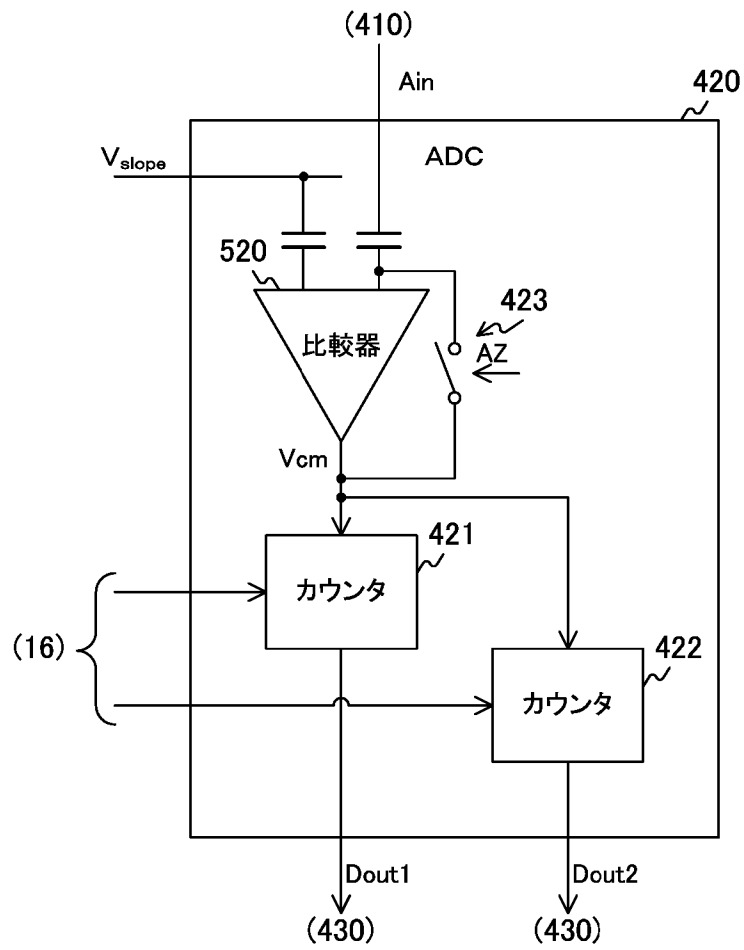
[図5]



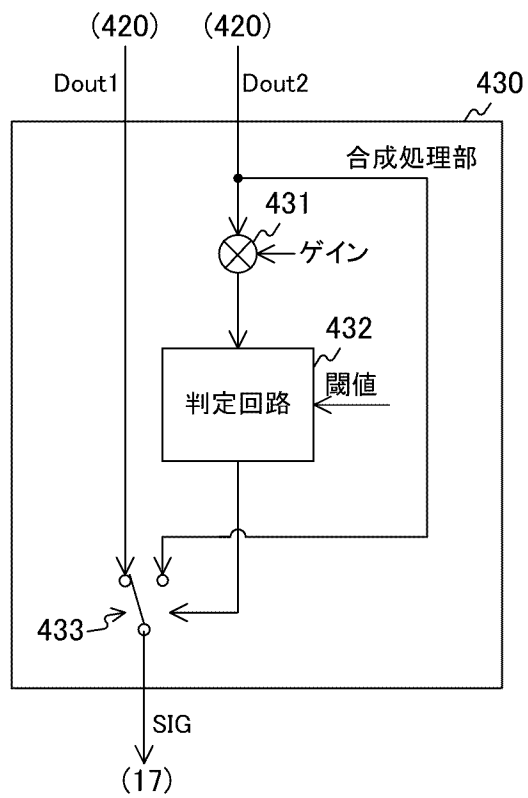
[図6]



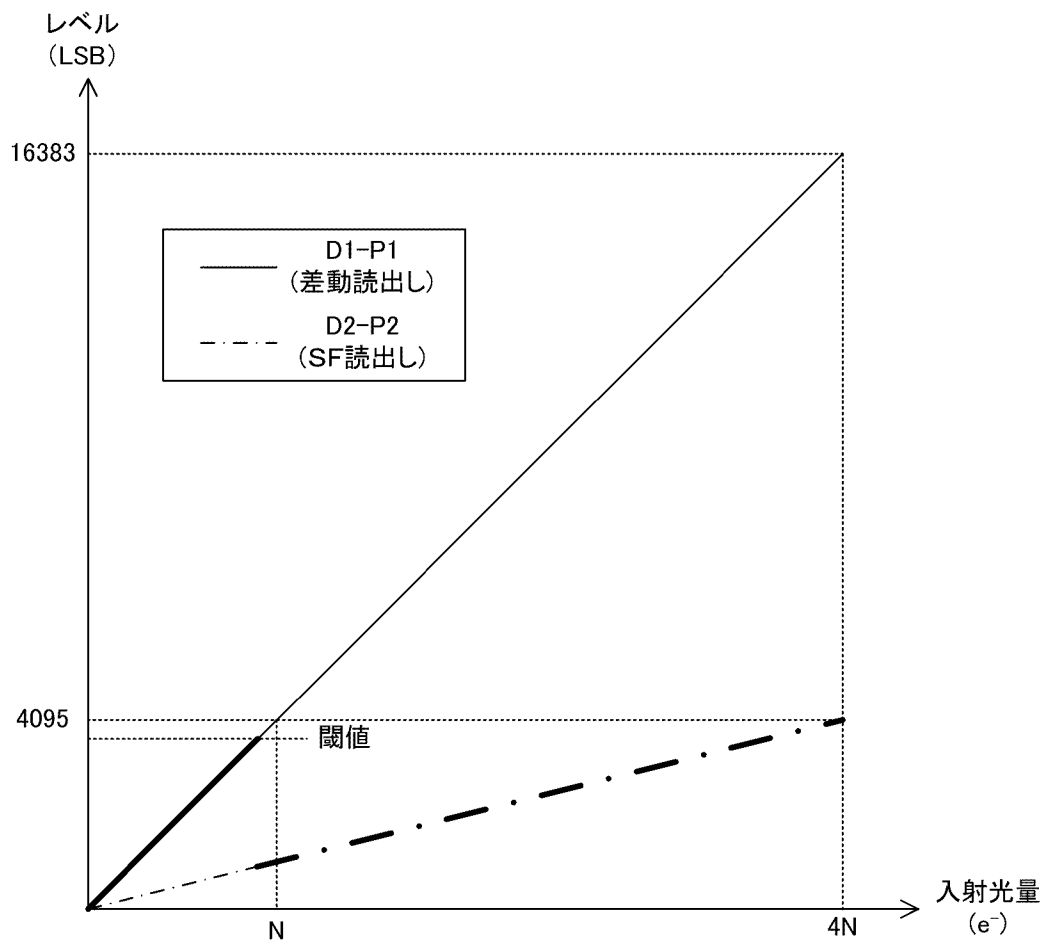
[図7]



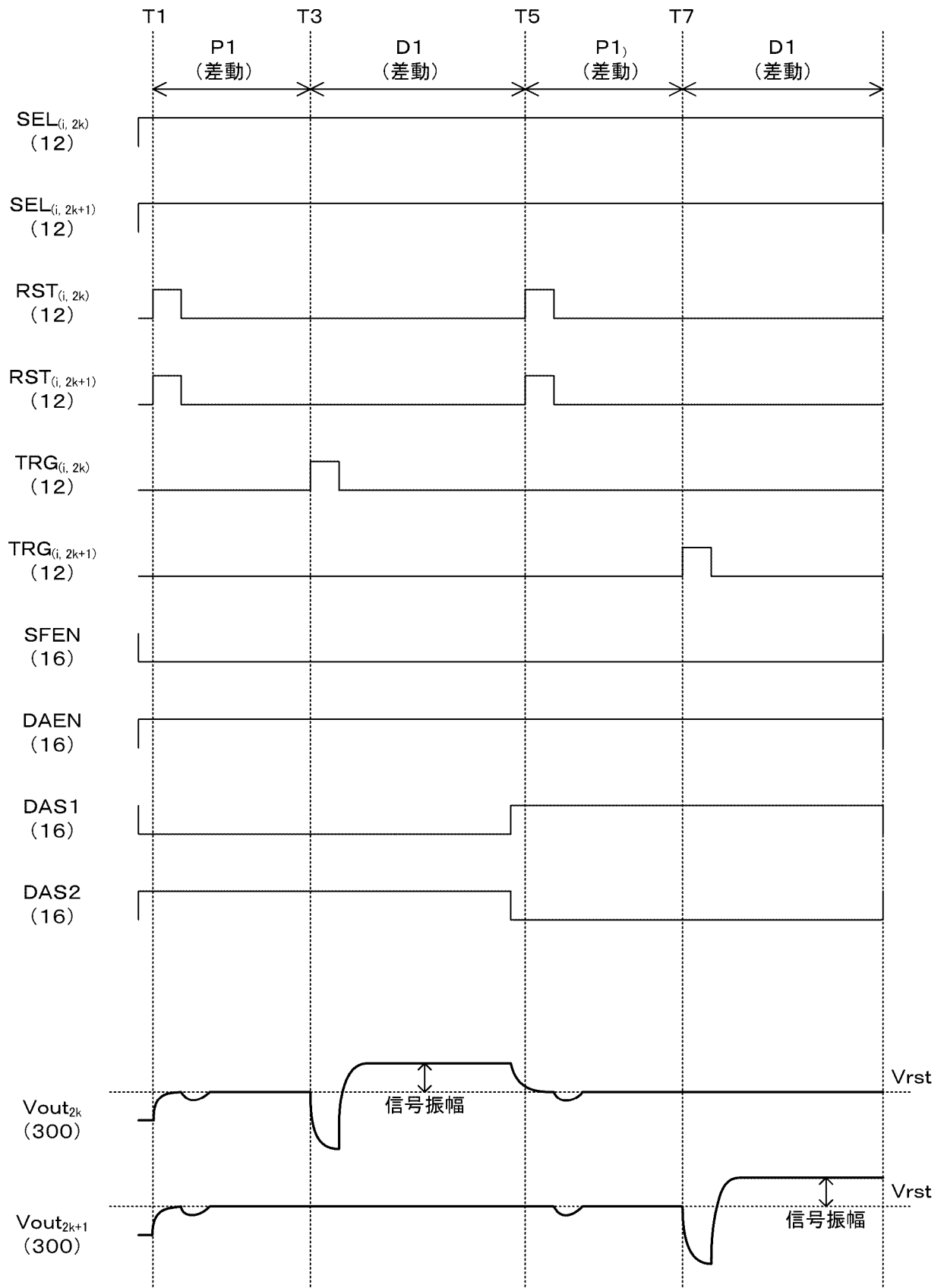
[図8]



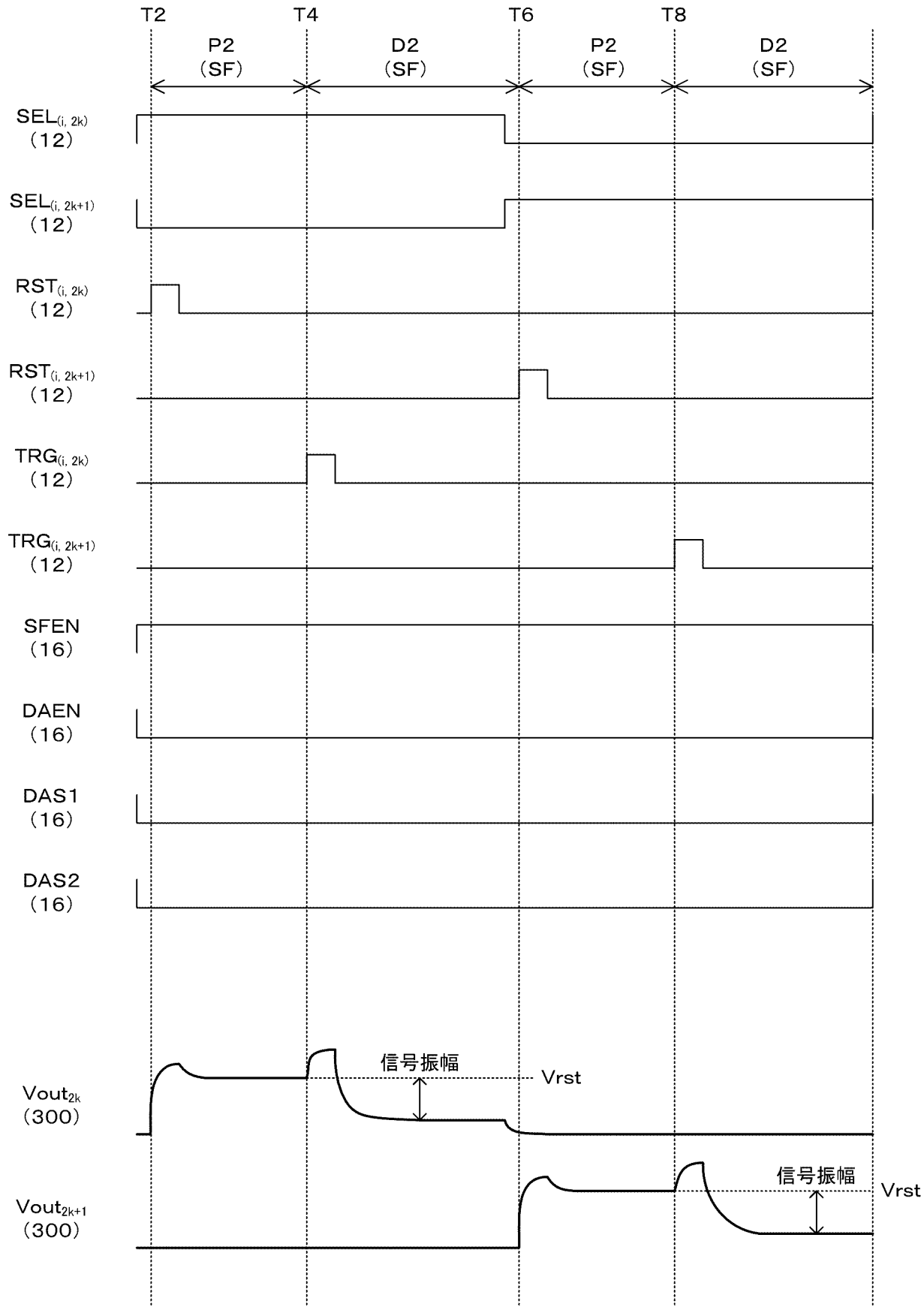
[図9]



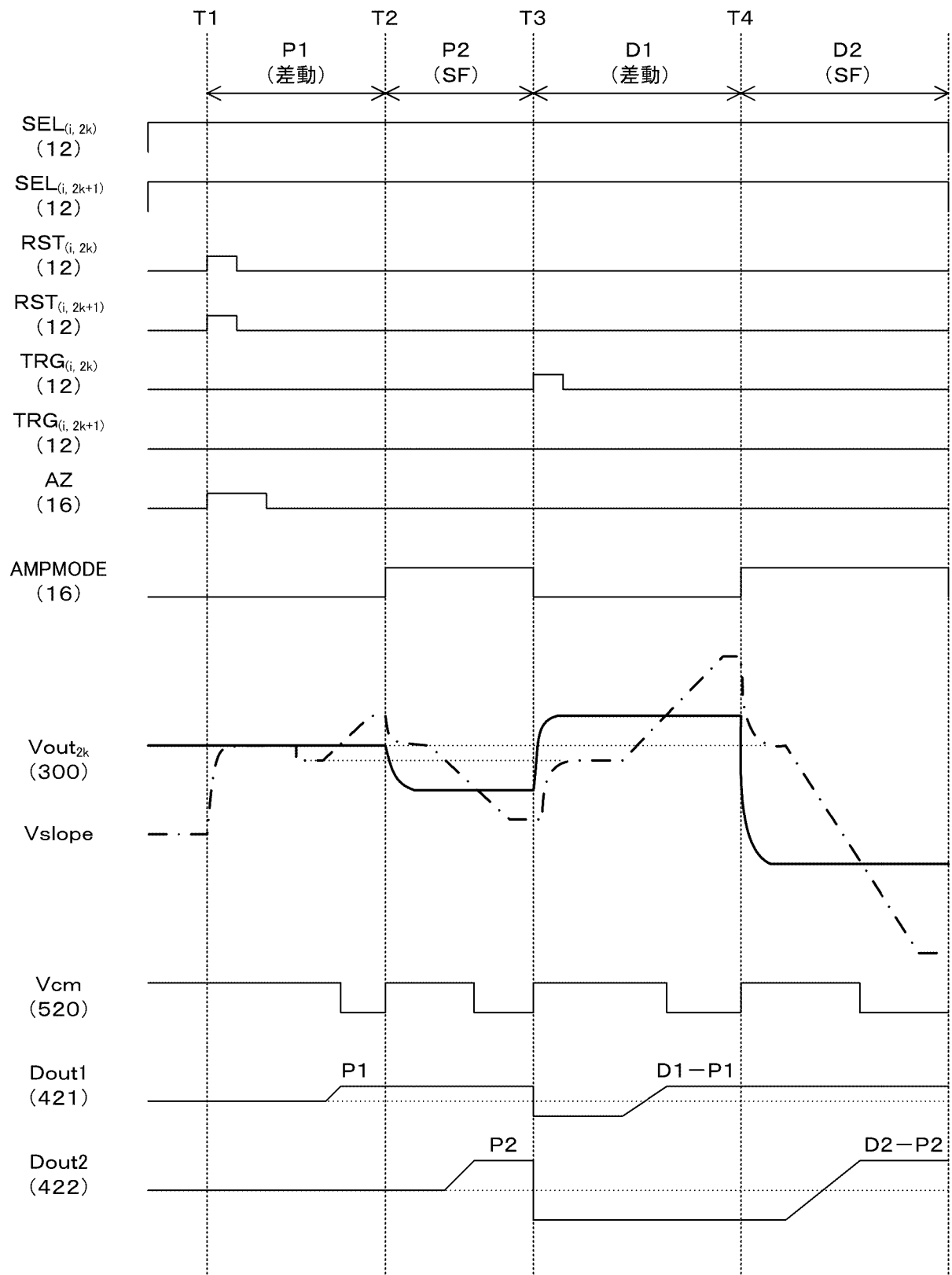
[図10]



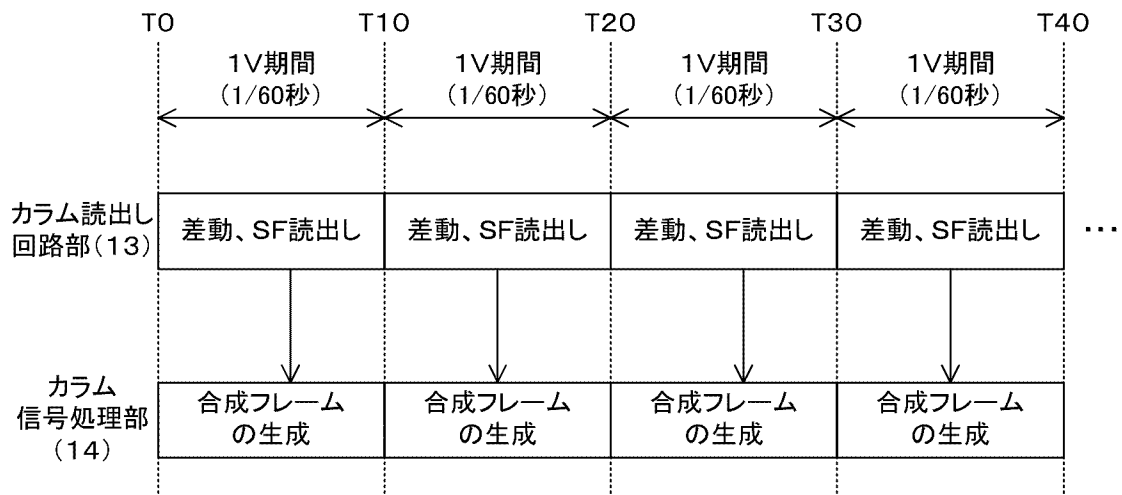
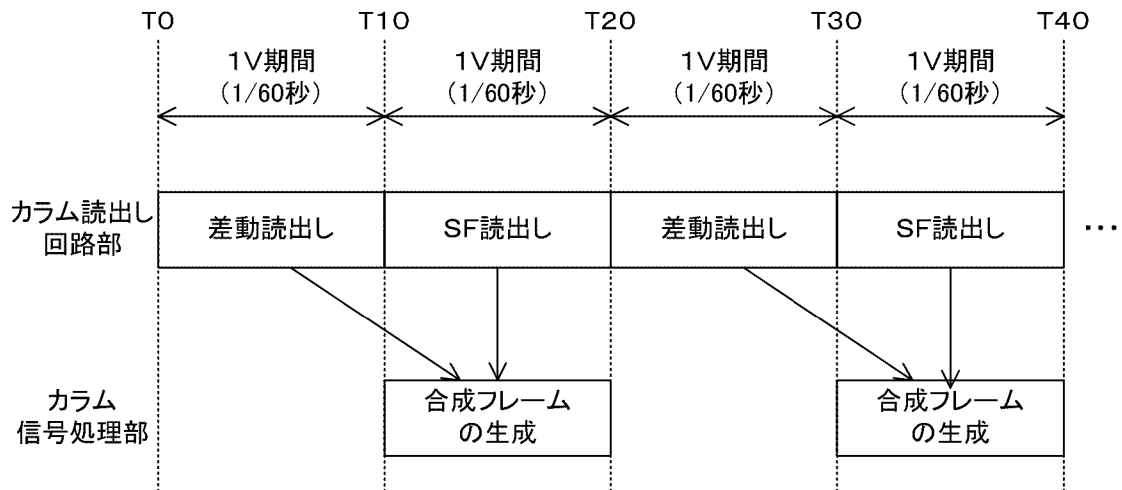
[図11]



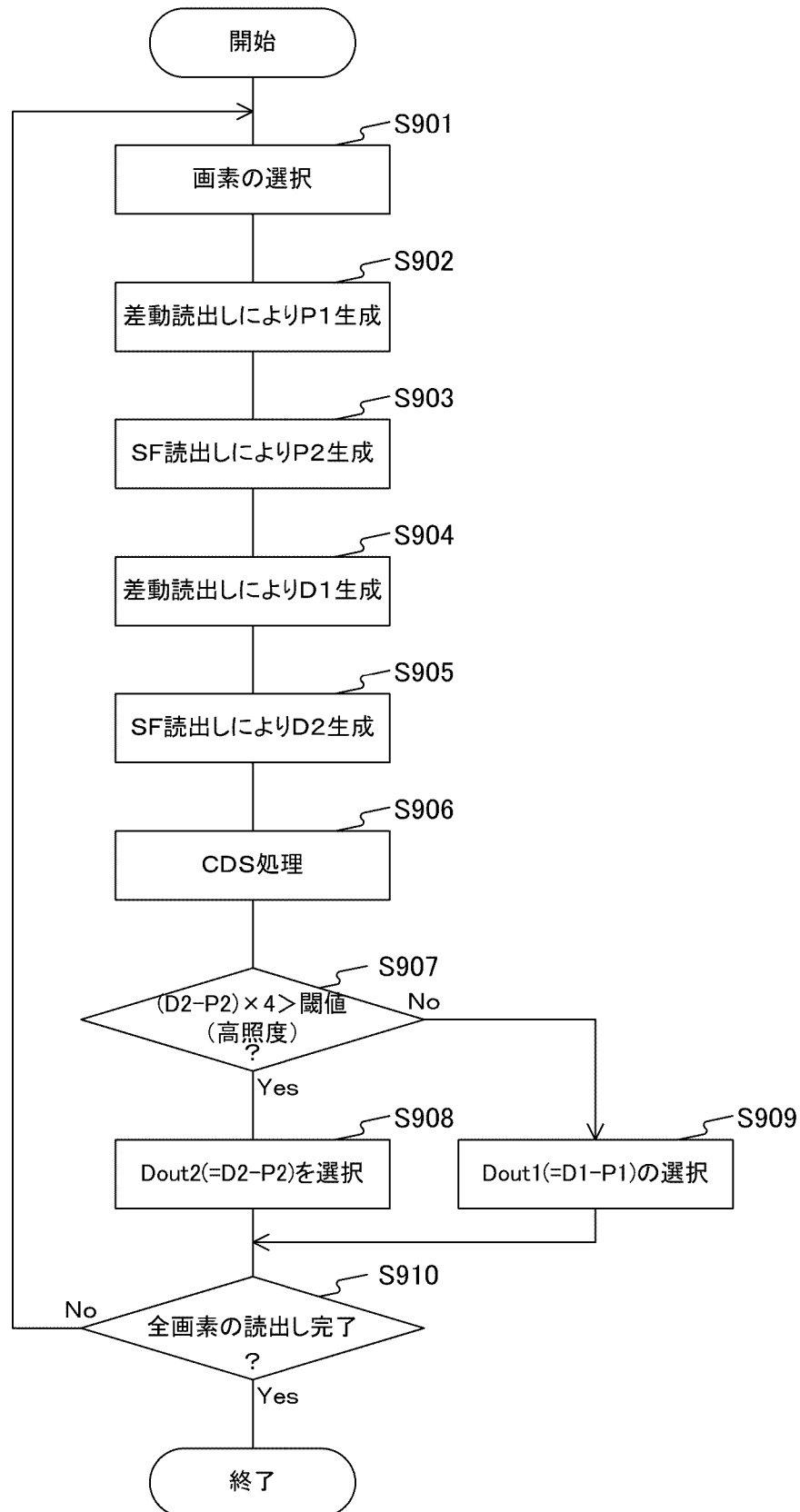
[図12]



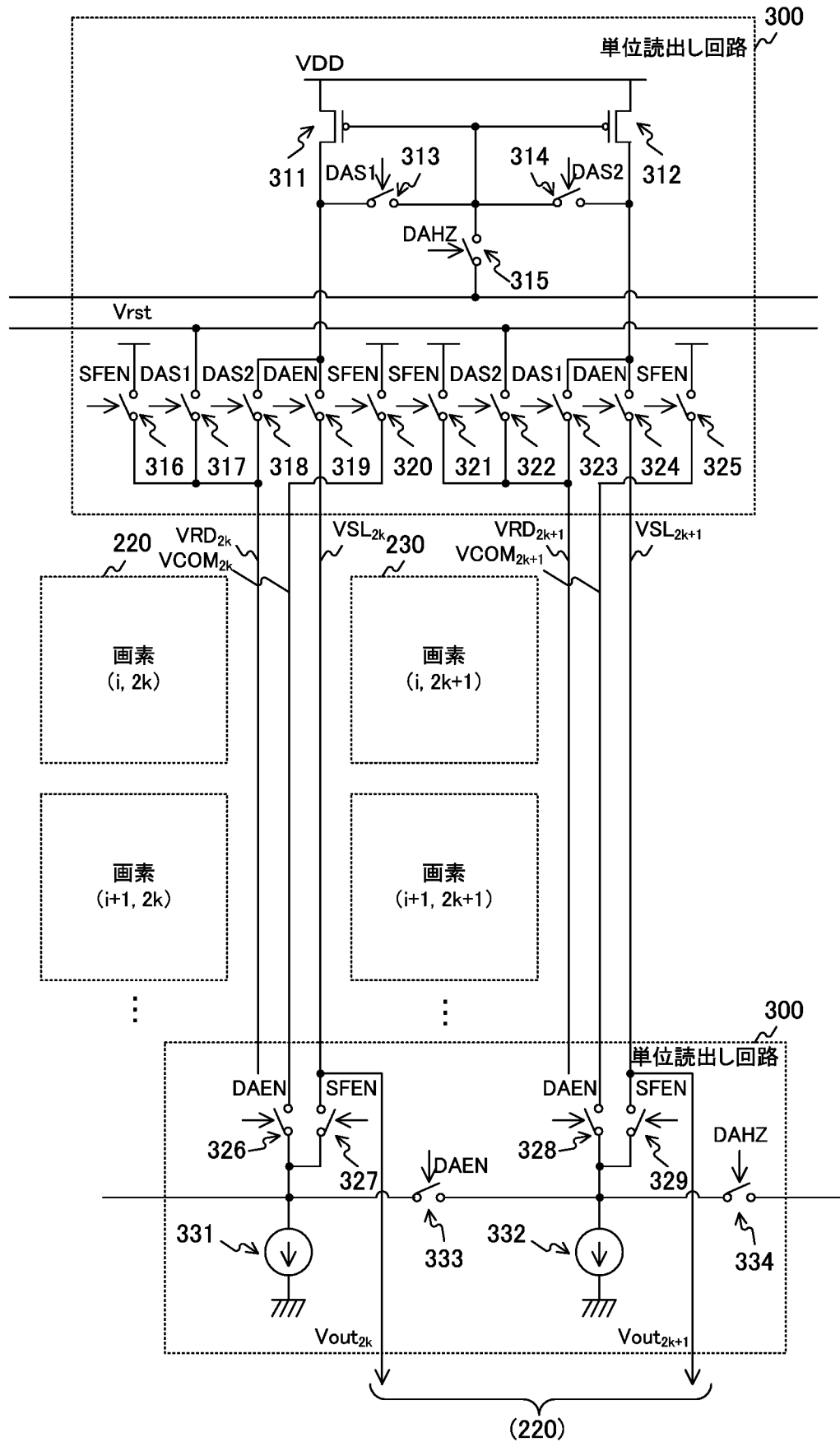
[図13]

ab

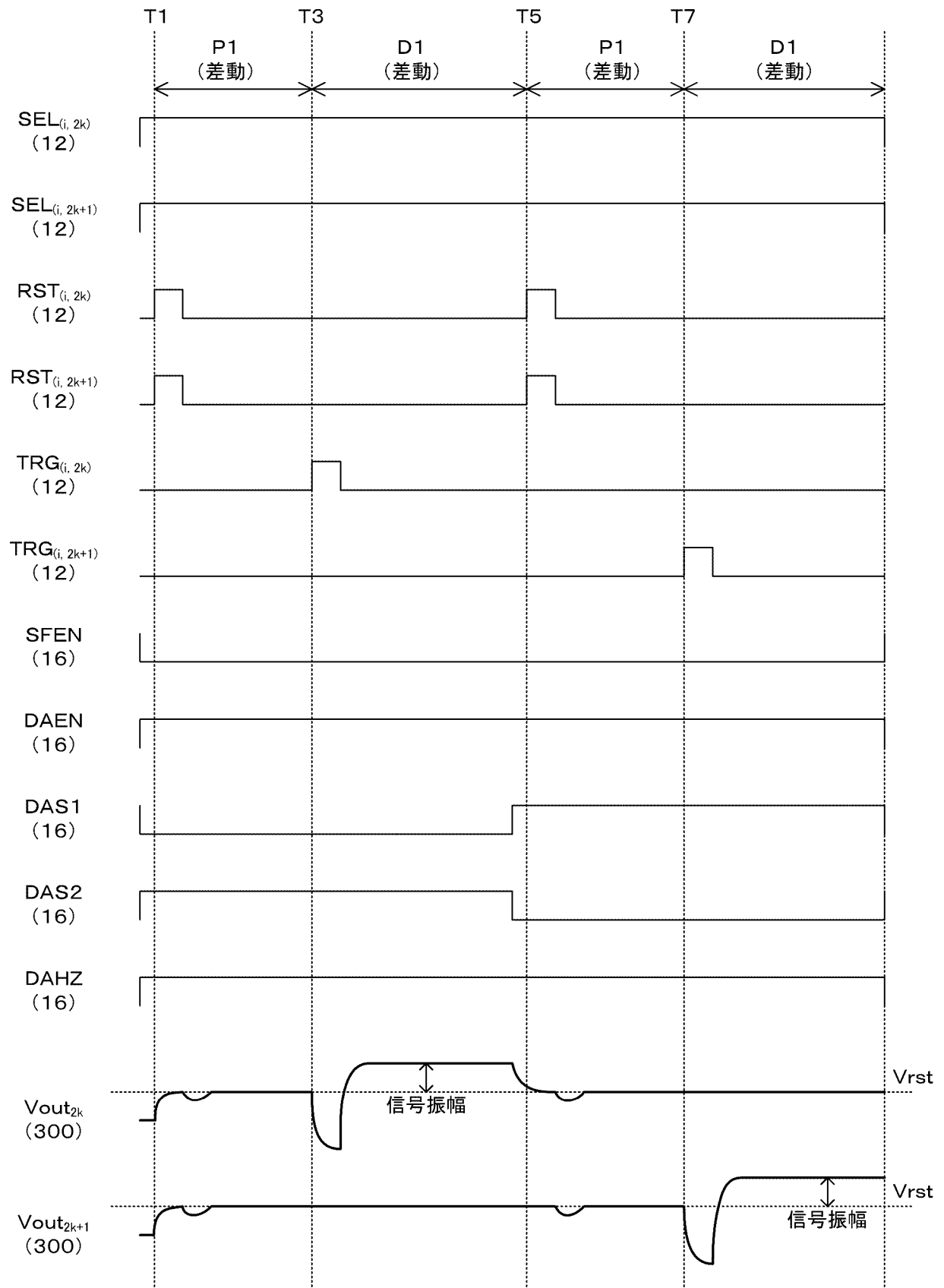
[図14]



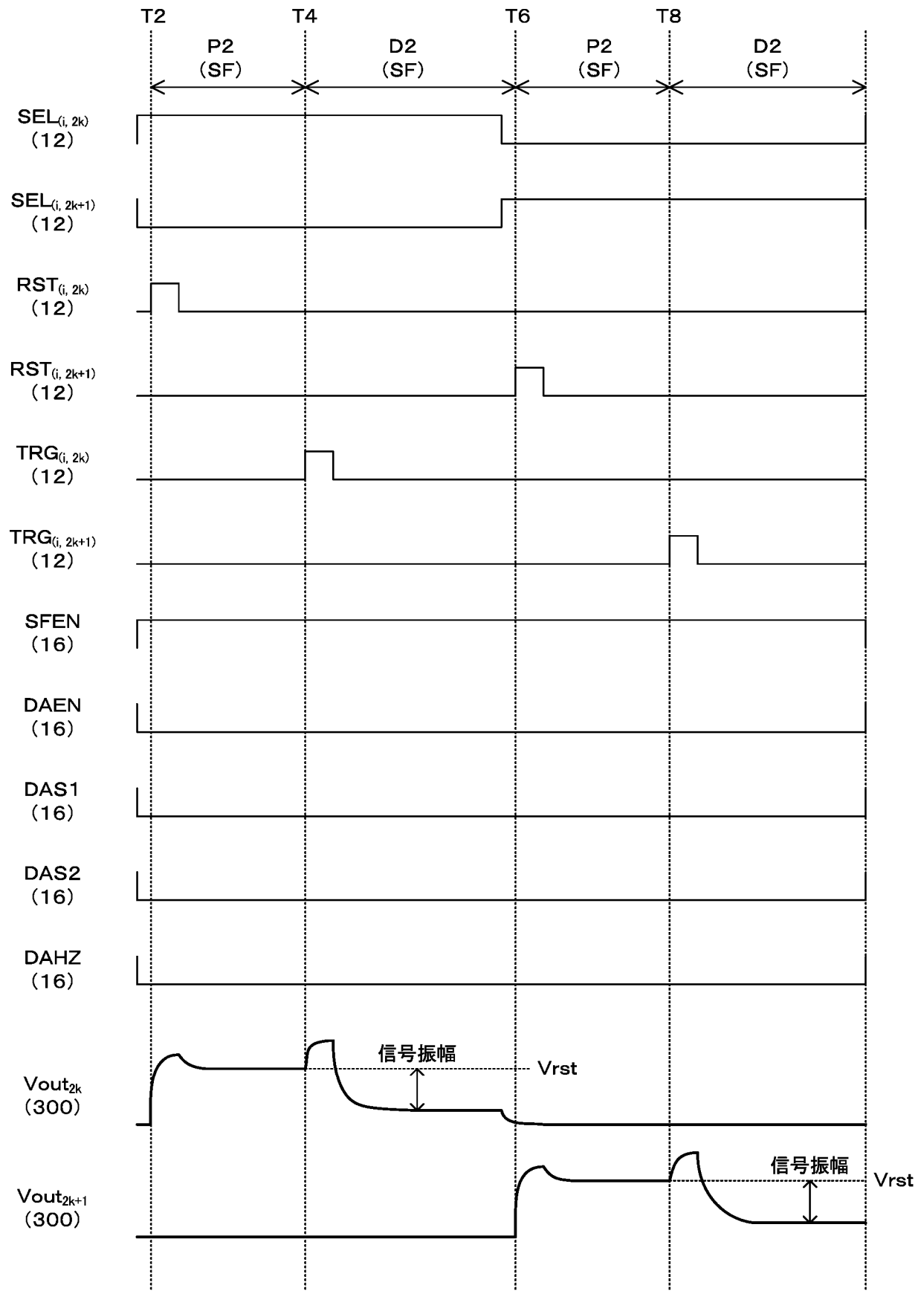
[図15]



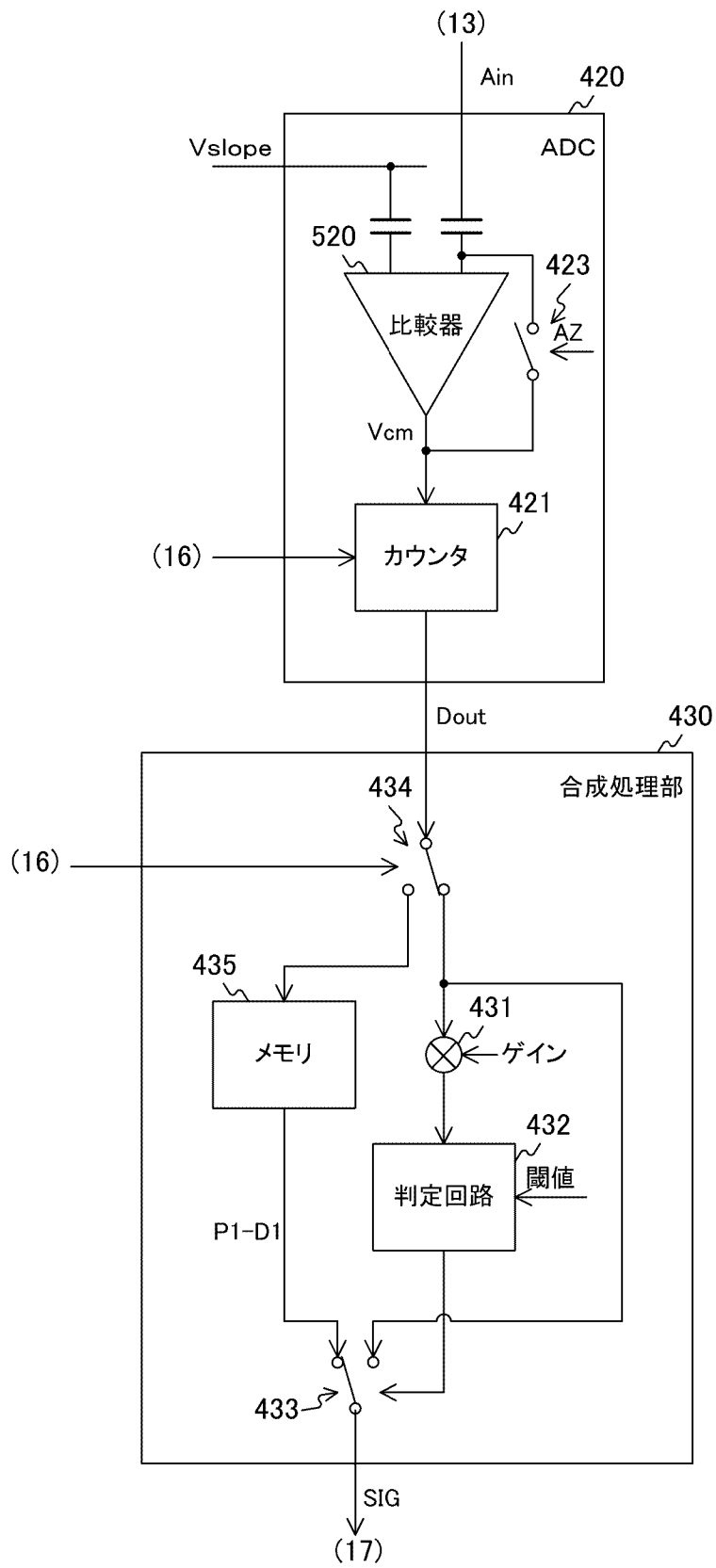
[図16]



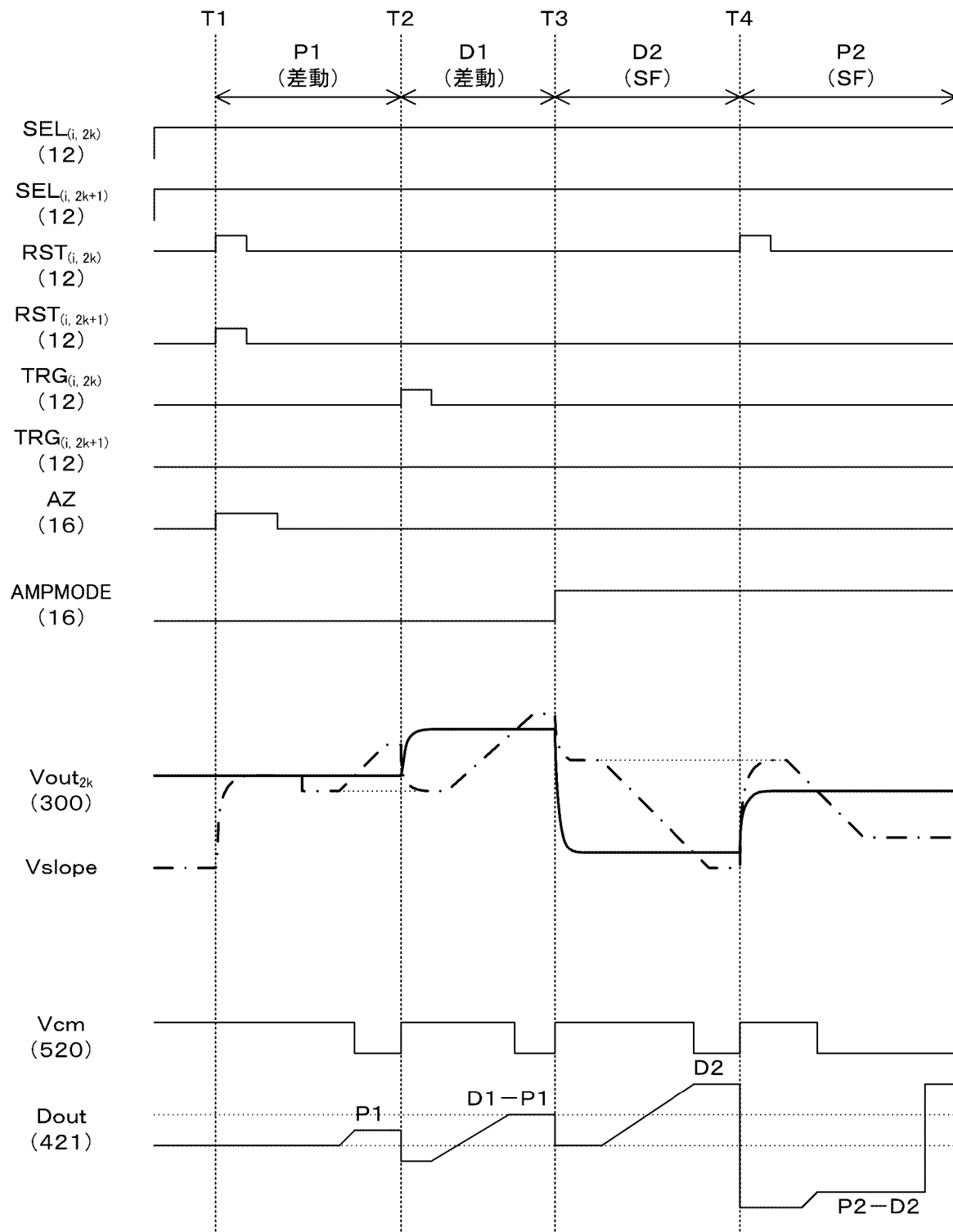
[図17]



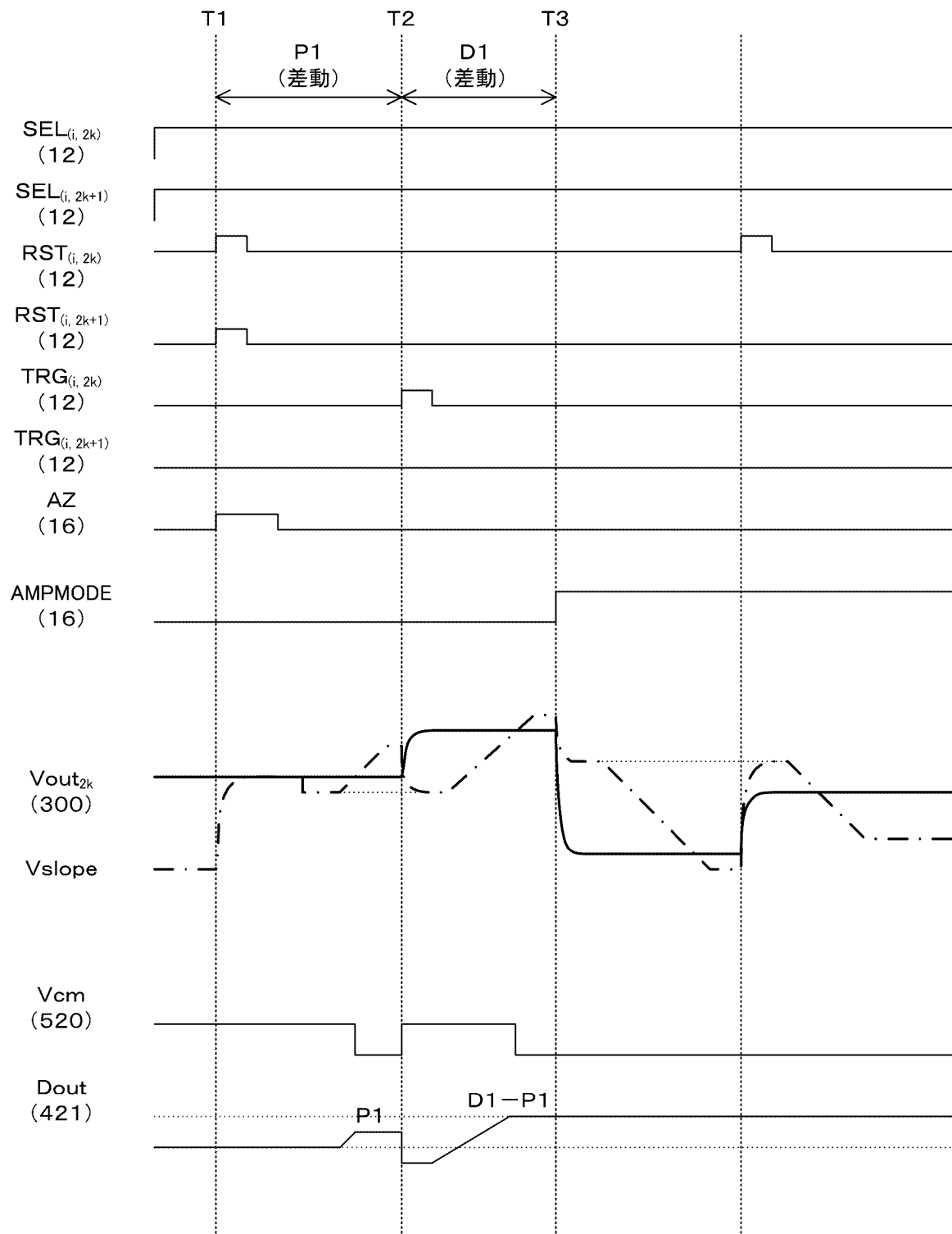
[図18]



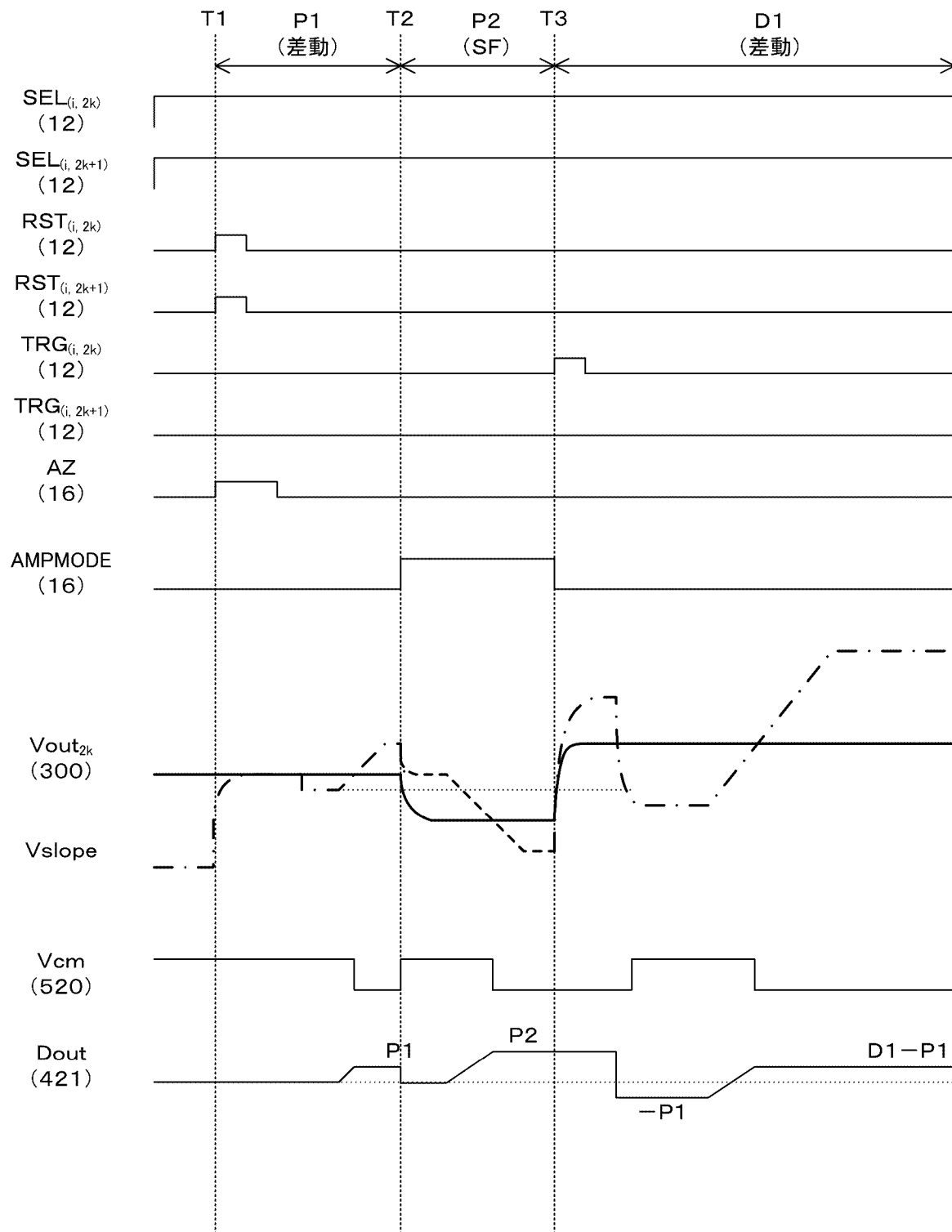
[図19]



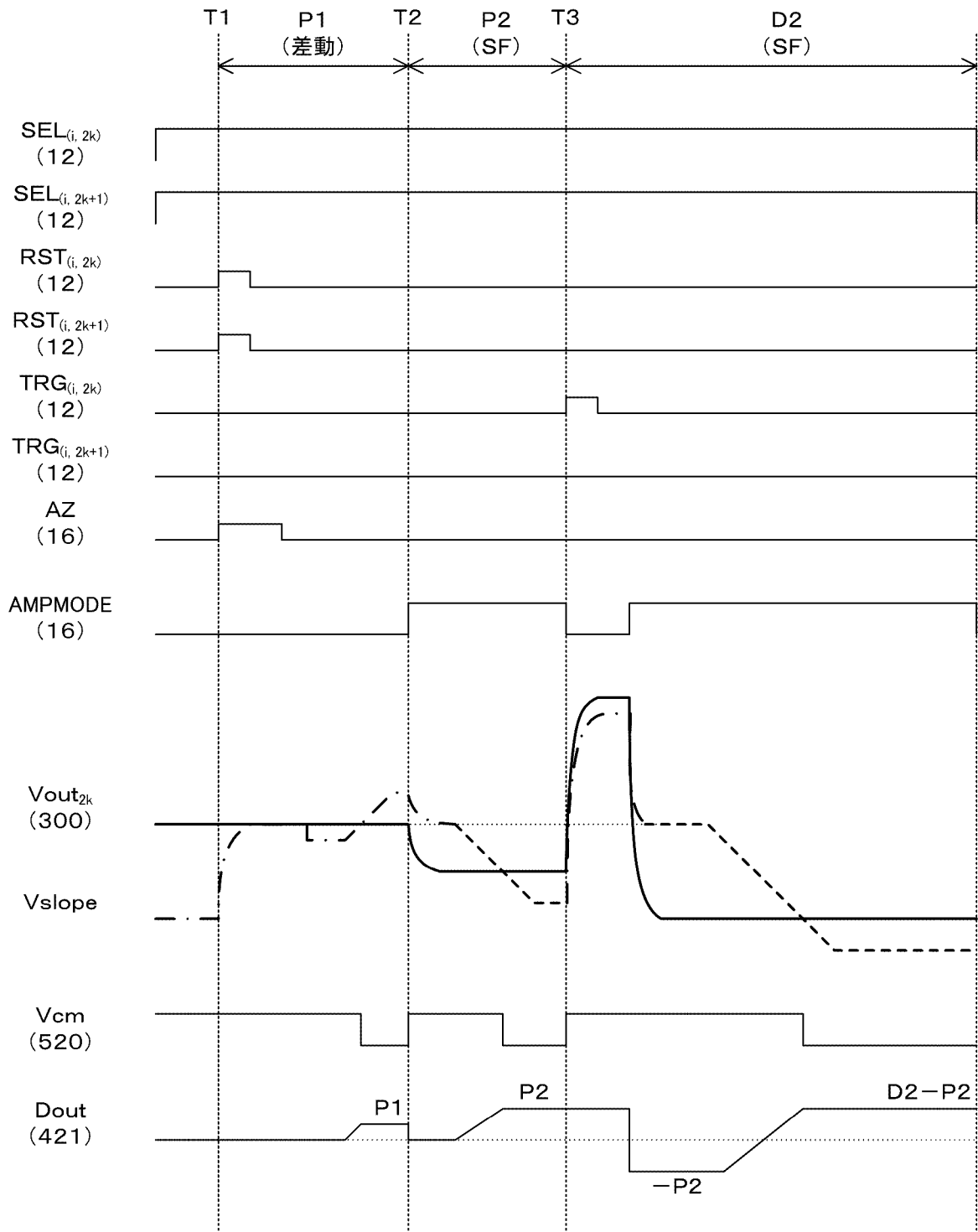
[図20]



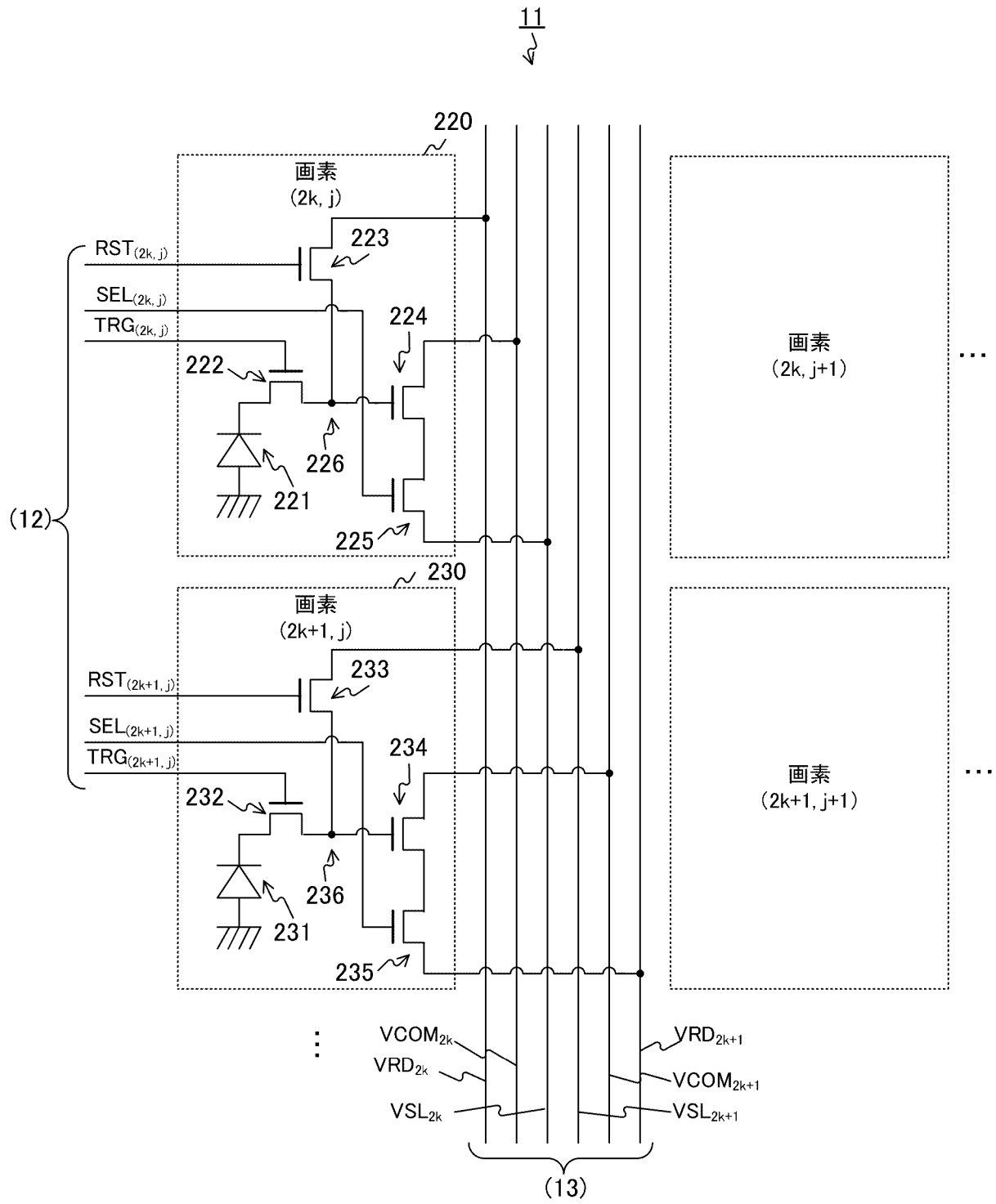
[図21]



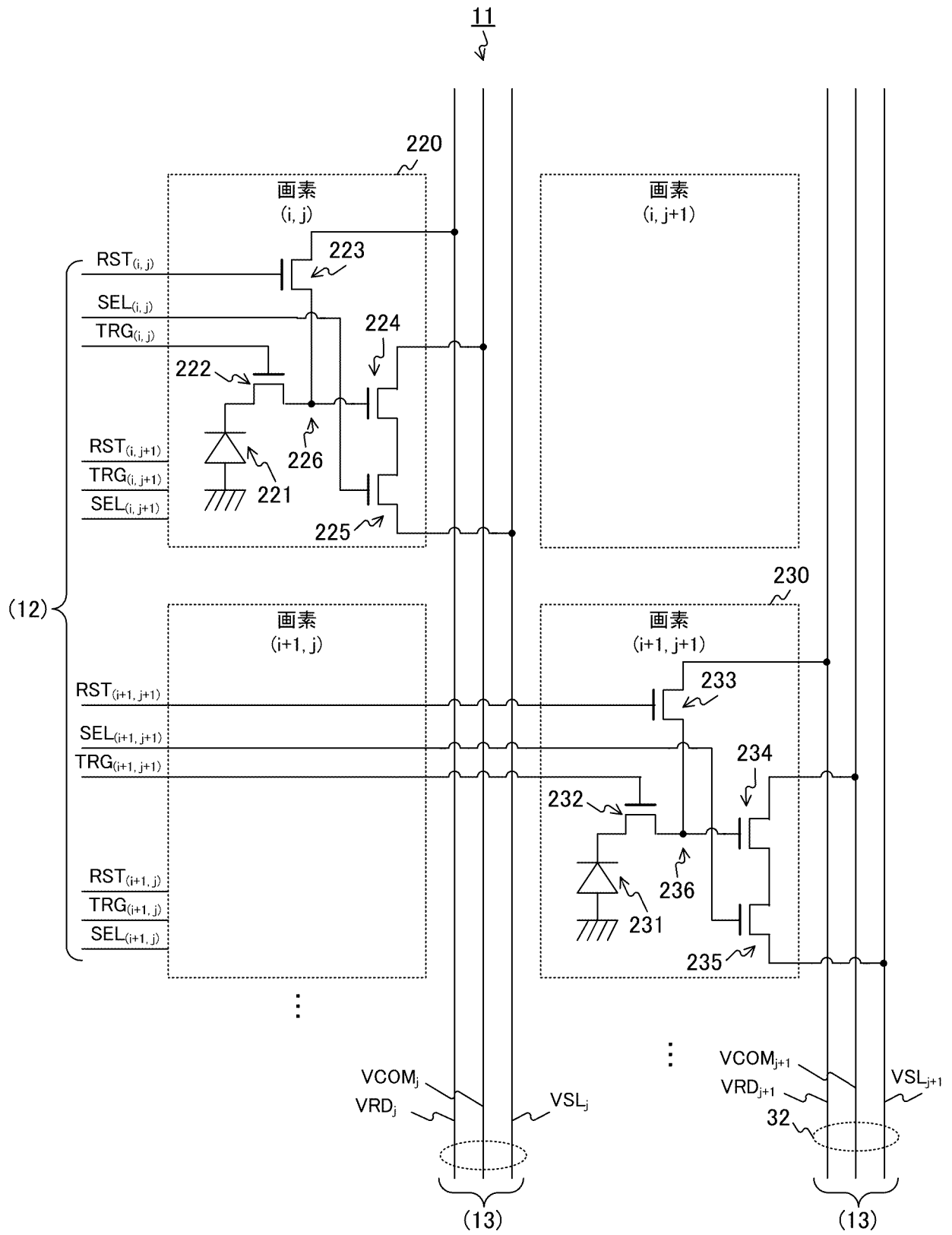
[図22]



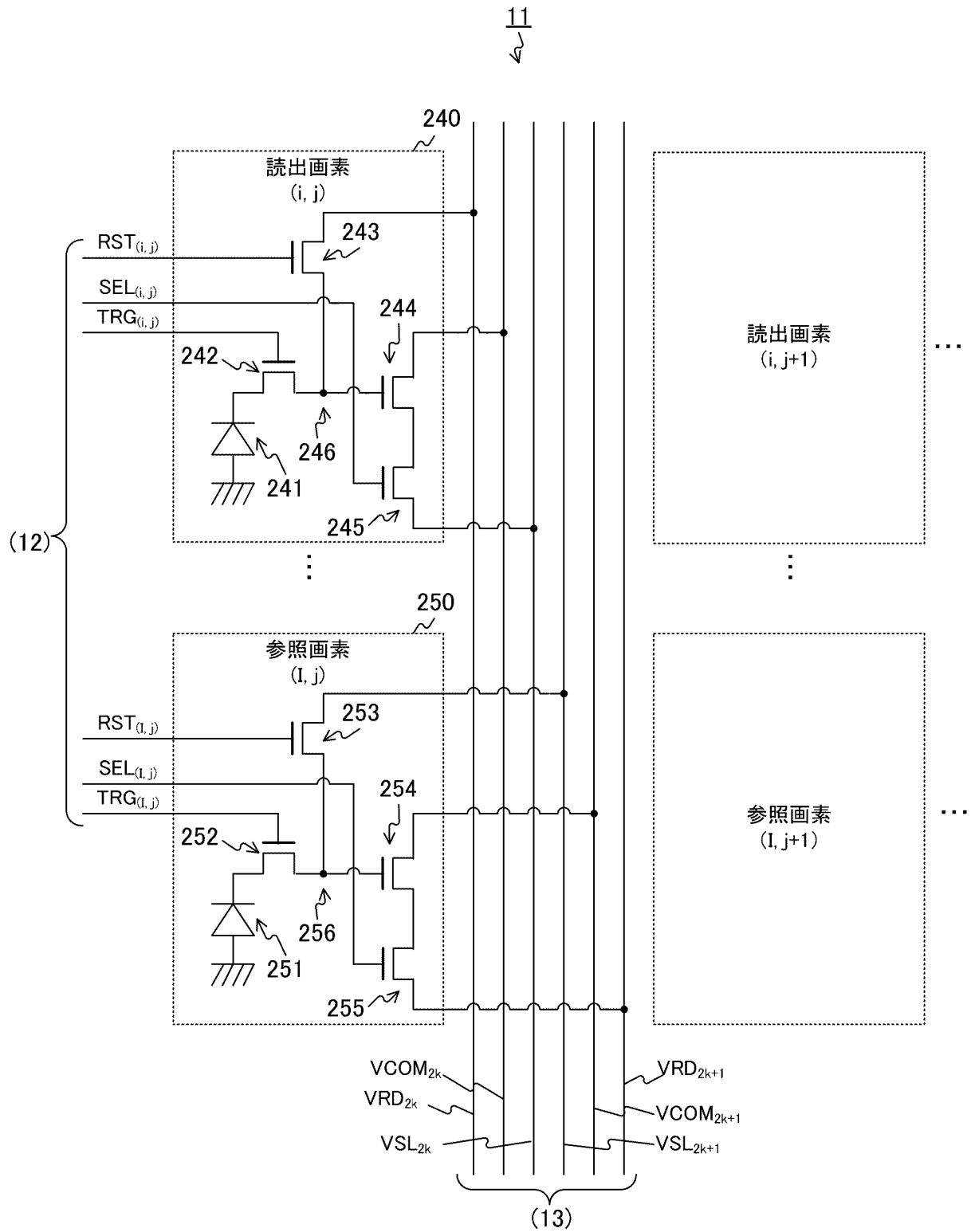
[図23]



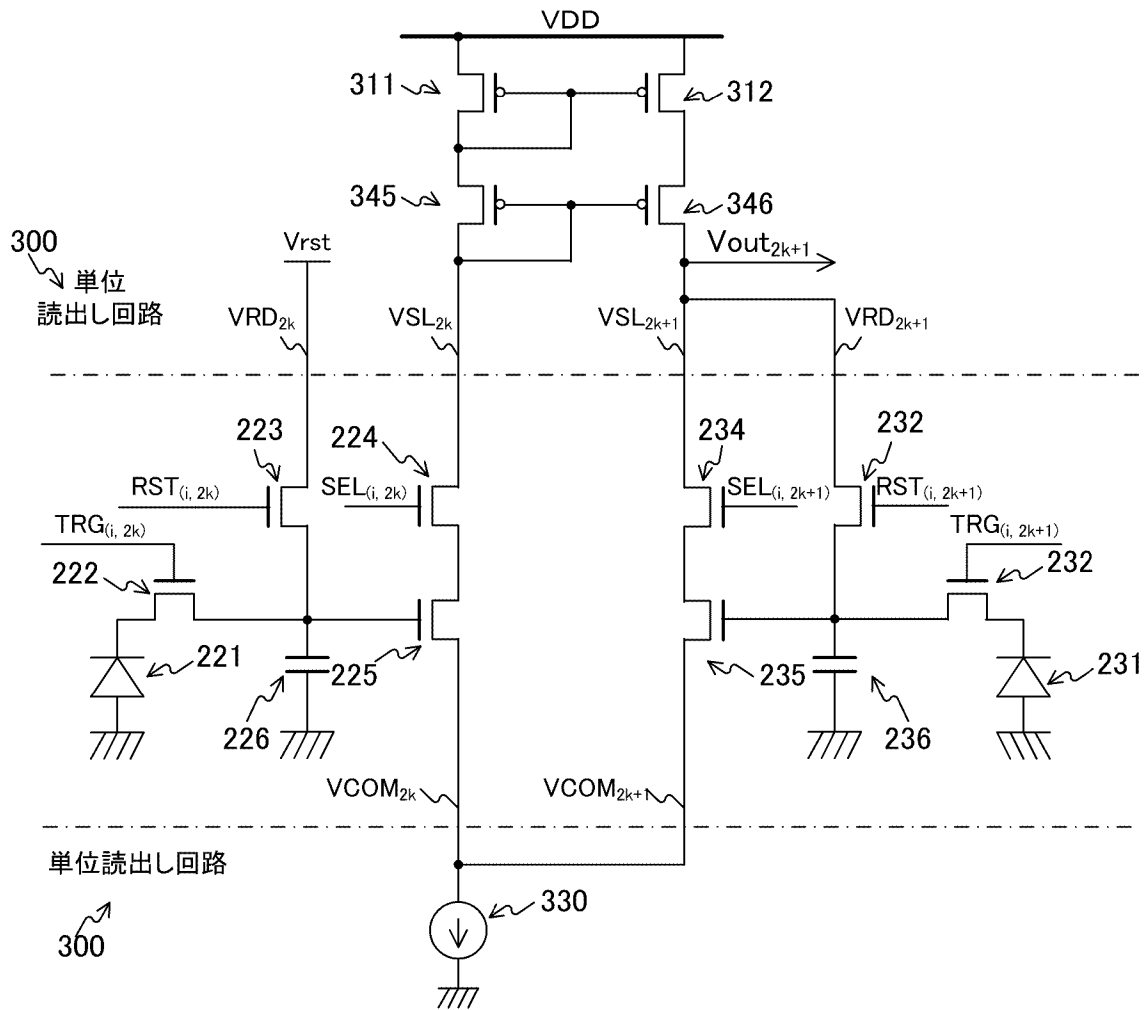
[図24]



[図25]

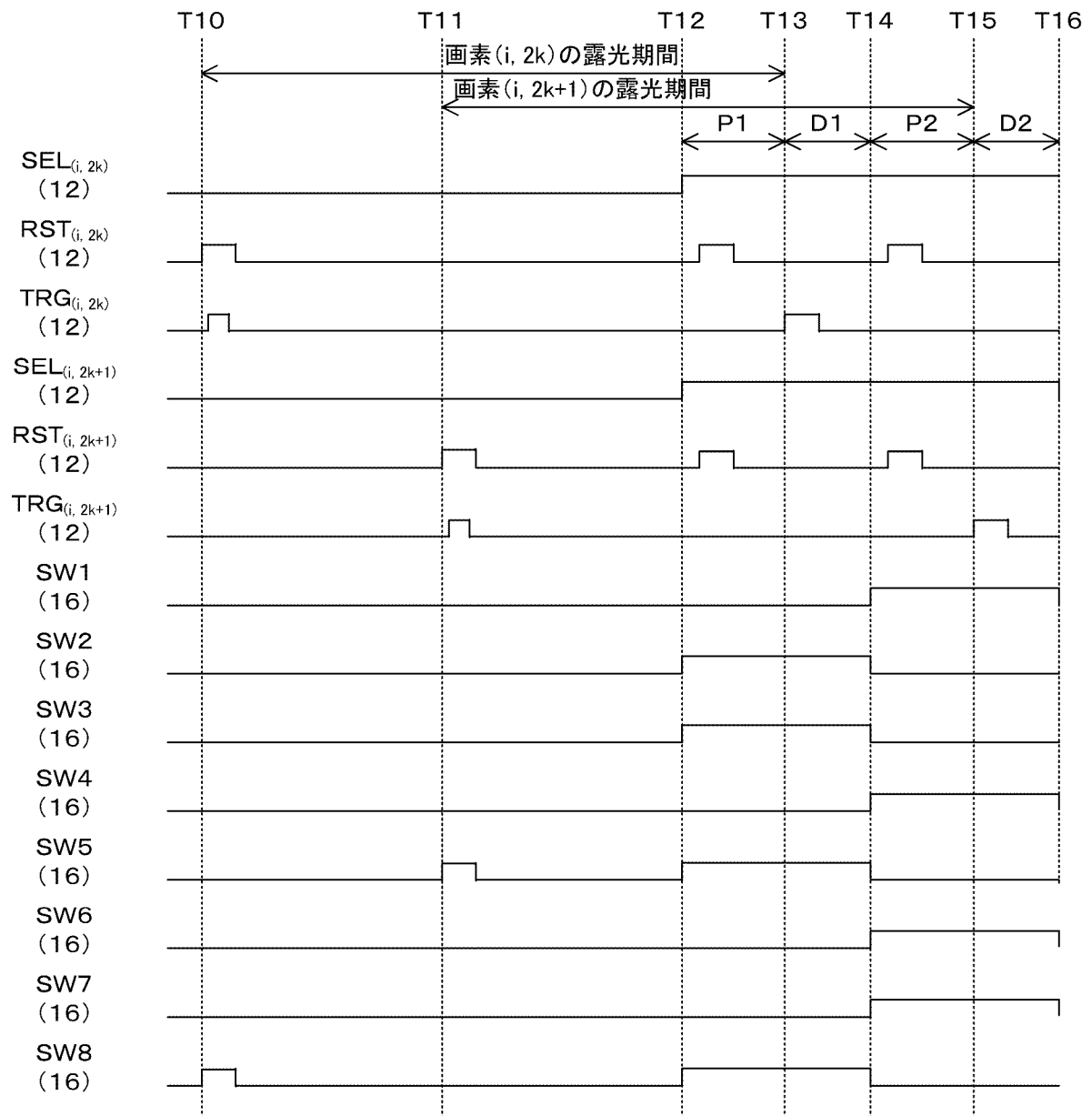


[図26]

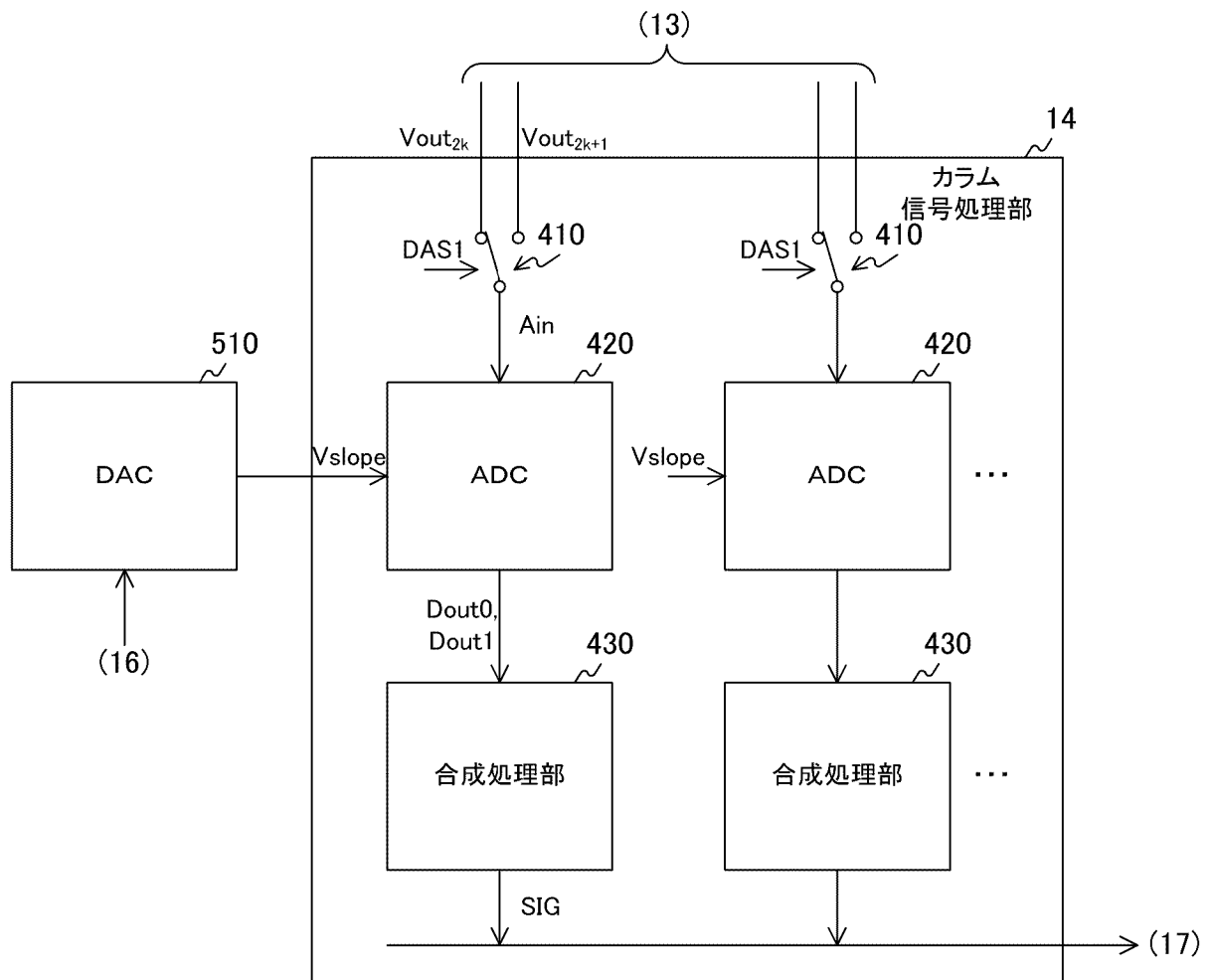


The diagram illustrates a unit output circuit (300) and a unit output circuit (300). The top circuit (300) is a unit output circuit, and the bottom circuit (300) is a unit output circuit. Both circuits include a VDD supply, a Vrst supply, and a VCOM supply. They feature a network of switches (SW1-SW8) and transistors (221-236) connected to a common output node (14). The bottom circuit also includes a current source (330) connected to ground.

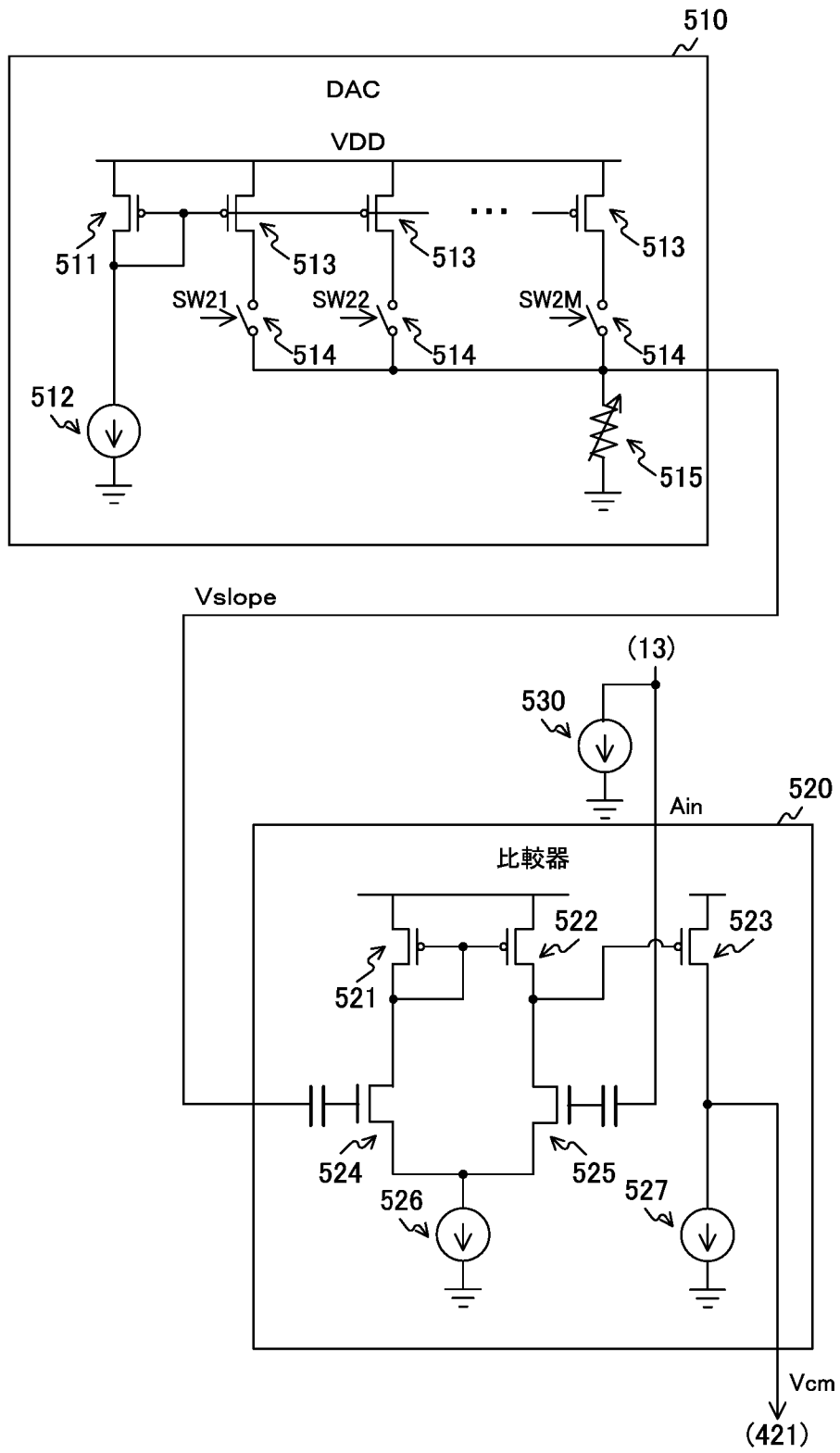
[図28]



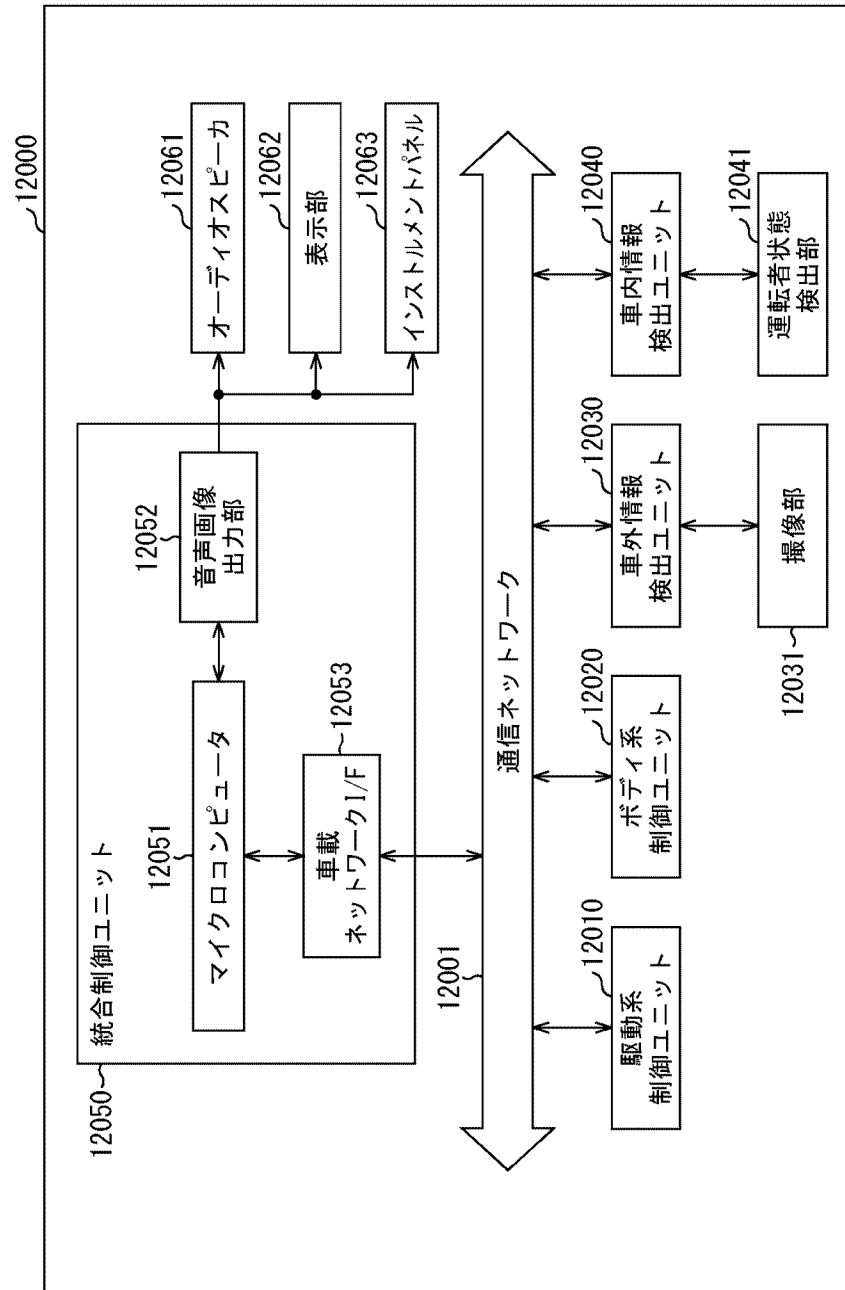
[図29]



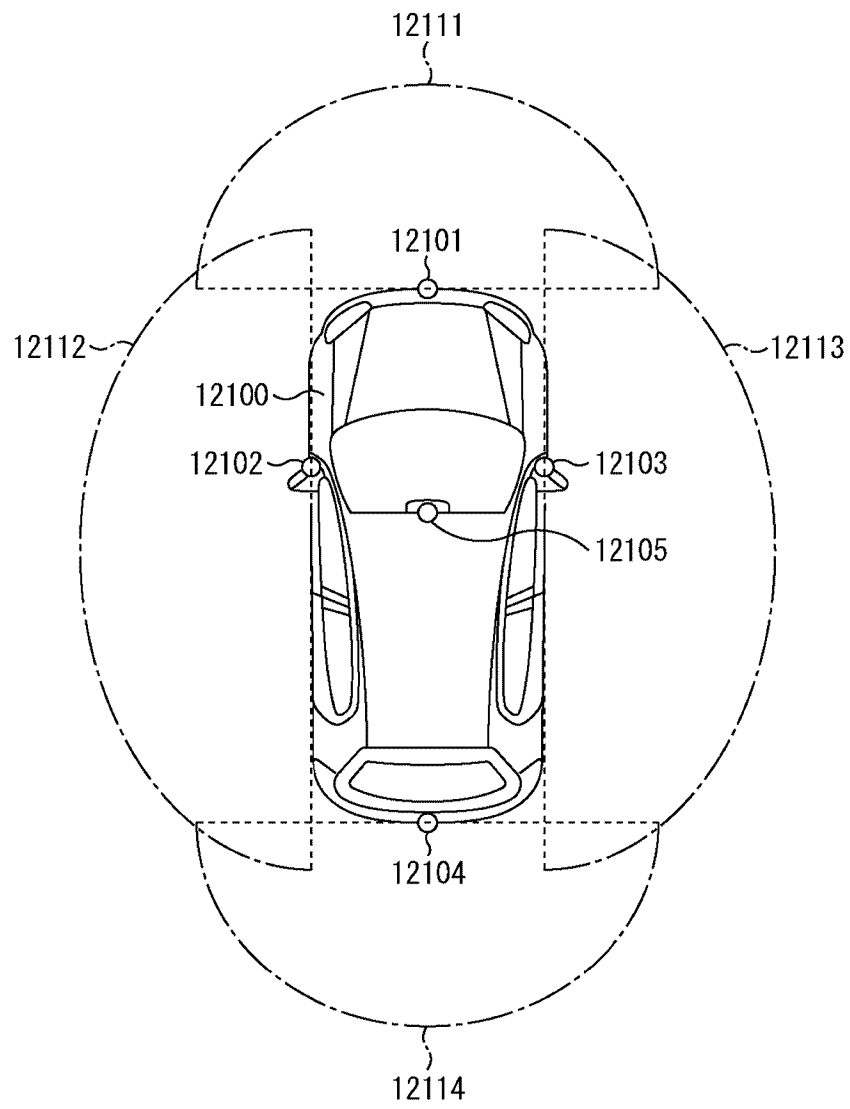
[図30]



[図31]



[図32]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/011034

A. CLASSIFICATION OF SUBJECT MATTER Int.Cl. H04N5/355 (2011.01) i, H04N5/374 (2011.01) i, H04N5/378 (2011.01) i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) Int.Cl. H04N5/355, H04N5/374, H04N5/378 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2019 Registered utility model specifications of Japan 1996-2019 Published registered utility model applications of Japan 1994-2019 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2017/179319 A1 (SONY CORP.) 19 October 2017, paragraphs [0002], [0046], fig. 4 & US 2018/0146154 A1, paragraphs [0003], [0065], fig. 4 & EP 3445042 A1 & CN 107683603 A & KR 10-2018-0134277 A	1-19
A	JP 2016-201649 A (CANON INC.) 01 December 2016, paragraphs [0016], [0017], fig. 2 & US 2016/0301886 A1, paragraphs [0032], [0033], fig. 2 & GB 2538854 A & DE 102016106268 A1 & CN 106060430 A	1-19
A	JP 2008-271280 A (SONY CORP.) 06 November 2008, paragraphs [0044], [0045], fig. 2 & US 2008/0258047 A1, paragraphs [0062], [0063], fig. 2 & KR 10-2008-0095175 A & CN 101296330 A	1-19
☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 24 May 2019 (24.05.2019)		Date of mailing of the international search report 04 June 2019 (04.06.2019)
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan		Authorized officer Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H04N5/355(2011.01)i, H04N5/374(2011.01)i, H04N5/378(2011.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H04N5/355, H04N5/374, H04N5/378

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2017/179319 A1 (ソニー株式会社) 2017.10.19, 段落 [0002], [0046], 図4 & US 2018/0146154 A1, 段落 [0003], [0065], 図4 & EP 3445042 A1 & CN 107683603 A & KR 10-2018-0134277 A	1-19
A	JP 2016-201649 A (キヤノン株式会社) 2016.12.01, 段落 [0016], [0017], 図2 & US 2016/0301886 A1, 段落 [0032], [0033], 図2 & GB 2538854 A & DE 102016106268 A1 & CN 106060430 A	1-19

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

24.05.2019

国際調査報告の発送日

04.06.2019

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

鈴木 明

電話番号 03-3581-1101 内線 3571

5V

9185

C (続き) . 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2008-271280 A (ソニー株式会社) 2008.11.06, 段落 [0044] , [0045], 図 2 & US 2008/0258047 A1, 段落 [0062] , [0063], 図 2 & KR 10-2008-0095175 A & CN 101296330 A	1 - 19