

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置及其製造方法

【技術領域】

本發明是有關半導體裝置及其製造方法，例如可適合利用在具備 MISFET 的半導體裝置及其製造方法者。

【先前技術】

在基板上隔著閘極絕緣膜來形成閘極電極，且在基板形成源極・汲極領域，藉此形成 MISFET。

並且，有使源極・汲極用的磊晶層成長於基板上來形成 MISFET 的技術。

在日本特開 2000-277745 號公報（專利文獻 1）是揭示有使用關於使用 SOI 基板的雙閘極 MOSFET 之技術。

日本特開 2007-165665 號公報（專利文獻 2）是在 Si 基板形成有 p 通道型 MISFET。而且，揭示有在成為 p 通道型 MISFET 的源極及汲極的領域形成溝，且在該溝內藉由磊晶成長法來埋入 SiGe 層之技術。

〔先行技術文獻〕

〔專利文獻〕

〔專利文獻 1〕日本特開 2000-277745 號公報

〔專利文獻 2〕日本特開 2007-165665 號公報

【發明內容】

（發明所欲解決的課題）

在基板上形成源極・汲極用的半導體層時，有關例如使用磊晶成長法等來形成 MISFET 的半導體裝置也是最好儘可能使性能提升。或，最好使半導體裝置的可靠度提升。或者最好實現其雙方。

其他的課題及新穎的特徵是可由本說明書的記述及附圖明確得知。

（用以解決課題的手段）

若根據一實施形態，則半導體裝置是在基板上形成有源極・汲極用的半導體層，閘極電極的閘極長方向的端部會乘坐於前述半導體層上。

又，若根據一實施形態，則半導體裝置的製造方法是在基板上形成虛擬閘極之後，在前述基板上例如藉由磊晶法來形成源極・汲極形成用的半導體層，然後，在前述虛擬閘極的側壁上形成側壁膜。接著，以能夠覆蓋前述虛擬閘極的方式在前述基板上形成絕緣膜之後，使前述虛擬閘極的上面露出。而且，在除去前述虛擬閘極及前述側壁膜而形成的溝內隔著閘極絕緣膜來形成閘極電極。

〔發明的效果〕

若根據一實施形態，則可使半導體裝置的性能提升。

或，可使半導體裝置的可靠度提升。或可實現其雙方。

【圖式簡單說明】

圖 1 是實施形態 1 的半導體裝置的要部剖面圖。

圖 2 是實施形態 1 的半導體裝置的要部剖面圖。

圖 3 是表示實施形態 1 的半導體裝置的製造工程的工程流程圖。

圖 4 是表示實施形態 1 的半導體裝置的製造工程的工程流程圖。

圖 5 是實施形態 1 的半導體裝置的製造工程中的要部剖面圖。

圖 6 是接續於圖 5 的半導體裝置的製造工程中的要部剖面圖。

圖 7 是接續於圖 6 的半導體裝置的製造工程中的要部剖面圖。

圖 8 是接續於圖 7 的半導體裝置的製造工程中的要部剖面圖。

圖 9 是接續於圖 8 的半導體裝置的製造工程中的要部剖面圖。

圖 10 是接續於圖 9 的半導體裝置的製造工程中的要部剖面圖。

圖 11 是接續於圖 10 的半導體裝置的製造工程中的要部剖面圖。

圖 12 是接續於圖 11 的半導體裝置的製造工程中的要

部剖面圖。

圖 13 是接續於圖 12 的半導體裝置的製造工程中的要部剖面圖。

圖 14 是接續於圖 13 的半導體裝置的製造工程中的要部剖面圖。

圖 15 是接續於圖 14 的半導體裝置的製造工程中的要部剖面圖。

圖 16 是接續於圖 15 的半導體裝置的製造工程中的要部剖面圖。

圖 17 是接續於圖 16 的半導體裝置的製造工程中的要部剖面圖。

圖 18 是接續於圖 17 的半導體裝置的製造工程中的要部剖面圖。

圖 19 是接續於圖 18 的半導體裝置的製造工程中的要部剖面圖。

圖 20 是接續於圖 19 的半導體裝置的製造工程中的要部剖面圖。

圖 21 是接續於圖 19 的半導體裝置的製造工程中的要部剖面圖。

圖 22 是接續於圖 21 的半導體裝置的製造工程中的要部剖面圖。

圖 23 是接續於圖 22 的半導體裝置的製造工程中的要部剖面圖。

圖 24 是接續於圖 20 及圖 23 的半導體裝置的製造工

程中的要部剖面圖。

圖 25 是接續於圖 24 的半導體裝置的製造工程中的要部剖面圖。

圖 26 是接續於圖 25 的半導體裝置的製造工程中的要部剖面圖。

圖 27 是接續於圖 26 的半導體裝置的製造工程中的要部剖面圖。

圖 28 是接續於圖 27 的半導體裝置的製造工程中的要部剖面圖。

圖 29 是接續於圖 28 的半導體裝置的製造工程中的要部剖面圖。

圖 30 是第 1 檢討例的半導體裝置的要部剖面圖。

圖 31 是第 1 檢討例的半導體裝置的要部剖面圖。

圖 32 是第 2 檢討例的半導體裝置的製造工程中的要部剖面圖。

圖 33 是接續於圖 32 的第 2 檢討例的半導體裝置的製造工程中的要部剖面圖。

圖 34 是第 2 檢討例的半導體裝置的要部剖面圖。

圖 35 是第 2 檢討例的半導體裝置的要部剖面圖。

圖 36 是實施形態 1 的變形例的半導體裝置的要部剖面圖。

圖 37 是實施形態 1 的變形例的半導體裝置的要部剖面圖。

圖 38 是實施形態 1 的變形例的半導體裝置的製造工

程中的要部剖面圖。

圖 39 是實施形態 2 的半導體裝置的製造工程中的要部剖面圖。

圖 40 是接續於圖 39 的半導體裝置的製造工程中的要部剖面圖。

圖 41 是接續於圖 40 的半導體裝置的製造工程中的要部剖面圖。

圖 42 是接續於圖 41 的半導體裝置的製造工程中的要部剖面圖。

圖 43 是接續於圖 42 的半導體裝置的製造工程中的要部剖面圖。

圖 44 是接續於圖 43 的半導體裝置的製造工程中的要部剖面圖。

圖 45 是接續於圖 44 的半導體裝置的製造工程中的要部剖面圖。

圖 46 是表示實施形態 3 的半導體裝置的製造工程的工程流程圖。

圖 47 是表示實施形態 3 的半導體裝置的製造工程的工程流程圖。

圖 48 是實施形態 3 的半導體裝置的製造工程中的要部剖面圖。

圖 49 是接續於圖 48 的半導體裝置的製造工程中的要部剖面圖。

圖 50 是接續於圖 49 的半導體裝置的製造工程中的要

部剖面圖。

圖 51 是接續於圖 50 的半導體裝置的製造工程中的要部剖面圖。

圖 52 是接續於圖 51 的半導體裝置的製造工程中的要部剖面圖。

圖 53 是接續於圖 52 的半導體裝置的製造工程中的要部剖面圖。

圖 54 是接續於圖 53 的半導體裝置的製造工程中的要部剖面圖。

圖 55 是接續於圖 54 的半導體裝置的製造工程中的要部剖面圖。

圖 56 是接續於圖 55 的半導體裝置的製造工程中的要部剖面圖。

圖 57 是接續於圖 56 的半導體裝置的製造工程中的要部剖面圖。

圖 58 是接續於圖 56 的半導體裝置的製造工程中的要部剖面圖。

圖 59 是接續於圖 58 的半導體裝置的製造工程中的要部剖面圖。

圖 60 是接續於圖 59 的半導體裝置的製造工程中的要部剖面圖。

圖 61 是接續於圖 57 及圖 60 的半導體裝置的製造工程中的要部剖面圖。

圖 62 是接續於圖 61 的半導體裝置的製造工程中的要

部剖面圖。

圖 63 是接續於圖 62 的半導體裝置的製造工程中的要部剖面圖。

圖 64 是實施形態 3 的半導體裝置的要部剖面圖。

圖 65 是實施形態 3 的半導體裝置的要部剖面圖。

圖 66 是表示實施形態 4 的半導體裝置的製造工程的工程流程圖。

圖 67 是表示實施形態 4 的半導體裝置的製造工程的工程流程圖。

圖 68 是實施形態 4 的半導體裝置的製造工程中的要部剖面圖。

圖 69 是接續於圖 68 的半導體裝置的製造工程中的要部剖面圖。

圖 70 是接續於圖 69 的半導體裝置的製造工程中的要部剖面圖。

圖 71 是接續於圖 70 的半導體裝置的製造工程中的要部剖面圖。

圖 72 是接續於圖 71 的半導體裝置的製造工程中的要部剖面圖。

圖 73 是接續於圖 72 的半導體裝置的製造工程中的要部剖面圖。

圖 74 是接續於圖 73 的半導體裝置的製造工程中的要部剖面圖。

圖 75 是接續於圖 74 的半導體裝置的製造工程中的要

部剖面圖。

圖 76 是接續於圖 75 的半導體裝置的製造工程中的要部剖面圖。

圖 77 是接續於圖 76 的半導體裝置的製造工程中的要部剖面圖。

圖 78 是接續於圖 76 的半導體裝置的製造工程中的要部剖面圖。

圖 79 是接續於圖 78 的半導體裝置的製造工程中的要部剖面圖。

圖 80 是接續於圖 79 的半導體裝置的製造工程中的要部剖面圖。

圖 81 是接續於圖 77 及圖 80 的半導體裝置的製造工程中的要部剖面圖。

圖 82 是接續於圖 81 的半導體裝置的製造工程中的要部剖面圖。

圖 83 是接續於圖 82 的半導體裝置的製造工程中的要部剖面圖。

圖 84 是實施形態 4 的半導體裝置的要部剖面圖。

【實施方式】

在以下的實施形態中基於方便起見有需要時，分割成複數的部分或實施形態來說明，但除了特別明示時，該等並非是彼此無關係者，一方是另一方的一部分或全部的變形例、詳細或補充說明等的關係。並且，在以下的實施形

態中，言及要素的數量等（包含個數、數值、量、範圍等）時，除了特別明示時及原理上明確限於特定的數量時等以外，並非限於該特定的數量，亦可為特定的數量以上或以下。而且，在以下的實施形態中，其構成要素（亦含要素步驟等）是除了特別明示時及原理上明顯為必須時等以外，當然並非一定為必須者。同樣，在以下的實施形態中，言及構成要素等的形狀、位置關係等時，除了特別明示時及原理上明顯非如此時等以外，還包含實質上近似或類似於該形狀等者。這針對上述數值及範圍也同樣。

以下，根據圖面詳細說明實施形態。另外，在用以說明實施形態的全圖中，對於具有同一機能的零件是附上同一符號，省略其重複的說明。並且，以下的實施形態是特別需要以外原則上是不重複說明同一或同樣的部分。

並且，在實施形態所使用的圖面中，即使是剖面圖，也會有為了容易看圖而省略剖面線時。而且，即使是平面圖，也會有為了看圖而附上剖面線時。

（實施形態 1）

<有關半導體裝置的構造>

圖 1 及圖 2 是本實施形態 1 的半導體裝置的要部剖面圖。並且，圖 1 及圖 2 是同領域的剖面圖。但，在圖 1 中，以點的剖面線來表示半導體層 EP1 全體，以細線的斜線的剖面線來表示半導體層 SM1 全體，而使能夠容易了解半導體層 SM1 及半導體層 EP1 分別為哪個領域，有關

n^- 型半導體領域 EX 及 n^+ 型半導體領域 SD 的形成領域是未圖示。並且，在圖 2 中，對 n^- 型半導體領域 EX 全體附上同剖面線，對 n^+ 型半導體領域 SD 全體附上其他相同的剖面線，而使能夠容易了解 n^- 型半導體領域 EX 及 n^+ 型半導體領域 SD 分別為哪個領域。因此，若合併圖 1 及圖 2 來看，則容易理解半導體層 SM1 及半導體層 EP1 的構成、以及半導體層 SM1 及半導體層 EP1 的 n^- 型半導體領域 EX 及 n^+ 型半導體領域 SD 的形成領域。另外，在圖 1 及圖 2 中，有關後述的絕緣膜 IL3 及配線 M1 和更上層的構造是省略圖示。

本實施形態 1 及以下的實施形態 2~4 的半導體裝置是具備 MISFET (Metal Insulator Semiconductor Field Effect Transistor) 的半導體裝置。

如圖 1 及圖 2 所示的本實施形態 1 的半導體裝置是使用 SOI (SOI: Silicon On Insulator) 基板 SUB 的半導體裝置。

SOI 基板 SUB 是具有：由單結晶矽等所構成的基板 (半導體基板、支撐基板) SUB1、及被形成於基板 SUB1 的主面上之由氧化矽等所構成的絕緣層 (埋入絕緣膜、埋入氧化膜、BOX (Buried Oxide) 層) BOX1、及被形成於絕緣層 BOX1 的上面之由單結晶矽所構成的半導體層 (SOI 層) SM1。基板 SUB1 是支撐絕緣層 BOX1 及更上面的構造之支撐基板。藉由該等基板 SUB1、絕緣層 BOX1 及半導體層 SM1 來形成 SOI 基板 SUB。在 SOI 基

板 SUB 的主面是形成有 MISFET。在此是說明有關 MISFET 為 n 通道型的 MISFET 時。

在半導體層 SM1 上，隔著閘極絕緣膜 GI 來形成閘極電極 GE。

閘極電極 GE 是設為使用氮化鈦 (TiN)、氮化鉭 (TaN)、氮化鎢 (WN)、碳化鈦 (TiC)、碳化鉭 (TaC)、碳化鎢 (WC) 或氮化碳化鉭 (TaCN) 等的金屬材料之金屬閘極電極 (金屬閘極電極)。另外，在此所謂的金屬是意指顯示金屬傳導的導電體，不僅單體的金屬 (純金屬) 或合金，還包含顯示金屬傳導的金屬化合物 (氮化金屬或碳化金屬等)。藉由將閘極電極 GE 設為金屬閘極電極，可取得能夠抑制閘極電極 GE 的空乏化現象，消除寄生電容的優點。並且，亦可取得 MISFET 元件的小型化 (閘極絕緣膜的薄膜化) 也可能的優點。

閘極電極 GE 是金屬閘極電極為理想，但其他的形態亦可設為在下層形成上述金屬材料 (金屬膜)，在上層使用多晶矽膜 (摻雜多晶矽膜) 的層疊型的閘極電極。

並且，金屬閘極電極 (閘極電極 GE) 的其他形態亦可設為使不同的金屬膜層疊複數層的構造。

又，閘極絕緣膜 GI 可使用氧化鉛膜、氧化鋇膜、氧化鋁膜、氧化鉭膜或氧化釩膜等的金屬氧化物膜，又，該等的金屬氧化物膜是亦可含有氮 (N) 或矽 (Si) 的一方或雙方。此情況，閘極絕緣膜 GI 是具有比氮化矽膜高的介電常數 (比介電常數) 的高介電常數膜 (所謂的 High-k

膜)。閘極絕緣膜 GI 使用高介電常數膜時，相較於使用氧化矽膜時，可使閘極絕緣膜 GI 的物理的膜厚增加，因此可取得能降低洩漏電流的優點。

另外，雖未圖示，但實際上亦可在上述的金屬氧化物膜與半導體層 SM1 之間形成 1nm 以下的氧化矽膜，作為界面層。此界面層的物理的膜厚是形成比上述金屬氧化物膜的物理的膜厚更薄。

閘極電極 GE 的下部的半導體層 SM1 是成為形成有 MISFET 的通道的領域（通道形成領域）。

在半導體層 SM1 上形成有磊晶層（磊晶半導體層）的半導體層 EP1。半導體層 EP1 是在半導體層 SM1 上藉由磊晶成長來形成，由矽（單結晶矽）所構成。

半導體層 EP1 是被形成於閘極電極 GE 的兩側（閘極長方向的兩側）。另外，在圖 1 及圖 2 所示的剖面是與閘極電極 GE 的閘極長方向平行的平面（沿著閘極長方向的平面）。

本實施形態是閘極電極 GE 的一部分會存在於半導體層 EP1 上（更特定的是半導體層 EP1 的傾斜的側面 SF1 上）。具體而言，是閘極電極 GE 的閘極長方向的端部會位於半導體層 EP1 上。換言之，在 MISFET（以閘極電極 GE 作為閘極電極的 MISFET）的閘極長方向，閘極電極 GE 的端部會位於半導體層 EP1 上。亦即，閘極電極 GE 的閘極長方向的中央部側是處於未形成有半導體層 EP1 的部分的半導體層 SM1 上，但閘極電極 GE 的閘極長方向的

兩端部側是乘坐於半導體層 SM1 上所形成的半導體層 EP1 上。亦即，閘極電極 GE 的中央部側（閘極長方向的中央部側）是未與半導體層 EP1 重疊（未重疊於 SOI 基板 SUB 的厚度方向），但閘極電極 GE 的端部（閘極長方向的端部）是與半導體層 EP1 重疊（重疊於 SOI 基板 SUB 的厚度方向）。因此，成為在閘極電極 GE 的兩端部近旁（閘極長方向的兩端部近旁）的正下面是存在半導體層 EP1，在閘極電極 GE 的中央部側（閘極長方向的中央部側）的正下面是不存在半導體層 EP1（存在半導體層 SM1）的狀態。

但，閘極電極 GE 是不接觸於半導體層 SM1，EP1，在閘極電極 GE 與半導體層 SM1 之間及閘極電極 GE 與半導體層 EP1 之間是存在閘極絕緣膜 GI。閘極絕緣膜 GI 是從閘極電極 GE 的底面連續地形成到兩側面（側壁）。

並且，本實施形態是閘極電極 GE 的閘極長方向的端部會位於半導體層 EP1 上，但半導體層 EP1 的側面（閘極電極 GE 側的側面）SF1 傾斜，閘極電極 GE 的閘極長方向的端部會位於此半導體層 EP1 的傾斜的側面 SF1 上。換言之，在 MISFET（以閘極電極 GE 作為閘極電極的 MISFET）的閘極長方向，半導體層 EP1 的側面（閘極電極 GE 側的側面）SF1 是傾斜，在 MISFET（以閘極電極 GE 作為閘極電極的 MISFET）的閘極長方向，閘極電極 GE 的端部會位於半導體層 EP1 的傾斜的側面 SF1 上。亦即，閘極電極 GE 的端部（閘極長方向的端部）會乘坐

於半導體層 EP1 的傾斜的側面 SF1 上。

並且，半導體層 EP1 是被形成於半導體層 SM1 的大致平坦的上面上，因此半導體層 EP1 的上面是處於比閘極電極 GE 的正下面的半導體層 SM1 的上面更高的位置。在此，閘極電極 GE 的正下面的半導體層 SM1 的上面是對應於閘極電極 GE 之下的閘極絕緣膜 GI 所接觸的部分的半導體層 SM1 的表面（上面），在圖 1 中附上符號 UF1 而顯示為上面 UF1。

在閘極電極 GE 的兩側（閘極長方向的兩側）的半導體層 SM1，EP1 是形成有 MISFET 的源極或汲極用的半導體領域，此源極或汲極用的半導體領域是藉由 n⁻型半導體領域 EX、及比 n⁻型半導體領域 EX 更高雜質濃度的 n⁺型半導體領域 SD 所形成。亦即，在半導體層 SM1 與半導體層 EP1 的層疊中，在隔通道形成領域而彼此分離的領域形成有（一對的）n⁻型半導體領域（延長領域、LDD 領域）EX，在 n⁻型半導體領域 EX 的外側（離開通道形成領域的側）形成有比 n⁻型半導體領域 EX 更高雜質濃度的源極・汲極用的（一對的）n⁺型半導體領域 SD。由於源極或汲極領域用的半導體領域是具有比 n⁻型半導體領域 EX 及 n⁻型半導體領域 EX 更高雜質濃度的 n⁺型半導體領域 SD，因此具備 LDD（Lightly Doped Drain）構造。

n⁻型半導體領域 EX 是與通道形成領域鄰接，n⁺型半導體領域 SD 是離開通道形成領域僅 n⁻型半導體領域 EX 的部分，且被形成在接觸於 n⁻型半導體領域 EX 的位置。

由 SOI 基板 SUB 的厚度方向來看， n^- 型半導體領域 EX 是從半導體層 EP1 形成到半導體層 SM1， n^+ 型半導體領域 SD 也是從半導體層 EP1 形成到半導體層 SM1。並且， n^- 型半導體領域 EX 的至少一部分是位於閘極電極 GE 的正下面。

由於在半導體層 EP1 是形成有源極或汲極用的半導體領域（對應於 n^- 型半導體領域 EX 及 n^+ 型半導體領域 SD），因此可將半導體層 EP1 視為源極・汲極用（源極・汲極形成用）的磊晶層。

在 n^+ 型半導體領域 SD 的上部是形成有金屬矽化物層 SIL。金屬矽化物層 SIL 是例如鈷矽化物層、鎳矽化物層、或鎳白金矽化物層等。

在 SOI 基板 SUB 的主面上是以能夠覆蓋半導體層 EP1（及金屬矽化物層 SIL）的方式形成有絕緣膜 IL1。絕緣膜 IL1 較理想是由襯墊膜的氮化矽膜（襯墊膜）SN3 與氮化矽膜 SN3 上的絕緣膜 SO3 之層疊膜所構成。氮化矽膜 SN3 的厚度是比絕緣膜 SO3 更薄。

絕緣膜 SO3 是可使用氧化矽系的絕緣膜。在此，所謂氧化矽系的絕緣膜是以氧化矽為主體的絕緣膜，但亦可更含有碳（C）、氟（F）、氮（N）、硼（B）及磷（P）的其中一種以上。

絕緣膜 IL1 的上面是大致被平坦化，在絕緣膜 IL1 是形成有溝 TR。在此溝 TR 內隔著閘極絕緣膜 GI 來埋入（形成）閘極電極 GE。亦即，閘極電極 GE 是被形成於

絕緣膜 IL1 的溝 TR 內，閘極絕緣膜 GI 是在閘極電極 GE 的側壁（側面）及底面（下面）連續地被形成。

亦即，本實施形態是在 SOI 基板 SUB 上，以能夠覆蓋半導體層 EP1 的方式形成有絕緣膜 IL1，閘極電極 GE 是被埋入形成於絕緣膜 IL1 的溝 TR 內。具體而言，閘極絕緣膜 GI 會被形成於溝 TR 的側面上及底面上，閘極電極 GE 是隔著閘極絕緣膜 GI 來埋入溝 TR 內。

並且，較理想是在閘極電極 GE 的側壁上隔著閘極絕緣膜 GI 來形成側壁絕緣膜 SW3。亦即，在閘極電極 GE 的側壁與絕緣膜 IL1 之間，不僅閘極絕緣膜 GI，也存在側壁絕緣膜 SW3。閘極絕緣膜 GI 是接觸於閘極電極 GE，但側壁絕緣膜 SW3 是與閘極電極 GE 不接觸，在側壁絕緣膜 SW3 與閘極電極 GE 之間是存在閘極絕緣膜 GI。

在埋入有閘極電極 GE 的狀態的絕緣膜 IL1 上是以能夠覆蓋閘極電極 GE 的方式形成有絕緣膜 IL2。

在絕緣膜 IL1，IL2 是形成有後述的接觸孔 CNT（在此是未圖示），在接觸孔 CNT 內是形成有後述的插塞 PG（在此是未圖示），但在此是其圖示省略。並且，在絕緣膜 IL2 上是形成有後述的絕緣膜 IL3（在此是未圖示）及後述的配線 M1（在此是未圖示），但在此是其圖示省略。

<有關半導體裝置的製造工程>

其次，參照圖面說明本實施形態的半導體裝置的製造

工程。圖 3 及圖 4 是表示本實施形態的半導體裝置的製造工程的工程流程圖。圖 5~圖 29 是本實施形態的半導體裝置的製造工程中的要部剖面圖。

首先，如圖 5 所示般，準備 SOI 基板 SUB（圖 3 的步驟 S1）。

SOI 基板 SUB 是具有：由單結晶矽等所構成的基板 SUB1、及被形成於基板 SUB1 的主面上之由氧化矽等所構成的絕緣層 BOX1、及被形成於絕緣層 BOX1 的上面上之由單結晶矽所構成的半導體層 SM1。

相較於基板 SUB1 的厚度，半導體層 SM1 的厚度薄。半導體層 SM1 的厚度是可設為例如 3~20nm 程度。

SOI 基板 SUB 是可利用各種的手法來製造。例如，藉由高熱及壓力來接著貼合在表面形成氧化膜的半導體基板（矽基板）與另一片的半導體基板（矽基板）之後，使一側的矽層（矽基板）薄膜化，藉此可形成 SOI 基板 SUB。或，可使用 SIMOX（Silicon Implanted Oxide）法來形成 SOI 基板 SUB，該 SIMOX 法是對於由 Si（矽）所構成的半導體基板的主面，以高能量來離子注入 O₂（氧），且以之後的熱處理來使 Si（矽）與氧結合，而於比半導體基板的表面更稍微深的位置形成埋入氧化膜（BOX 膜）。更亦可以其他的手法，例如使用智切（Smart Cut）製程等來製造 SOI 基板 SUB。

其次，在 SOI 基板 SUB 形成元件分離領域（未圖示）。元件分離領域是可藉由例如在 SOI 基板 SUB（半導

體層 SM1) 的主面，利用光微影技術及乾蝕刻技術等來形成貫通半導體層 SM1 及絕緣層 BOX1 而底部位於基板 SUB1 中的元件分離溝，且在此元件分離溝利用成膜技術及 CMP 技術等來埋入絕緣膜而形成。在藉由元件分離領域來平面性地包圍的半導體層 SM1 如以下說明般形成有 MISFET。

其次，對於半導體層 SM1 之中，形成 n 通道型 MISFET 之預定的領域的半導體層 SM1，藉由離子注入等來導入用以設為 p 型阱 (p 型半導體領域) 的 p 型雜質 (例如硼)。

其次，如圖 6 所示般，在 SOI 基板 SUB 上，亦即在半導體層 SM1 上，形成虛擬閘極 (虛擬閘極電極、虛擬閘極構造體) GED (圖 3 的步驟 S2)。

虛擬閘極 GED (特別是虛擬閘極 GED 的多晶矽膜 PL1) 是不具作為 MISFET 的閘極 (閘極電極) 之機能的虛擬 (擬似的) 的閘極 (閘極電極)。虛擬閘極 GED 是由絕緣膜 GID 及其上的多晶矽膜 (多結晶矽膜) PL1 以及其上的氮化矽膜 SN1 之層疊膜所構成。亦可取代氮化矽膜 SN1，而使用其他的絕緣膜，例如使用氧化矽膜。絕緣膜 GID 可使用氧化矽膜。

多晶矽膜 PL1 是亦可直接形成於半導體層 SM1 上，但在半導體層 SM1 上隔著絕緣膜 GID 來形成多晶矽膜 PL1 為理想。絕緣膜 GID 因為在之後除去，所以不具作為閘極絕緣膜之機能的虛擬的閘極絕緣膜。絕緣膜 GID 是

可適用氧化矽膜，絕緣膜 GID 的厚度是比多晶矽膜 PL1 更薄。

絕緣膜 GID 是在之後除去多晶矽膜 PL1 時（對應於後述的步驟 S13 的第 2 階段的蝕刻）可作為蝕刻阻擋膜（半導體層 SM1 的蝕刻防止膜）使用，此時，可防止半導體層 SM1 被蝕刻。因此，使絕緣膜 GID 介於多晶矽膜 PL1 與半導體層 SM1 之間為理想。

為了形成虛擬閘極 GED，例如在 SOI 基板 SUB 的主面上（亦即半導體層 SM1 的主面上）形成氧化矽膜（此氧化矽膜成為絕緣膜 GID）之後，在其上依序形成（堆積）多晶矽膜 PL1 及氮化矽膜 SN1。接著，利用光微影技術及蝕刻技術來使此多晶矽膜 PL1 與氮化矽膜 SN1 的層疊膜圖案化，藉此可形成虛擬閘極 GED。在虛擬閘極 GED 與半導體層 SM1 之間是存在絕緣膜 GID（此情況是氧化矽膜）。

並且，虛擬閘極 GED 因為在之後除去，所以可不具有導電性，或亦可將多晶矽膜 PL1 置換成其他的材料膜。但，由之後容易除去，容易確保對氧化矽膜或氮化矽膜等之高的蝕刻選擇比，容易對虛擬閘極加工，不易產生工程上的狀態不佳等的觀點，多晶矽膜 PL1 為適合。並且，亦可使用與多晶矽膜 PL1 同層的多晶矽膜來形成其他的元件（例如多晶矽電阻等）。

其次，在虛擬閘極 GED 的側壁上形成側壁絕緣膜（偏置間隔層）SW1 作為側壁膜（圖 3 的步驟 S3）。

步驟 S3 的側壁絕緣膜 SW1 形成工程是可如其次般進行。亦即，首先，如圖 7 所示般，在 SOI 基板 SUB 的主面的全面，以能夠覆蓋虛擬閘極 GED 的方式，藉由 CVD (Chemical Vapor Deposition: 化學氣相成長) 法等來形成 (堆積) 氧化矽膜 SO1。接著，藉由蝕刻 (異方性蝕刻) 此氧化矽膜 SO1，如圖 8 所示般，在虛擬閘極 GED 的側壁上留下氧化矽膜 SO1 作為側壁絕緣膜 SW1，除去其他領域的氧化矽膜 SO1。藉此，在虛擬閘極 GED 的側壁上形成側壁絕緣膜 SW1。側壁絕緣膜 SW1 的厚度 (與虛擬閘極 GED 的側壁大致垂直的方向的厚度) 是可設為例如 3~10nm 程度。

又，由於側壁絕緣膜 SW1 及後述的側壁絕緣膜 SW2 會在之後除去，所以可不一定要具有絕緣性，但基於作為側壁膜的形成的容易度，或可防止除去時發生蝕刻殘留的不良狀況之觀點等，最好是絕緣膜，特別是氧化矽或氮化矽為合適。為此，側壁絕緣膜 SW1 及後述的側壁絕緣膜 SW2 的材料，在本實施形態是使用氧化矽，在後述的實施形態 2 是使用氮化矽。

其次，如圖 9 所示般，使半導體層 EP1 磊晶成長於半導體層 SM1 上 (圖 3 的步驟 S4)。

半導體層 EP1 是被形成於虛擬閘極 GED (更特定的是由虛擬閘極 GED 及側壁絕緣膜 SW1 所構成的構造體) 的兩側的領域的半導體層 SM1 上。亦即，在半導體層 SM1 上，於虛擬閘極 GED (更特定的是由虛擬閘極 GED

及側壁絕緣膜 SW1 所構成的構造體) 的兩側，以能夠和虛擬閘極 GED (更特定的是由虛擬閘極 GED 及側壁絕緣膜 SW1 所構成的構造體) 相鄰的方式，形成有半導體層 EP1。

半導體層 EP1 是藉由磊晶成長所形成的磊晶層 (磊晶半導體層)，由矽 (單結晶矽) 所構成。半導體層 EP1 是在半導體層 SM1 上選擇性地磊晶成長，在側壁絕緣膜 SW1 上或氮化矽膜 SN1 上是未被形成。

在使半導體層 EP1 磊晶成長時，虛擬閘極 GED 的多晶矽膜 PL1 是上面被氮化矽膜 SN1 所覆蓋，側面 (側壁) 被側壁絕緣膜 SW1 所覆蓋，在虛擬閘極 GED 的多晶矽膜 PL1 未露出的狀態下，使半導體層 EP1 磊晶成長。因此，可防止在虛擬閘極 GED 的多晶矽膜 PL1 上形成有磊晶層。

亦即，假設省略側壁絕緣膜 SW1 的形成，在虛擬閘極 GED 的多晶矽膜 PL1 的側壁露出的狀態下，使半導體層 EP1 磊晶成長時，在多晶矽膜 PL1 的露出部上也會磊晶成長，恐有半導體層 EP1 與多晶矽膜 PL1 黏在一起之虞。可予以藉由側壁絕緣膜 SW1 來防止。

並且，以半導體層 EP1 的側面 SF1 能夠具有斜度 (taper) 的方式，使半導體層 EP1 磊晶成長為理想。亦即，對於 SOI 基板 SUB 的主面 (亦即半導體層 SM1 的主面)，半導體層 EP1 的側面 SF1 傾斜為理想。亦即，SOI 基板 SUB 的主面 (亦即半導體層 SM1 的主面) 與半導體

層 EP1 的側面 SF1 所成的角度 α 是比 90° 更小（亦即 $\alpha < 90^\circ$ ）為理想。換言之，隨著遠離虛擬閘極 GED，半導體層 EP1 的厚度變厚的方式，半導體層 EP1 的側面 SF1 傾斜為理想。半導體層 EP1 的側面 SF1 的斜度是可藉由調整半導體層 EP1 的成膜用氣體的組成或成膜溫度等來控制。

另外，將半導體層 EP1 的側面 SF1 與半導體層 SM1 的主面（SOI 基板 SUB 的主面）所成的角度為銳角時稱為半導體層 EP1 的側面 SF1 傾斜，此側面 SF1 是半導體層 EP1 的傾斜的側面。因此，半導體層 EP1 的側面 SF1 對於半導體層 SM1 的主面（SOI 基板 SUB 的主面）垂直時，不稱半導體層 EP1 的側面 SF1 傾斜。

半導體層 EP1 是被形成於半導體層 SM1 的大致平坦的上面上，所以半導體層 EP1 的上面是形成比半導體層 SM1 的上面更高的位置。因此，在步驟 S4 所被形成的半導體層 EP1 的上面是形成比虛擬閘極 GED 的正下面的半導體層 SM1 的上面更高的位置。另外，稱高度時是對應於與基板 SUB 的主面大致垂直的方向的高度。

以下是將合併半導體層 SM1 及形成於半導體層 SM1 上的半導體層 EP1 者稱為半導體層 SM2。

其次，如圖 10 所示般，在半導體層 SM2（亦即半導體層 SM1，EP1）的虛擬閘極 GED 及側壁絕緣膜 SW1 的兩側的領域，藉由離子注入磷（P）或砷（As）等的 n 型的雜質來形成 n⁻型半導體領域（延長領域、LDD 領域）

EX (圖 3 的步驟 S5)。在用以形成 n⁻型半導體領域 EX 的離子注入工程中，虛擬閘極 GED 及側壁絕緣膜 SW1 可具有作為遮罩 (離子注入阻止遮罩) 的機能。因此，n⁻型半導體領域 EX 是在半導體層 SM1 及半導體層 EP1 (的層疊體) 中，對於虛擬閘極 GED 的側壁上的側壁絕緣膜 SW1 來自整合形成。

其次，在虛擬閘極 GED 的側壁上形成側壁絕緣膜 (側壁間隔件) SW2 作為側壁膜 (圖 3 的步驟 S6)。

步驟 S6 的側壁絕緣膜 SW2 形成工程是可如其次般進行。亦即，首先，如圖 11 所示般，在 SOI 基板 SUB 的主面的全面，以能夠覆蓋虛擬閘極 GED 及側壁絕緣膜 SW1 的方式，藉由 CVD 法等來形成 (堆積) 氧化矽膜 SO2。接著，藉由蝕刻 (異方性蝕刻) 此氧化矽膜 SO2，如圖 12 所示般，在虛擬閘極 GED 的側壁上留下氧化矽膜 SO2 作為側壁絕緣膜 SW2，除去其他領域的氧化矽膜 SO2。藉此，在虛擬閘極 GED 的側壁上隔著側壁絕緣膜 SW1 來形成側壁絕緣膜 SW2。側壁絕緣膜 SW2 的厚度 (與虛擬閘極 GED 的側壁大致垂直的方向的厚度) 是可設為例如 3~10nm 程度。

側壁絕緣膜 SW2 是隔著側壁絕緣膜 SW1 來與虛擬閘極 GED 的側壁鄰接，且被形成於半導體層 EP1 上 (具體而言是半導體層 EP1 的傾斜的側面 SF1 上)。亦即，側壁絕緣膜 SW2 的底面會接觸於半導體層 EP2 (具體而言是半導體層 EP1 的傾斜的側面 SF1)，側壁絕緣膜 SW2

的內壁（與虛擬閘極 GED 對向的側的側面）會接觸於虛擬閘極 GED 的側壁上的側壁絕緣膜 SW1。

其次，如圖 13 所示般，在半導體層 SM2（亦即半導體層 SM1，EP1）的虛擬閘極 GED 及側壁絕緣膜 SW1，SW2 的兩側的領域，藉由離子注入磷（P）或砷（As）等的 n 型的雜質來形成 n⁺型半導體領域 SD（圖 3 的步驟 S7）。在用以形成 n⁺型半導體領域 SD 的離子注入工程中，虛擬閘極 GED 及側壁絕緣膜 SW1，SW2 可具有作為遮罩（離子注入阻止遮罩）的機能。因此，n⁺型半導體領域 SD 是對於隔著側壁絕緣膜 SW1 來形成於虛擬閘極 GED 的側壁上的側壁絕緣膜 SW2 自我整合形成。n⁺型半導體領域 SD 是比 n⁻型半導體領域 EX 更高雜質濃度。

用以形成 n⁻型半導體領域 EX 的離子注入是可在半導體層 SM2（SM1，EP1）的較淺的領域注入 n 型雜質，但相較於此，用以形成 n⁺型半導體領域 SD 的離子注入是至半導體層 SM2（SM1，EP1）的深領域為止（亦即對於半導體層 SM2 的厚度全體）注入 n 型雜質。

在步驟 S6 形成側壁絕緣膜 SW2 之前，進行用以形成 n⁻型半導體領域 EX 的離子注入（步驟 S5），在步驟 S6 形成側壁絕緣膜 SW2 之後，進行用以形成 n⁺型半導體領域 SD 的離子注入（步驟 S7）。因此，一旦進行至步驟 S7，則 n⁻型半導體領域 EX 是成為被形成於側壁絕緣膜 SW2 的正下面的部分的半導體層 SM2（SM1，EP1）之狀態。在後述的步驟 S13，與虛擬閘極 GED 一起側壁絕緣

膜 SW2 也除去之後，在後述的步驟 S14~S16 形成閘極電極 GE，因此在側壁絕緣膜 SW2 存在的領域也形成有閘極電極 GE。所以，之後一旦形成閘極電極 GE，則 n⁻型半導體領域 EX 是成為大致被形成於閘極電極 GE 的一部分（閘極長方向的兩端部側）的正下面。

其次，進行用以使被導入 n⁺型半導體領域 SD 及 n⁻型半導體領域 EX 等的雜質活化的熱處理之活化退火（圖 3 的步驟 S8）。並且，當離子注入領域被非晶形化時，此步驟 S8 的活化退火時，可使結晶化。

其次，在虛擬閘極 GED 的側壁上形成側壁絕緣膜（側壁間隔件）SW3 作為側壁膜（圖 3 的步驟 S9）。

步驟 S9 的側壁絕緣膜 SW3 形成工程是可如其次般進行。亦即，首先，如圖 14 所示般，在 SOI 基板 SUB 的主面的全面，以能夠覆蓋虛擬閘極 GED 及側壁絕緣膜 SW1，SW2 的方式，藉由 CVD 法等來形成（堆積）氮化矽膜 SN2。接著，蝕刻（異方性蝕刻）此氮化矽膜 SN2，藉此如圖 15 所示般，在虛擬閘極 GED 的側壁上留下氮化矽膜 SN2 而作為側壁絕緣膜 SW3，除去其他的領域的氮化矽膜 SN2。藉此，在虛擬閘極 GED 的側壁上，隔著側壁絕緣膜 SW1，SW2 來形成側壁絕緣膜（側壁間隔件）SW3。側壁絕緣膜 SW3 的厚度（與虛擬閘極 GED 的側壁大致垂直的方向的厚度）是可設為例如 10~30nm 程度。

在此階段成為：在虛擬閘極 GED 的側壁上，依接近虛擬閘極 GED 的順序，形成（層疊）側壁絕緣膜 SW1、

側壁絕緣膜 SW2 及側壁絕緣膜 SW3 的狀態。

雖亦可省略側壁絕緣膜 SW3 的形成，但形成側壁絕緣膜 SW3 更理想。在形成側壁絕緣膜 SW3 時，可使金屬矽化物層 SIL 的形成位置離開虛擬閘極 GED 的位置，側壁絕緣膜 SW1，SW2 的厚度再加上側壁絕緣膜 SW3 的厚度的部分。因此，可在半導體層 EP1 的厚度比較厚的領域（半導體層 SM2 的厚度比較厚的領域）形成金屬矽化物層 SIL。因此，可防止在半導體層 SM2 中隨形成金屬矽化物層 SIL 而在厚度方向產生矽領域消失的領域。並且，只要在之後的工程留下側壁絕緣膜 SW3 的狀態下形成閘極電極 GE 及閘極絕緣膜 GI，不僅閘極絕緣膜 GI，連側壁絕緣膜 SW3 也會介於金屬矽化物層 SIL 與閘極電極 GE 之間，因此可使閘極電極 GE 與金屬矽化物層 SIL 之間的耐壓提升。

其次，藉由自對準多晶矽化物（Salicide：Self Aligned Silicide）技術，在 n^+ 型半導體領域 SD 的表面（上層部）形成低電阻的金屬矽化物層 SIL（圖 4 的步驟 S10）。

步驟 S10 的金屬矽化物層 SIL 形成工程是可如其次般進行。亦即，首先，使 n^+ 型半導體領域 SD 的表面（具體而言是未以虛擬閘極 GED 及側壁絕緣膜 SW1，SW2，SW3 所覆蓋的部分的半導體層 EP1 的表面）露出之後，如圖 16 所示般，以能夠覆蓋虛擬閘極 GED、側壁絕緣膜 SW1，SW2，SW3 及 n^+ 型半導體領域 SD 之方式，在 SOI

基板 SUB 的主面（全面）上形成（堆積）金屬膜 ME。金屬膜 ME 是由例如鈷（Co）膜、鎳（Ni）膜、或鎳白金合金膜等所構成，可利用濺射法等來形成。接著，藉由熱處理來使金屬膜 ME 及 n^+ 型半導體領域 SD（構成彼此的矽）反應。藉此，如圖 17 所示般，在 n^+ 型半導體領域 SD 的表面形成金屬矽化物層 SIL。然後，除去未反應的金屬膜 ME，圖 17 是表示此階段。

金屬膜 ME 為鈷膜時，金屬矽化物層 SIL 是鈷矽化物層，金屬膜 ME 為鎳膜時，金屬矽化物層 SIL 是鎳矽化物層，金屬膜 ME 為鎳白金合金膜時，金屬矽化物層 SIL 是成為鎳白金矽化物層。藉由形成金屬矽化物層 SIL，可使 n^+ 型半導體領域 SD 的擴散電阻或接觸電阻等低電阻化。

在 n^+ 型半導體領域 SD 的表面（上層部）形成有金屬矽化物層 SIL，但金屬矽化物層 SIL 主要是被形成於半導體層 EP1。

另外，在虛擬閘極 GED 的側壁上形成有側壁絕緣膜 SW1，SW2，在虛擬閘極 GED 的多晶矽膜 PL1 上是形成有氮化矽膜 SN1，因此虛擬閘極 GED 的多晶矽膜 PL1 是不與金屬膜 ME 接觸，多晶矽膜 PL1 是不與金屬膜 ME 反應。所以，在虛擬閘極 GED 的多晶矽膜 PL1 的表面是金屬矽化物層未被形成。

其次，如圖 18 所示般，在 SOI 基板 SUB 的主面（主面全面）上形成絕緣膜（層間絕緣膜）IL1（圖 4 的步驟 S11）。亦即，以能夠覆蓋虛擬閘極 GED 及側壁絕緣膜

SW1，SW2，SW3 的方式，在 SOI 基板 SUB 的主面上形成絕緣膜 IL1。絕緣膜 IL1 較理想是由氮化矽膜（襯墊膜）SN3 及氮化矽膜 SN3 上的絕緣膜（層間絕緣膜）SO3 的層疊膜所構成。絕緣膜 SO3 的膜厚是比氮化矽膜 SN3 的膜厚更厚。絕緣膜 SO3 可使用氧化矽系的絕緣膜。在此，所謂氧化矽系的絕緣膜是以氧化矽為主體的絕緣膜，但亦可更含有碳（C）、氟（F）、氮（N）、硼（B）及磷（P）之中的一種以上。

並且，在本實施形態是顯示絕緣膜的氮化矽膜 SN3 作為襯墊膜 SN3，但亦可取而代之使用氧氮化矽膜。亦即，在形成後述的溝 TR 或接觸孔 CNT 時，只要具有作為蝕刻阻擋的機能之絕緣膜即可。

其次，如圖 19 所示般，藉由 CMP（Chemical Mechanical Polishing：化學機械研磨）法等來研磨絕緣膜 IL1 的表面（上面），藉此使虛擬閘極 GED 的上面（亦即氮化矽膜 SN1 的上面）露出（圖 4 的步驟 S12）。亦即，至虛擬閘極 GED 的氮化矽膜 SN1 的上面露出為止，以 CMP 法來研磨絕緣膜 IL1。步驟 S12 是除去絕緣膜 IL1 的一部分（至少覆蓋虛擬閘極 GED 的部分的絕緣膜 IL1）來使虛擬閘極 GED 的上面露出之工程。

其次，如圖 20 所示般，藉由蝕刻來除去虛擬閘極 GED 及側壁絕緣膜 SW1，SW2（圖 4 的步驟 S13）。

在此步驟 S13 除去虛擬閘極 GED 及側壁絕緣膜 SW1，SW2，藉此如圖 20 所示般，形成、溝（凹部、開

口部、低窪部) TR。溝 TR 是至虛擬閘極 GED 及側壁絕緣膜 SW1, SW2 的除去前成為由存在虛擬閘極 GED 及側壁絕緣膜 SW1, SW2 的領域(空間)所構成。從溝 TR 露出半導體層 SM1 的上面、及半導體層 EP1 的傾斜的側面 SF1、以及側壁絕緣膜 SW3 的內壁。

溝 TR 的底面是藉由半導體層 SM1 的上面及半導體層 EP1 的傾斜的側面 SF1 所形成。溝 TR 的側面(側壁)是藉由側壁絕緣膜 SW3 的內壁所形成。亦即,可將從溝 TR 露出的半導體層 SM1 的上面至半導體層 EP1 的傾斜的側面 SF1 為止視為溝 TR 的底面。溝 TR 的上部是被開放。在此,所謂側壁絕緣膜 SW3 的內壁是在側壁絕緣膜 SW3 中,對應於至除去側壁絕緣膜 SW2 為止接觸於側壁絕緣膜 SW2 的側的側面(側壁)。

以下,具體說明有關步驟 S13 的蝕刻工程。

步驟 S13 的蝕刻是藉由其次的 3 階段(第 1 階段、第 2 階段及第 3 階段,參照圖 21~圖 23)的蝕刻來進行為理想。

亦即,藉由步驟 S12 的 CMP 處理來取得圖 19 的構造之後,藉由步驟 S13 的第 1 階段的蝕刻,如圖 21 所示般,除去虛擬閘極 GED 的氮化矽膜 SN1。此第 1 階段的蝕刻是以氮化矽膜 SN1 的蝕刻速度形成比多晶矽膜 PL1 的蝕刻速度更快那樣的蝕刻條件,選擇性地蝕刻氮化矽膜 SN1 為理想。藉由第 1 階段的蝕刻來除去氮化矽膜 SN1,露出多晶矽膜 PL1。

以第 1 階段的蝕刻來除去氮化矽膜 SN1 之後，改變蝕刻條件，藉由步驟 S13 的第 2 階段的蝕刻，如圖 22 所示般，除去虛擬閘極 GED 的多晶矽膜 PL1。此第 2 階段的蝕刻是以多晶矽膜 PL1 的蝕刻速度形成比側壁絕緣膜 SW1，SW2 及絕緣膜 GID（具體而言是氧化矽）的蝕刻速度更快那樣的蝕刻條件，來選擇性地蝕刻多晶矽膜 PL1 為理想。藉由第 2 階段的蝕刻來除去多晶矽膜 PL1，露出側壁絕緣膜 SW1 及絕緣膜 GID。亦即，第 2 階段的蝕刻是蝕刻多晶矽膜 PL1，且可使側壁絕緣膜 SW1 及絕緣膜 GID 具有作為蝕刻阻擋的機能。在此是藉由氧化矽來形成側壁絕緣膜 SW1，SW2 及絕緣膜 GID，所以可容易確保多晶矽膜 PL1 與側壁絕緣膜 SW1，SW2 及絕緣膜 GID 的高蝕刻選擇比。並且，藉由在半導體層 SM1 與多晶矽膜 PL1 之間設置絕緣膜 GID，以第 2 階段的蝕刻來除去多晶矽膜 PL1 時，可防止半導體層 SM1 被蝕刻。

以第 2 階段的蝕刻來除去多晶矽膜 PL1 之後，改變蝕刻條件，藉由步驟 S13 的第 3 階段的蝕刻，如圖 23 所示般，除去側壁絕緣膜 SW1，SW2 及絕緣膜 GID。此第 3 階段的蝕刻是以側壁絕緣膜 SW1，SW2 及絕緣膜 GID 的蝕刻速度形成比半導體層 SM1，EP1 的蝕刻速度更快那樣的蝕刻條件，來選擇性地蝕刻側壁絕緣膜 SW1，SW2 及絕緣膜 GID 為理想。藉此，在第 3 階段的蝕刻，可抑制或防止半導體層 SM1，EP1 被蝕刻。

只要藉由同材料（在此是氧化矽）來形成側壁絕緣膜

SW1 及側壁絕緣膜 SW2，便可以同蝕刻工程連續地蝕刻側壁絕緣膜 SW1 及側壁絕緣膜 SW2。又，只要藉由同材料（在此是氧化矽）來形成絕緣膜 GID 及側壁絕緣膜 SW1，SW2，便可以同除去側壁絕緣膜 SW1，SW2 的蝕刻工程來除去絕緣膜 GID。

並且，在第 3 階段的蝕刻是側壁絕緣膜 SW1，SW2 被除去，但使側壁絕緣膜 SW3 殘留為理想。為此，本實施形態是藉由與側壁絕緣膜 SW1，SW2 相異的材料來形成側壁絕緣膜 SW3，以側壁絕緣膜 SW1，SW2（具體而言是氧化矽）的蝕刻速度形成比側壁絕緣膜 SW3（具體而言是氮化矽）及半導體層 SM1，EP1 的蝕刻速度更快那樣的蝕刻條件來進行第 3 階段的蝕刻。在此，側壁絕緣膜 SW1，SW2 是藉由氧化矽膜 SO1，SO2 所形成，側壁絕緣膜 SW3 是藉由氮化矽膜 SN2 所形成，因此容易確保側壁絕緣膜 SW1，SW2 與側壁絕緣膜 SW3 的高蝕刻選擇比。亦即，在第 3 階段的蝕刻是蝕刻側壁絕緣膜 SW1，SW2，且可使側壁絕緣膜 SW3 具有作為蝕刻阻擋的機能。又，由於側壁絕緣膜 SW1，SW2 是藉由氧化矽膜 SO1，SO2 所形成，因此亦容易確保側壁絕緣膜 SW1，SW2 與半導體層 SM1，EP1 的高蝕刻選擇比。

並且，省略側壁絕緣膜 SW3 的形成時，若以第 3 階段的蝕刻來除去側壁絕緣膜 SW1，SW2，則絕緣膜 IL1（更特定的是絕緣膜 IL1 的氮化矽膜 SN3）會露出。此情況，可使絕緣膜 IL1 的氮化矽膜 SN3 具有作為蝕刻阻擋的

機能。亦即，側壁絕緣膜 SW3 是無須一定要被形成。另外，亦可將襯墊膜 SN3 的材料取代成氮化矽膜，使用氧氮化矽膜。

並且，絕緣膜 GID 為藉由與側壁絕緣膜 SW1，SW2 不同的材料所形成時，亦可在以蝕刻來除去側壁絕緣膜 SW1，SW2 之後，改變蝕刻條件來選擇性地除去絕緣膜 GID。

並且，在除去側壁絕緣膜 SW1，SW2 時，亦有時絕緣膜 IL1 的絕緣膜 SO3 的一部分會被蝕刻，但因為絕緣膜 SO3 的厚度厚，且在絕緣膜 SO3 之下有氮化矽膜 SN3，所以可容許。

藉由上述 3 階段（第 1 階段、第 2 階段及第 3 階段）的蝕刻來除去虛擬閘極 GED 及側壁絕緣膜 SW1，SW2，藉此如圖 20 及圖 23 所示般，形成溝 TR。

接著，說明有關比步驟 S13 更後面的工程。

步驟 S13 之後，如圖 24 所示般，在包含溝 TR 的底面及側面（側壁）上之 SOI 基板 SUB 的主面（主面全面）上形成閘極絕緣膜用的絕緣膜 GIa（圖 4 的步驟 S14）。

絕緣膜 GIa 是可藉由例如 ALD（Atomic layer Deposition：原子層堆積）法或 CVD 法來形成。絕緣膜 GIa 是例如可使用氧化鉛膜、氧化鋇膜、氧化鋁膜、氧化鈮膜或氧化鈾膜等的金屬氧化物膜，且該等的金屬氧化物膜是亦可含有氮（N）或矽（Si）的一方或雙方。此情

況，絕緣膜 GIa 是具有比氮化矽膜更高介電常數（比介電常數）的高介電常數膜（所謂的 High-k 膜）。又，絕緣膜 GIa 亦可使用氧化矽或氧氮化矽膜。但，絕緣膜 GIa 使用高介電常數膜時，相較於具有同物理的膜厚的氧化矽膜時，因為可使閘極絕緣膜（GI）的氧化矽換算膜厚增加，所以可取得能夠降低洩漏電流的優點。另外，絕緣膜 GIa 的物理的膜厚是 2nm~5nm 程度。

並且，絕緣膜 GIa 使用高介電常數膜時，亦可在絕緣膜 GIa 的形成之前，形成 1nm 以下的氧化矽膜，作為界面層。此界面層的物理的膜厚是形成比上述金屬氧化物膜（高介電常數膜）的物理的膜厚更薄。另外，界面層是可藉由熱氧化法來形成於半導體層 SM1 上。

絕緣膜 GIa 是至少需要形成在從溝 TR 露出的部分的半導體層 SM1，EP1 上，但實際上不僅從溝 TR 露出的部分的半導體層 SM1，EP1 上，連從溝 TR 露出的側壁絕緣膜 SW3 的內壁上及絕緣膜 IL1 上皆形成有絕緣膜 GIa。亦即，在包含溝 TR 的底部及側壁上之絕緣膜 IL1 上形成有絕緣膜 GIa。

其次，如圖 25 所示般，在 SOI 基板 SUB 的主面上，亦即在絕緣膜 GIa 上形成閘極電極用的導電膜（導電體膜）CD（圖 4 的步驟 S15）。此導電膜 CD 是在絕緣膜 GIa 上以能夠填埋溝 TR 內的方式形成。

導電膜 CD 是例如可使用氮化鈦（TiN）膜、氮化鉭（TaN）膜、氮化鎢（WN）膜、碳化鈦（TiC）膜、碳化

鈿 (TaC) 膜、碳化鈿 (WC) 膜或氮化碳化鈿 (TaCN) 膜等的金屬膜。另外，在此所謂的金屬膜是意指顯示金屬傳導的導電膜，不僅單體的金屬膜（純金屬膜）或合金膜，亦含顯示金屬傳導的金屬化合物膜（氮化金屬膜或碳化金屬膜等）。導電膜 CD 是金屬膜時，可例如使用濺射法等來形成。導電膜 CD 使用金屬膜時，由於可將之後形成的閘極電極 GE 設為金屬閘極電極，因此可取得能夠抑制閘極電極 GE 的空乏化現象，消除寄生電容的優點。並且，亦可取得 MISFET 元件的小型化（閘極絕緣膜的薄膜化）也可能的優點。

並且，金屬閘極電極的變形例，亦可設為上述金屬膜與多晶矽膜（摻雜多晶矽膜）的層疊型的閘極電極。此情況，首先，在溝 TR 內形成上述金屬膜，然後，以能夠埋入溝 TR 內的方式形成多晶矽膜，藉此可取得層疊型的閘極電極。此情況，導電膜 CD 是藉由上述金屬膜及其上的多晶矽膜（摻雜多晶矽膜）的層疊膜所構成。

並且，金屬閘極電極的其他的變形例，亦可使不同的金屬膜層疊。此情況，例如，在溝 TR 內形成第 1 金屬膜，然後，以能夠埋入溝 TR 內的方式形成第 2 金屬膜，藉此可取得層疊型的閘極電極。此情況，導電膜 CD 是藉由第 1 金屬膜及其上的第 2 金屬膜的層疊膜所構成。此時，使層疊的金屬（金屬膜）並非限於 2 層，亦可為 2 層以上的複數層。

其次，如圖 26 所示般，在溝 TR 內留下導電膜 CD，

藉由 CMP 法等來除去溝 TR 的外部的導電膜 CD，而形成閘極電極 GE（圖 4 的步驟 S16）。閘極電極 GE 是由殘留於溝 TR 內的導電膜 CD 所構成。

在步驟 S16 中，以 CMP 法來研磨溝 TR 的外部的導電膜 CD 而除去時，連溝 TR 的外部的絕緣膜 GIa 也被除去。亦即，將導電膜 CD 及絕緣膜 GIa 研磨至絕緣膜 IL1（的絕緣膜 SO3）的上面露出為止，藉此除去溝 TR 的外部的導電膜 CD 及絕緣膜 GIa，在溝 TR 內留下導電膜 CD 及絕緣膜 GIa。藉此，在溝 TR 內是導電膜 CD 及絕緣膜 GIa 會殘留，殘留於溝 TR 內的導電膜 CD 會成為閘極電極 GE，殘留於溝 TR 內的絕緣膜 GIa 會成為閘極絕緣膜 GI。亦即，步驟 S14~S16 是在溝 TR 內隔著閘極絕緣膜 GI 來形成閘極電極 GE 的工程。

在閘極電極 GE 與半導體層 SM1（的上面）之間、及在閘極電極 GE 與半導體層 EP1（的傾斜的側面 SF1）之間、以及在閘極電極 GE 與側壁絕緣膜 SW3（的內壁）之間是存在閘極絕緣膜 GI（絕緣膜 GIa）。閘極電極 GE 及閘極絕緣膜 GI 是分別具有作為 MISFET 的閘極電極及閘極絕緣膜的機能。亦即，在半導體層 SM2 上隔著閘極絕緣膜 GI 來形成閘極電極 GE。

在隔著閘極絕緣膜 GI（絕緣膜 GIa）來位於閘極電極 GE 之下的半導體層 SM1 形成有 MISFET 的通道領域。並且，具有作為 MISFET 的源極或汲極之機能的半導體領域（雜質擴散層）是藉由設在半導體層 SM2（SM1，EP1）

的 n^- 型半導體領域 EX 及更高雜質濃度的 n^+ 型半導體領域 SD 所形成，具有 LDD (Lightly doped Drain) 構造。

另外，在閘極長方向，閘極電極 GE 的上部的長度是 48nm 程度，閘極電極 GE 的下部長度（通道領域的長度）是 28nm 程度。亦即，利用閘極長方向的閘極電極 GE 的最小長度作為實質的通道領域。

如此形成 n 通道型的 MISFET。

本實施形態是在步驟 S13 與虛擬閘極 GED 一起除去形成於虛擬閘極 GED 的側壁上且位於半導體層 EP1 上的側壁絕緣膜 SW2，在除去的領域（溝 TR）形成閘極電極 GE。因此，不僅虛擬閘極 GED 存在的領域，連側壁絕緣膜 SW2 存在的領域也可形成閘極電極 GE。因此可使閘極電極 GE 的閘極長方向的尺寸形成比虛擬閘極 GED 的尺寸更大，閘極電極 GE 的一部分（閘極長方向的兩端部側）位於半導體層 EP1 上，亦即形成乘坐於半導體層 EP1 上。所以，閘極電極 GE 的閘極長方向的端部是形成位於半導體層 EP1 上。而且， n^- 型半導體領域 EX 的至少一部分是形成位於閘極電極 GE 的正下面。

其次，如圖 27 所示般，在 SOI 基板 SUB 的主面全面上，亦即在埋入閘極電極 GE 的絕緣膜 IL1 上形成絕緣膜（層間絕緣膜）IL2。絕緣膜 IL2 是可使用氧化矽系的絕緣膜。絕緣膜 IL2 是在絕緣膜 IL1 上，以能夠覆蓋閘極電極 GE 的上面之方式形成。

絕緣膜 IL2 的形成後，亦可藉由 CMP 法來研磨絕緣

膜 IL2 的表面（上面），而提高絕緣膜 IL2 的上面的平坦性。

其次，如圖 28 所示般，使用形成於絕緣膜 IL2 上的光阻劑圖案（未圖示）作為蝕刻遮罩，乾蝕刻絕緣膜 IL2 及絕緣膜 IL1，藉此在絕緣膜 IL1，IL2 形成接觸孔（貫通孔、孔）CNT。接觸孔 CNT 是形成貫通由絕緣膜 IL1 及絕緣膜 IL2 所構成的層疊膜（層疊絕緣膜）。

為了形成接觸孔 CNT，首先，以相較於氮化矽膜 SN3，絕緣膜 SO3 及絕緣膜 IL2 容易被蝕刻的條件來進行絕緣膜 IL2 及絕緣膜 SO3 的乾蝕刻，使氮化矽膜 SN3 具有作為蝕刻阻擋膜的機能，藉此在絕緣膜 IL2 及絕緣膜 SO3 形成接觸孔 CNT。接著，以相較於絕緣膜 IL2 及絕緣膜 SO3，氮化矽膜 SN3 容易被蝕刻的條件來乾蝕刻接觸孔 CNT 的底部的氮化矽膜 SN3 而除去，藉此形成作為貫通孔的接觸孔 CNT。

接觸孔 CNT 是例如形成於 n^+ 型半導體領域 SD 的上部，或閘極電極 GE 的上部等。在 n^+ 型半導體領域 SD 的上部所形成的接觸孔 CNT 的底部是露出 n^+ 型半導體領域 SD 上的金屬矽化物層 SIL。接觸孔 CNT 形成時使氮化矽膜 SN3 具有作為蝕刻阻擋膜的機能，藉此可抑制或防止接觸孔 CNT 的過挖掘或半導體層 SM2 的損傷。

其次，在接觸孔 CNT 內形成（埋入）由鎢（W）等所構成的導電性的插塞 PG，作為連接用的導電體部。插塞 PG 是可如其次般形成。

亦即，首先，在包含接觸孔 CNT 的內部（底部及側壁上）之絕緣膜 IL2 上，藉由濺射法或電漿 CVD 法等來形成勢壘導體膜 BR1（例如鈦膜、氮化鈦膜、或該等的層疊膜）。接著，藉由 CVD 法等勢壘導體膜 BR1 上以能夠填埋接觸孔 CNT 的方式形成由鎢膜等所構成的主導體膜 MC1。然後，藉由 CMP 法或蝕刻法等來除去接觸孔 CNT 的外部（絕緣膜 IL2 上）的不要的主導體膜 MC1 及勢壘導體膜 BR1。藉此，絕緣膜 IL2 的上面會露出，藉由被埋入絕緣膜 IL1，IL2 的接觸孔 CNT 內而殘留的勢壘導體膜 BR1 及主導體膜 MC1 來形成插塞 PG。在 n^+ 型半導體領域 SD 的上部所形成的插塞 PG 是在其底部與 n^+ 型半導體領域 SD 的表面上的金屬矽化物層 SIL 接觸而電性連接。並且，雖未圖示，但實際插塞 PG 被形成於閘極電極 GE 的上部時，該插塞 PG 是在該插塞 PG 的底部與閘極電極 GE 接觸而電性連接。

其次，如圖 29 所示般，在埋入插塞 PG 的絕緣膜 IL2 上形成配線形成用的絕緣膜 IL3。

絕緣膜 IL3 是可設為單體膜（單體絕緣膜）或層疊膜（層疊絕緣膜）。

其次，藉由單鑲嵌法來形成第 1 層的配線。首先，藉由以光阻劑圖案（未圖示）作為遮罩的乾蝕刻在絕緣膜 IL3 的所定的領域形成配線溝 WT 之後，在 SOI 基板 SUB 的主面上（亦即包含配線溝 WT 的底部及側壁上的絕緣膜 IL3 上）形成勢壘導體膜（勢壘金屬膜）。勢壘導體膜是

可例如使用氮化鈦膜、鈦膜或氮化鈦膜等。接著，藉由 CVD 法或濺射法等，在勢壘導體膜上形成銅的種層，更利用電解電鍍法等，在種層上形成鍍銅膜（主導體膜）。藉由鍍銅膜來埋入配線溝 WT 的內部。接著，藉由 CMP 法來除去配線溝 WT 以外的領域的鍍銅膜、種層及勢壘金屬膜，形成以銅作為主導電材料的第 1 層的配線 M1。另外，為了圖面的簡略化，在圖 29 是將構成配線 M1 的鍍銅膜、種層及勢壘金屬膜一體化顯示。配線 M1 是被連接至插塞 PG，經由插塞 PG 來與 n^+ 型半導體領域 SD 或閘極電極 GE 等電性連接。

之後，藉由雙鑲嵌法來形成第 2 層以後的配線，但在此是圖示及其說明省略。並且，配線 M1 及第 2 層以後的配線並非限於鑲嵌配線，亦可使配線用的導體膜圖案化而形成，亦可設為例如鎢配線或鋁配線等。

並且，在本實施形態是說明有關 MISFET 為形成 n 通道型的 MISFET 時，但亦可使導電型相反，形成 p 通道型的 MISFET。又，亦可在同一 SOI 基板 SUB 形成 n 通道型的 MISFET 及 p 通道型的 MISFET 的雙方。這是針對以下的實施形態 2~4 也同樣。

<有關檢討例>

利用 SOI 基板來製造半導體裝置時，使源極・汲極用的矽層磊晶成長於 SOI 基板的半導體層上。藉此，例如，可一邊使源極・汲極擴散層的深度變淺，一邊謀求電阻低

減，且可在自對準多晶矽化物製程確保適於形成金屬矽化物層的矽膜厚。針對如此的半導體裝置進行檢討。

圖 30 及圖 31 是第 1 檢討例的半導體裝置的要部剖面圖。圖 30 是對應於本實施形態的上述圖 1 者，圖 31 是對應於本實施形態的上述圖 2 者。

圖 30 及圖 31 所示的第 1 檢討例的半導體裝置，至上述步驟 S10（金屬矽化物層 SIL 形成工程）為止是進行與本實施形態同樣的工程，但以後的工程不同。亦即，在製造第 1 檢討例的半導體裝置時，是在進行至步驟 S10（金屬矽化物層 SIL 形成工程）的工程來取得上述圖 17 的構造之後，在 SOI 基板 SUB 的主面（主面全面）上形成由相當於上述氮化矽膜 SN3 的氮化矽膜 SN103 與相當於上述絕緣膜 SO3 的氧化矽膜 SO103 的層疊膜所構成的層間絕緣膜 IL101。然後，以 CMP 法來使層間絕緣膜 IL101 的上面平坦化，但此時與本實施形態不同，不使上述虛擬閘極 GED 露出。之後，不進行上述步驟 S13~S16，在層間絕緣膜 IL101 形成相當於上述接觸孔 CNT 的接觸孔（未圖示），在該接觸孔內形成相當於上述插塞 PG 的插塞（未圖示），更形成相當於上述絕緣膜 IL3 及上述配線 M1 者（未圖示）。

因此，圖 30 及圖 31 所示的第 1 檢討例的半導體裝置是上述絕緣膜 GID、上述多晶矽膜 PL1 及上述氮化矽膜 SN1 不會被除去地殘留，分別成為閘極絕緣膜 GI101、閘極電極 GE101 及氮化矽膜 SN101。亦即，在上述步驟 S2

形成閘極絕緣膜 GI101、閘極電極 GE101 及氮化矽膜 SN101 的層疊構造體，予以原封不動殘留於製造後的半導體裝置者為對應於第 1 檢討例的半導體裝置。

圖 32 及圖 33 是第 2 檢討例的半導體裝置的製造工程中的要部剖面圖。圖 34 及圖 35 是第 2 檢討例的半導體裝置的要部剖面圖，圖 34 是對應於本實施形態的上述圖 1 者，圖 35 是對應於本實施形態的上述圖 2 者。

製造第 2 檢討例的半導體裝置時，是至上述步驟 S12（絕緣膜 IL1 的 CMP 工程）為止進行與本實施形態同樣的工程，但以後的工程不同。亦即，製造第 2 檢討例的半導體裝置時，進行至步驟 S12（絕緣膜 IL1 的 CMP 工程）為止的工程而取得上述圖 19 的構造之後，如圖 32 所示般，藉由蝕刻來除去上述虛擬閘極 GED 的氮化矽膜 SN1 及多晶矽膜 PL1，但絕緣膜 GID 及側壁絕緣膜 SW1，SW2，SW3 是不除去使殘留。接著，以能夠填埋藉由除去氮化矽膜 SN1 及多晶矽膜 PL1 而形成的溝 TR101 內之方式，在絕緣膜 IL1 上形成導電膜之後，以 CMP 法來除去溝 TR101 的外部的導電膜，藉此在溝 TR101 內形成閘極電極 GE102。殘留於閘極電極 GE102 之下的絕緣膜 GID 會成為閘極絕緣膜 GI102。然後與本實施形態同樣，形成上述絕緣膜 IL2，形成上述接觸孔 CNT，形成上述插塞 PG，形成上述絕緣膜 IL3，形成上述配線 M1，但在此是其圖示省略。

在圖 30 及圖 31 所示的第 1 檢討例的半導體裝置中，

由於是在閘極電極 GE101 的形成後形成磊晶層的半導體層 EP1，因此閘極電極 GE101 的端部（閘極長方向的兩端部）是未乘坐於源極・汲極用的磊晶層的半導體層 EP1 上。

並且，在圖 34 及圖 35 所示的第 2 檢討例的半導體裝置中是藉由蝕刻來除去虛擬閘極 GED 的氮化矽膜 SN1 及多晶矽膜 PL1，在此形成閘極電極 GE102。然而，在第 2 檢討例的半導體裝置是使側壁絕緣膜 SW1，SW2，SW3（特別是側壁絕緣膜 SW2）殘留，因此閘極電極 GE102 的端部（閘極長方向的兩端部）是未乘坐於源極・汲極用的磊晶層之半導體層 EP1 上。

如在圖 30 及圖 31 所示的第 1 檢討例的半導體裝置或在圖 34 及圖 35 所示的第 2 檢討例的半導體裝置那樣，閘極電極 GE101，GE102 的端部（閘極長方向的兩端部）未乘坐於半導體層 EP1 上的構造會有其次之類的課題。

第 1 課題，在具有 MISFET 的半導體裝置中，若源極或汲極用的半導體領域與通道領域之間具有寄生電阻，則恐有招致特性（電氣特性）的劣化之虞。例如，若源極或汲極用的半導體領域與通道領域之間的寄生電阻大，則開啟（ON）電阻會增大，開啟電流會降低，因此 MISFET 的電氣特性會降低。並且，因為源極或汲極用的半導體領域與通道領域之間的寄生電阻的值偏差，所以也會有每個 MISFET 的特性偏差增大的憂慮。以下，所謂「寄生電阻」是意指源極或汲極用的半導體領域與通道領域之間的

寄生電阻。另外，所謂源極或汲極用的半導體領域是對應於合併 n^- 型半導體領域 EX 及 n^+ 型半導體領域 SD 者。

為了抑制源極或汲極用的半導體領域與通道領域之間的寄生電阻，使閘極電極的端部（閘極長方向的兩端部）重疊於源極或汲極用的半導體領域為有效。

然而，圖 30 及圖 31 所示的第 1 檢討例的半導體裝置或圖 34 及圖 35 所示的第 2 檢討例的半導體裝置是閘極電極 GE101，GE102 的端部（閘極長方向的兩端部）未乘坐於源極・汲極用的磊晶層之半導體層 EP1 上，因此難以使閘極電極 GE101，GE102 重疊於源極或汲極用的半導體領域，寄生電阻容易變大。

並且，即使思考單純地使源極・汲極用的半導體領域擴散至閘極電極 GE101，GE102 的下方時，也會因為微細化而閘極長已相當短，所以若過度使源極或汲極用的半導體領域擴散，則容易發生穿通。

而且，在第 2 檢討例，形成本案的圖 24 所示那樣的絕緣膜 GIa 作為溝 TR101 內的閘極絕緣膜時，因為閘極絕緣膜 GI（GIa）的厚度也加上，所以更難以使閘極電極 GE102 重疊於源極或汲極用的半導體領域。

又，第 2 課題，在使用 SOI 基板時，即使閘極電極的端部（閘極長方向的兩端部）重疊於源極或汲極用的半導體領域，若該重疊部的半導體層的厚度薄，則寄生電阻會變大。假設在第 1 檢討例的半導體裝置或第 2 檢討例的半導體裝置中，使源極或汲極用的半導體領域擴散至閘極電

極 GE101，GE102 的下方，而使閘極電極 GE101，GE102 重疊於源極或汲極用的半導體領域。然而，此情況也會因為閘極電極 GE101，GE102 未乘坐於半導體層 EP1 上，所以重疊部的半導體層的厚度是與半導體層 SM1 的厚度相同，因此抑制寄生電阻是有限。SOI 基板的半導體層（相當於半導體層 SM1 的半導體層）的厚度薄。因此，相較於使用塊狀態（bulk state）的半導體基板時，在使用 SOI 基板時，難以增厚源極或汲極用的半導體領域與閘極電極的重疊部之半導體層的厚度，寄生電阻容易變大。

因此，在第 1 檢討例的半導體裝置及第 2 檢討例的半導體裝置中，源極或汲極用的半導體領域與通道領域之間的寄生電阻變大，恐有招致電氣特性的劣化之虞。

另外，所謂閘極電極重疊於源極或汲極用的半導體領域，是對應於閘極電極重疊於源極或汲極用的半導體領域的一部分及厚度方向（與基板的主面大致垂直的方向）的情形。此情況，源極或汲極用的半導體領域的一部分是位於閘極電極的正下面。

又，第 3 課題，在第 2 檢討例中，形成本案的圖 24 所示那樣的絕緣膜 GIa 作為溝 TR101 內的閘極絕緣膜時，溝 TR101 的底面與側面是幾乎成垂直。因此，若以 CVD 法或 ALD 法來形成絕緣膜 GIa，則在溝 TR101 的角部，絕緣膜 GIa 的膜厚容易變薄。於是，在閘極電極 GE102 的端部，絕緣膜 GIa 的膜厚薄，所以容易引起電場集中，MISFET 的耐壓會降低。

又，第 4 課題，因為微細化而閘極電極 GE102 的閘極長變短時，在第 2 檢討例中難以在溝 TR101 中完全埋入閘極電極 GE102。亦即，若溝 TR101 的口徑變小，則自然長寬比變嚴峻（大），因此成為閘極電極 GE102 的導電膜無法完全填埋溝 TR101，恐有發生空孔之虞。因而，MISFET 的可靠度會降低。特別是在利用 CVD 法或 ALD 法來形成絕緣膜 GIa 作為溝 TR101 內的閘極絕緣膜時，在溝 TR101 的側面也會形成有絕緣膜 GIa，因該膜厚的部分而溝 TR101 的口徑變小。所以，閘極電極 GE102 的埋入變更嚴峻。

本實施形態及其他實施形態是根據以上那樣的複數的課題而設計者。亦即，上述第 1 及第 2 課題是使半導體裝置的性能提升。又，上述第 3 及第 4 課題是使半導體裝置的可靠度提升。

<有關本實施形態的主要特徵>

對於上述複數的課題，本實施形態是閘極電極 GE 的端部（閘極長方向的兩端部）會乘坐於源極・汲極用的磊晶層之半導體層 EP1 上。亦即，閘極電極 GE 的閘極長方向的端部會位於源極・汲極用的磊晶層之半導體層 EP1 上。換言之，在 MISFET（以閘極電極 GE 作為閘極電極的 MISFET）的閘極長方向，閘極電極 GE 的端部會位於源極・汲極用的磊晶層之半導體層 EP1 上。另外，閘極電極 GE 的閘極長方向的端部（亦即閘極長方向的閘極電極

GE 的端部) 是在圖 1 中附上符號 EG, 顯示為端部 EG。

因此, 可使閘極電極 GE 確實地重疊於源極或汲極用的半導體領域(合併 n⁻型半導體領域 EX 及 n⁺型半導體領域 SD 者), 藉由此重疊, 可抑制源極或汲極用的半導體領域與通道領域之間的寄生電阻。亦即, n⁻型半導體領域 EX 的至少一部分是位於閘極電極 GE 的正下面, 因此可抑制寄生電阻。所以, 可解決上述的第 1 課題。

並且, 半導體層 EP1 是被形成於半導體層 SM1 的上面, 半導體層 EP1 的上面是處於比閘極電極 GE 的正下面的半導體層 SM1 的上面更高的位置。而且, 閘極電極 GE 的閘極長方向的端部會位於源極・汲極用的磊晶層之半導體層 EP1 上。如上述般, 閘極電極 GE 的正下面的半導體層 SM1 的上面是對應於閘極電極 GE 之下的閘極絕緣膜 GI 所接觸的部分的半導體層 SM1 的表面(上面)。

因此, 本實施形態是源極或汲極用的半導體領域(合併 n⁻型半導體領域 EX 及 n⁺型半導體領域 SD 者)與閘極電極 GE 的重疊部之半導體層(SM2)的厚度是可比半導體層 SM1 的厚度更厚該重疊部的半導體層 EP1 的厚度部分。所以, 本實施形態是可增厚源極或汲極用的半導體領域與閘極電極 GE 的重疊部之半導體層(SM2)的厚度, 可抑制寄生電阻。因此, 可解決上述的第 2 課題。

所以, 本實施形態是可抑制源極或汲極用的半導體領域與通道領域之間的寄生電阻, 因此可使具備 MISFET 的半導體裝置的特性(電氣特性)提升。例如, 藉由抑制源

極或汲極用的半導體領域與通道領域之間的寄生電阻，可降低開啟電阻來使開啟電流增大。因此，可使 MISFET 的電氣特性提升。並且，藉由抑制源極或汲極用的半導體領域與通道領域之間的寄生電阻，亦可抑制寄生電阻的值的偏差所造成每個 MISFET 的特性偏差。因此，可使半導體裝置的性能提升。

並且，在使用 SOI 基板時，由於在 SOI 基板的薄半導體層上形成閘極電極，因此相較於使用塊狀態的半導體基板時，難以增厚源極或汲極用的半導體領域與閘極電極的重疊部的半導體層的厚度。相對的，本實施形態是閘極電極 GE 的閘極長方向的端部位於半導體層 EP1 上（亦即閘極電極 GE 的端部是乘坐於半導體層 EP1 上）。因此，即使不增厚 SOI 基板 SUB 的半導體層 SM1 的厚度，還是可使源極或汲極用的半導體領域與閘極電極 GE 的重疊部的半導體層（SM2）的厚度增加閘極電極 GE 所乘坐的部分之半導體層 EP1 的厚度部分，可抑制寄生電阻。因此，可使利用 SOI 基板來製造的半導體裝置的性能提升。

並且， n^- 型半導體領域 EX 及 n^+ 型半導體領域 SD 是被形成於半導體層 SM1，EP1。亦即， n^- 型半導體領域 EX 及 n^+ 型半導體領域 SD 是若由厚度方向（與 SOI 基板 SUB 的主面大致垂直的方向）來看，則從半導體層 EP1 形成至半導體層 SM1。亦即，源極或汲極用的半導體領域（合併 n^- 型半導體領域 EX 及 n^+ 型半導體領域 SD 者）是被形成於半導體層 EP1 及其下的半導體層 SM1。因此，若閘極

電極 GE 的閘極長方向的端部位於半導體層 EP1 上，則在閘極電極 GE 的閘極長方向的端部之下存在 n⁻型半導體領域 EX（亦可為 n⁺型半導體領域 SD）。因此，可使源極或汲極用的半導體領域與閘極電極 GE 確實地重疊。

又，如圖 24 等所示般，閘極絕緣膜用的絕緣膜 GIa（閘極絕緣膜 GI）是沿著半導體層 EP1 的形狀來形成。就本實施形態而言，半導體層 EP1 是具有傾斜部（傾斜的側面 SF1），閘極絕緣膜 GI（絕緣膜 GIa）及閘極電極 GE 是沿著傾斜部（傾斜的側面 SF1）來形成。因此，在溝 TR 內，容易均一地形成閘極絕緣膜 GI（絕緣膜 GIa）的膜厚。所以，可解除在上述的第 3 課題所示那樣 MISFET 的耐壓降低的不良狀況。

又，如圖 22 及圖 23 所示般，可將溝 TR 的口徑形成比虛擬閘極 GED 的長度更大。因此，如在圖 25 所示般確保長寬比（可縮小溝 TR 的長寬比），因此即使在溝 TR 內堆積成為閘極電極 GE 的導電膜 CD 時，也不易產生空孔。所以，可解除在上述的第 4 課題所示那樣的不良狀況。這在微細化進展，設計閘極長為 30nm 以下的 MISFET 時特別有效。

而且，在上述的第 1 及第 2 檢討例是閘極電極的上部與下部的長度大致相同，但本實施形態的 MISFET 是閘極電極 GE 的上部的長度長（比閘極電極 GE 的下部的長度更長），因此可使閘極電極 GE 全體的體積增加，所以可謀求閘極電極 GE 的低電阻化。

<實施形態 1 的變形例>

圖 36 及圖 37 是本實施形態的變形例的半導體裝置的要部剖面圖，圖 36 是對應於上述圖 1 者，圖 37 是對應於上述圖 2 者。圖 38 是圖 36 及圖 37 所示的變形例的半導體裝置的製造工程中的要部剖面圖。圖 38 是對應於上述圖 9 者，顯示進行步驟 S4（半導體層 EP1 的磊晶成長工程）的階段。

圖 36 及圖 37 所示的變形例的半導體裝置是在上述步驟 S4 使半導體層 EP1 磊晶成長時，如圖 38 所示般，以半導體層 EP1 的側面 SF1a 不具有斜度的方式，使半導體層 EP1 磊晶成長時製造的半導體裝置。亦即，變形例的情況是如圖 38 所示般，以半導體層 EP1 的側面 SF1a 對於 SOI 基板 SUB 的主面（亦即半導體層 SM1 的主面）大致成為垂直的方式，半導體層 EP1 磊晶成長。半導體層 EP1 的側面的斜度的有無是可藉由調整半導體層 EP1 的成膜用氣體的組成或成膜溫度等來控制。

在圖 36 及圖 37 所示的變形例的半導體裝置中也是閘極電極 GE 的端部（閘極長方向的兩端部）會乘坐於源極・汲極用的磊晶層之半導體層 EP1 上。亦即，閘極電極 GE 的閘極長方向的端部會位於源極・汲極用的磊晶層之半導體層 EP1 上。換言之，在 MISFET（以閘極電極 GE 作為閘極電極的 MISFET）的閘極長方向，閘極電極 GE 的端部會位於源極・汲極用的磊晶層之半導體層 EP1 上。

而且，半導體層 EP1 是被形成於半導體層 SM1 的上面，半導體層 EP1 的上面是處於比閘極電極 GE 的正下面的半導體層 SM1 的上面更高的位置。因此，如上述般，可抑制源極或汲極用的半導體領域與通道領域之間的寄生電阻。亦即，可解決上述第 1 及第 2 課題。

然而，相較於圖 36 及圖 37 所示的變形例的半導體裝置，上述圖 1 及圖 2 所示的本實施形態的半導體裝置是具有其次那樣的優點。

亦即，上述圖 1 及圖 2 所示的本實施形態的半導體裝置是閘極電極 GE 的閘極長方向的端部位於半導體層 EP1 上，但半導體層 EP1 的側面 SF1 傾斜，閘極電極 GE 的閘極長方向的端部會位於此半導體層 EP1 的傾斜的側面 SF1 上。換言之，在 MISFET（以閘極電極 GE 作為閘極電極的 MISFET）的閘極長方向，半導體層 EP1 的側面（閘極電極 GE 側的側面）SF1 是傾斜，在 MISFET（以閘極電極 GE 作為閘極電極的 MISFET）的閘極長方向，閘極電極 GE 的端部會位於半導體層 EP1 的傾斜的側面 SF1 上。亦即，閘極電極 GE 的端部（閘極長方向的端部）會乘坐於半導體層 EP1 的傾斜的側面 SF1 上。

圖 36 及圖 37 所示的變形例的半導體裝置的情況，因為圖 36 所示閘極電極 GE 之對向於半導體層 SM1，EP1 的角部 EG1，EG2 幾乎成直角，所以電場會集中於此角部 EG1，EG2 而有招致閘極洩漏的憂慮。相對的，上述圖 1 及圖 2 所示的本實施形態的半導體裝置是半導體層 EP1 的

側面 SF1 為傾斜，藉此圖 1 所示閘極電極 GE 之對向於半導體層 SM1，EP1 的角部 EG3，EG4 是形成鈍角，所以可緩和此角部 EG3，EG4 的電場集中。因此，相較於圖 36 及圖 37 所示的變形例的半導體裝置，上述圖 1 及圖 2 所示的本實施形態的半導體裝置較可抑制閘極洩漏電流（洩漏閘極絕緣膜 GI 的電流）。

並且，在步驟 S14，S15 形成絕緣膜 GIa 及導電膜 CD 時，比起從溝 TR 露出的半導體層 EP1 的側面為垂直的側面 SF1a 時（對應於圖 36 及圖 37 的變形例時），傾斜的側面 SF1 時（對應於圖 1 及圖 2 的本實施形態時）更容易在溝 TR 內形成絕緣膜 GIa 及導電膜 CD。因此，相較於圖 36 及圖 37 所示的變形例的半導體裝置，上述圖 1 及圖 2 所示的本實施形態的半導體裝置更容易且的確地形成閘極電極 GE 及閘極絕緣膜 GI。

因此，半導體層 EP1 的側面 SF1 傾斜，閘極電極 GE 的閘極長方向的端部位於此半導體層 EP1 的傾斜的側面 SF1 上較為理想。亦即，閘極電極 GE 的端部（閘極長方向的端部）乘坐於半導體層 EP1 的傾斜的側面 SF1 上較為理想。亦即，對於上述的第 4 課題雖具有同等的效果，但對於上述的第 3 課題是圖 1 及圖 2 所示的本實施形態的半導體裝置較優（比起圖 36 及圖 37 所示的變形例的半導體裝置更優）。

並且，在本實施形態中，閘極電極 GE 的閘極長方向的端部是位於半導體層 EP1 之上。亦即，閘極電極 GE 的

端部（閘極長方向的兩端部）會乘坐於半導體層 EP1 上。為了取得如此的構造，採用其次那樣的工程作為製造工程。

亦即，本實施形態是在步驟 S2 形成虛擬閘極 GED 之後，在步驟 S4 形成源極・汲極用的磊晶層之半導體層 EP1，然後，在步驟 S6 於虛擬閘極 GED 的側壁上形成側壁絕緣膜 SW2。接著，在步驟 S11 以能夠覆蓋虛擬閘極 GED 的方式形成絕緣膜 IL1 之後，在步驟 S12 除去絕緣膜 IL1 的一部分，而使虛擬閘極 GED 的上面露出。然後，在步驟 S13 除去虛擬閘極及側壁絕緣膜 SW2 來形成溝 TR 之後，在步驟 S14～S16 於溝 TR 內隔著閘極絕緣膜 GI 來形成閘極電極 GE。

在此，特別重要的是在形成源極・汲極用的磊晶層之半導體層 EP1 後，在虛擬閘極 GED 的側壁上形成側壁絕緣膜 SW2，及在步驟 S13 不僅除去虛擬閘極 GED，連側壁絕緣膜 SW2 也除去之後，在藉由虛擬閘極 GED 及側壁絕緣膜 SW2 的除去而形成的溝 TR 內形成閘極電極 GE。與本實施形態不同，如上述第 2 檢討例（圖 32～圖 35）般，在步驟 S13 除去虛擬閘極 GED，但側壁絕緣膜 SW2 不除去留下時，閘極電極 GE102 的端部（閘極長方向的兩端部）是不乘坐於半導體層 EP1 上。

亦即，在步驟 S13 與虛擬閘極 GED 一起除去形成於虛擬閘極 GED 的側壁上的側壁絕緣膜 SW2，藉此可使之後形成的閘極電極 GE 的閘極長方向的尺寸形成比虛擬閘

極 GED 的尺寸更大。而且，在形成半導體層 EP1 之後形成側壁絕緣膜 SW2，因此側壁絕緣膜 SW2 是被形成於半導體層 EP1 上，只要在步驟 S13 側壁絕緣膜 SW2 也與虛擬閘極 GED 一起除去之後形成閘極電極 GE，至除去前存在側壁絕緣膜 SW2 的領域也形成閘極電極 GE 所佔據。因此，閘極電極 GE 的一部分會位於半導體層 EP1 上，亦即形成乘坐於半導體層 EP1 上。

在虛擬閘極 GED 的側壁上形成側壁絕緣膜 SW1，SW2，SW3 時，於步驟 S13 中，除去在半導體層 EP1 的形成前形成的側壁絕緣膜 SW1，但未除去而留下半導體層 EP1 的形成後形成的側壁絕緣膜 SW2，SW3 時，閘極電極 GE 的端部（閘極長方向的兩端部）是不乘坐於半導體層 EP1 上。因此，在虛擬閘極 GED 的側壁上形成側壁絕緣膜 SW1，SW2，SW3 時，於步驟 S13 中，不僅除去半導體層 EP1 的形成前形成的側壁絕緣膜 SW1，還必須連半導體層 EP1 的形成後形成的側壁絕緣膜 SW2 也除去或以蝕刻來使側壁絕緣膜 SW2 的厚度形成薄。亦即，在步驟 S13 與虛擬閘極 GED 一起除去半導體層 EP1 的形成後在虛擬閘極 GED 的側壁上所形成的側壁絕緣膜 SW2（或使側壁絕緣膜 SW2 厚度形成薄），藉此可取得閘極電極 GE 的端部（閘極長方向的兩端部）會乘坐於半導體層 EP1 上的構造。

並且，在本實施形態是可一面抑制光微影工程的使用，一面以自我對準（Self Align）（自我整合）來形成

閘極電極 GE 乘坐於半導體層 EP1 的構造。因此，可防止光罩圖案的位移所造成的不良狀況。而且，可謀求半導體元件的小型化。因此，可使半導體裝置小型化。

並且，在本實施形態是使用除去虛擬閘極 GED 之後形成閘極絕緣膜 GI 及閘極電極 GE 之所謂的後閘極製程 (gate-last process)。因此，可容易適用金屬閘極電極及高介電常數閘極絕緣膜作為閘極電極 GE 及閘極絕緣膜 GI。而且，使用後閘極製程，可一面抑制製造工程數的增加，一面以自我對準來形成閘極電極 GE 乘坐於半導體層 EP1 的構造。

(實施形態 2)

本實施形態 2 是對應於上述實施形態 1 的半導體裝置的製造工程的變形例。圖 39~圖 45 是本實施形態 2 的半導體裝置的製造工程中的要部剖面圖。

在上述實施形態 1 是說明有關側壁絕緣膜 SW1, SW2 藉由氧化矽所形成，且側壁絕緣膜 SW3 藉由氮化矽所形成時，但在本實施形態 2 是說明有關藉由氮化矽來形成側壁絕緣膜 SW1, SW2, SW3 時。

本實施形態 2 是在上述步驟 S3 中，取代上述氧化矽膜 SO1，而使用氮化矽膜，藉此取代由氧化矽所構成的上述側壁絕緣膜 SW1，而形成由氮化矽所構成的側壁絕緣膜 SW1a。側壁絕緣膜 SW1a 不是氧化矽，而是由氮化矽所構成以外，基本上與上述側壁絕緣膜 SW1 相同。亦即，將

藉由氮化矽所形成時的側壁絕緣膜 SW1 稱為側壁絕緣膜 SW1a。

又，本實施形態 2 是在上述步驟 S6 中，取代上述氧化矽膜 SO2，而使用氮化矽膜，藉此取代由氧化矽所構成的上述側壁絕緣膜 SW2，而形成由氮化矽所構成的側壁絕緣膜 SW2a。側壁絕緣膜 SW2a 不是氧化矽，而是由氮化矽所構成以外，基本上與上述側壁絕緣膜 SW2 相同。亦即，將藉由氮化矽所形成時的側壁絕緣膜 SW2 稱為側壁絕緣膜 SW2a。

又，本實施形態 2 在上述步驟 S9 中也是與上述實施形態 1 同樣，形成由氮化矽所構成的側壁絕緣膜 SW3。

除此以外是與上述實施形態 1 同樣進行至上述步驟 S12 的 CMP 工程為止，藉此取得對應於上述圖 19 之圖 39 的構造。

在圖 39 的階段，與上述實施形態 1 的上述圖 19 的階段不同的是由氧化矽所構成的側壁絕緣膜 SW1，SW2 取代成由氮化矽所構成的側壁絕緣膜 SW1a，SW2a 的點，除此以外基本上相同。

與上述實施形態 1 同樣進行至上述步驟 S12 的 CMP 工程而取得圖 39 的構造之後，在本實施形態 2 中也藉由上述步驟 S13 的蝕刻來除去虛擬閘極 GED 及側壁絕緣膜 SW1，SW2。此步驟 S13 的蝕刻條件是由氧化矽所構成的側壁絕緣膜 SW1，SW2 取代成由氮化矽所構成的側壁絕緣膜 SW1a，SW2a，因此與在上述實施形態 1 說明者一部

分不同。以下，具體說明有關本實施形態 2 的情況的步驟 S13。

首先，步驟 S13 的蝕刻的第 1 階段，如圖 40 所示般，除去虛擬閘極 GED 的氮化矽膜 SN1，此第 1 階段的蝕刻在本實施形態 2 也與上述實施形態 1 同樣。藉由第 1 階段的蝕刻來除去氮化矽膜 SN1，露出多晶矽膜 PL1。

其次，步驟 S13 的蝕刻的第 2 階段，如圖 41 所示般，除去虛擬閘極 GED 的多晶矽膜 PL1，此第 2 階段的蝕刻在本實施形態 2 中也與上述實施形態 1 同樣。藉由第 2 階段的蝕刻來除去多晶矽膜 PL1，露出側壁絕緣膜 SW1 及絕緣膜 GID。

步驟 S13 的蝕刻的第 3 階段以後是與上述實施形態 1 的情況不同。亦即，在第 2 階段的蝕刻除去多晶矽膜 PL1 之後，本實施形態 2 是如圖 42 所示般，藉由第 3 階段的蝕刻來除去絕緣膜 GID。此第 3 階段的蝕刻是以絕緣膜 GID（氧化矽）的蝕刻速度形成比側壁絕緣膜 SW1a，SW2a（氮化矽）及半導體層 SM1，EP1（矽）的蝕刻速度更快那樣的蝕刻條件來選擇性蝕刻絕緣膜 GID 為理想。藉此，在第 3 階段的蝕刻，可抑制或防止半導體層 SM1，EP1 被蝕刻。

藉由與側壁絕緣膜 SW1a，SW2a 不同的材料膜（具體而言是氧化矽膜等）來形成絕緣膜 GID 時，是可利用此第 3 階段的蝕刻來除去絕緣膜 GID。另一方面，藉由與側壁絕緣膜 SW1a，SW2a 相同的材料（具體而言是氮化矽

膜) 來形成絕緣膜 GID 時，是此第 3 階段的蝕刻不進行，只要進行其次的第 4 階段的蝕刻即可，在第 4 階段的蝕刻，絕緣膜 GID 也被除去。

並且，在本實施形態 2 中，亦可在其次說明的第 4 階段的蝕刻(除去側壁絕緣膜 SW1a, SW2a 的蝕刻)之後進行此第 3 階段的蝕刻。

其次，步驟 S13 的蝕刻的第 4 階段，如圖 43 所示般，除去由氮化矽所構成的側壁絕緣膜 SW1a, SW2a。此第 4 階段的蝕刻是以側壁絕緣膜 SW1a, SW2a (氮化矽) 的蝕刻速度形成比半導體層 SM1, EP1 的蝕刻速度更快那樣的蝕刻條件進行。藉此，在第 4 階段的蝕刻，可抑制或防止半導體層 SM1, EP1 被蝕刻。又，由於側壁絕緣膜 SW1a, SW2a, SW3 是藉由氮化矽來形成，所以容易確保側壁絕緣膜 SW1a, SW2a, SW3 與半導體層 SM1, EP1 的高蝕刻選擇比。

在第 4 階段的蝕刻，不僅側壁絕緣膜 SW1a, SW2a，連側壁絕緣膜 SW3 也藉由氮化矽來形成。因此，第 4 階段的蝕刻是以能夠藉由蝕刻來除去側壁絕緣膜 SW1a, SW2a，留下側壁絕緣膜 SW3 的方式控制蝕刻時間。亦即，第 4 階段的蝕刻是設定成剛好可蝕刻側壁絕緣膜 SW1a 與側壁絕緣膜 SW2a 的合計的厚度之蝕刻時間，而使能夠藉由蝕刻來除去側壁絕緣膜 SW1a, SW2a，留下側壁絕緣膜 SW3。

另外，在步驟 S13 的蝕刻的第 4 階段的蝕刻，側壁絕

緣膜 SW1a 是必須除去全部（全厚度）。

並且，在步驟 S13 的蝕刻的第 4 階段的蝕刻，側壁絕緣膜 SW1a 最好是除去全部（全厚度）。但，亦可容許側壁絕緣膜 SW2a 的一部分層狀地殘留於側壁絕緣膜 SW3 的內壁上，此情況也是殘留於側壁絕緣膜 SW3 的內壁上的側壁絕緣膜 SW2a 的厚度必須比第 4 階段的蝕刻之前的狀態的側壁絕緣膜 SW2a 的厚度更薄。

並且，在步驟 S13 的蝕刻的第 4 階段的蝕刻中，側壁絕緣膜 SW3 是最好使幾乎全體（全厚度）殘留，但側壁絕緣膜 SW3 被若干蝕刻（側壁絕緣膜 SW3 的厚度的一部分被蝕刻）而側壁絕緣膜 SW3 的一部分層狀地殘留時也可容許。因此，側壁絕緣膜 SW3 的厚度形成比第 4 階段的蝕刻之前的狀態的側壁絕緣膜 SW3 的厚度更薄亦可，但在側壁絕緣膜 SW3 的至少一部分層狀地殘留的階段，結束步驟 S13 的蝕刻的第 4 階段的蝕刻。

亦即，側壁絕緣膜 SW1a、側壁絕緣膜 SW2a 及側壁絕緣膜 SW3 是藉由氮化矽所形成，步驟 S13 的蝕刻的第 4 階段的蝕刻是以蝕刻厚度會形成比側壁絕緣膜 SW1a 的厚度更厚，且蝕刻厚度會形成比側壁絕緣膜 SW1a、側壁絕緣膜 SW2a 及側壁絕緣膜 SW3 的合計的厚度更薄的方式設定蝕刻時間。亦即，步驟 S13 的蝕刻的第 4 階段的蝕刻是以側壁絕緣膜 SW1a 被除去而側壁絕緣膜 SW2a 露出之後蝕刻還會繼續，且在側壁絕緣膜 SW3 的全厚度被蝕刻之前的階段停止蝕刻的方式設定蝕刻時間。換言之，步驟

S13 的蝕刻的第 4 階段的蝕刻的終點是設定在蝕刻進行至側壁絕緣膜 SW2a 的厚度的途中的階段到蝕刻進行至側壁絕緣膜 SW3 的厚度的途中的階段之間。

並且，在省略側壁絕緣膜 SW3 的形成時，步驟 S13 的第 4 階段的蝕刻是只要在側壁絕緣膜 SW1a，SW2a 被除去而絕緣膜 IL1（更特定的是絕緣膜 IL1 的氮化矽膜 SN3）露出的階段完成蝕刻即可。

藉由步驟 S13 的上述 4 階段（第 1 階段、第 2 階段、第 3 階段及第 4 階段）的蝕刻來除去虛擬閘極 GED、絕緣膜 GID 及側壁絕緣膜 SW1a，SW2a，藉此如圖 43 所示般，形成上述溝 TR。

以後的工程是與上述實施形態 1 大致同樣。亦即，在上述步驟 S14 形成閘極絕緣膜用的上述絕緣膜 GIa，在上述步驟 S15 形成閘極電極用的上述導電膜 CD，在上述步驟 S16 藉由 CMP 法等來除去溝 TR 的外部的導電膜 CD 及絕緣膜 GIa，如圖 44 所示般，在溝 TR 內隔著閘極絕緣膜 GI 來形成閘極電極 GE。接著，如圖 45 所示般，與上述實施形態 1 同樣，形成上述絕緣膜 IL2，形成上述接觸孔 CNT，在接觸孔 CNT 內形成上述插塞 PG，形成上述絕緣膜 IL3，形成上述配線 M1。

如此，在本實施形態 2 中也可製造與上述實施形態 1 大致同樣的半導體裝置。亦即，可解決上述的第 1~4 的課題。

上述實施形態 1 是將側壁絕緣膜 SW1，SW2 設為氧

化矽膜，藉此可使用側壁絕緣膜 SW3 或氮化矽膜 SN3 作為蝕刻阻擋，可使步驟 S13 的蝕刻的控制容易。

相對的，本實施形態 2 是將側壁絕緣膜 SW1a，SW2a 設為氮化矽膜，藉此可取得與層間絕緣膜 SO3 的選擇比易取的優點。亦即，上述實施形態 1 是在側壁絕緣膜 SW1a，SW2a 與層間絕緣膜 SO3 的材料為同氧化矽膜時，層間絕緣膜 SO3 的表面容易後退。但，就實施形態 2 而言，因為側壁絕緣膜 SW1a，SW2a 與層間絕緣膜 SO3 的材料不同，所以層間絕緣膜 SO3 的表面不易後退。因此，可取得容易控制層間絕緣膜 SO3 的高度之效果。

另外，亦可將襯墊膜 SN3 的材料取代成氮化矽膜，而使用氧氮化矽膜。此情況，氧氮化矽膜（襯墊膜 SN3）是與側壁絕緣膜 SW1，SW2、SW3 的材料、及絕緣膜 SO3 的材料皆不同，因此在溝 TR 形成時，對於層間絕緣膜 SO3 的表面後退的問題也可應付。

（實施形態 3）

圖 46 及圖 47 是表示本實施形態 3 的半導體裝置的製造工程的工程流程圖。圖 48～圖 63 是本實施形態 3 的半導體裝置的製造工程中的要部剖面圖。

上述實施形態 1 是在 SOI 基板 SUB 的半導體層 SM1 上，源極・汲極用的磊晶層（對應於上述半導體層 EP1）是僅形成 1 層。相對的，本實施形態 3 是在 SOI 基板 SUB 的半導體層 SM1 上，源極・汲極用的磊晶層（對應於後

述的半導體層 EP2，EP3）是形成 2 層。本實施形態 3 是可解決上述第 1、第 2 及第 4 課題。

以下，參照圖面來具體說明。

在本實施形態 3 中也與上述實施形態 1 同樣進行至上述步驟 S3 的側壁絕緣膜 SW1 形成工程，取得對應於上述圖 7 之圖 48 的構造。

其次，如圖 49 所示般，使半導體層 EP2 磊晶成長於半導體層 SM1 上（圖 46 的步驟 S4a）。

與上述半導體層 EP1 同樣，半導體層 EP2 也是被形成於虛擬閘極 GED（更特定的是由虛擬閘極 GED 及側壁絕緣膜 SW1 所形成的構造體）的兩側的領域的半導體層 SM1 上。亦即，在半導體層 SM1 上，於虛擬閘極 GED（更特定的是由虛擬閘極 GED 及側壁絕緣膜 SW1 所形成的構造體）的兩側，以能夠和虛擬閘極 GED（更特定的是由虛擬閘極 GED 及側壁絕緣膜 SW1 所形成的構造體）相鄰的方式，形成有半導體層 EP2。

與上述半導體層 EP1 同樣，半導體層 EP2 是藉由磊晶成長來形成的磊晶層（磊晶半導體層），由矽（單結晶矽）所構成。半導體層 EP2 是在半導體層 SM1 上選擇性地磊晶成長，在側壁絕緣膜 SW1 上或氮化矽膜 SN1 上是未被形成。並且，如在上述實施形態 1 所說明過那樣，虛擬閘極 GED 的多晶矽膜 PL1 是以氮化矽膜 SN1 及側壁絕緣膜 SW1 所覆蓋，因此磊晶層是未被形成於多晶矽膜 PL1 上。

又，上述實施形態 1 是以半導體層 EP1 的側面能夠具有斜度的方式，使半導體層 EP1 磊晶成長，但本實施形態 3 是可以半導體層 EP2 的側面不具有斜度的方式使半導體層 EP2 磊晶成長。亦即，以半導體層 EP2 的側面對於 SOI 基板 SUB 的主面（亦即半導體層 SM1 的主面）大致成為垂直的方式，半導體層 EP2 磊晶成長。半導體層 EP2 的側面的斜度的有無（半導體層 SM1 的主面與半導體層 EP2 的側面所成的角度）是可藉由調整半導體層 EP2 的成膜用氣體的組成或成膜溫度等來控制。

半導體層 EP2 是被形成於半導體層 SM1 的大致平坦的上面上，所以半導體層 EP2 的上面是處於比半導體層 SM2 的上面更高的位置。因此，在步驟 S4a 所被形成的半導體層 EP1 的上面是處於比虛擬閘極 GED 的正下面的半導體層 SM1 的上面更高的位置。

其次，如圖 50 所示般，在半導體層 SM1，EP2 的虛擬閘極 GED 及側壁絕緣膜 SW1 的兩側的領域離子注入磷（P）或砷（As）等的 n 型的雜質，藉此形成 n⁻型半導體領域 EX（圖 46 的步驟 S5）。

步驟 S5 的離子注入工程，基本上本實施形態 3 也與上述實施形態 1 相同，但在上述實施形態 1 是對於半導體層 SM1 與半導體層 EP1 的層疊體注入 n 型雜質而形成 n⁻型半導體領域 EX，相對的，本實施形態 3 是對於半導體層 SM1 與半導體層 EP2 的層疊體注入 n 型雜質而形成 n⁻型半導體領域 EX。

在用以形成 n^- 型半導體領域 EX 的離子注入工程，虛擬閘極 GED 及側壁絕緣膜 SW1 可具有作為遮罩（離子注入阻止遮罩）的機能。因此， n^- 型半導體領域 EX 是在半導體層 SM1 及半導體層 EP2（的層疊體）中，對於虛擬閘極 GED 的側壁上的側壁絕緣膜 SW1 自我整合形成。

其次，如圖 51 所示般，在虛擬閘極 GED 的側壁上形成側壁絕緣膜（側壁間隔件）SW4 作為側壁膜（圖 46 的步驟 S6a）。側壁絕緣膜 SW4 是在虛擬閘極 GED 的側壁上隔著側壁絕緣膜 SW1 來形成。

側壁絕緣膜 SW4 是藉由側壁膜的側壁絕緣膜 SW4a 與側壁膜的側壁絕緣膜 SW4b 的層疊所形成。側壁絕緣膜 SW4a 及側壁絕緣膜 SW4b 是藉由相異的材料所形成，較理想是側壁絕緣膜 SW4a 藉由氧化矽（氧化矽膜）所形成，側壁絕緣膜 SW4b 藉由氮化矽（氮化矽膜）所形成。

由於側壁絕緣膜 SW4a 會在之後除去，所以可不一定要具有絕緣性，但基於作為側壁膜形成的容易度，或可防止除去時發生蝕刻殘留的不良狀況之觀點等，最好是絕緣膜。並且，側壁絕緣膜 SW4b 是在製造後的半導體裝置也殘留，所以具有絕緣性。

為了形成側壁絕緣膜 SW4，首先，形成側壁絕緣膜 SW4a。為了形成側壁絕緣膜 SW4a，首先，在 SOI 基板 SUB 的主面的全面，以能夠覆蓋虛擬閘極 GED 及側壁絕緣膜 SW1 的方式，藉由 CVD 法等來形成氧化矽膜。接著，藉由蝕刻（異方性蝕刻）此氧化矽膜，在虛擬閘極

GED 的側壁上留下氧化矽膜而設為側壁絕緣膜 SW4a，除去其他領域的氧化矽膜。藉此，在虛擬閘極 GED 的側壁上隔著側壁絕緣膜 SW1 而形成有側壁絕緣膜 SW4a。側壁絕緣膜 SW4a 的形成後，形成側壁絕緣膜 SW4b。為了形成側壁絕緣膜 SW4b，首先，在 SOI 基板 SUB 的主面的全面，以能夠覆蓋虛擬閘極 GED 及側壁絕緣膜 SW1，SW4a 的方式，藉由 CVD 法等來形成氮化矽膜。接著，藉由蝕刻（異方性蝕刻）此氮化矽膜，在虛擬閘極 GED 的側壁上留下氮化矽膜而設為側壁絕緣膜 SW4b，除去其他領域的氮化矽膜。藉此，在虛擬閘極 GED 的側壁上經由側壁絕緣膜 SW1，SW4a 來形成側壁絕緣膜 SW4b。如此一來，由側壁絕緣膜 SW4a 與側壁絕緣膜 SW4b 的層疊所構成的側壁絕緣膜 SW4 會在虛擬閘極 GED 的側壁上隔著側壁絕緣膜 SW1 來形成。

側壁絕緣膜 SW4a 的厚度（與虛擬閘極 GED 的側壁大致垂直的方向的厚度）是例如可設為 5~10nm 程度，側壁絕緣膜 SW4b 的厚度（與虛擬閘極 GED 的側壁大致垂直的方向的厚度）是例如可設為 10~30nm 程度。

側壁絕緣膜 SW4 是隔著側壁絕緣膜 SW1 來與虛擬閘極 GED 的側壁鄰接，且被形成於半導體層 EP2 上。亦即，側壁絕緣膜 SW4 的底面會接觸於半導體層 EP2（具體而言是半導體層 EP2 的上面），側壁絕緣膜 SW4 的內壁（與虛擬閘極 GED 對向的側的側面）會接觸於虛擬閘極 GED 的側壁上的側壁絕緣膜 SW1。

其次，如圖 52 所示般，使半導體層 EP3 磊晶成長於半導體層 EP2 上（圖 46 的步驟 S4b）。

半導體層 EP3 是被形成於虛擬閘極 GED（更特定的是由虛擬閘極 GED 及側壁絕緣膜 SW1，SW4 所形成的構造體）的兩側的領域的半導體層 SM1 上。亦即，在半導體層 SM1 上，在虛擬閘極 GED（更特定的是由虛擬閘極 GED 及側壁絕緣膜 SW1，SW4 所形成的構造體）的兩側，以能夠和虛擬閘極 GED（更特定的是由虛擬閘極 GED 及側壁絕緣膜 SW1，SW4 所形成的構造體）相鄰的方式，形成有半導體層 EP3。

與上述半導體層 EP1，EP2 同樣，半導體層 EP3 是藉由磊晶成長來形成的磊晶層（磊晶半導體層），由矽（單結晶矽）所構成。半導體層 EP3 是在半導體層 EP2 上選擇性地磊晶成長，在側壁絕緣膜 SW1，SW4 上或氮化矽膜 SN1 上是未被形成。如上述般，虛擬閘極 GED 的多晶矽膜 PL1 是以氮化矽膜 SN1 及側壁絕緣膜 SW1，SW4 所覆蓋，因此磊晶層是未被形成於多晶矽膜 PL1 上。並且，半導體層 EP3 是被形成於半導體層 EP2 上，但在以側壁絕緣膜 SW4 所覆蓋的部分的半導體層 EP2 上是未形成半導體層 EP3。因此，半導體層 EP2 的側面是與側壁絕緣膜 SW1 鄰接，但半導體層 EP3 的側面是與側壁絕緣膜 SW4b 鄰接。

並且，與半導體層 EP2 同樣，半導體層 EP3 亦可以半導體層 EP3 的側面不具有斜度的方式使磊晶成長。亦

即，以半導體層 EP3 的側面對於 SOI 基板 SUB 的主面（亦即半導體層 SM1 的主面）大致成為垂直的方式，半導體層 EP3 磊晶成長。半導體層 EP3 的側面的斜度的有無（半導體層 SM1 的主面與半導體層 EP3 的側面所成的角度）是可藉由調整半導體層 EP3 的成膜用氣體的組成或成膜溫度等來控制。

並且，步驟 S4b 的半導體層 EP3 的形成厚度是比步驟 S4a 的半導體層 EP2 的形成厚度更厚為理想。藉此，容易防止隨之後形成金屬矽化物層 SIL 而在厚度方向產生矽領域消失的領域。

其次，如圖 53 所示般，在半導體層 SM1，EP2，EP3 的虛擬閘極 GED 及側壁絕緣膜 SW1，SW4 的兩側的領域，離子注入磷（P）或砷（As）等的 n 型的雜質，藉此形成 n⁺型半導體領域 SD（圖 46 的步驟 S7）。

步驟 S7 的離子注入工程，基本上本實施形態 3 也與上述實施形態 1 相同。但，上述實施形態 1 是對於半導體層 SM1 與半導體層 EP1 的層疊體注入 n 型雜質而形成 n⁺型半導體領域 SD，相對的，本實施形態 3 是對於半導體層 SM1、半導體層 EP2 及半導體層 EP3 的層疊體注入 n 型雜質而形成 n⁺型半導體領域 SD。

在用以形成 n⁺型半導體領域 SD 的離子注入工程中，虛擬閘極 GED 及側壁絕緣膜 SW1，SW4 可具有作為遮罩（離子注入阻止遮罩）的機能。因此，n⁺型半導體領域 SD 是對於隔著側壁絕緣膜 SW1 來形成於虛擬閘極 GED

的側壁上的側壁絕緣膜 SW4 自我整合形成。n⁺型半導體領域 SD 是比 n⁻型半導體領域 EX 更雜質濃度高。

在步驟 S6a 形成側壁絕緣膜 SW4 之前，進行用以形成 n⁻型半導體領域 EX 的離子注入（步驟 S5），在步驟 S6a 形成側壁絕緣膜 SW4 之後，進行用以形成 n⁺型半導體領域 SD 的離子注入（步驟 S7）。因此，一旦進行至步驟 S7，則 n⁻型半導體領域 EX 是成為被形成於側壁絕緣膜 SW4（4a，4b）的正下面的部分的半導體層 SM1，EP2 之狀態。在後述的步驟 S13a，與虛擬閘極 GED 一起側壁絕緣膜 SW4a 也除去之後形成閘極電極 GE，因此在側壁絕緣膜 SW4a 存在的領域也形成有閘極電極 GE。因此，之後一旦形成閘極電極 GE，則 n⁻型半導體領域 EX 是成為大致形成於閘極電極 GE 的一部分（閘極長方向的兩端部側）的正下面與側壁絕緣膜 SW4b 的正下面之狀態。

其次，進行用以使導入至 n⁺型半導體領域 SD 及 n⁻型半導體領域 EX 等的雜質活化之熱處理的活化退火（圖 46 的步驟 S8）。並且，當離子注入領域被非晶形化時，此步驟 S8 的活化退火時，可使結晶化。

其次，如圖 54 所示般，與上述實施形態 1 同樣，藉由自對準多晶矽化物技術，在 n⁺型半導體領域 SD 的表面（上層部）形成低電阻的金屬矽化物層 SIL（圖 47 的步驟 S10）。

步驟 S10 的金屬矽化物層 SIL 形成工程，基本上本實施形態 3 也與上述實施形態 1 相同，但上述實施形態 1 主

要是在半導體層 EP1 形成有金屬矽化物層 SIL，在本實施形態 3 主要是在半導體層 EP3（或半導體層 EP3，EP2）形成有金屬矽化物層 SIL。並且，與上述實施形態 1 同樣，在虛擬閘極 GED 的多晶矽膜 PL1 上是形成有氮化矽膜 SN1，因此在虛擬閘極 GED 的多晶矽膜 PL1 的表面是未被形成金屬矽化物層。

其次，如圖 55 所示般，與上述實施形態 1 同樣，在 SOI 基板 SUB 的主面（主面全面）上形成絕緣膜 IL1（圖 47 的步驟 S11）。亦即，以能夠覆蓋虛擬閘極 GED 及側壁絕緣膜 SW1，SW4 的方式，在 SOI 基板 SUB 的主面上形成絕緣膜 IL1。有關絕緣膜 IL1 是在上述實施形態 1 說明過，因此其重複的說明省略。

其次，如上述圖 56 所示般，與上述實施形態 1 同樣，藉由 CMP 法來研磨絕緣膜 IL1 的表面（上面），藉此使虛擬閘極 GED 的上面（亦即氮化矽膜 SN1 的上面）露出（圖 47 的步驟 S12）。

其次，如圖 57 所示般，藉由蝕刻來除去虛擬閘極 GED 及側壁絕緣膜 SW1，SW4a（圖 47 的步驟 S13a）。

在此步驟 S13a 除去虛擬閘極 GED 及側壁絕緣膜 SW1，SW4a，藉此形成溝（凹部、開口部、低窪部）TR1。溝 TR1 是至虛擬閘極 GED 及側壁絕緣膜 SW1，SW4a 的除去前，由存在虛擬閘極 GED 及側壁絕緣膜 SW1，SW4a 的領域（空間）所構成。從溝 TR1 露出半導體層 SM1 的上面、半導體層 EP2 的側面及上面、以及側

壁絕緣膜 SW4b 的內壁。

溝 TR1 的底面是藉由半導體層 SM1 的上面及半導體層 EP2 的側面及上面所形成。溝 TR1 的側面（側壁）是藉由側壁絕緣膜 SW4a 的內壁所形成。在溝 TR1 的底面是藉由半導體層 EP2 的側面及上面來形成階差部。在此，所謂側壁絕緣膜 SW4b 的內壁是在側壁絕緣膜 SW4b 中，對應於至除去側壁絕緣膜 SW4a 為止接觸於側壁絕緣膜 SW4a 的側的側面（側壁）。

以下，具體說明有關步驟 S13a 的蝕刻工程。

步驟 S13a 的蝕刻是藉由其次的 3 階段（第 1 階段、第 2 階段及第 3 階段，參照圖 58～圖 60）的蝕刻來進行為理想。

首先，步驟 S13a 的蝕刻的第 1 階段，如圖 58 所示般，除去虛擬閘極 GED 的氮化矽膜 SN1，此第 1 階段的蝕刻在本實施形態 3 也與上述實施形態 1（上述步驟 S13 的第 1 階段的蝕刻）同樣。藉由第 1 階段的蝕刻來除去氮化矽膜 SN1，露出多晶矽膜 PL1。

其次，步驟 S13a 的蝕刻的第 2 階段，如圖 59 所示般，除去虛擬閘極 GED 的多晶矽膜 PL1，此第 2 階段的蝕刻在本實施形態 3 中也與上述實施形態 1（上述步驟 S13 的第 2 階段的蝕刻）同樣。藉由第 2 階段的蝕刻來除去多晶矽膜 PL1，露出側壁絕緣膜 SW1 及絕緣膜 GID。

步驟 S13a 的蝕刻的第 3 階段是與上述實施形態 1 的步驟 S13 的第 3 階段若干不同。步驟 S13a 的蝕刻工程是

在第 2 階段的蝕刻除去多晶矽膜 PL1 之後，改變蝕刻條件，藉由第 3 階段的蝕刻，如圖 60 所示般，除去側壁絕緣膜 SW1，SW4a 及絕緣膜 GID。此第 3 階段的蝕刻是以側壁絕緣膜 SW1，SW4a 及絕緣膜 GID 的蝕刻速度形成比半導體層 SM1，EP2 的蝕刻速度更快那樣的蝕刻條件，選擇性地蝕刻側壁絕緣膜 SW1，SW4a 及絕緣膜 GID 為理想。藉此，在第 3 階段的蝕刻，可抑制或防止半導體層 SM1，EP2 被蝕刻。

只要藉由同材料（在此是氧化矽）來形成側壁絕緣膜 SW1 及側壁絕緣膜 SW4a，便可以同蝕刻工程連續地蝕刻側壁絕緣膜 SW1 及側壁絕緣膜 SW4a。又，只要藉由和側壁絕緣膜 SW1，SW4a 同材料（在此是氧化矽）來形成絕緣膜 GID，便可以同除去側壁絕緣膜 SW1，SW4a 的蝕刻工程除去絕緣膜 GID。

並且，在第 3 階段的蝕刻是側壁絕緣膜 SW1，SW4a 被除去，但使側壁絕緣膜 SW4b 殘留為理想。為此，本實施形態 3 是藉由與側壁絕緣膜 SW4a 相異的材料來形成側壁絕緣膜 SW4b，以側壁絕緣膜 SW1，SW4a（具體而言是氧化矽）的蝕刻速度形成比側壁絕緣膜 SW4b（具體而言是氮化矽）及半導體層 SM1，EP2 的蝕刻速度更快那樣的蝕刻條件來進行第 3 階段的蝕刻。在此，側壁絕緣膜 SW1，SW4a 是藉由氧化矽所形成，側壁絕緣膜 SW4b 是藉由氮化矽所形成，因此容易確保側壁絕緣膜 SW1，SW4a 與側壁絕緣膜 SW4b 的高蝕刻選擇比。亦即，在第

3 階段的蝕刻是蝕刻側壁絕緣膜 SW1，SW4a，且可使側壁絕緣膜 SW4b 具有作為蝕刻阻擋的機能。又，由於側壁絕緣膜 SW1，SW4a 是藉由氧化矽所形成，因此亦容易確保側壁絕緣膜 SW1，SW4a 與半導體層 SM1，EP2 的高蝕刻選擇比。

藉由步驟 S13a 的上述 3 階段（第 1 階段、第 2 階段及第 3 階段）的蝕刻來除去虛擬閘極 GED、絕緣膜 GID 及側壁絕緣膜 SW1，SW4a，藉此如圖 57 及圖 60 所示般，形成有溝 TR1。

其次，與上述實施形態 1 同樣，如圖 61 所示般，在包含溝 TR1 的底面及側面（側壁）上之 SOI 基板 SUB 的主面（主面全面）上，亦即包含溝 TR1 的底部及側壁上之絕緣膜 IL1 上形成閘極絕緣膜用的絕緣膜 GIa（圖 47 的步驟 S14）。有關絕緣膜 GIa 是在上述實施形態 1 說明過，所以在此其重複的說明省略。

其次，與上述實施形態 1 同樣，在 SOI 基板 SUB 的主面上，亦即在絕緣膜 GIa 上，以能夠填埋溝 TR1 內的方式，形成閘極電極用的導電膜 CD（圖 47 的步驟 S15）。有關導電膜 CD 是在上述實施形態 1 說明過，所以在此其重複的說明省略。

其次，如圖 62 所示般，在溝 TR1 內留下導電膜 CD 及絕緣膜 GIa，藉由 CMP 法等來除去溝 TR1 的外部的導電膜 CD 及絕緣膜 GIa，而形成閘極電極 GE 及閘極絕緣膜 GI（圖 47 的步驟 S16）。有關步驟 S16 在本實施形態

3 也與上述實施形態 1 同樣，所以在此其重複的說明省略。步驟 S16 是在溝 TR1 內隔著閘極絕緣膜 GI 來形成閘極電極 GE 的工程。

殘留於溝 TR1 內的導電膜 CD 會成為閘極電極 GE，殘留於溝 TR1 內的絕緣膜 GIa 會成為閘極絕緣膜 GI。而且，成為在閘極電極 GE 與半導體層 SM1（的上面）之間、及閘極電極 GE 與半導體層 EP2（的側面及上面）之間、及閘極電極 GE 與側壁絕緣膜 SW4b（的內壁）之間存在閘極絕緣膜 GI 的狀態。閘極電極 GE 及閘極絕緣膜 GI 是分別具有作為 MISFET 的閘極電極及閘極絕緣膜的機能。

在隔著閘極絕緣膜 GI（絕緣膜 GIa）來位於閘極電極 GE 之下的半導體層 SM1 形成有 MISFET 的通道領域。並且，具有作為 MISFET 的源極或汲極的機能之半導體領域（雜質擴散層）是藉由 n⁻型半導體領域 EX 及更高雜質濃度的 n⁺型半導體領域 SD 所形成，具有 LDD 構造。

如此，形成 n 通道型的 MISFET。

本實施形態是在步驟 S13a 與虛擬閘極 GED 一起除去形成於虛擬閘極 GED 的側壁上且位於半導體層 EP2 上的側壁絕緣膜 SW4a，在除去的領域（溝 TR1）形成閘極電極 GE。因此，不僅虛擬閘極 GED 存在的領域，連側壁絕緣膜 SW4a 存在的領域也形成閘極電極 GE。因此，可將閘極電極 GE 的閘極長方向的尺寸形成比虛擬閘極 GED 的尺寸更大，閘極電極 GE 的一部分（閘極長方向的兩端部

側) 位於半導體層 EP2 上，亦即形成乘坐於半導體層 EP2 上。所以，閘極電極 GE 的閘極長方向的端部是形成位於半導體層 EP2 上。而且，n⁻型半導體領域 EX 的至少一部分是形成位於閘極電極 GE 的正下面。

以後的工程是與上述實施形態 1 大致同樣。亦即，如圖 63 所示般，與上述實施形態 1 同樣，形成上述絕緣膜 IL2，形成上述接觸孔 CNT，在接觸孔 CNT 內形成上述插塞 PG，形成上述絕緣膜 IL3，形成上述配線 M1。

圖 64 及圖 65 是本實施形態 3 的半導體裝置的要部剖面圖，圖 64 是對應於上述圖 1 者，圖 65 是對應於上述圖 2 者。

但，在圖 64 中，以點的剖面線來表示合併半導體層 EP2 及半導體層 EP3 者全體，且以細線的斜線的剖面線來表示半導體層 SM1 全體，而使能夠容易了解半導體層 SM1 及半導體層 EP2，EP3 為哪個領域。因此，在圖 64 中，有關 n⁻型半導體領域 EX 及 n⁺型半導體領域 SD 的形成領域未圖示。並且，在圖 65 中，對 n⁻型半導體領域 EX 全體附上同剖面線，對 n⁺型半導體領域 SD 全體附上其他同剖面線，而使能夠容易了解 n⁻型半導體領域 EX 及 n⁺型半導體領域 SD 為哪個的領域。因此，若合併圖 64 及圖 65 來看，則容易了解半導體層 SM1，EP2，EP3 的構成、及半導體層 SM1，EP2，EP3 的 n⁻型半導體領域 EX 及 n⁺型半導體領域 SD 的形成領域。另外，與上述圖 1 及圖 2 同樣，在圖 64 及圖 65 中，有關上述絕緣膜 IL3 及配線

M1 以及更上層的構造是省略圖示。

圖 64 及圖 65 所示的本實施形態 3 的半導體裝置與上述圖 1 及圖 2 所示的上述實施形態 1 的半導體裝置的主要不同點為以下所述者。另外，有關共通點是省略說明。

上述實施形態 1 的半導體裝置是如上述圖 1 及圖 2 所示般，在 SOI 基板 SUB 的半導體層 SM1 上形成半導體層 EP1 作為源極・汲極用的磊晶層。而且，閘極電極 GE 的端部（閘極長方向的兩端部）會乘坐於半導體層 EP1 上。亦即，閘極電極 GE 的閘極長方向的端部會位於源極・汲極用的磊晶層之半導體層 EP1 上。

相對的，本實施形態 3 的半導體裝置是如圖 64 及圖 65 所示般，在 SOI 基板 SUB 的半導體層 SM1 上，形成半導體層 SM1 上的半導體層 EP2 及半導體層 EP2 上的半導體層 EP3 的 2 層，作為源極・汲極用的磊晶層。而且，閘極電極 GE 的端部（閘極長方向的兩端部）會乘坐於半導體層 EP2 上。亦即，閘極電極 GE 的閘極長方向的端部會位於源極・汲極用的磊晶層之半導體層 EP2 上。另外，閘極電極 GE 的閘極長方向的端部是在圖 64 中附上符號 EG，而顯示為端部 EG。

並且，在上述實施形態 1，如上述圖 1 及圖 2 所示般，閘極電極 GE 的一部分、側壁絕緣膜 SW3、及位於閘極電極 GE 與側壁絕緣膜 SW3 之間的部分的閘極絕緣膜 GI 會存在於半導體層 EP1 上。

相對的，在本實施形態 3，如圖 64 及圖 65 所示般，

閘極電極 GE 的一部分、側壁絕緣膜 SW4b、及位於閘極電極 GE 與側壁絕緣膜 SW4b 之間的部分的閘極絕緣膜 GI 會存在於半導體層 EP2 上。

並且，上述實施形態 1 是閘極電極 GE 的一部分（兩端部）會乘坐於半導體層 EP1 的傾斜的側面 SF1 上。相對的，本實施形態 3 是半導體層 EP2 的側面不傾斜，閘極電極的一部分（兩端部）會乘坐於半導體層 EP2 的上面。

並且，上述實施形態 1 是在 SOI 基板 SUB 上，以能夠覆蓋半導體層 EP1 的方式形成有絕緣膜 IL1，閘極電極 GE 是被埋入絕緣膜 IL1 所形成的溝 TR 內。相對的，本實施形態 3 是在 SOI 基板 SUB 上，以能夠覆蓋半導體層 EP2，EP3 的方式形成有絕緣膜 IL1，閘極電極 GE 是被埋入絕緣膜 IL1 所形成的溝 TR1 內。並且，上述實施形態 1 是閘極絕緣膜 GI 會被形成於溝 TR 的側面上及底面上，閘極電極 GE 是隔著閘極絕緣膜 GI 來埋入溝 TR 內。相對的，本實施形態 3 是閘極絕緣膜 GI 會被形成於溝 TR1 的側面上及底面上，閘極電極 GE 是隔著閘極絕緣膜 GI 來埋入溝 TR1 內。

在如此的本實施形態 3 的半導體裝置中也基於與在上述實施形態 1 所說明者大致同樣的理由，因為可抑制源極或汲極用的半導體領域與通道領域之間的寄生電阻，所以可使半導體裝置的特性（電氣特性）提升。

亦即，在本實施形態的半導體裝置中也是閘極電極

GE 的端部（閘極長方向的兩端部）會乘坐於源極・汲極用的磊晶層（在此是半導體層 EP2）上。亦即，閘極電極 GE 的閘極長方向的端部會位於源極・汲極用的磊晶層（在此是半導體層 EP2）上。換言之，在 MISFET（以閘極電極 GE 作為閘極電極的 MISFET）的閘極長方向，閘極電極 GE 的端部會位於源極・汲極用的磊晶層（在此是半導體層 EP2）上。而且，此磊晶層（在此是半導體層 EP2）是被形成半導體層 SM1 的上面上，此磊晶層（在此是半導體層 EP2）的上面是處於比閘極電極 GE 的正下面的半導體層 SM1 的上面更高的位置。

因此，可使閘極電極 GE 確實地重疊於源極或汲極用的半導體領域（合併 n⁻型半導體領域 EX 及 n⁺型半導體領域 SD 者），可藉由此重疊來抑制源極或汲極用的半導體領域與通道領域之間的寄生電阻。並且，源極或汲極用的半導體領域（合併 n⁻型半導體領域 EX 及 n⁺型半導體領域 SD 者）與閘極電極 GE 的重疊部之半導體層的厚度是比半導體層 SM1 的厚度更增厚重疊部的半導體層 EP2 的厚度的部分，因此可更抑制寄生電阻。因此，可使具備 MISFET 的半導體裝置的特性（電氣特性）提升。並且，寄生電阻的值的偏差所造成每個 MISFET 的特性偏差也可抑制。因此，可使半導體裝置的性能提升。而且，在本實施形態 3 中也可使閘極電極 GE 乘坐於半導體層 EP2 的構造自我對準形成。

並且，在半導體層 EP2 的形成後，在虛擬閘極 GED

的側壁上形成側壁絕緣膜 SW4 之後，以此側壁絕緣膜 SW4 作為遮罩來進行離子注入，藉此形成 n^+ 型半導體領域 SD，但本實施形態 3 是藉由側壁絕緣膜 SW4a 及側壁絕緣膜 SW4b 來形成側壁絕緣膜 SW4。因此，側壁絕緣膜 SW4a，SW4b 的正下面的部分的半導體層 EP2，SM1 會成為 n^- 型半導體領域 EX。而且，在步驟 S13，除去側壁絕緣膜 SW4a，SW4b 之中，側壁絕緣膜 SW4a，使側壁絕緣膜 SW4b 殘留。因此，存在側壁絕緣膜 SW4a 的領域是形成有閘極電極 GE，但存在側壁絕緣膜 SW4b 的領域是未形成有閘極電極 GE。因此，藉由調整側壁絕緣膜 SW4a 與側壁絕緣膜 SW4b 的厚度的比，可不改變 n^- 型半導體領域 EX 的尺寸來將 n^- 型半導體領域 EX 與閘極電極 GE 的重疊量控制成所望的值。並且，在金屬矽化物層 SIL 與閘極電極 GE 之間，不僅閘極絕緣膜 GI，亦存在側壁絕緣膜 SW4a，因此可使閘極電極 GE 與金屬矽化物層 SIL 之間的耐壓提升。

並且，在上述實施形態 1 及後述的實施形態 4 中，亦可取代側壁絕緣膜 SW2，而適用本實施形態 3 的側壁絕緣膜 SW4，此情況，在上述步驟 S13 及後述的步驟 S13b 中，與本實施形態 3 的步驟 S13a 同樣，可除去側壁絕緣膜 SW4a 來使側壁絕緣膜 SW4b 殘留。

並且，在本實施形態 3 是將源極・汲極用的磊晶層形成半導體層 EP2 及半導體層 EP3 的 2 層。藉此，可取得以下的優點。

亦即，在本實施形態 3 是形成半導體層 EP2 之後，進行 n⁻型半導體領域 EX 形成用的離子注入，然後形成半導體層 EP3 之後，進行 n⁺型半導體領域 SD 形成用的離子注入。因此，對於半導體層 EP3 是進行 n⁺型半導體領域 SD 形成用的離子注入，但不進行 n⁻型半導體領域 EX 形成用的離子注入，所以相較於進行雙方的離子注入時，即使藉由離子注入而非晶形化進展，還是容易留下種結晶。因此，在步驟 S8 的活化退火時，藉由種結晶的存在，容易促進結晶化（單結晶化）。所以，可使源極・汲極領域更低電阻化，可謀求半導體裝置的性能更進一步提升。

（實施形態 4）

上述實施形態 1~3 是說明有關在 SOI 基板 SUB 形成 MISFET 的情況。本實施形態 4 是說明有關在半導體基板 SUB2 形成 MISFET 的情況。另外，本實施形態 4 是可解決上述第 1、第 3 及第 4 課題。

圖 66 及圖 67 是表示本實施形態 4 的半導體裝置的製造工程的工程流程圖。圖 68~圖 83 是本實施形態 4 的半導體裝置的製造工程中的要部剖面圖。

首先，如圖 68 所示般，準備具有例如 1~10Ωcm 程度的比電阻之 p 型的單結晶矽所構成的半導體基板（半導體晶圓）SUB2（圖 66 的步驟 S1b）。

其次，在半導體基板 SUB2 形成元件分離領域（未圖示）。元件分離領域是可例如在半導體基板 SUB2 的主面

藉由光微影技術及乾蝕刻技術等來形成元件分離溝，在此元件分離溝中利用成膜技術及 CMP 技術等來埋入絕緣膜而形成。在半導體基板 SUB2 中，藉由元件分離領域所規定的活性領域，如以下說明般形成有 MISFET。

其次，如圖 69 所示般，在形成 p 通道型 MISFET 的預定的領域之半導體基板 SUB2 形成 n 型阱 NW。n 型阱 NW 是可藉由在半導體基板 SUB2 離子注入 n 型雜質（例如砷）來形成。

其次，在半導體基板 SUB2 上形成虛擬閘極 GED（圖 66 的步驟 S2）。虛擬閘極 GED 是在半導體基板 SUB2 上（n 型阱 NW 上）形成，虛擬閘極 GED 的形成法及構成是與上述實施形態 1 同樣。

其次，如圖 70 所示般，在虛擬閘極 GED 的側壁上形成側壁絕緣膜 SW1 作為側壁膜（圖 66 的步驟 S3）。側壁絕緣膜 SW1 的構成及形成法是與上述實施形態 1 同樣，所以在此是其重複的說明省略。

其次，如圖 71 所示般，藉由單獨或組合進行異方性及等方性的乾蝕刻，可將半導體基板 SUB2（n 型阱 NW）蝕刻至所定的深度來形成溝（基板凹進部、基板後退部、凹部、低窪部）TR2（圖 66 的步驟 S21）。

在步驟 S21，虛擬閘極 GED 及側壁絕緣膜 SW1 是具有作為蝕刻遮罩的機能。因此，溝 TR2 是對於虛擬閘極 GED 的側壁上的側壁絕緣膜 SW1 自我整合形成。但，在進行等方性的乾蝕刻時，溝 TR2 是被形成與側壁絕緣膜

SW1 或虛擬閘極 GED 若干重疊。在溝 TR2 的底部及側壁是 Si 基板領域（構成 n 型阱 NW 的部分的半導體基板 SUB2）會露出。溝 TR2 的深度是例如可設為 20~40nm 程度。

其次，如圖 72 所示般，在半導體基板 SUB2 的溝 TR2 內使矽鍺層（SiGe 層、矽鍺領域、磊晶矽鍺層）EP4 磊晶成長，作為半導體層（圖 66 的步驟 S4c）。

矽鍺層 EP4 是藉由磊晶成長所形成的磊晶層（磊晶半導體層），由矽鍺（單結晶矽鍺）所構成。矽鍺層 EP4 是在從半導體基板 SUB2 的溝 TR2 露出的 Si 基板領域上選擇性地磊晶成長，在側壁絕緣膜 SW1 上或氮化矽膜 SN1 上是未被形成。並且，如在上述實施形態 1 所說明過般，虛擬閘極 GED 的多晶矽膜 PL1 是以氮化矽膜 SN1 及側壁絕緣膜 SW1 所覆蓋，因此磊晶層是未被形成於多晶矽膜 PL1 上。

並且，矽鍺層 EP4 是填埋溝 TR2 內，以矽鍺層 EP4 比半導體基板 SUB2 的主面（未形成有溝 TR2 的部分的半導體基板 SUB2 的上面）更隆起的方式形成為理想。此情況，在步驟 S4c 所形成的矽鍺層 EP4 的上面是形成比虛擬閘極 GED 的正下面的半導體基板 SUB2 的上面更高的位置。例如，以矽鍺層 EP4 的上面比半導體基板 SUB2 的主面更高 10~40nm 程度的方式形成矽鍺層 EP4。

並且，以矽鍺層 EP4 的上面能夠比半導體基板 SUB2 的主面更高的方式形成矽鍺層 EP4，但以比半導體基板

SUB2 的主面更高的部分的矽鍺層 EP4 的側面 SF2 能夠具有斜度的方式使矽鍺層 EP4 磊晶成長為理想。亦即，對於半導體基板 SUB2 的主面，比半導體基板 SUB2 的主面更高的部分的矽鍺層 EP4 的側面 SF2 傾斜為理想。亦即，以隨遠離虛擬閘極 GED，矽鍺層 EP4 的厚度變厚的方式，矽鍺層 EP4 的側面 SF2 傾斜為理想。比半導體基板 SUB2 的主面更高的部分的矽鍺層 EP4 的側面 SF2 的斜度是可藉由調整矽鍺層 EP4 的成膜用氣體的組成或成膜溫度等來控制。

並且，矽鍺層 EP4 是在磊晶成長時，導入摻雜氣體，藉此設為導入導電型的雜質之矽鍺層 EP4 為理想。在形成 p 通道型 MISFET 時，是設為導入 p 型的雜質之 p 型的矽鍺層 EP4 為理想。此情況，源極・汲極領域形成用的離子注入工程是亦可不進行。

並且，作為使磊晶成長於半導體基板 SUB2 的溝 TR2 之半導體層，矽鍺層為適合。藉由使用矽鍺，例如可控制作用於通道的應力。

亦即，如此的技術，一般是稱為利用 1 軸性應力的應變 Si 電晶體。在本實施形態 4 的 p 通道型 MISFET 的通道領域是藉由形成於源極及汲極領域的矽鍺層 EP4 來產生壓縮應力。通道領域的 Si 原子間的距離會藉由此壓縮應力而縮短，藉此可使流動於源極及汲極間的載流子（電洞）的移動度提升。因此，可使流動於源極及汲極間的電流增加。另外，在本實施形態 4 中，產生於通道領域的應

力的值是成為 -1.3GP 以上，與通道無應變時作比較，電流是增加 10%以上。

另外，在本實施形態 4 中，主要是顯示 p 通道型 MISFET，但在 n 通道型 MISFET 實施時是取代 SiGe（矽鍺）而使用 SiC（碳化矽、矽碳化物）。亦即，n 通道型 MISFET 時是取代矽鍺層 EP4，而使用 SiC 層。此情況，在 n 通道型 MISFET 的通道領域是藉由形成於源極及汲極領域的 SiC 層來產生拉伸應力。通道領域的 Si 原子間的距離會藉由此拉伸應力而擴大，藉此可使流動於源極及汲極間的載流子（電子）的移動度提升。因此，可使流動於源極及汲極間的電流增加。另外，此時，在通道領域產生的應力的值是成為 $+1.3\text{GP}$ 以上，與通道無應變時作比較，電流是增加 10%以上。

並且，上述的 SiGe 層或 SiC 層是以磊晶成長所形成，藉此可使產生強的應力。亦即，單純地使 Si 層磊晶成長，然後離子注入 Ge 或 C 的情況是無法使產生強的應力。

並且，在本實施形態 4 中，p 通道型 MISFET 及 n 通道型 MISFET 之中，亦可只在 p 通道型 MISFET 使用上述 SiGe 層，或亦可只在 n 通道型 MISFET 使用上述 SiC 層，或亦可在 p 通道型 MISFET 使用上述 SiGe 層，且在 n 通道型 MISFET 使用上述 SiC 層。

其次，如圖 73 所示般，在虛擬閘極 GED 的側壁上形成側壁絕緣膜 SW2 作為側壁膜（圖 66 的步驟 S6）。側壁

絕緣膜 SW2 的構成及形成法是基本上與上述實施形態 1 相同。但，在上述實施形態 1 中，側壁絕緣膜 SW2 的底面是接觸於半導體層 EP1，相對的，在本實施形態 4 中，側壁絕緣膜 SW2 的底面是接觸於矽鍺層 EP4。

亦即，就本實施形態 4 而言，側壁絕緣膜 SW2 是隔著側壁絕緣膜 SW1 來與虛擬閘極 GED 的側壁鄰接，且被形成於矽鍺層 EP4 上（具體而言是矽鍺層 EP4 的傾斜的側面 SF2 上）。亦即，側壁絕緣膜 SW2 的底面會接觸於矽鍺層 EP4（具體而言是矽鍺層 EP4 的傾斜的側面 SF2），側壁絕緣膜 SW2 的內壁（與虛擬閘極 GED 對向的側的側面）會接觸於虛擬閘極 GED 的側壁上的側壁絕緣膜 SW1。

其次，進行用以使導入至矽鍺層 EP4 等的雜質活化的熱處理之活化退火（圖 66 的步驟 S8）。

另外，在步驟 S6 形成側壁絕緣膜 SW2 之後且在後述的步驟 S10 形成金屬矽化物層 SIL 之前不進行離子注入時，亦可在步驟 S6 形成側壁絕緣膜 SW2 之前且在步驟 S4c 形成矽鍺層 EP4 之後進行步驟 S8 的活化退火。

其次，如圖 74 所示般，藉由自對準多晶矽化物技術，在矽鍺層 EP4 的表面（上層部）形成金屬矽化物層 SIL（圖 67 的步驟 S10）。

步驟 S10 的金屬矽化物層 SIL 形成工程，基本上本實施形態 4 也與上述實施形態 1 相同，但上述實施形態 1 主要是在半導體層 EP1 形成有金屬矽化物層 SIL，本實施形

態 4 是在矽鍺層 EP4 形成有金屬矽化物層 SIL。並且，與上述實施形態 1 同樣，在虛擬閘極 GED 的多晶矽膜 PL1 上是形成有氮化矽膜 SN1，因此在虛擬閘極 GED 的多晶矽膜 PL1 的表面是未被形成金屬矽化物層。

其次，如圖 75 所示般，與上述實施形態 1 同樣，在半導體基板 SUB2 的主面（主面全面）上形成絕緣膜 IL1（圖 67 的步驟 S11）。亦即，以能夠覆蓋虛擬閘極 GED 及側壁絕緣膜 SW1，SW2 的方式，在半導體基板 SUB2 的主面上形成絕緣膜 IL1。有關絕緣膜 IL1 是在上述實施形態 1 說明過，所以在此其重複的說明省略。

其次，如圖 76 所示般，與上述實施形態 1 同樣，藉由 CMP 法來研磨絕緣膜 IL1 的表面（上面），藉此使虛擬閘極 GED 的上面（亦即氮化矽膜 SN1 的上面）露出（圖 67 的步驟 S12）。

其次，如圖 77 所示般，藉由蝕刻來除去虛擬閘極 GED 及側壁絕緣膜 SW1，SW2（圖 67 的步驟 S13b）。

在此步驟 S13b 除去虛擬閘極 GED 及側壁絕緣膜 SW1，SW2，藉此形成溝（凹部、開口部、低窪部）TR3。溝 TR3 是至虛擬閘極 GED 及側壁絕緣膜 SW1，SW2 的除去前，由存在虛擬閘極 GED 及側壁絕緣膜 SW1，SW2 的領域（空間）所構成。從溝 TR3 露出半導體基板 SUB2（的上面）、及矽鍺層 EP4（的傾斜的側面 SF2）、以及絕緣膜 IL1 的氮化矽膜 SN3 的內面。

溝 TR3 的底面是藉由半導體層 SM1 的上面、及矽鍺

層 EP4 的傾斜的側面 SF2 所形成。溝 TR3 的側面（側壁）是藉由氮化矽膜 SN3 的內面所形成。可將從溝 TR3 露出的半導體基板 SUB2 的上面到矽鍺層 EP4 的傾斜的側面 SF2 為止視為溝 TR3 的底面。溝 TR3 的上部是被開放。在此，氮化矽膜 SN3 的內面是對應於與接觸於絕緣膜 SO3 的側相反側的面。

步驟 S13b 的蝕刻是藉由其次的 3 階段（第 1 階段、第 2 階段及第 3 階段，參照圖 78~圖 80）的蝕刻來進行為理想。

首先，步驟 S13b 的蝕刻的第 1 階段，如圖 78 所示般，除去虛擬閘極 GED 的氮化矽膜 SN1，此第 1 階段的蝕刻是在本實施形態 4 中也與上述實施形態 1（上述步驟 S13 的第 1 階段的蝕刻）同樣。藉由第 1 階段的蝕刻來除去氮化矽膜 SN1，而露出多晶矽膜 PL1。

其次，步驟 S13b 的蝕刻的第 2 階段，如圖 79 所示般，除去虛擬閘極 GED 的多晶矽膜 PL1，此第 2 階段的蝕刻是在本實施形態 4 中也與上述實施形態 1（上述步驟 S13 的第 2 階段的蝕刻）同樣。藉由第 2 階段的蝕刻來除去多晶矽膜 PL1，而露出側壁絕緣膜 SW1 及絕緣膜 GID。

步驟 S13b 的蝕刻的第 3 階段是基本上與上述實施形態 1 同樣，可如其次般進行。

亦即，在本實施形態 4 中，步驟 S13b 的蝕刻工程是在第 2 階段的蝕刻除去多晶矽膜 PL1 之後，改變蝕刻條

件，藉由第 3 階段的蝕刻，如圖 80 所示般，除去側壁絕緣膜 SW1，SW2 及絕緣膜 GID。此第 3 階段的蝕刻是以側壁絕緣膜 SW1，SW2 及絕緣膜 GID 的蝕刻速度形成比半導體基板 SUB2（n 型阱 NW）及矽鍺層 EP4 的蝕刻速度更快那樣的蝕刻條件，選擇性地蝕刻側壁絕緣膜 SW1，SW2 及絕緣膜 GID 為理想。藉此，在第 3 階段的蝕刻，可抑制或防止半導體基板 SUB2（n 型阱 NW）及矽鍺層 EP4 被蝕刻。

只要藉由同材料（在此是氧化矽）來形成側壁絕緣膜 SW1 及側壁絕緣膜 SW2，便可以同蝕刻工程連續地蝕刻側壁絕緣膜 SW1 及側壁絕緣膜 SW2。又，只要藉由同材料（在此是氧化矽）來形成絕緣膜 GID 及側壁絕緣膜 SW1，SW2，便可以同蝕刻工程來除去絕緣膜 GID。

並且，在第 3 階段的蝕刻是側壁絕緣膜 SW1，SW2 被除去，但使絕緣膜 IL1 的氮化矽膜 SN3 殘留為理想。為此，本實施形態 4 是藉由與絕緣膜 IL1 的氮化矽膜 SN3 相異的材料來形成側壁絕緣膜 SW2，以側壁絕緣膜 SW1，SW2（具體而言是氧化矽）的蝕刻速度形成比絕緣膜 IL1 的氮化矽膜 SN3、半導體基板 SUB2 及矽鍺層 EP4 的蝕刻速度更快那樣的蝕刻條件來進行第 3 階段的蝕刻。在此，側壁絕緣膜 SW1，SW2 是藉由氧化矽所形成，因此容易確保側壁絕緣膜 SW1，SW2 與絕緣膜 IL1 的氮化矽膜 SN3 的高蝕刻選擇比。亦即，在第 3 階段的蝕刻是蝕刻側

壁絕緣膜 SW1，SW2，且可使絕緣膜 IL1 的氮化矽膜 SN3 具有作為蝕刻阻擋的機能。又，由於側壁絕緣膜 SW1，SW2 是藉由氧化矽所形成，因此亦容易確保側壁絕緣膜 SW1，SW2 與半導體基板 SUB2 及矽鍺層 EP4 的高蝕刻選擇比。

藉由步驟 S13b 的上述 3 階段（第 1 階段、第 2 階段及第 3 階段）的蝕刻來除去虛擬閘極 GED 及側壁絕緣膜 SW1，SW2，藉此如圖 77 及圖 80 所示般，形成有溝 TR3。

並且，在本實施形態 4 中也是與上述實施形態 1 同樣，進行上述步驟 S9，在虛擬閘極 GED 的側壁上隔著側壁絕緣膜 SW1，SW2 來形成上述側壁絕緣膜 SW3 之後，亦可在步驟 S10 形成金屬矽化物層 SIL。此情況，與上述實施形態 1 同樣，在本實施形態 4 中也是在步驟 S13 使側壁絕緣膜 SW3 殘留為理想，溝 TR3 的側面（側壁）是藉由側壁絕緣膜 SW3 的內壁所形成。

並且，在本實施形態 4 中也與上述實施形態 2 同樣，亦可藉由氮化矽來形成側壁絕緣膜 SW1，SW2，此情況，步驟 S13b 的蝕刻是可與上述實施形態 2 的步驟 S13 同樣進行。

其次，與上述實施形態 1 同樣，如圖 81 所示般，在包含溝 TR3 的底面及側面（側壁）上之半導體基板 SUB2 的主面（主面全面）上，亦即在包含溝 TR1 的底部及側壁上之絕緣膜 IL1 上形成閘極絕緣膜用的絕緣膜 GIa（圖

67 的步驟 S14)。有關絕緣膜 GIa 是在上述實施形態 1 說明過，所以其重複的說明省略。另外，與上述實施形態 1 同樣，在形成絕緣膜 GIa 之前，亦可形成 1nm 以下的氧化矽膜，作為界面層。

其次，與上述實施形態 1 同樣，如圖 82 所示般，在半導體基板 SUB2 的主面上，亦即在絕緣膜 GIa 上，以能夠填埋溝 TR3 內的方式，形成閘極電極用的導電膜（導電體膜）CD（圖 67 的步驟 S15）。有關導電膜 CD 是在上述實施形態 1 說明過，所以其重複的說明省略。

其次，如圖 82 所示般，在溝 TR3 內留下導電膜 CD 及絕緣膜 GIa，藉由 CMP 法等來除去溝 TR3 的外部的導電膜 CD 及絕緣膜 GIa，而形成閘極電極 GE 及閘極絕緣膜 GI（圖 67 的步驟 S16）。有關步驟 S16 在本實施形態 4 也與上述實施形態 1 同樣，所以其重複的說明省略。步驟 S16 是在溝 TR1 內隔著閘極絕緣膜 GI 來形成閘極電極 GE 的工程。另外，與上述實施形態 1 同樣，亦可將閘極電極 GE 設為金屬膜與多晶矽膜的層疊構造，或使不同的金屬膜層疊的構造。

殘留於溝 TR3 內的導電膜 CD 會成為閘極電極 GE，殘留於溝 TR3 內的絕緣膜 GIa 會成為閘極絕緣膜 GI。而且，成為在閘極電極 GE 與半導體基板 SUB2 的上面之間、在閘極電極 GE 與矽鍺層 EP4 的傾斜的側面 SF2 之間、及在閘極電極 GE 與氮化矽膜 SN3（的內面）之間存在閘極絕緣膜 GI 的狀態。閘極電極 GE 及閘極絕緣膜 GI

是分別具有作為 MISFET 的閘極電極及閘極絕緣膜的機能。

在隔著閘極絕緣膜 GI (絕緣膜 GIa) 來位於閘極電極 GE 之下的半導體基板 SUB2 形成有 MISFET 的通道領域。並且，具有作為 MISFET 的源極或汲極之機能的半導體領域 (雜質擴散層) 是藉由矽鍺層 EP4 所形成。

如此形成 p 通道型的 MISFET。

本實施形態 4 是在步驟 S13b 與虛擬閘極 GED 一起除去形成於虛擬閘極 GED 的側壁上且位於矽鍺層 EP4 上的側壁絕緣膜 SW2，在除去的領域 (溝 TR3) 形成閘極電極 GE。因此，不僅虛擬閘極 GED 存在的領域，連側壁絕緣膜 SW2 存在的領域也可形成閘極電極 GE。因此，可將閘極電極 GE 的閘極長方向的尺寸形成比虛擬閘極 GED 的尺寸更大，閘極電極 GE 的一部分 (閘極長方向的兩端部側) 位於矽鍺層 EP4 上，亦即形成乘坐於矽鍺層 EP4 上。所以，閘極電極 GE 的閘極長方向的端部是形成位於矽鍺層 EP4 上。而且，矽鍺層 EP4 的一部分 (源極或汲極用的半導體領域的一部分) 是形成位於閘極電極 GE 的正下面。

以後的工程是與上述實施形態 1 大致同樣。亦即，如圖 83 所示般，與上述實施形態 1 同樣，形成上述絕緣膜 IL2，形成上述接觸孔 CNT，在接觸孔 CNT 內形成上述插塞 PG，形成上述絕緣膜 IL3，形成上述配線 M1。

圖 84 是本實施形態 4 的半導體裝置的要部剖面圖。

本實施形態 4 不是在 SOI 基板，而是在塊狀的半導體基板 SUB2 形成 MISFET。在此半導體基板 SUB2 上隔著閘極絕緣膜 GI 來形成閘極電極 GE。並且，在半導體基板 SUB2 形成有溝 TR2，在此溝 TR2 內形成有矽鍺層 EP4 作為源極・汲極用的磊晶層。

亦即，在半導體基板 SUB2 是形成有溝 TR2，在此溝 TR2 內埋入有源極・汲極用的磊晶層。被埋入此溝 TR2 內的源極・汲極用的磊晶層是在 p 通道型 MISFET 時為矽鍺層 EP4。如上述般，將本實施形態 4 適用於 n 通道型 MISFET 時，被埋入溝 TR2 內的源極・汲極用的磊晶層是 SiC 層。圖 84 是表示 p 通道型 MISFET 的情況，將本實施形態 4 適用於 n 通道型 MISFET 時，在圖 84 中，n 型阱 NW 取代成 p 型阱，矽鍺層 EP4 取代成 SiC 層。另外，MISFET 的通道領域是形成半導體基板 SUB2 的矽基板領域（p 通道型 MISFET 時是構成 n 型阱 NW 的單結晶 Si 領域（Si 基板領域），n 通道型 MISFET 時是構成 p 型阱的單結晶 Si 領域（Si 基板領域））。

矽鍺層 EP4 是被形成於閘極電極 GE 的兩側（閘極長方向的兩側），但閘極電極 GE 的閘極長方向的端部會位於矽鍺層 EP4 上。換言之，在 MISFET（以閘極電極 GE 作為閘極電極的 MISFET）的閘極長方向，閘極電極 GE 的端部會位於矽鍺層 EP4 上。亦即，閘極電極 GE 的端部（閘極長方向的兩端部）會乘坐於矽鍺層 EP4 上。

亦即，閘極電極 GE 的閘極長方向的中央部側是處於

未形成有矽鍺層 EP4 的部分的半導體基板 SUB2 上，但閘極電極 GE 的閘極長方向的兩端部側是乘坐於矽鍺層 EP4 上。亦即，閘極電極 GE 的中央部側（閘極長方向的中央部側）是未與矽鍺層 EP4 重疊（未重疊於半導體基板 SUB2 的厚度方向），但閘極電極 GE 的端部（閘極長方向的端部）是與矽鍺層 EP4 重疊（重疊於半導體基板 SUB2 的厚度方向）。換言之，在閘極電極 GE 的兩端部近旁（閘極長方向的兩端部近旁）的正下面是存在矽鍺層 EP4，在閘極電極 GE 的中央部側（閘極長方向的中央部側）的正下面是矽鍺層 EP4 不存在（Si 基板領域存在）。

而且，矽鍺層 EP4 是被形成（被埋入）於半導體基板 SUB2 的溝 TR2 內，矽鍺層 EP4 的上面是處於比閘極電極 GE 的正下面的半導體基板 SUB2 的上面更高的位置。在此，閘極電極 GE 的正下面的半導體基板 SUB2 的上面是對應於閘極電極 GE 之下的閘極絕緣膜 GI 所接觸的部分的半導體基板 SUB2 的表面（上面），在圖 84 中附上符號 UF2 來顯示為上面 UF2。

由於在矽鍺層 EP4 被導入 p 型雜質，因此矽鍺層 EP4 會成為具有作為源極或汲極的機能之半導體領域。閘極電極 GE 的下部的半導體基板 SUB2 會成為形成有 MISFET 的通道之領域（通道形成領域）。因此，源極或汲極用的半導體領域（在此是矽鍺層 EP4）的一部分會形成位於閘極電極 GE 的正下面。

另外，上述實施形態 1 是在 SOI 基板 SUB 上，以能夠覆蓋半導體層 EP1 的方式形成絕緣膜 IL1，閘極電極 GE 是被埋入絕緣膜 IL1 所形成的溝 TR 內。相對的，本實施形態 4 是在半導體基板 SUB2 上，以能夠覆蓋矽鍺層 EP4 的方式形成絕緣膜 IL1，閘極電極 GE 是被埋入絕緣膜 IL1 所形成的溝 TR3 內。並且，上述實施形態 1 是閘極絕緣膜 GI 會被形成於溝 TR 的側面上及底面上，閘極電極 GE 是隔著閘極絕緣膜 GI 來埋入溝 TR 內。相對的，本實施形態 4 是閘極絕緣膜 GI 會被形成於溝 TR3 的側面上及底面上，閘極電極 GE 是隔著閘極絕緣膜 GI 來埋入溝 TR3 內。

並且，在上述實施形態 1 是半導體層 EP1 的側面 SF1 會傾斜，閘極電極 GE 的閘極長方向的端部會位於此半導體層 EP1 的傾斜的側面 SF1 上。相對的，在本實施形態 4 是矽鍺層 EP4 的側面 SF2 會傾斜，閘極電極 GE 的閘極長方向的端部會位於此矽鍺層 EP4 的傾斜的側面 SF2 上。換言之，在 MISFET（以閘極電極 GE 作為閘極電極的 MISFET）的閘極長方向，矽鍺層 EP4 的側面（閘極電極 GE 側的側面）SF2 是傾斜，在 MISFET（以閘極電極 GE 作為閘極電極的 MISFET）的閘極長方向，閘極電極 GE 的端部會位於半導體層 EP1 的傾斜的側面 SF2 上。亦即，閘極電極 GE 的端部（閘極長方向的端部）會乘坐於矽鍺層 EP4 的傾斜的側面 SF2 上。

在如此的半導體裝置中，可取得其次那樣的效果。

亦即，在步驟 S4c 將矽鍺層 EP4 形成為摻雜導電型雜質（形成 p 通道型 MISFET 時是 p 型雜質）的磊晶層時，源極或汲極用的半導體領域（矽鍺層 EP4）與虛擬閘極 GED 的重疊是不易形成。因此，與本實施形態相異，不除去虛擬閘極 GED 的多晶矽膜 PL1 來作為半導體裝置的閘極電極使用時，源極或汲極用的半導體領域（矽鍺層 EP4）與閘極電極的重疊會不足，而有源極或汲極用的半導體領域與通道領域之間的寄生電阻變大之虞。

並且，本實施形態 4 的變形例也會有：在步驟 S4c 使矽鍺層 EP4 形成為不摻雜或低濃度摻雜的矽鍺層之後，進行與上述步驟 S5 同樣的 p⁻型半導體領域 EX 形成用的離子注入，然後，在步驟 S6 形成側壁絕緣膜 SW2 之後，進行與上述步驟 S7 同樣的 p⁺型半導體領域 SD 形成用的離子注入的情況。此情況，p⁻型半導體領域 EX 及 p⁺型半導體領域 SD 是主要形成於矽鍺層 EP4。然而，矽鍺層 EP4 的上面是處於比閘極電極 GE 的正下面的半導體基板 SUB2 的上面更高的位置，因此以離子注入來導入的 p 型雜質是難以擴散至虛擬閘極 GED 的正下面的領域，所以源極或汲極用的半導體領域與虛擬閘極 GED 的重疊是難形成。因此，與本實施形態相異，不除去虛擬閘極 GED 的多晶矽膜 PL1 來作為半導體裝置的閘極電極使用時，源極或汲極用的半導體領域（矽鍺層 EP4）與閘極電極的重疊會不足，而有源極或汲極用的半導體領域與通道領域之間的寄生電阻變大之虞。

相對的，本實施形態 4 是步驟 S13b 與虛擬閘極 GED 一起除去在矽鍺層 EP4 形成後形成於虛擬閘極 GED 的側壁上的側壁絕緣膜 SW2 之後，形成閘極電極 GE。藉此不僅形成有虛擬閘極 GED 的領域，連在未形成有側壁絕緣膜 SW2 的領域也形成有閘極電極 GE。

因此，閘極電極 GE 的端部（閘極長方向的兩端部）會乘坐於矽鍺層 EP4 上，閘極電極 GE 的閘極長方向的端部會位於矽鍺層 EP4 上。因此，可確實地確保源極或汲極用的半導體領域（矽鍺層 EP4）與閘極電極 GE 的重疊，可抑制源極或汲極用的半導體領域與通道領域之間的寄生電阻。亦即，在使矽鍺層 EP4 作為 p 型摻雜的磊晶層成長時、及像本實施形態 4 的上述變形例那樣，以離子注入來對矽鍺層 EP4 形成上述 p⁻型半導體領域 EX 及 p⁺型半導體領域 SD 時的雙方，可抑制寄生電阻。因此，可解決上述第 1 課題。

所以，可使具備 MISFET 的半導體裝置的特性（電氣特性）提升。並且，寄生電阻的值的偏差所造成每個 MISFET 的特性偏差也可抑制。因此，可使半導體裝置的性能提升。而且，在本實施形態 4 中也可使閘極電極 GE 乘坐於矽鍺層 EP4 的構造自我對準形成。

並且，在本實施形態 4 中也是矽鍺層 EP4 具有傾斜部（傾斜的側面 SF2），閘極絕緣膜 GI（絕緣膜 GIa）及閘極電極 GE 是沿著傾斜部（傾斜的側面 SF2）來形成。因此，在溝 TR3 內，容易均一地形成閘極絕緣膜 GI（絕緣

膜 GIa) 的膜厚。所以，可解除在上述第 3 課題所示那樣 MISFET 的耐壓降低的不良狀況。

並且，在本實施形態 4 中也是可使溝 TR3 的口徑形成比虛擬閘極 GED 的長度更大。因此，如圖 81 所示般確保長寬比（可縮小溝 TR3 的長寬比），所以在溝 TR3 內堆積成為閘極電極 GE 的導電膜 CD 時，也不易發生空孔。因此，可解除在上述第 4 課題所示那樣的不良狀況。

而且，在本實施形態 4 的 MISFET 中也因為閘極電極 GE 的上部的長度（比閘極電極 GE 的下部的長度更）長，所以可使閘極電極 GE 全體的體積增加，因此可謀求閘極電極 GE 的低電阻化。

以上，根據其實施形態來具體說明本發明者的發明，但本發明並非限於前述實施形態，當然可在不脫離其主旨的範圍實施各種的變更。

【符號說明】

BOX1：絕緣層

BR：勢壘導體膜

CD：導電膜

CNT：接觸孔

EG：端部

EG1，EG2，EG3，EG4：角部

EP1，EP2，EP3：半導體層

EP4：矽鍺層

EX : n⁻型半導體領域
GE , GE101 , GE102 : 閘極電極
GED : 虛擬閘極
GI , GI101 , GI102 : 閘極絕緣膜
GIa : 絕緣膜
GID : 絕緣膜
IL1 , IL2 , IL3 : 絕緣膜
IL101 : 層間絕緣膜
M1 : 配線
ME : 金屬膜
MC1 : 主導體膜
PG : 插塞
PL1 : 多晶矽膜
NW : n 型阱
SD : n⁺型半導體領域
SF1 , SF1a , SF2 : 側面
SIL : 金屬矽化物層
SM1 , SM2 : 半導體層
SN1 , SN2 , SN101 , SN103 : 氮化矽膜
SN3 : 襯墊膜
SO1 , SO2 , SO103 : 氧化矽膜
SO3 : 絕緣膜
SUB : SOI 基板
SUB1 : 基板

SUB2：半導體基板

SW1，SW1a，SW2，SW2a，SW3，SW4，SW4a，SW4b：

側壁絕緣膜

TR，TR1，TR2，TR3，TR101：溝

UF1，UF2：上面

WT：配線溝

I643264

發明摘要

※申請案號：106134079(由102113598分割)

※申請日：102年04月17日 ※IPC分類：

【發明名稱】(中文/英文)

半導體裝置及其製造方法

【中文】

半導體裝置是具有：

閘極電極 (GE)，其係於基板上隔著閘極絕緣膜 (GI) 形成；及

源極·汲極用的半導體層 (EP1)，其係形成於基板上。

半導體層 (EP1) 的上面是處於比閘極電極 (GE) 的正下面的基板的上面更高的位置。

而且，閘極電極 (GE) 的閘極長方向的端部是位於半導體層 (EP1) 上。

【英文】

圖式

圖 1

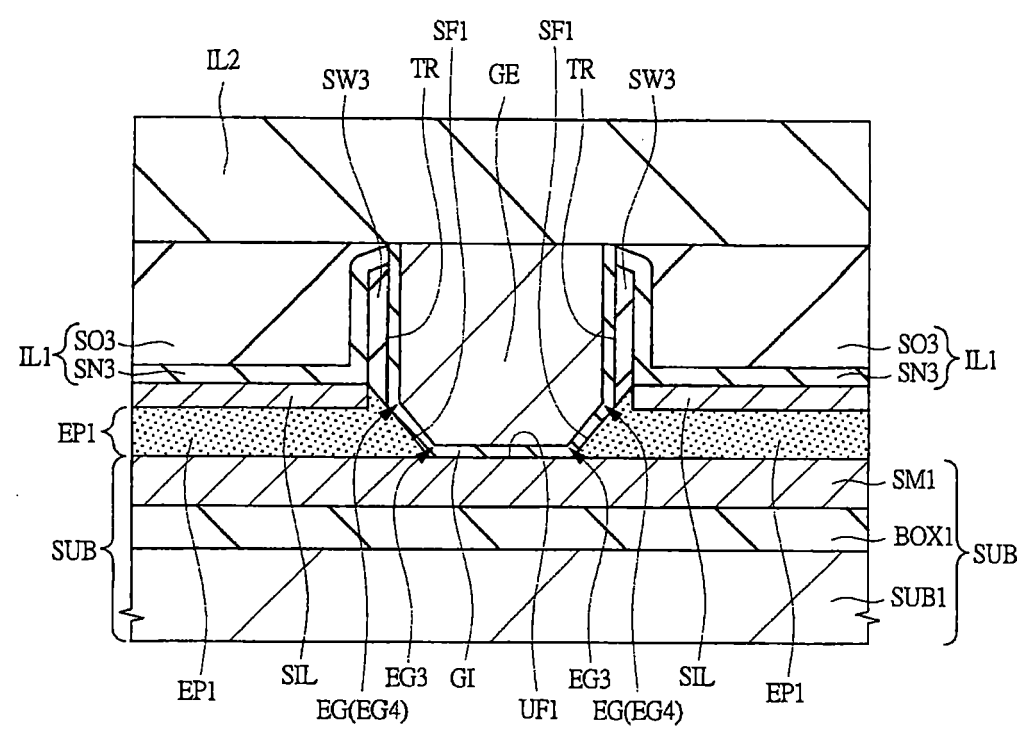


圖 2

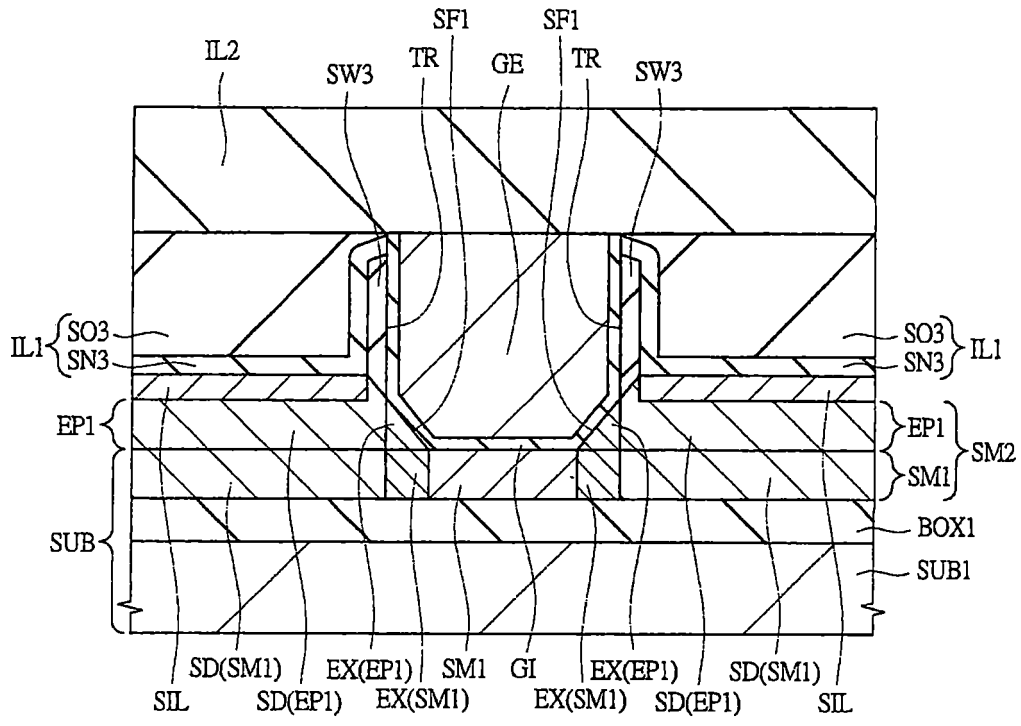


圖 3

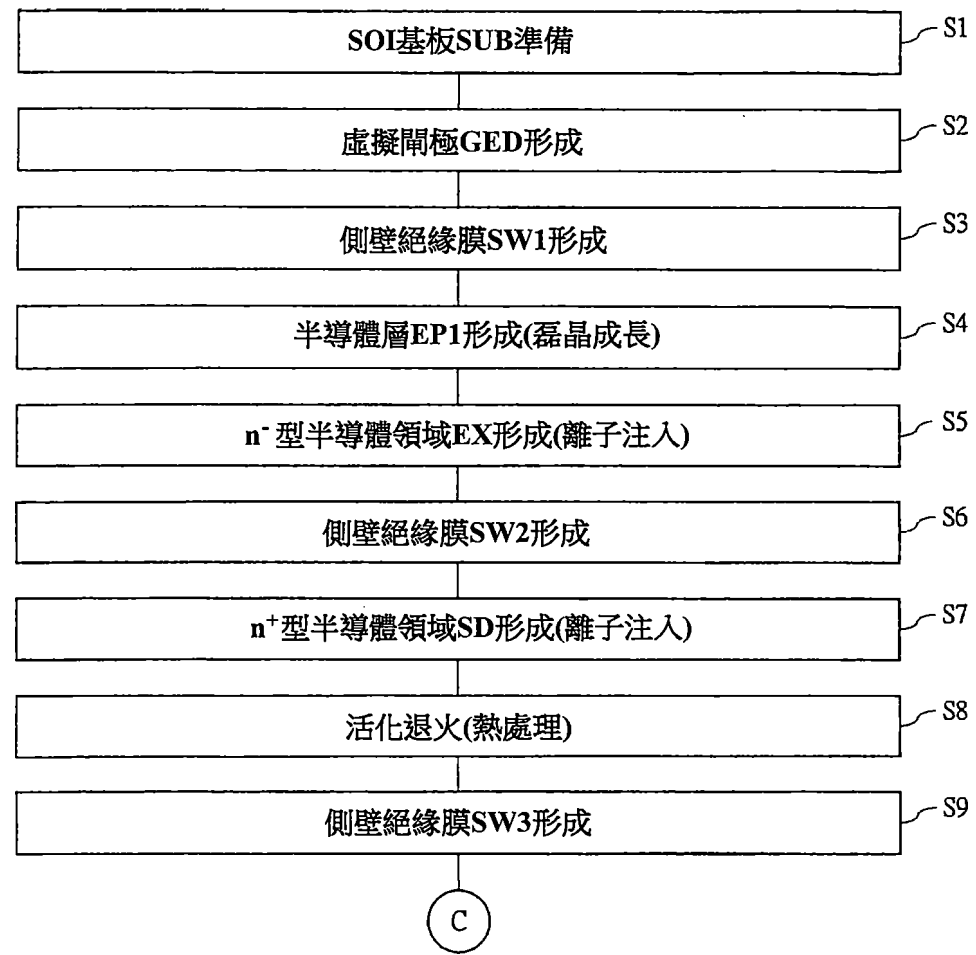


圖 4

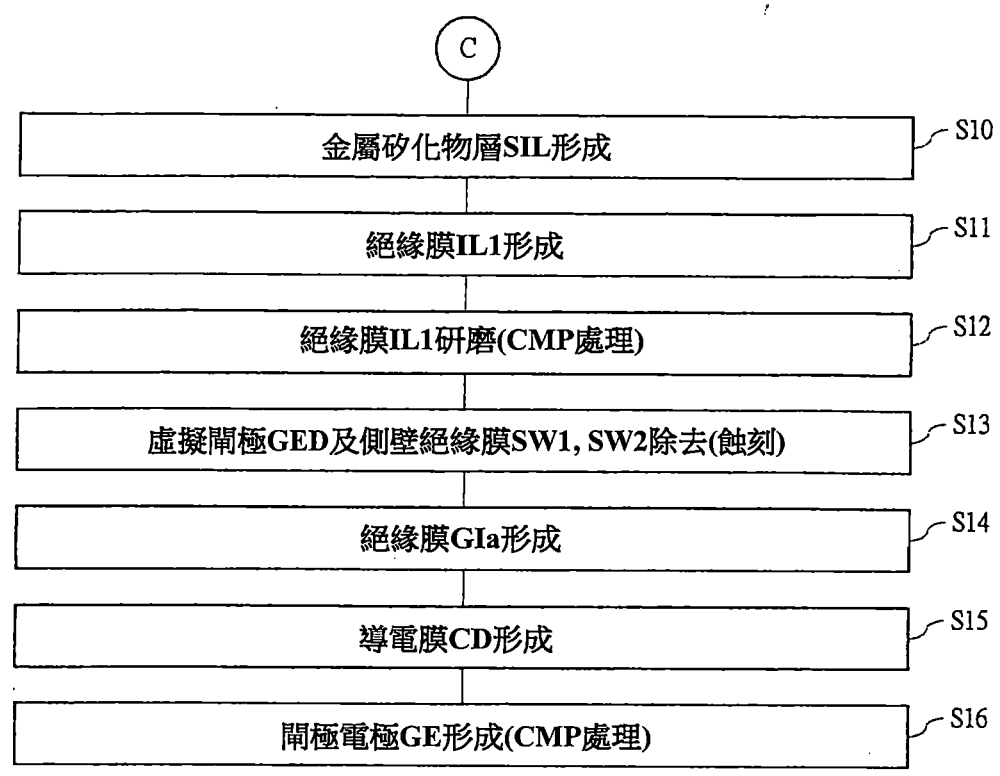


圖 5

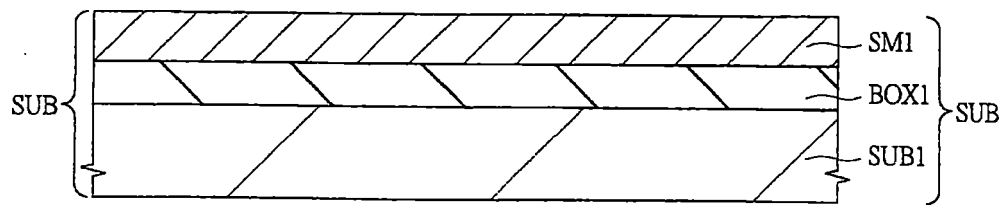


圖 6

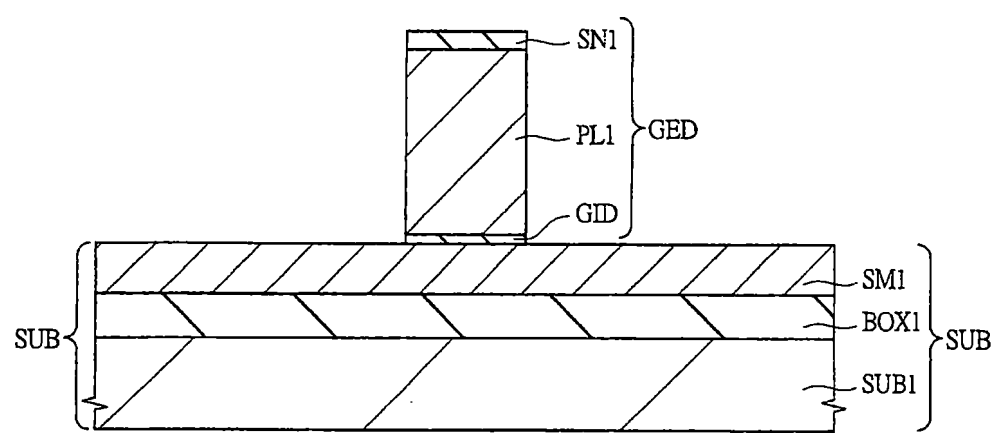


圖 7

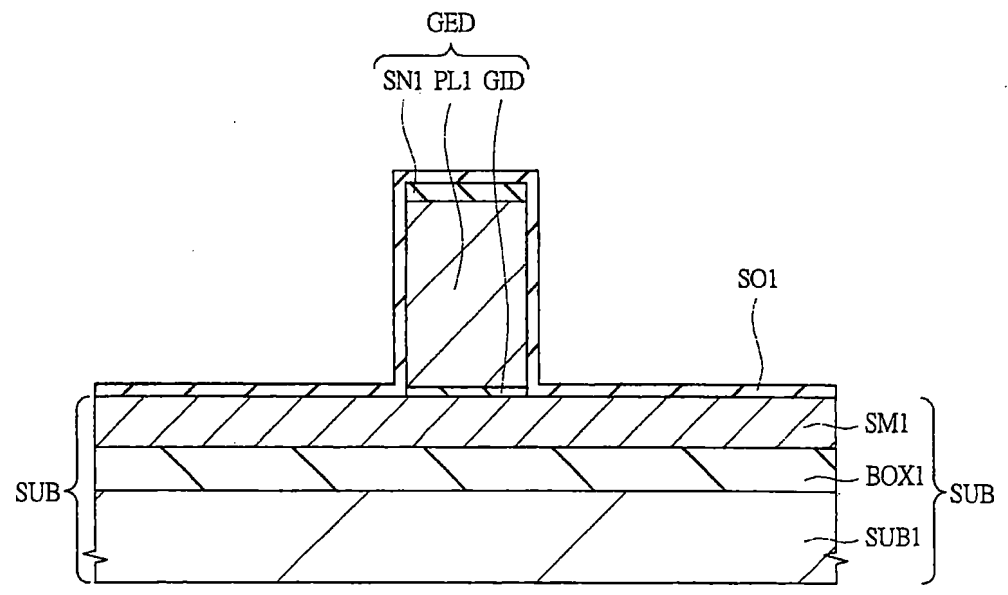


圖 8

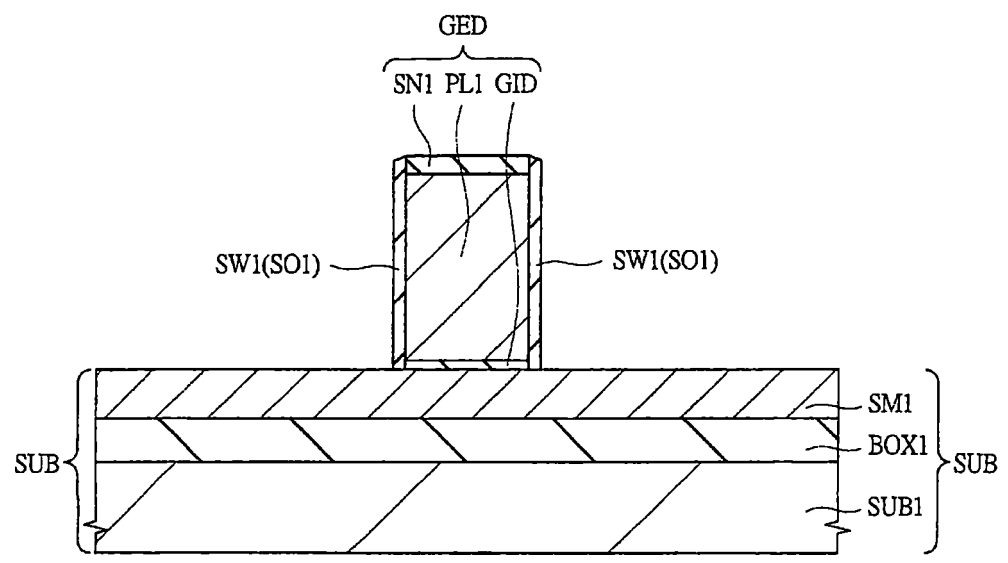


圖 9

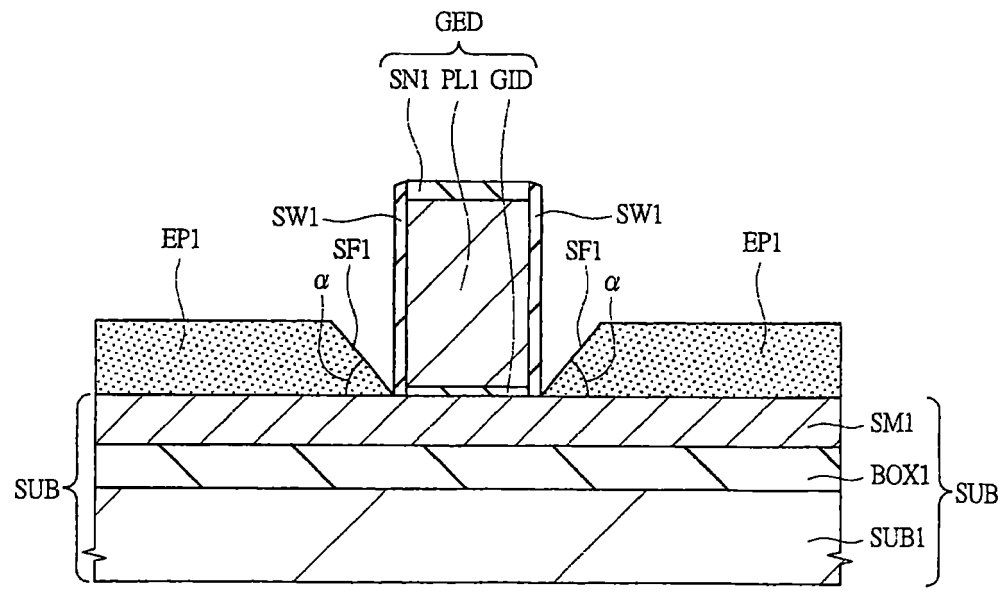


圖 10

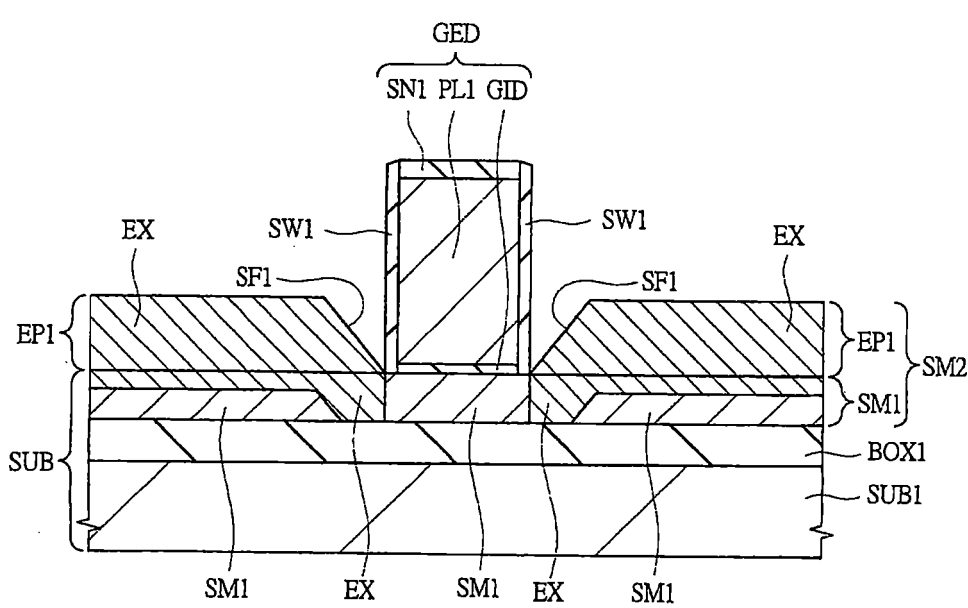


圖 11

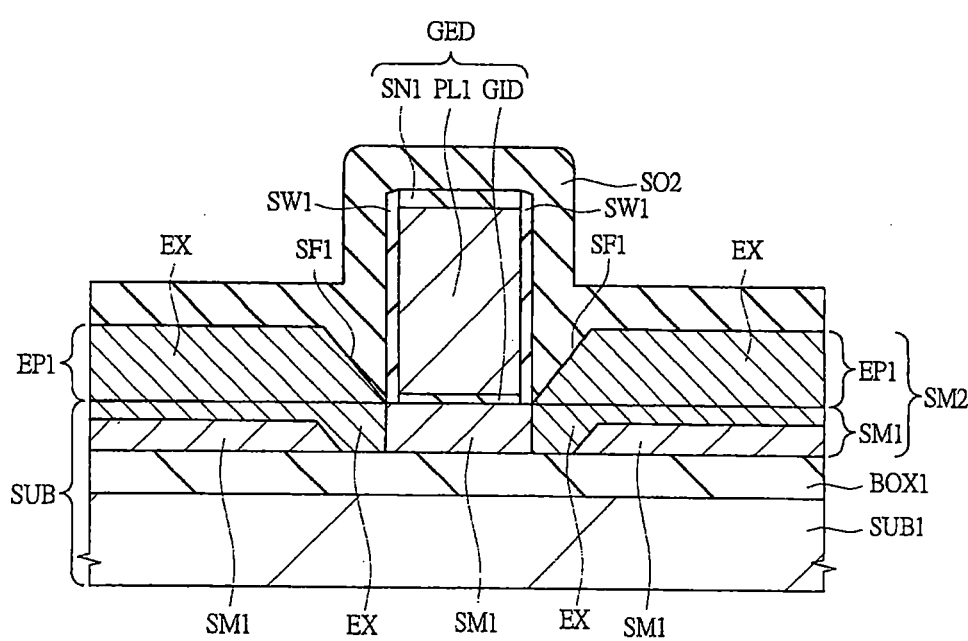


圖 12

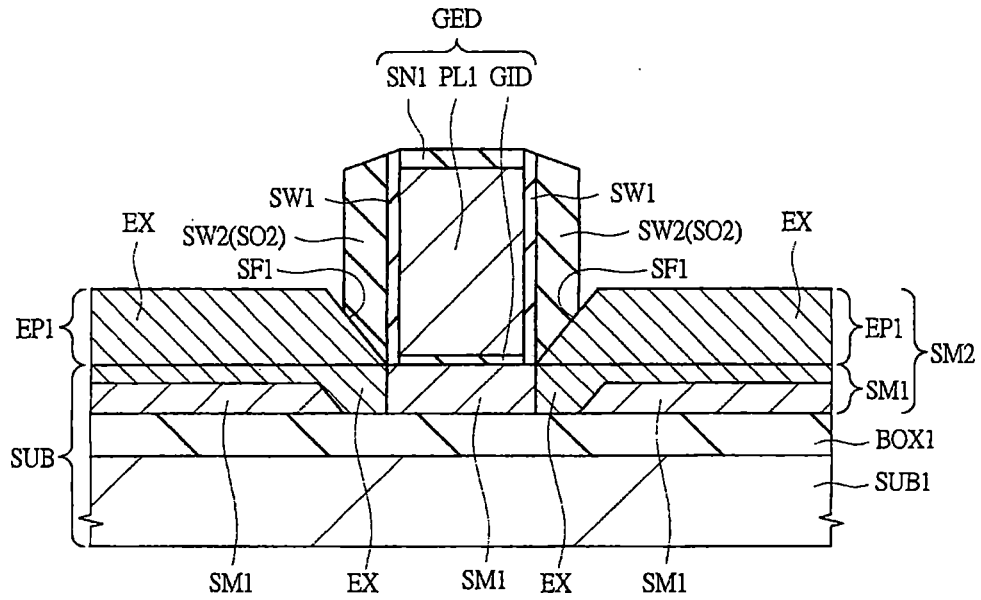


圖 13

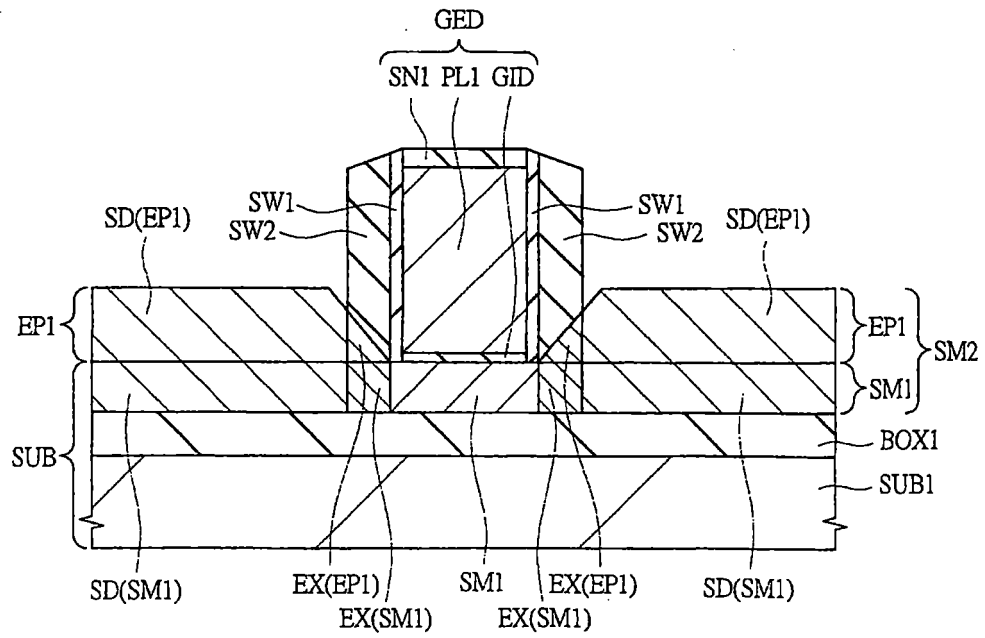


圖 14

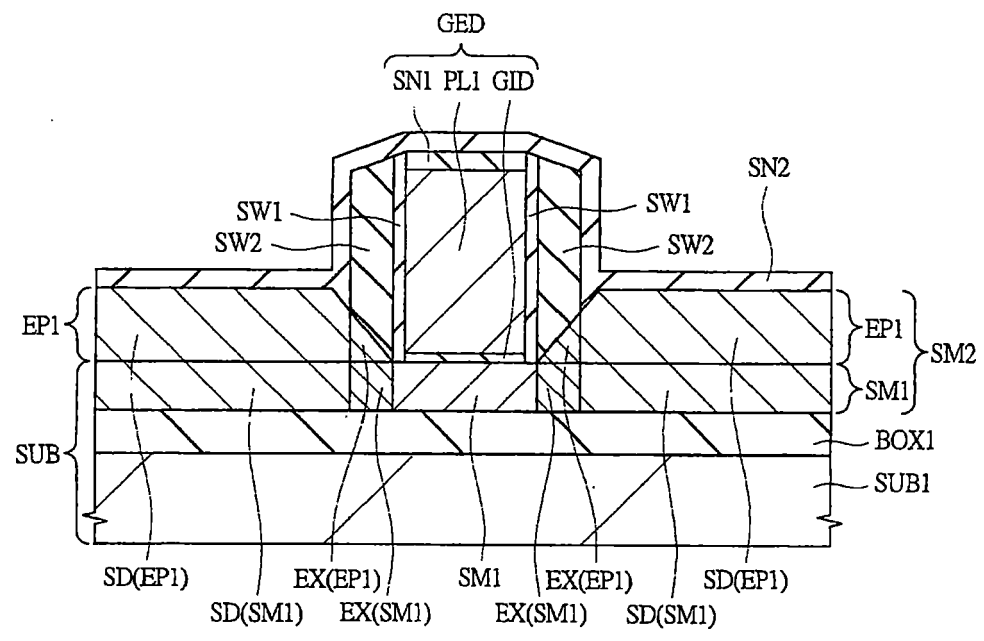


圖 15

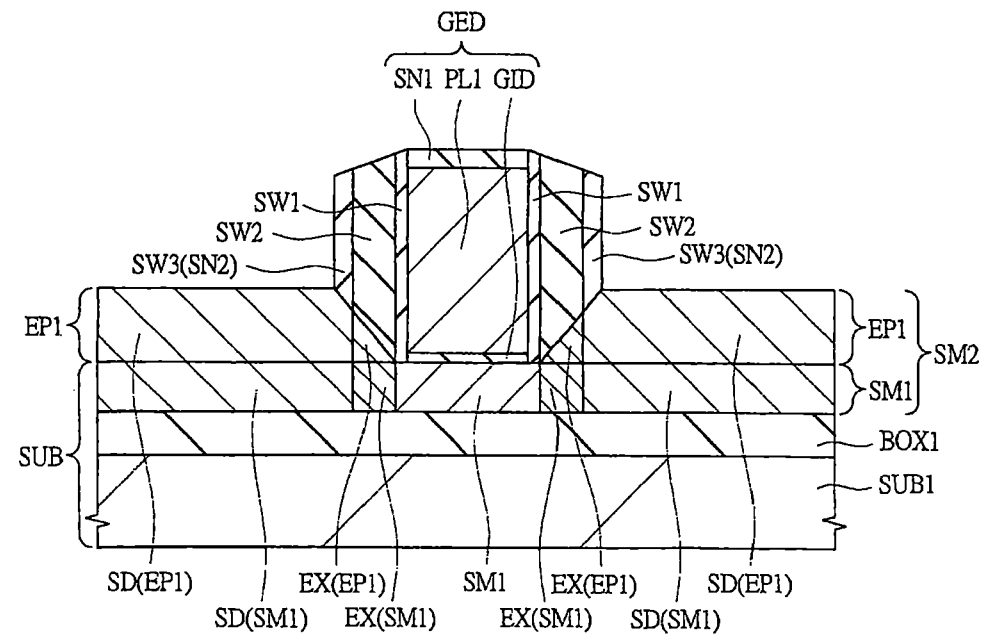


圖 16

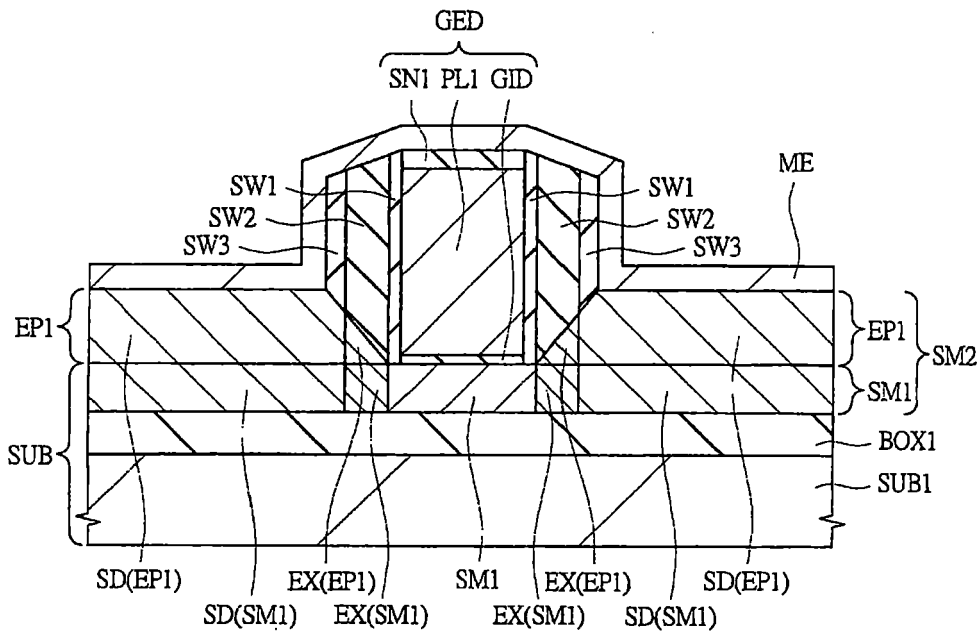


圖 17

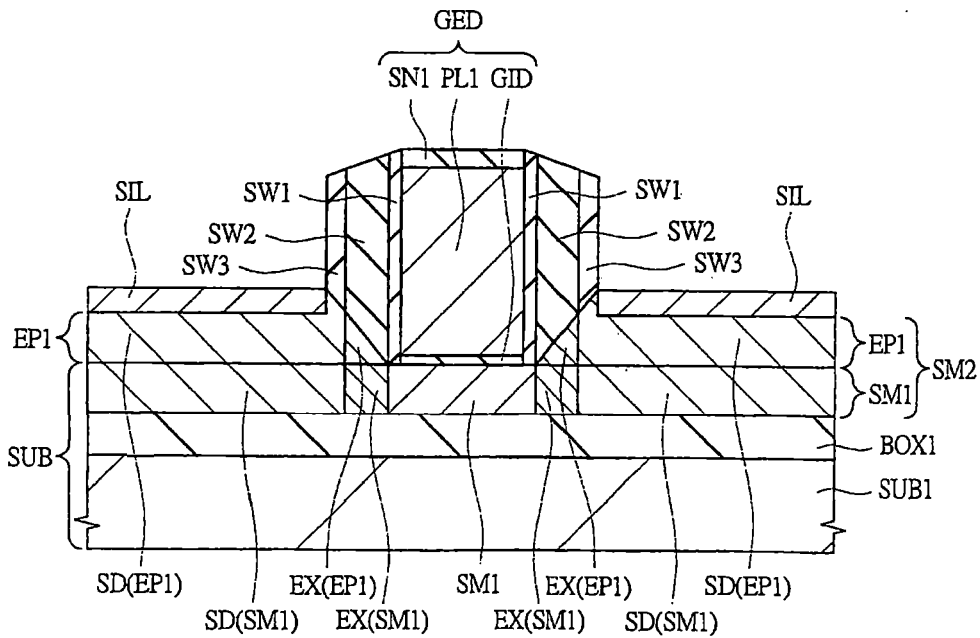


圖 18

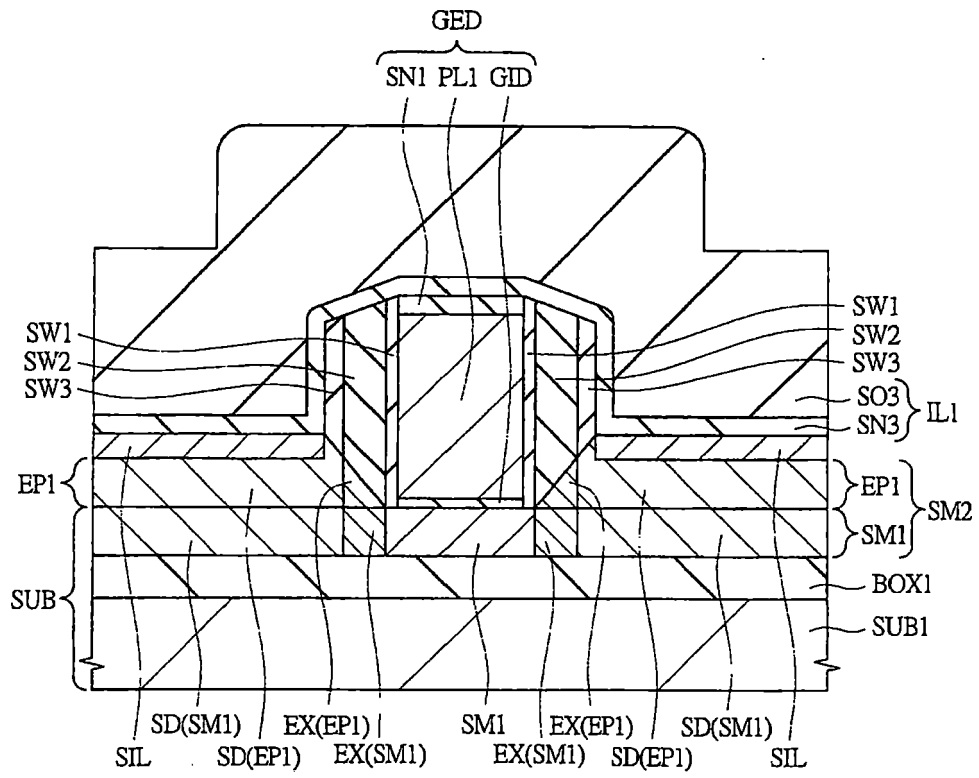


圖 19

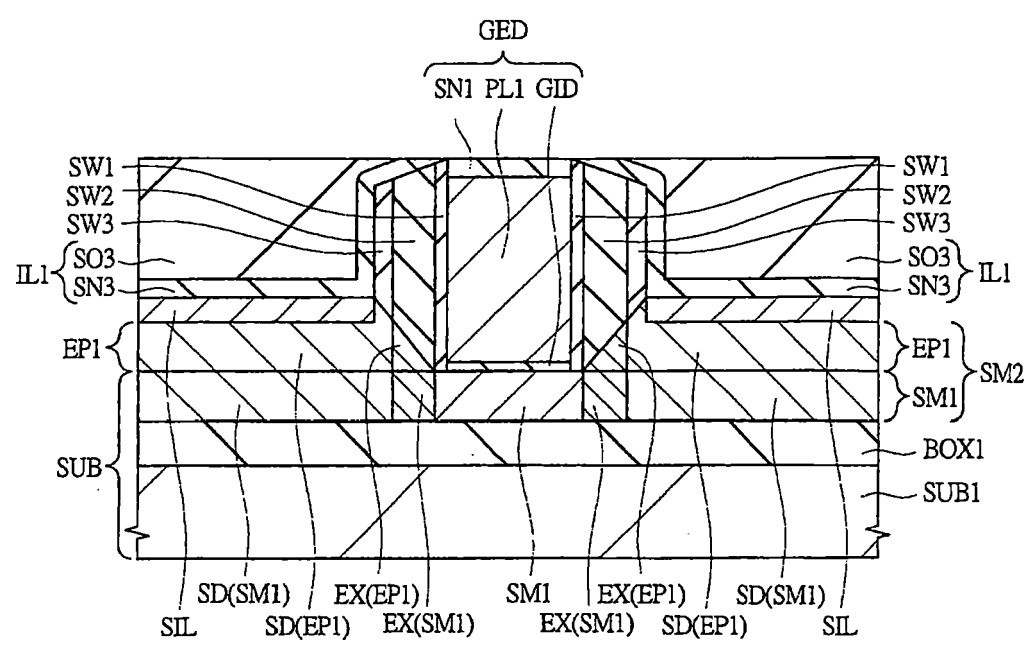


圖 20

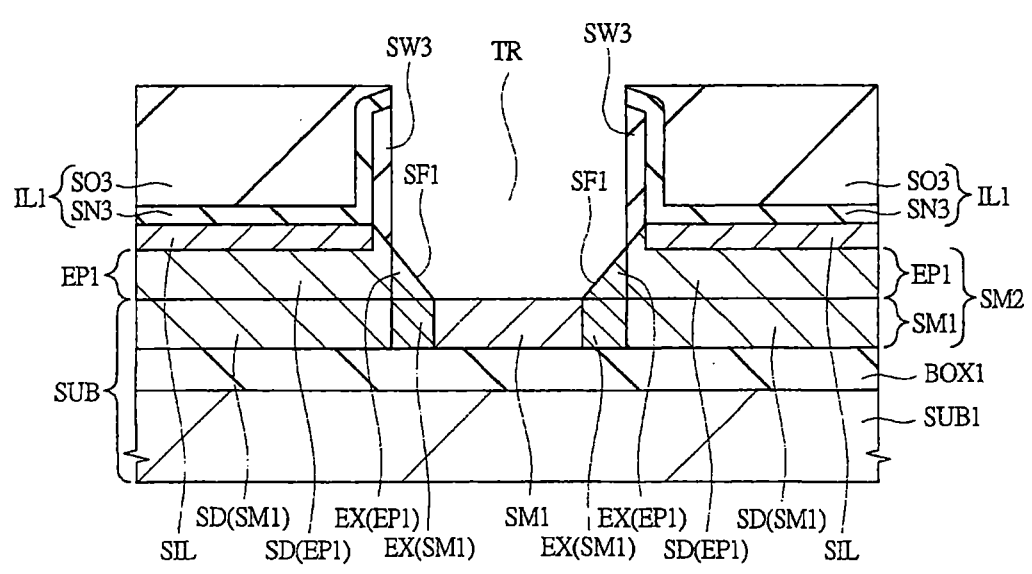


圖 21

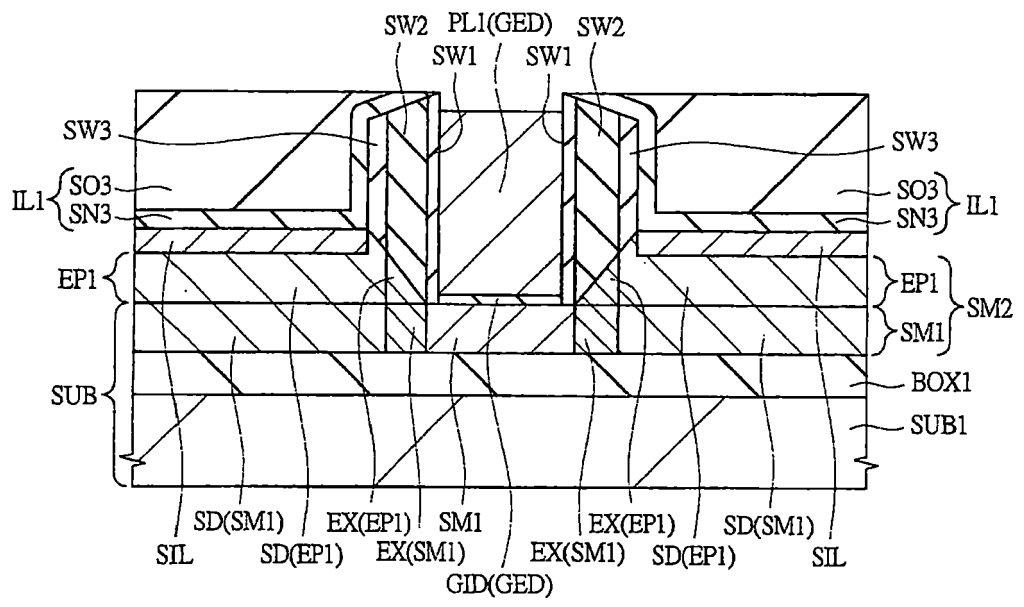


圖 22

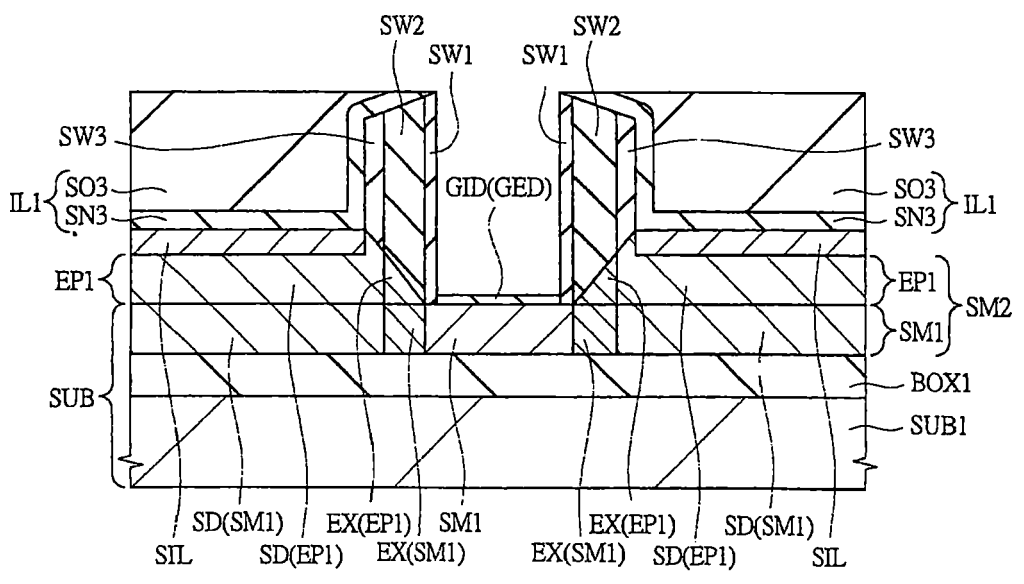


圖 23

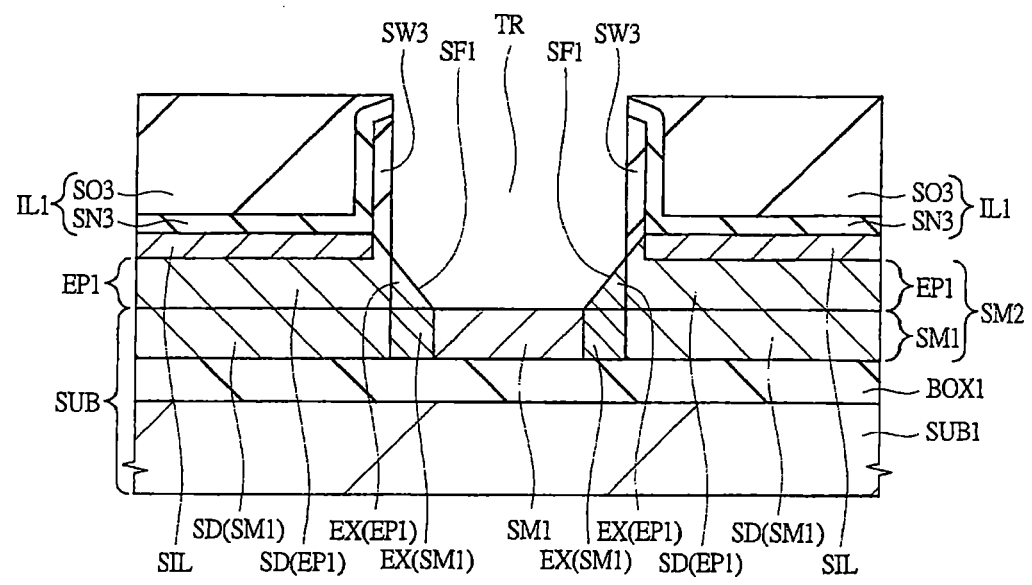


圖 24

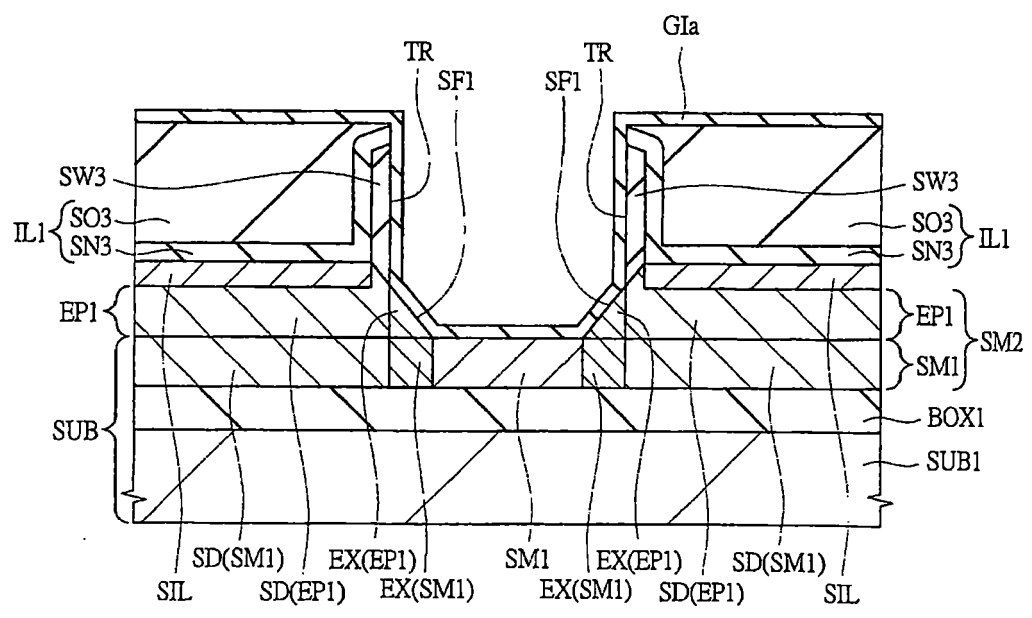


圖 25

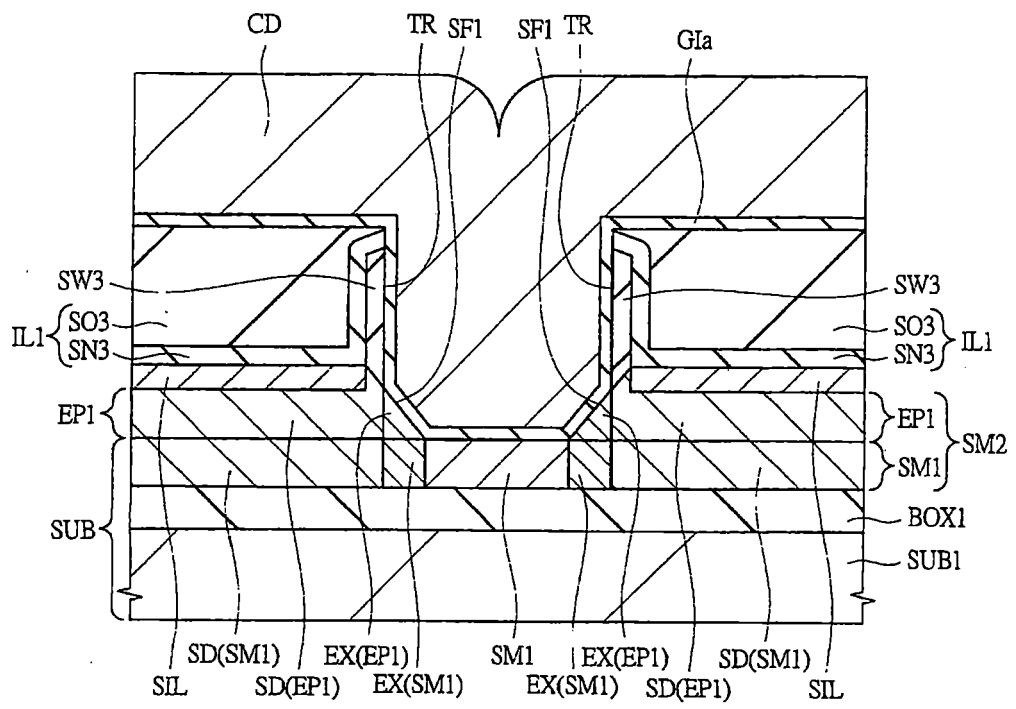


圖 26

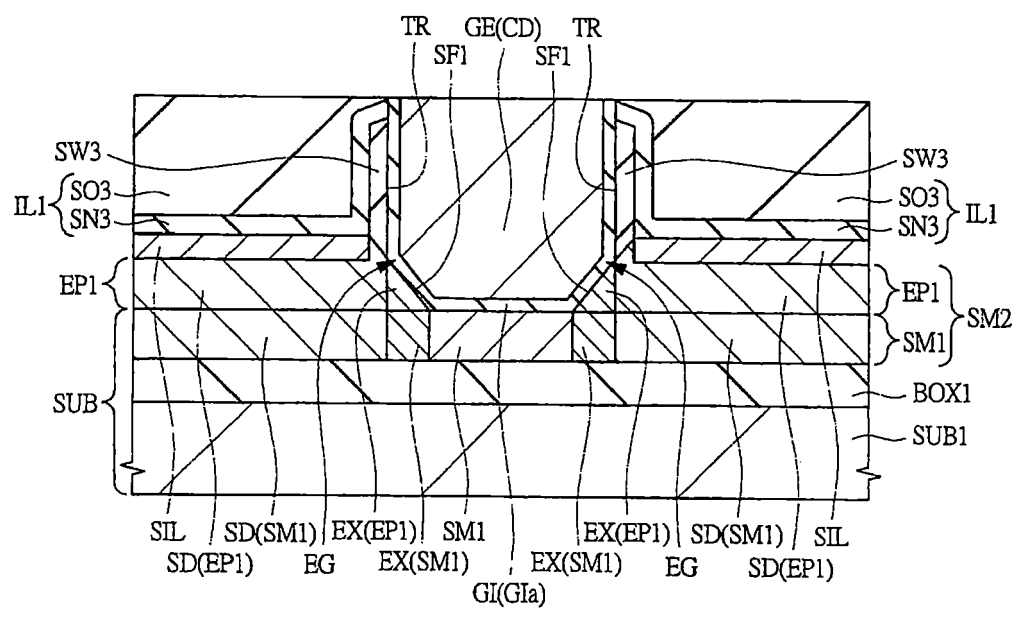


圖 27

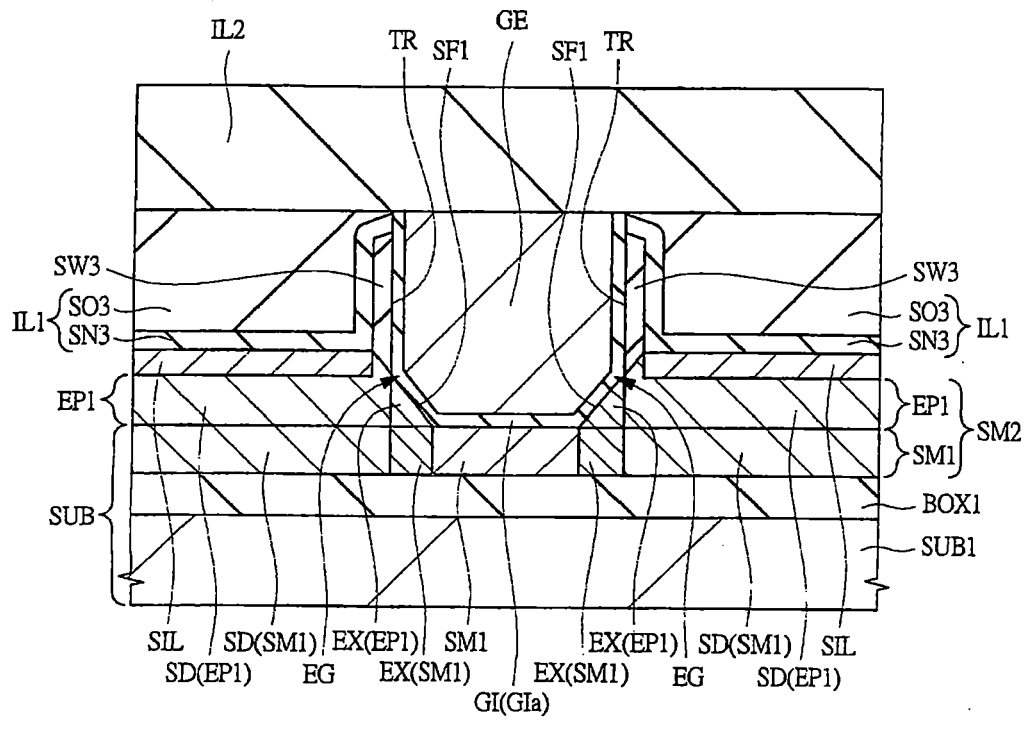


圖 28

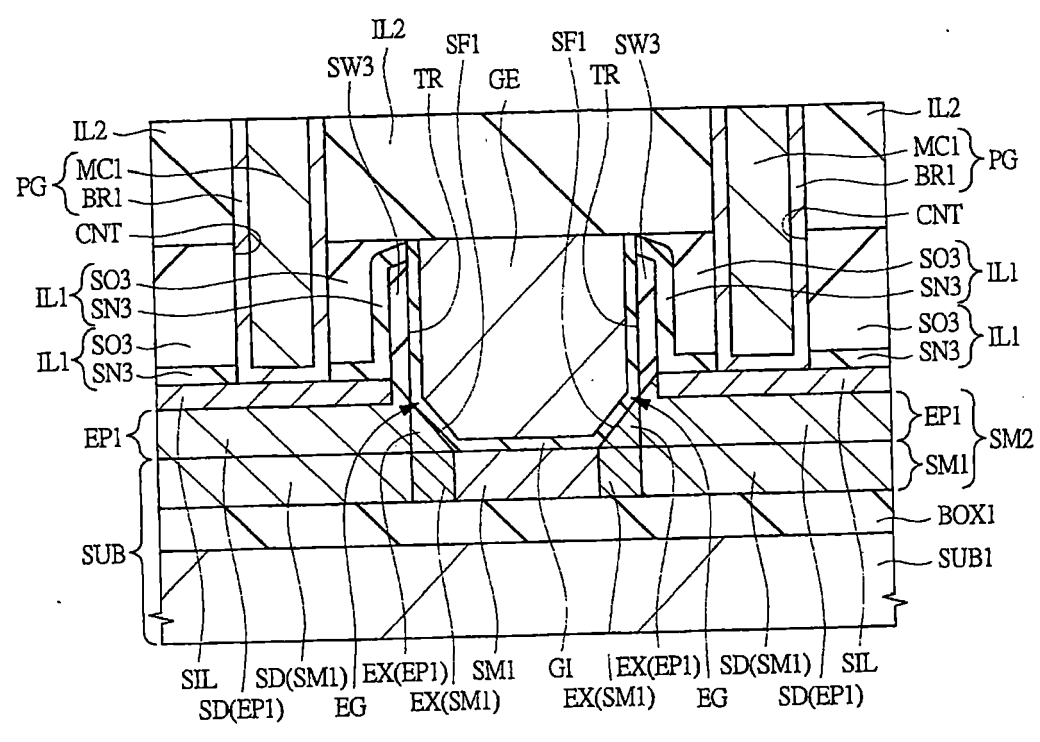


圖 29

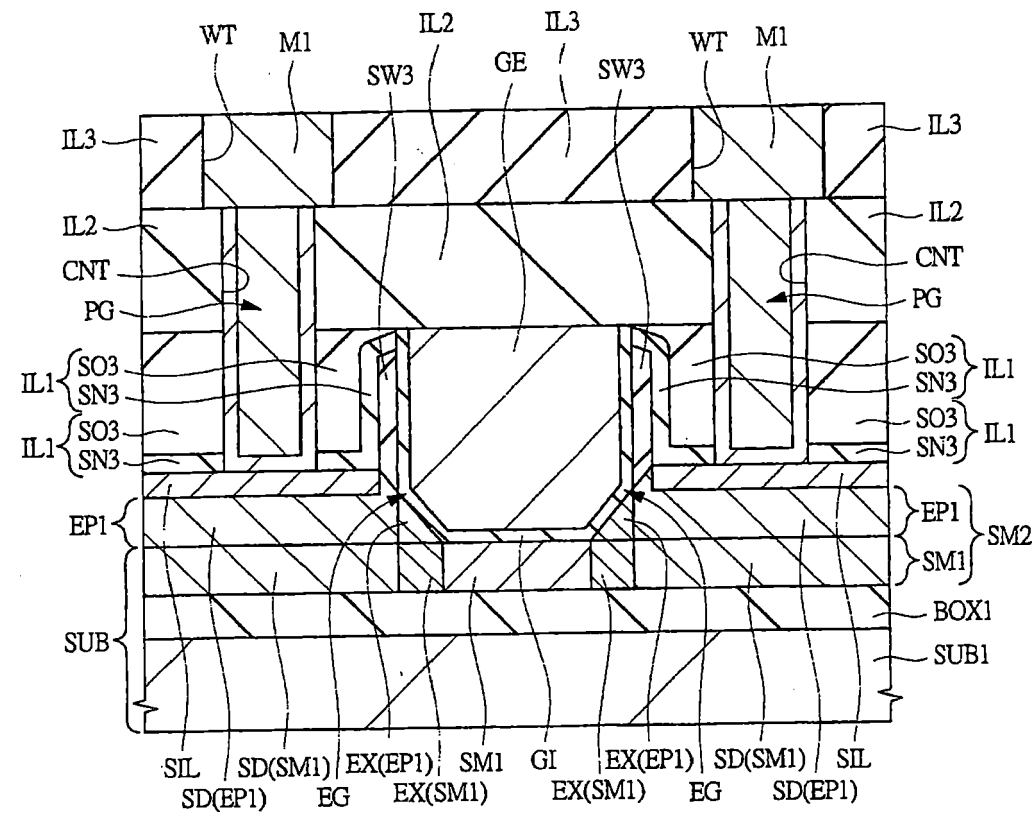


圖 30

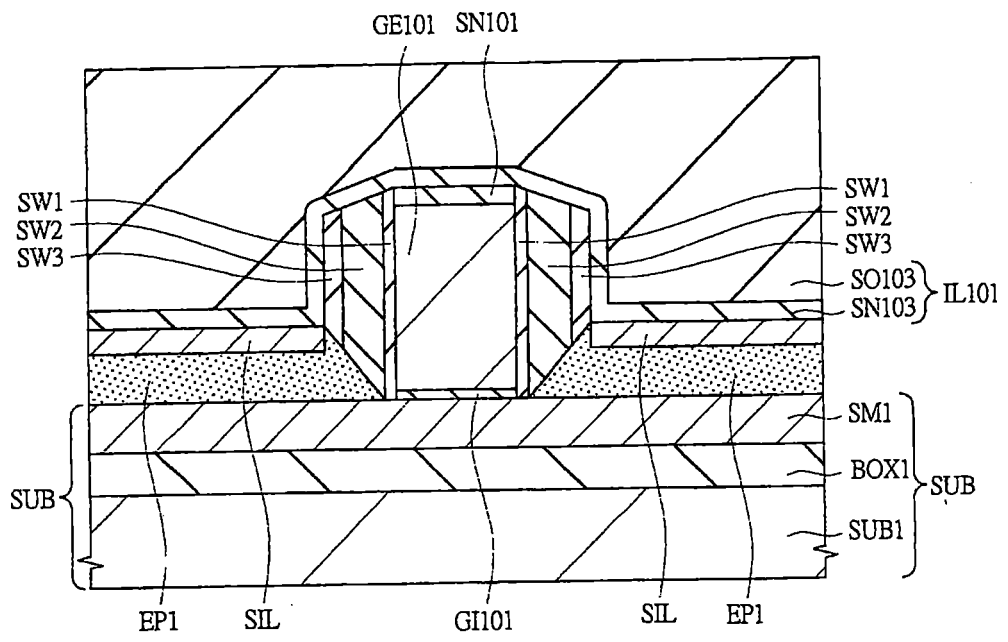


圖 31

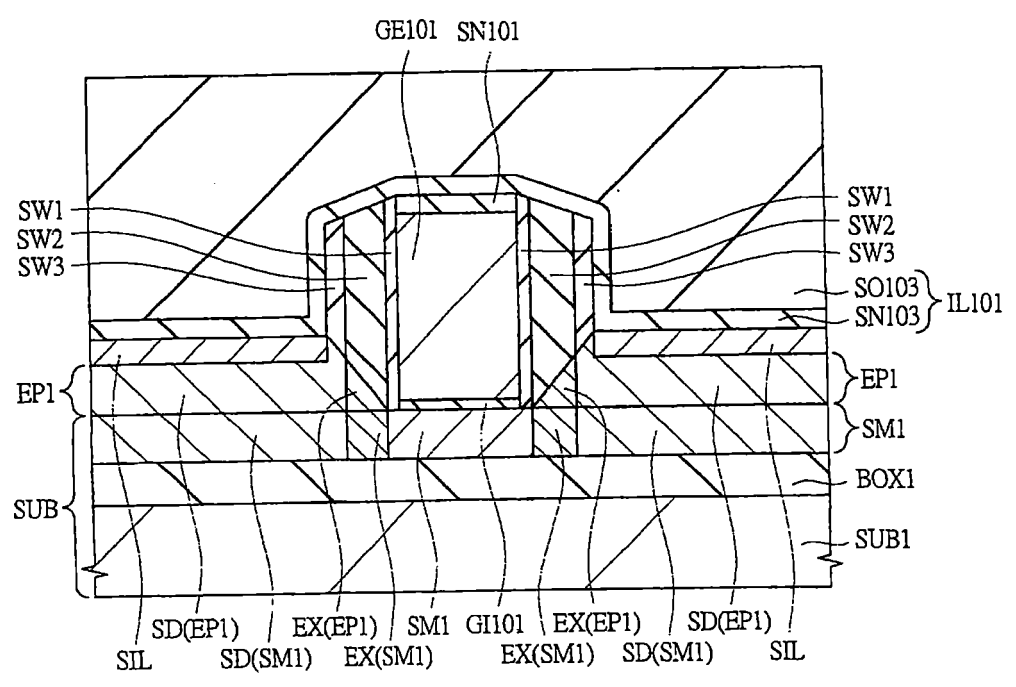


圖 32

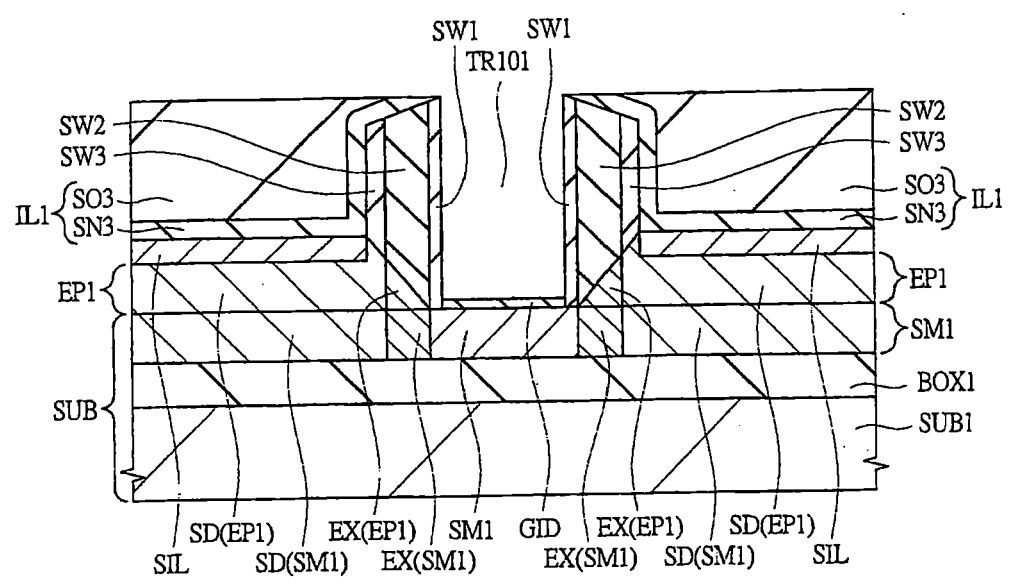


圖 33

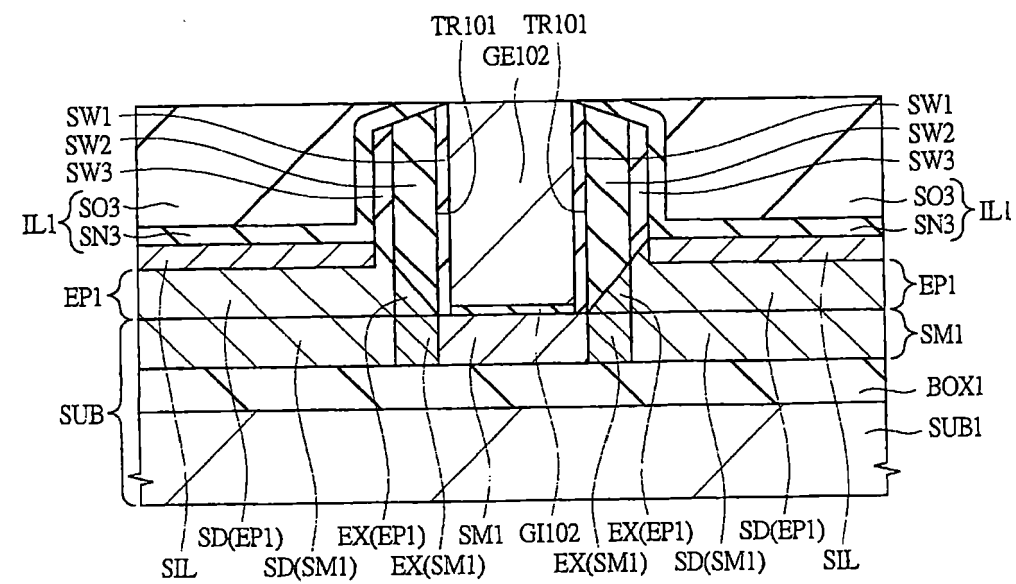


圖 34

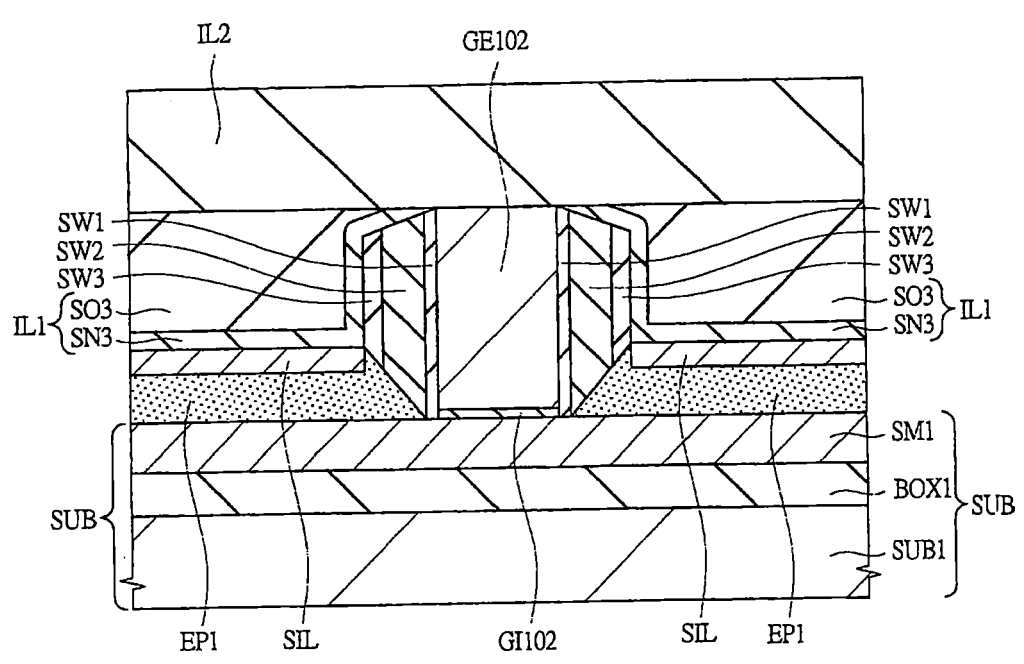


圖 35

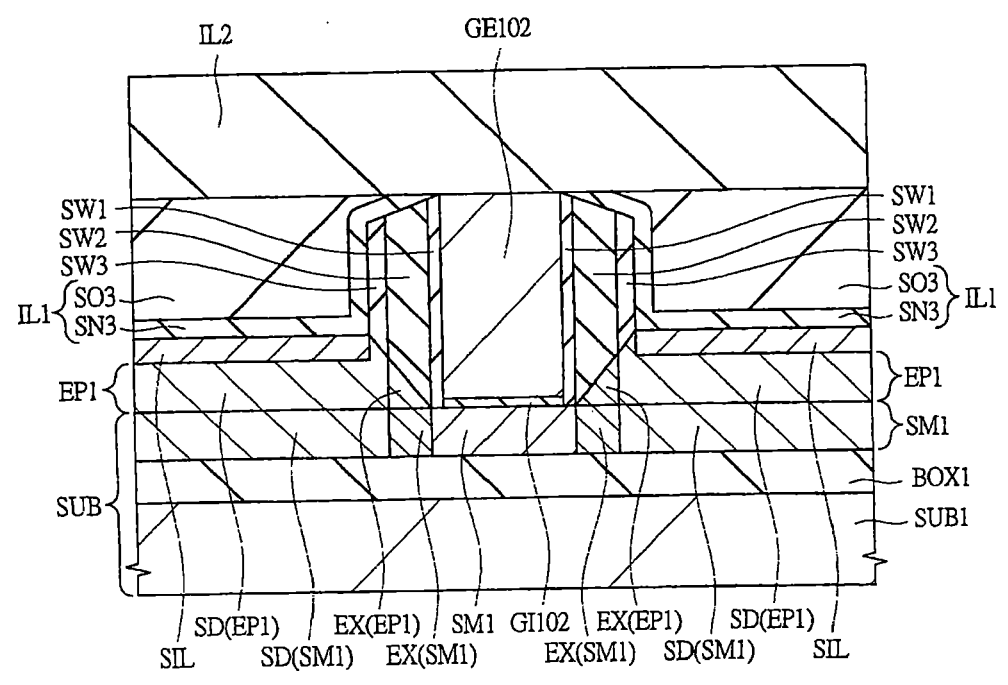


圖 36

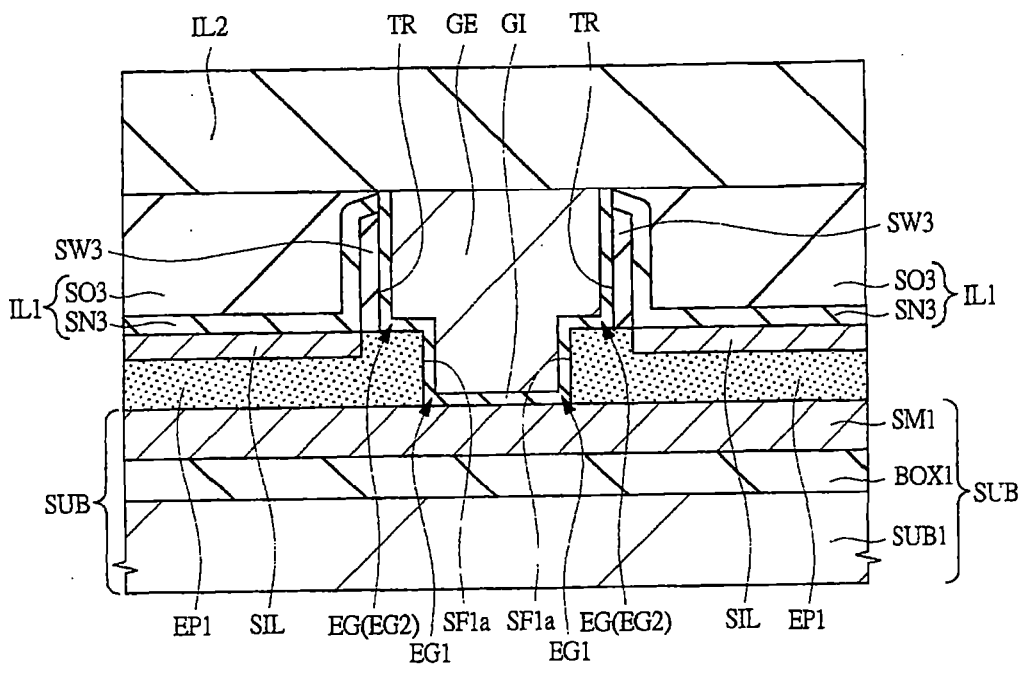


圖 37

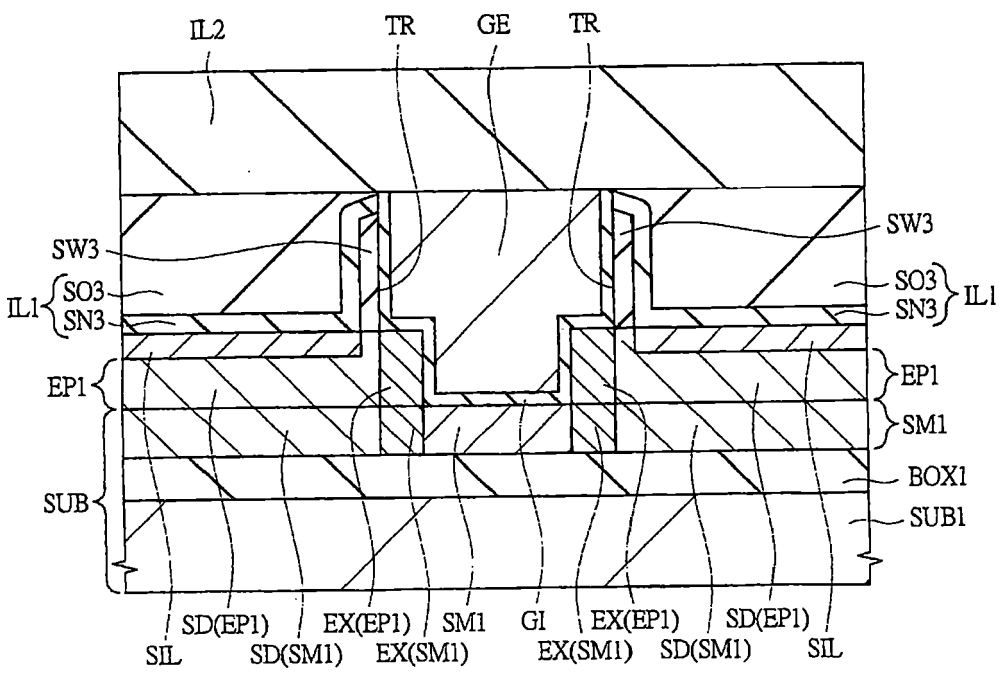


圖 38

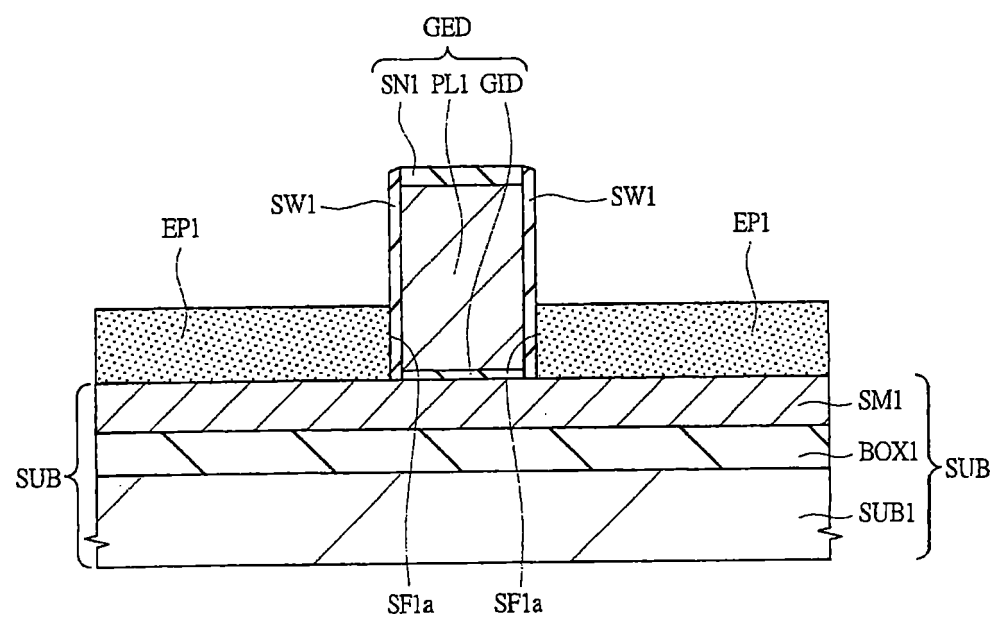


圖 39

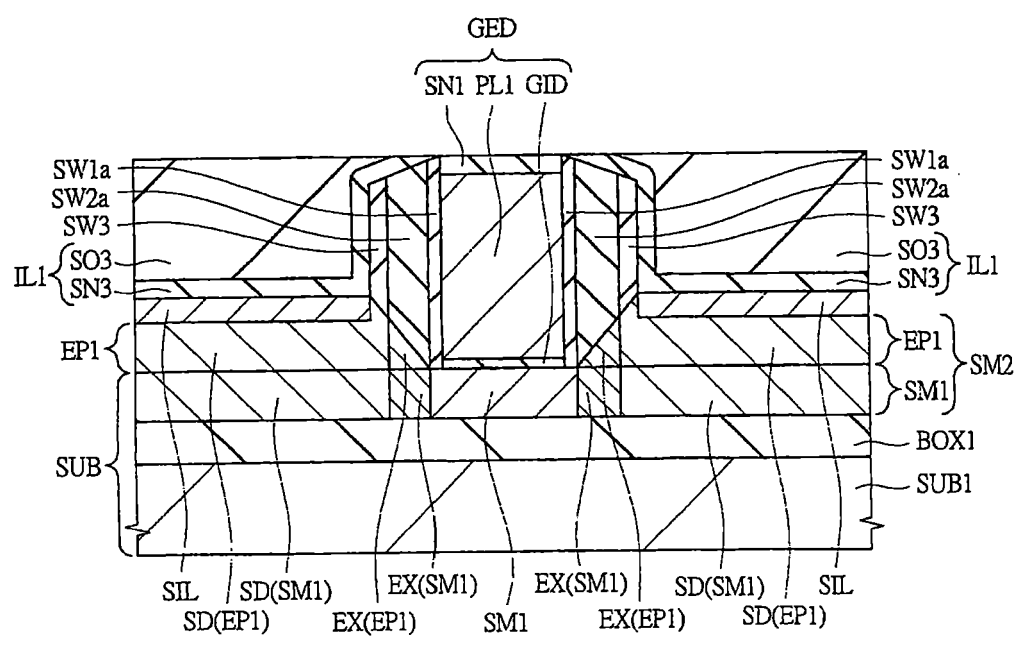


圖 40

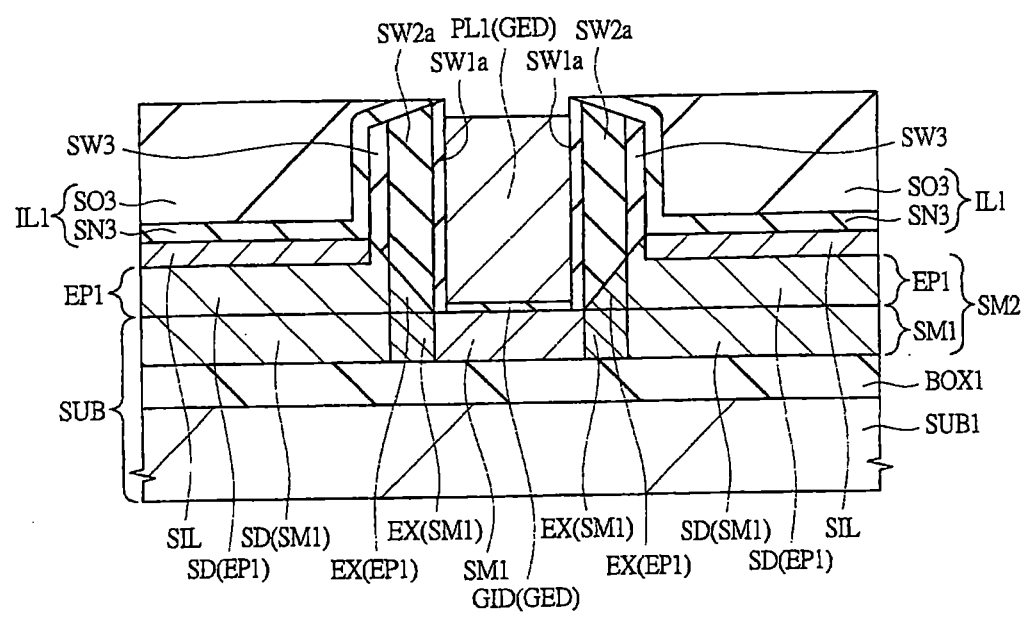


圖 41

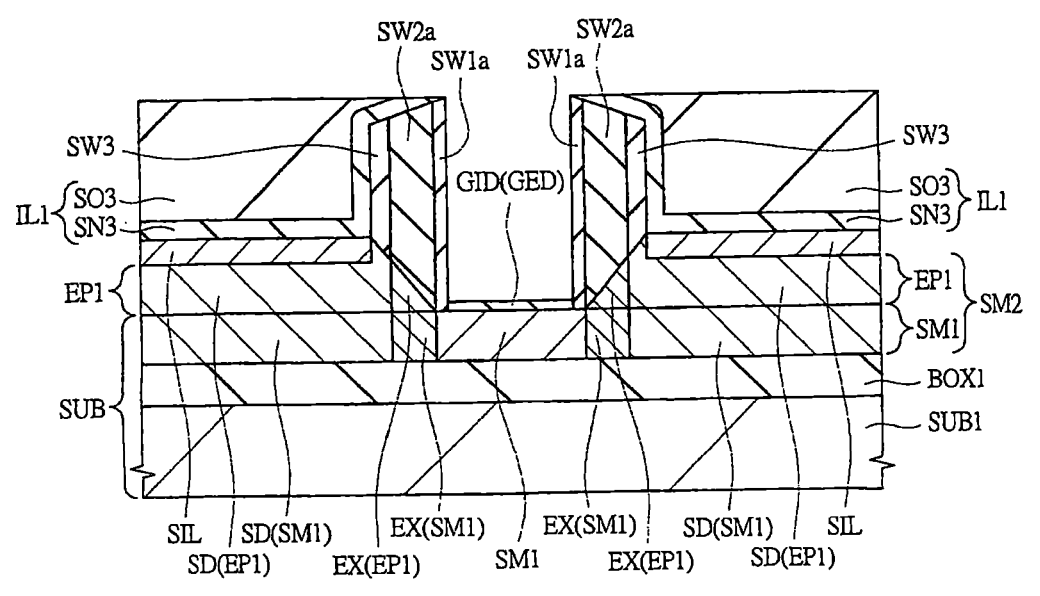


圖 42

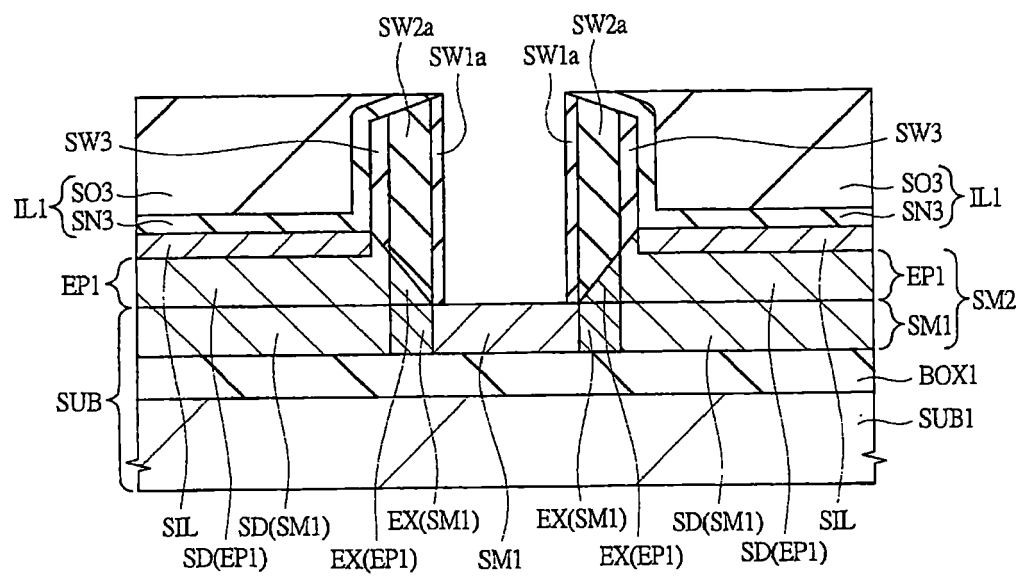


圖 43

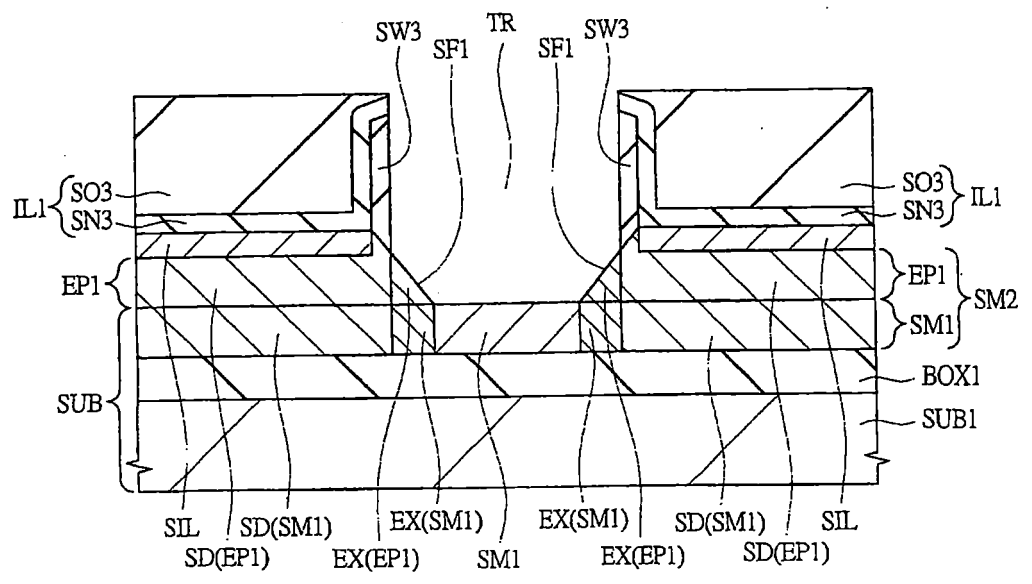


圖 44

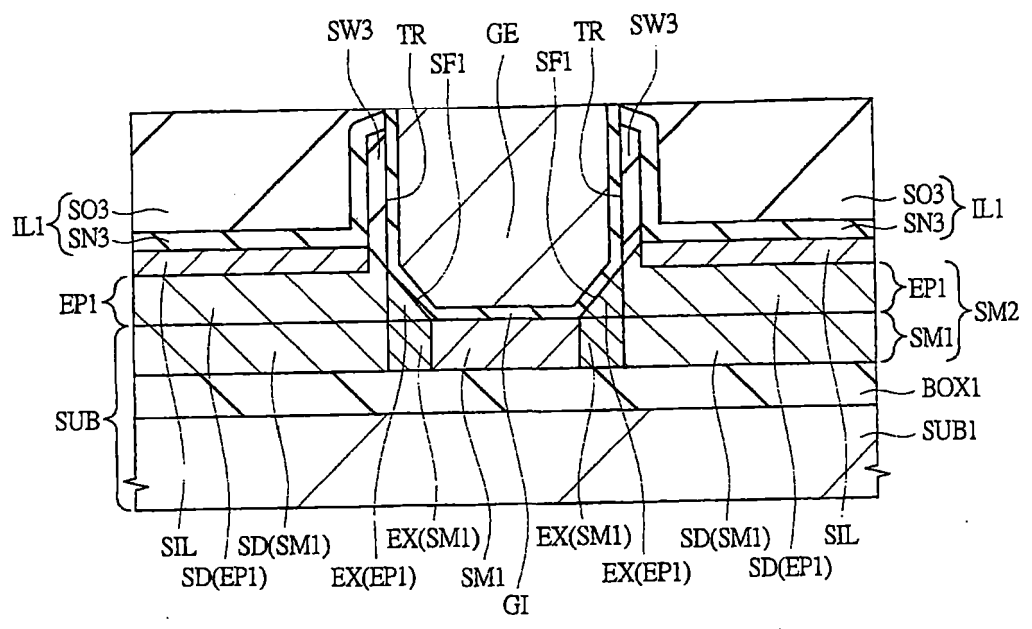


圖 45

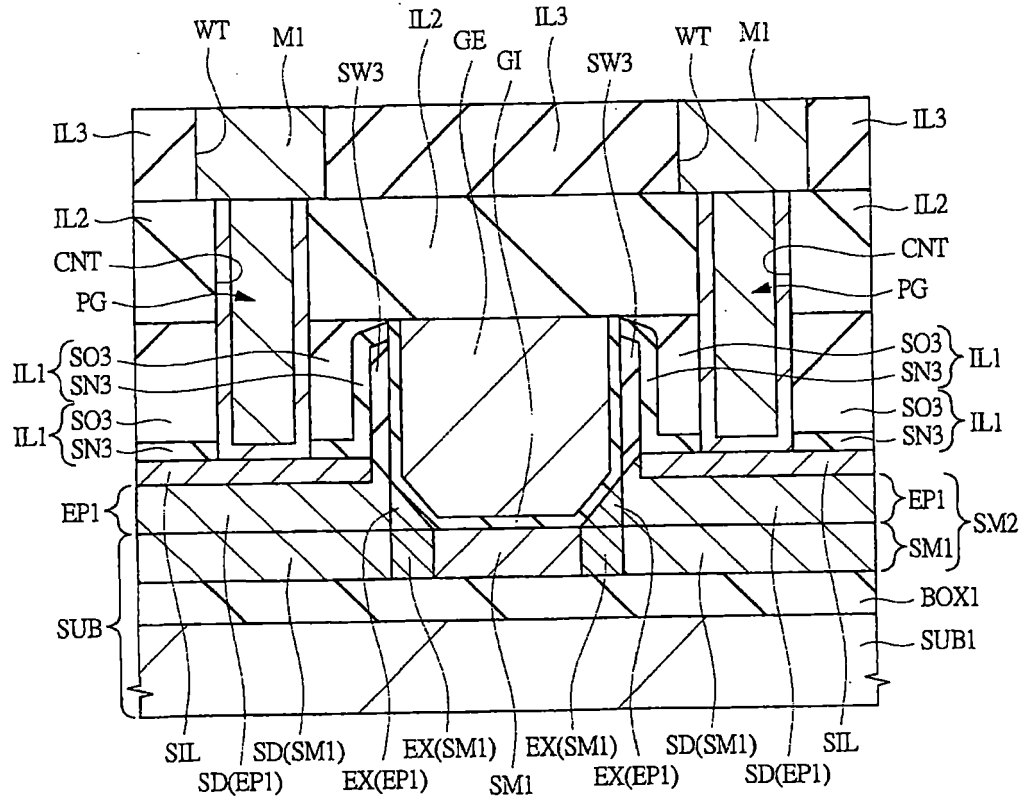


圖 46



圖 47

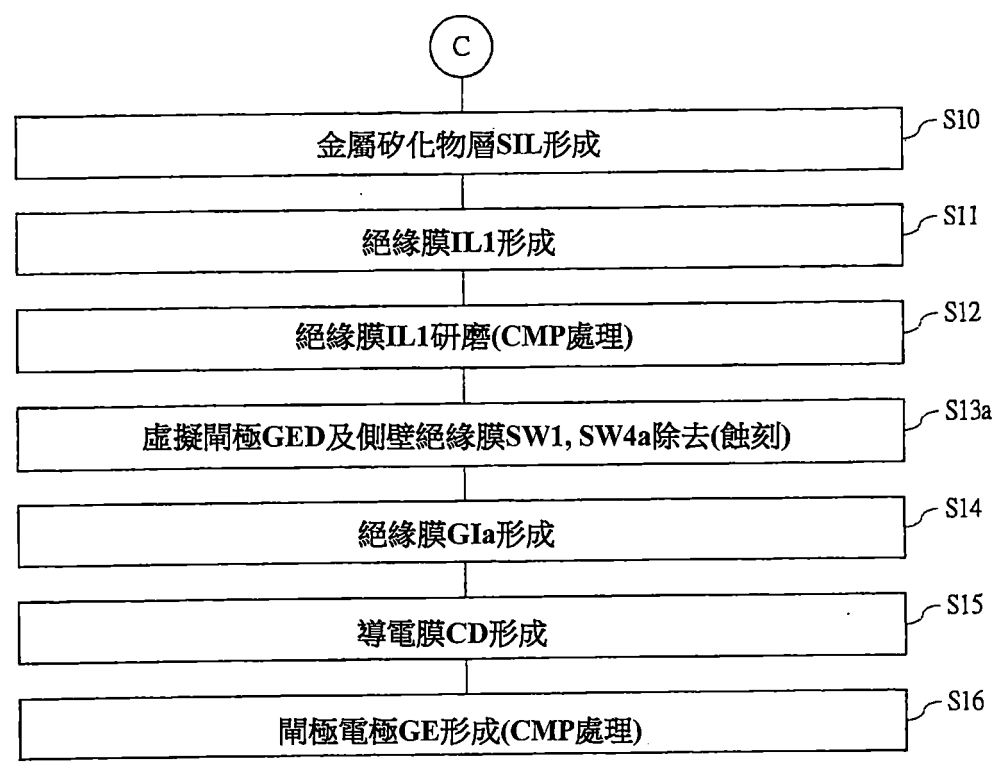


圖 48

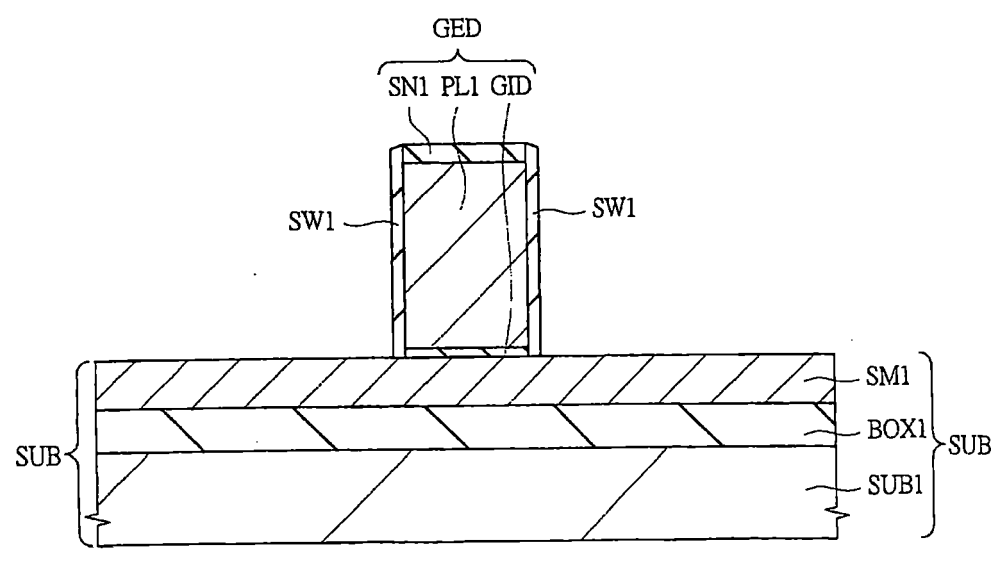


圖 49

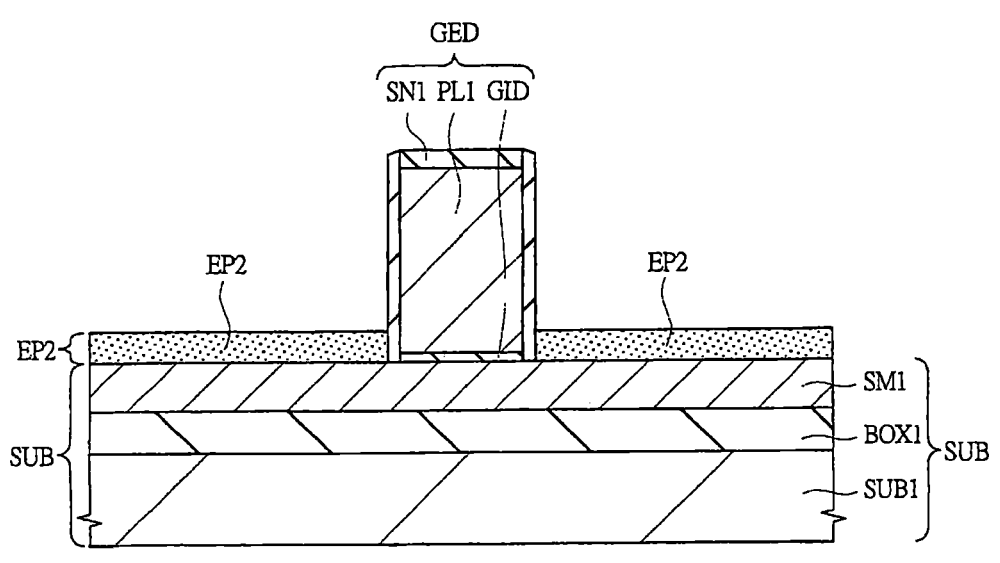


圖 50

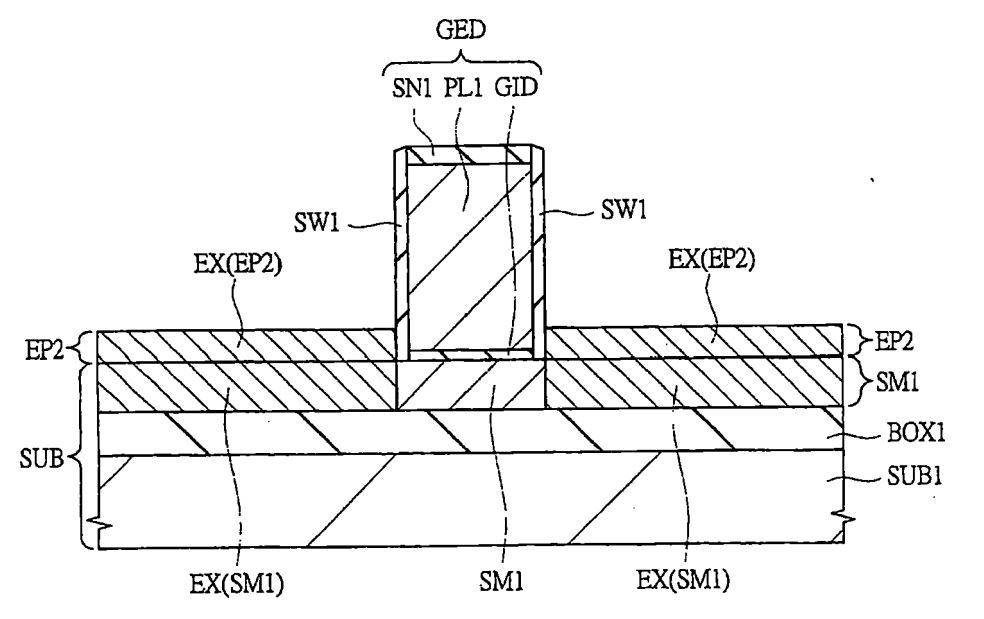


圖 51

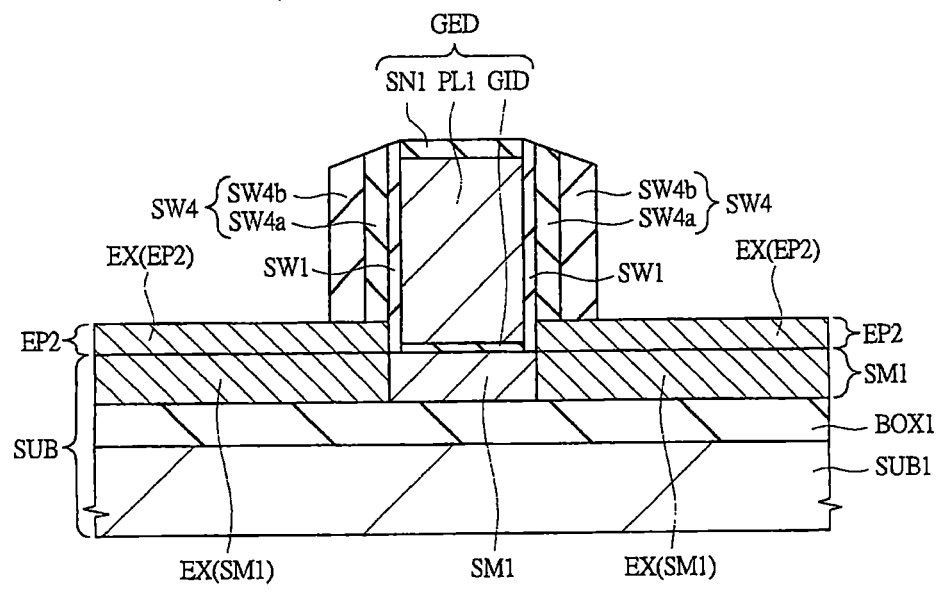


圖 52

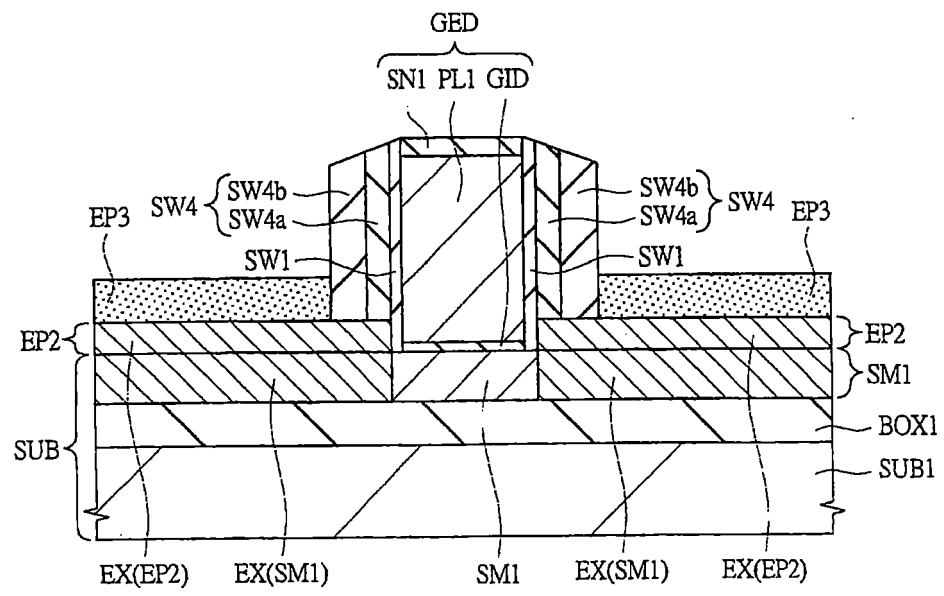


圖 53

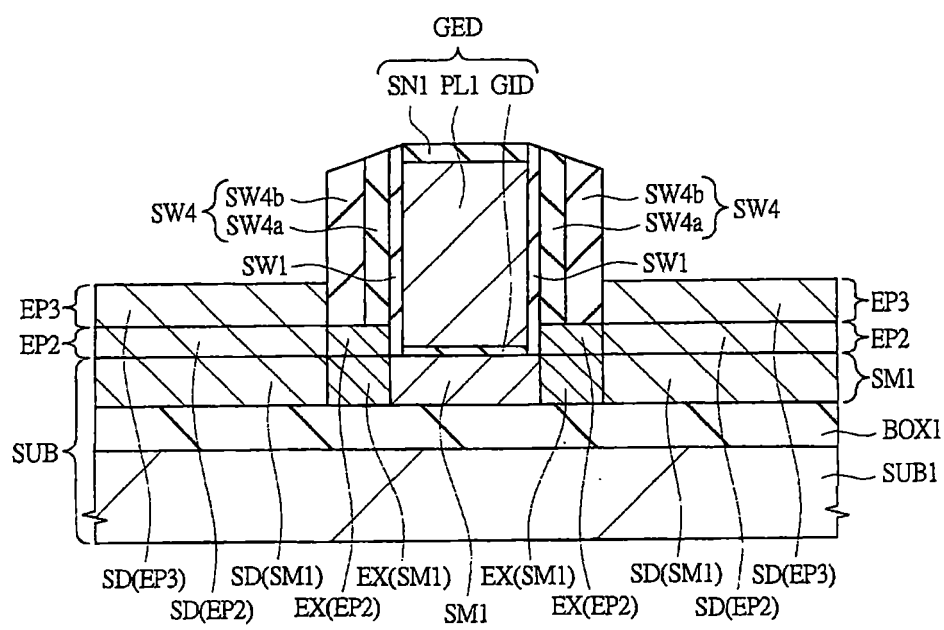


圖 54

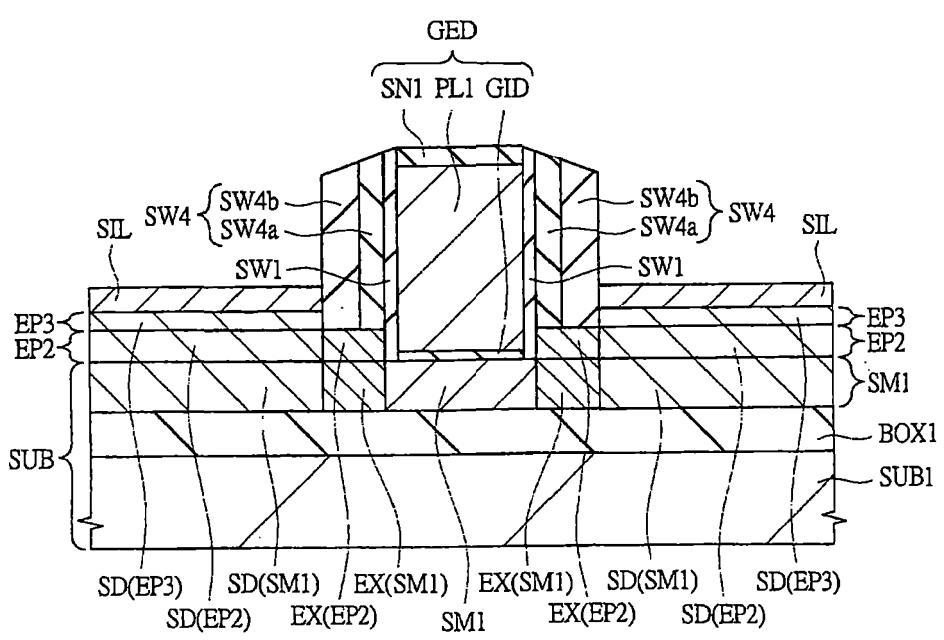


圖 55

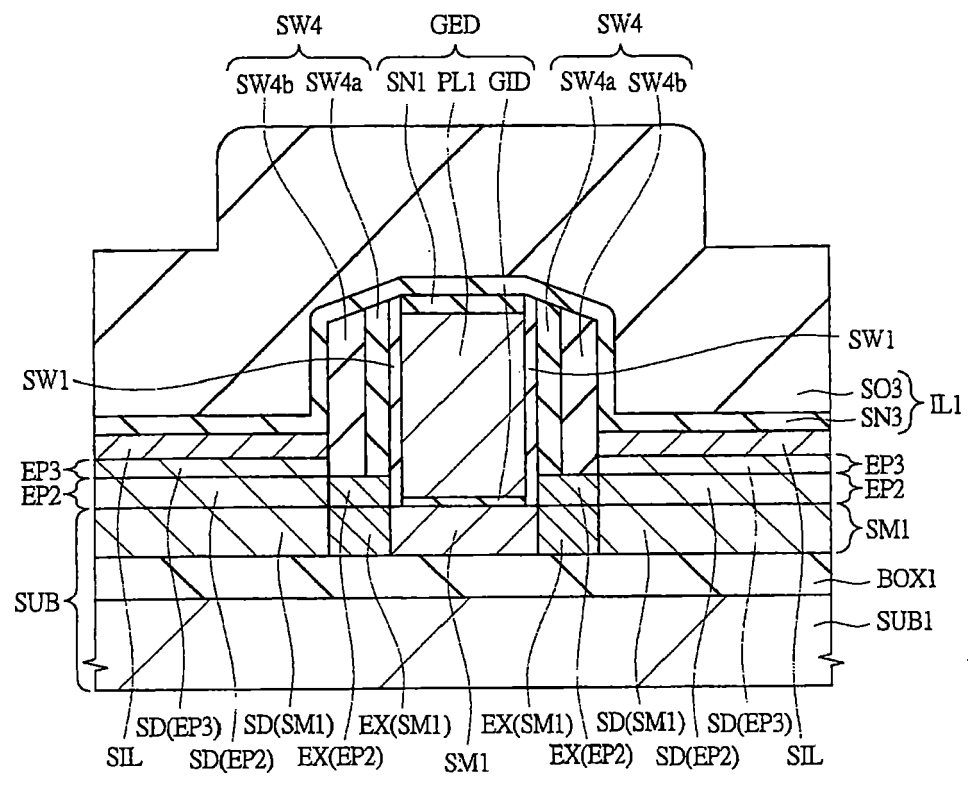


圖 56

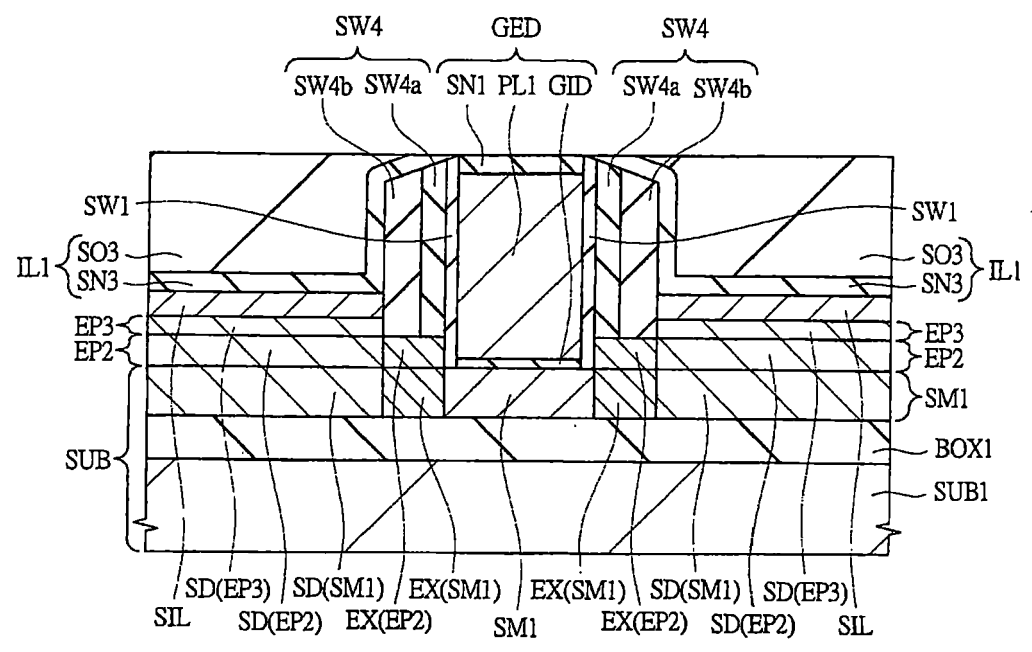


圖 57

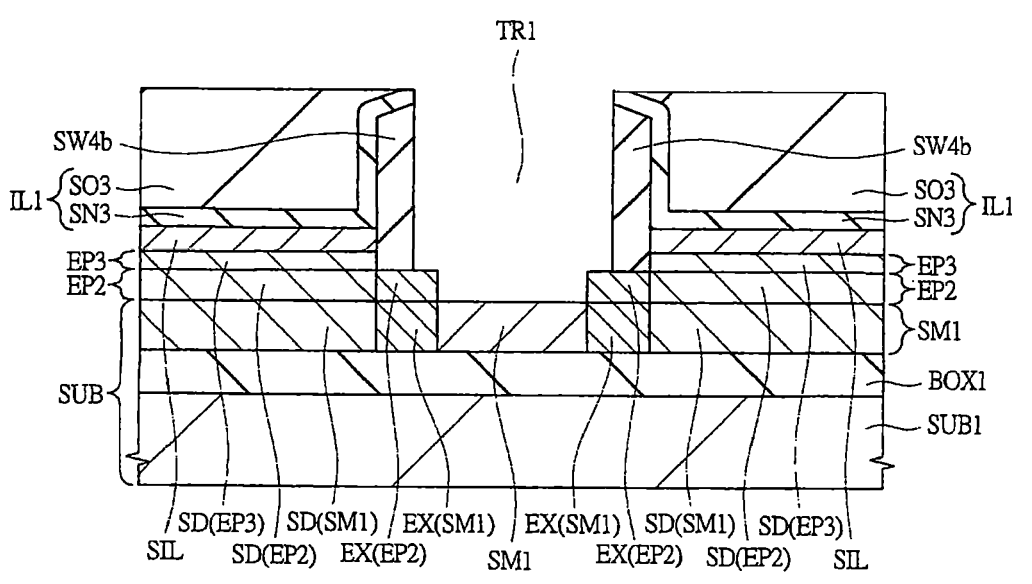


圖 58

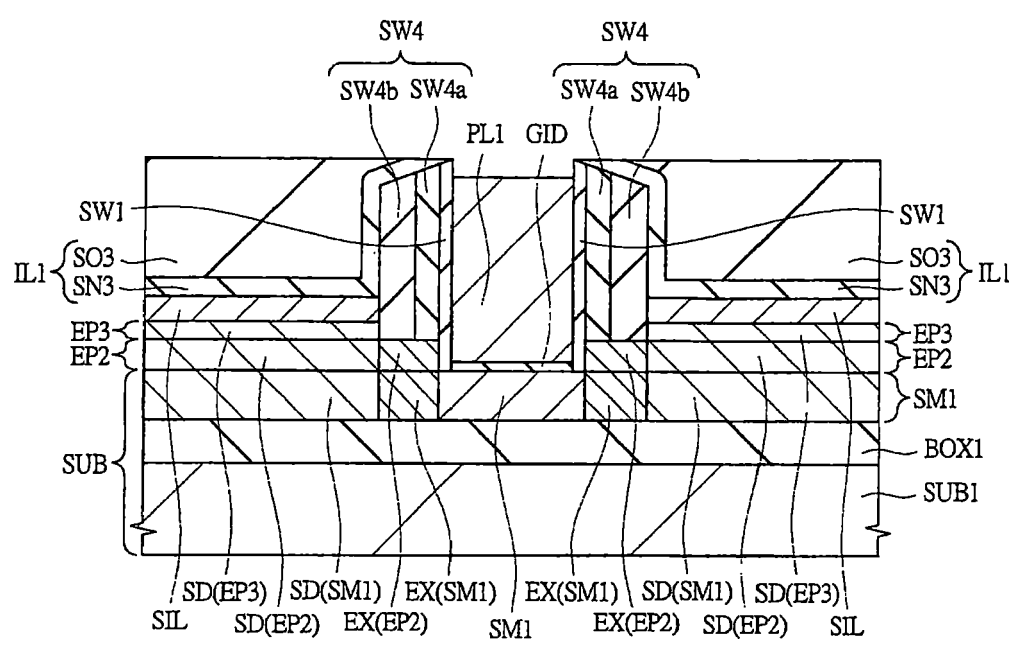


圖 59

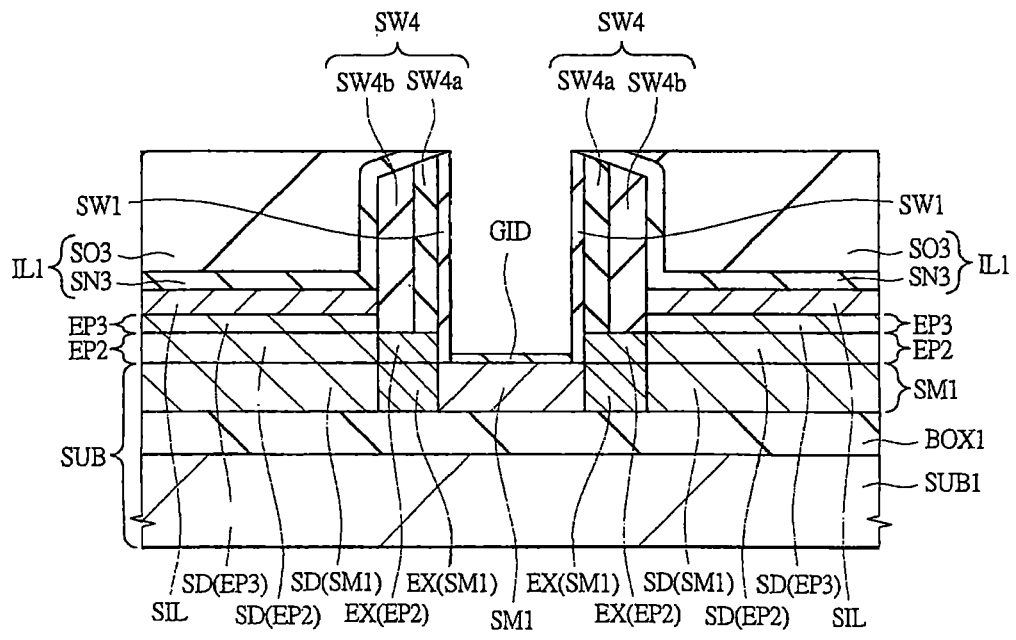


圖 60

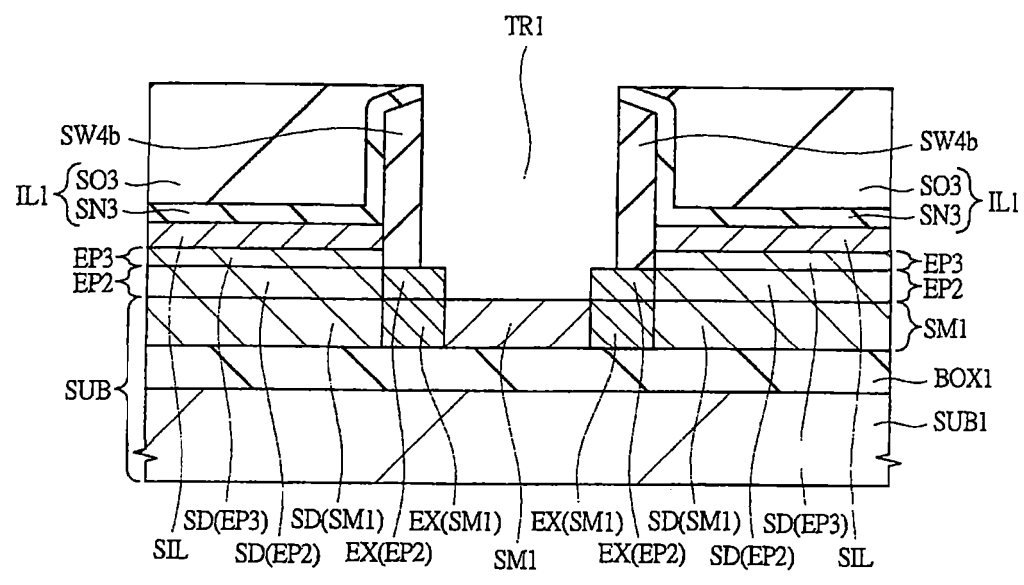


圖 61

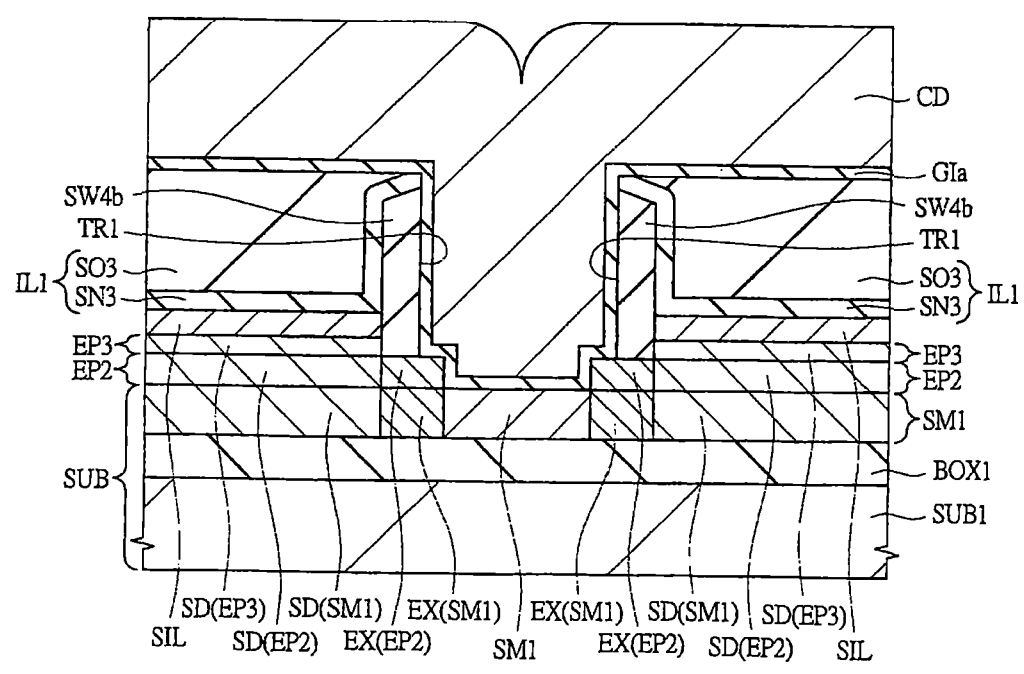


圖 62

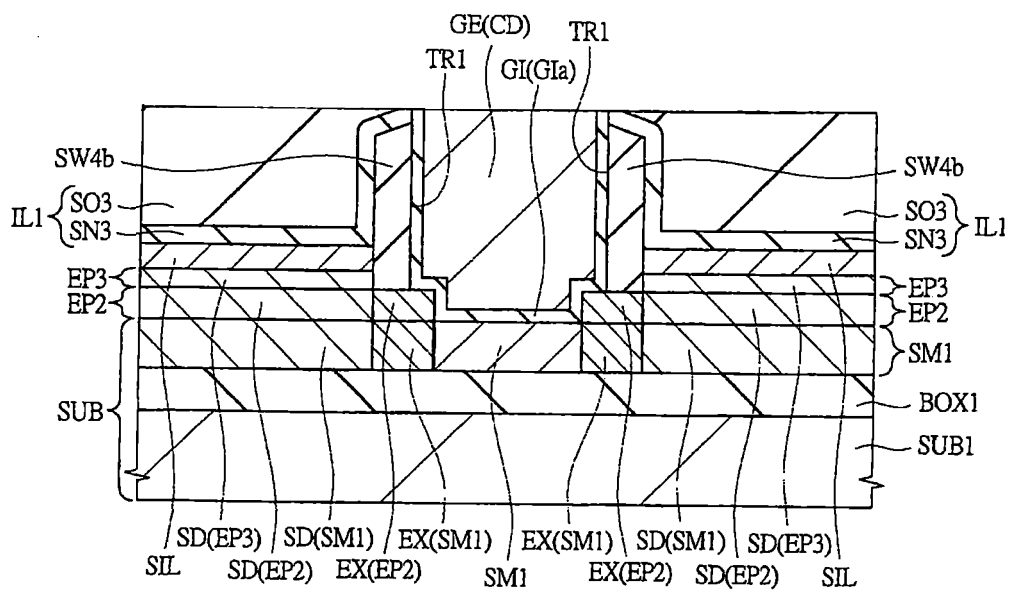


圖 63

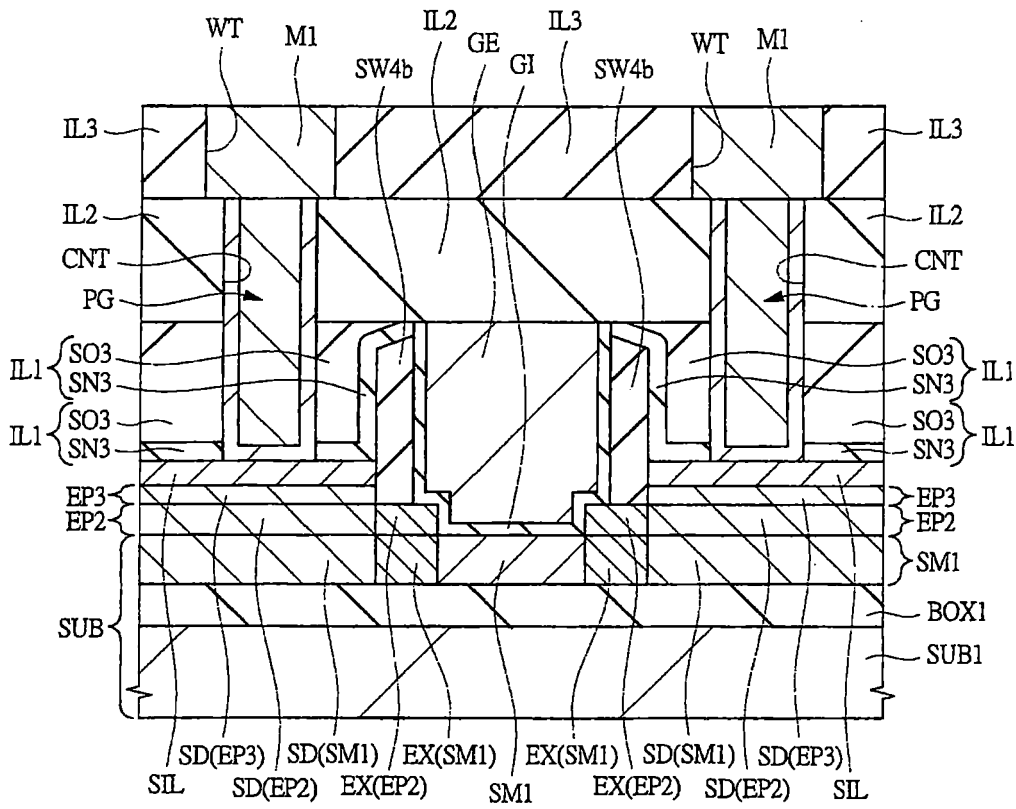


圖 64

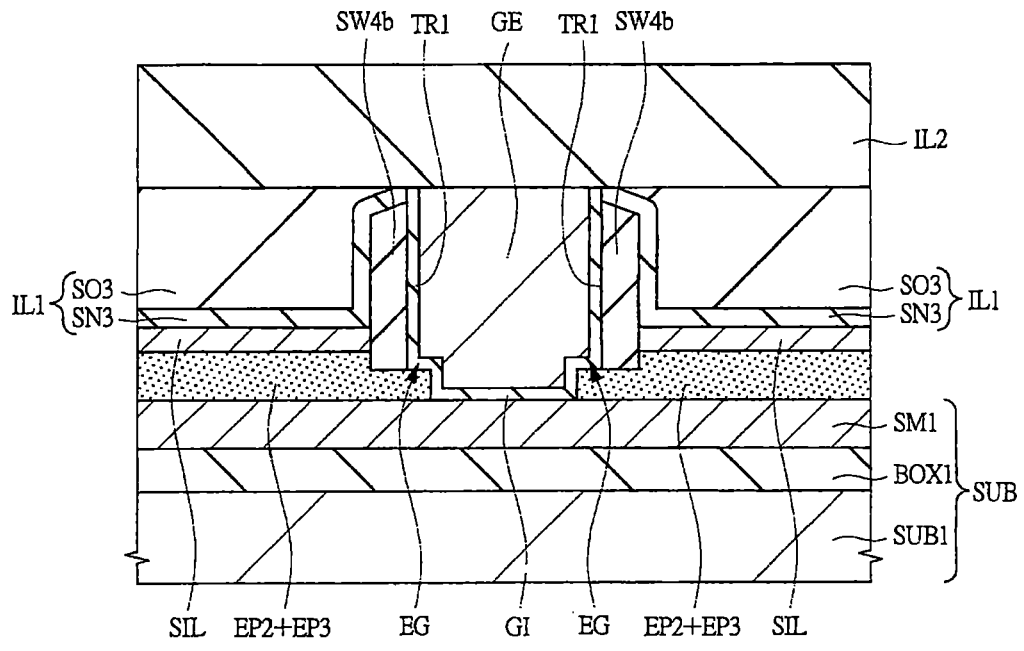


圖 65

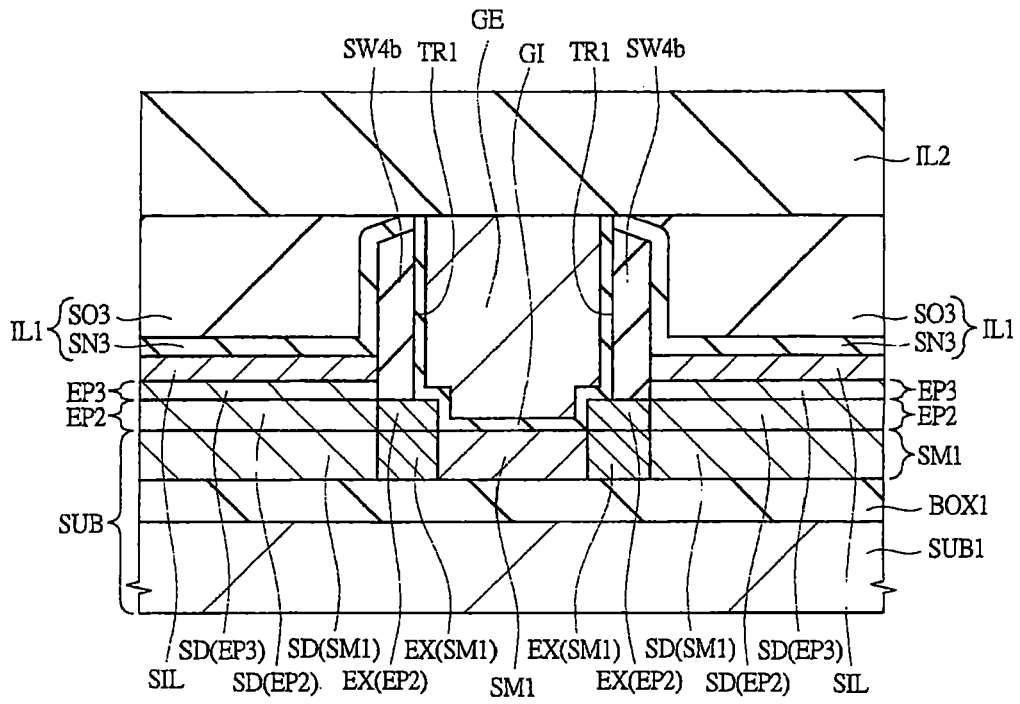


圖 66

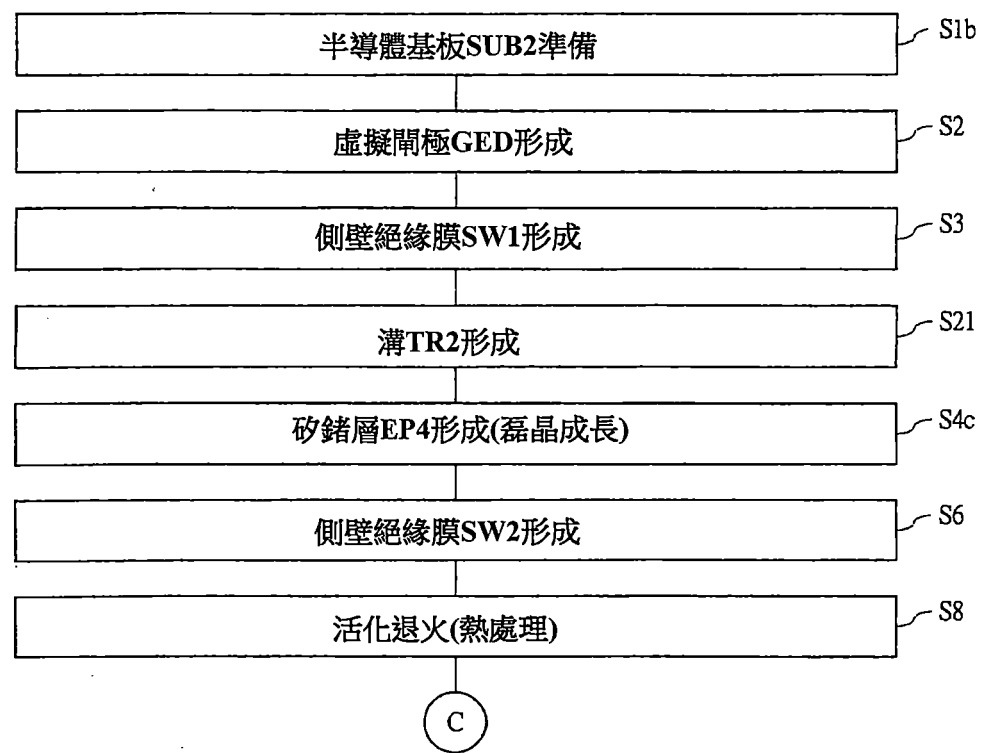


圖 67

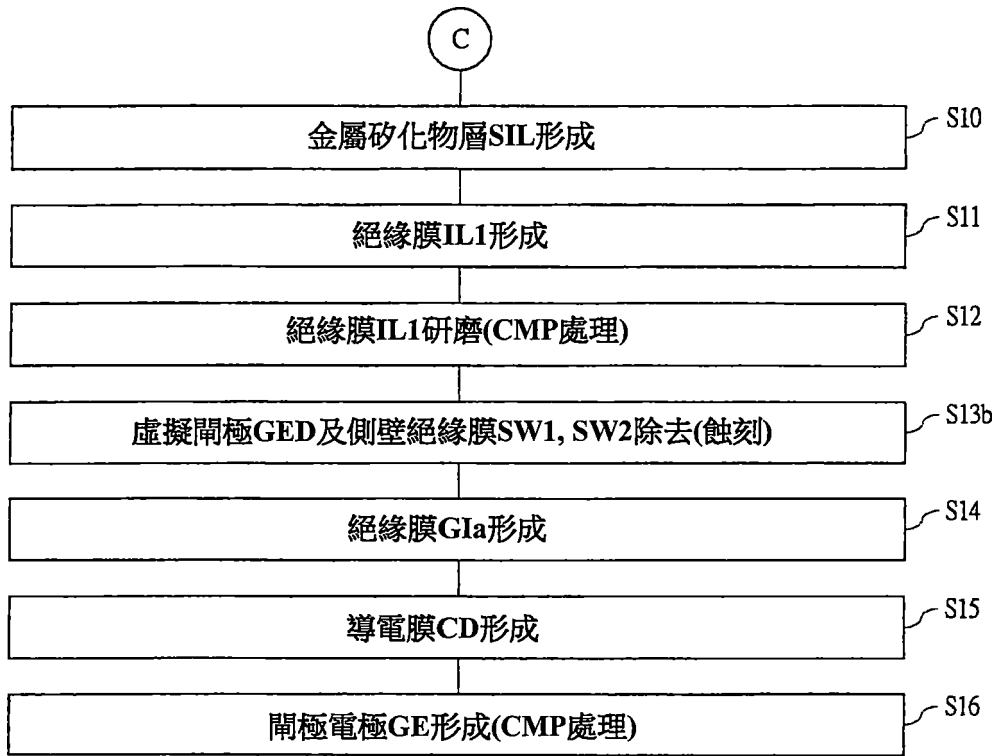


圖 68

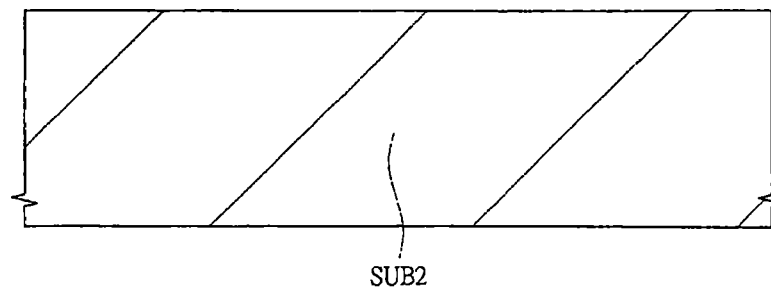


圖 69

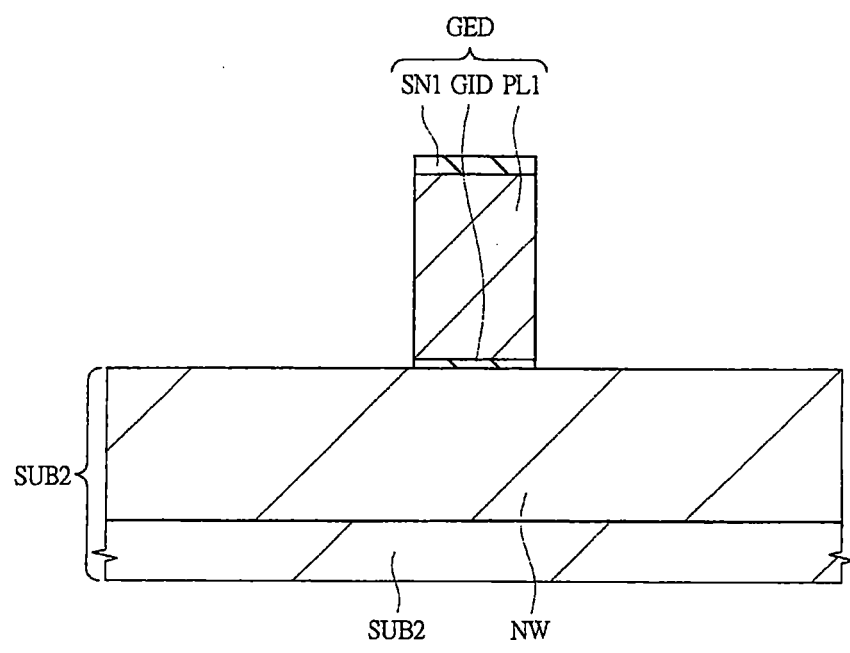


圖 70

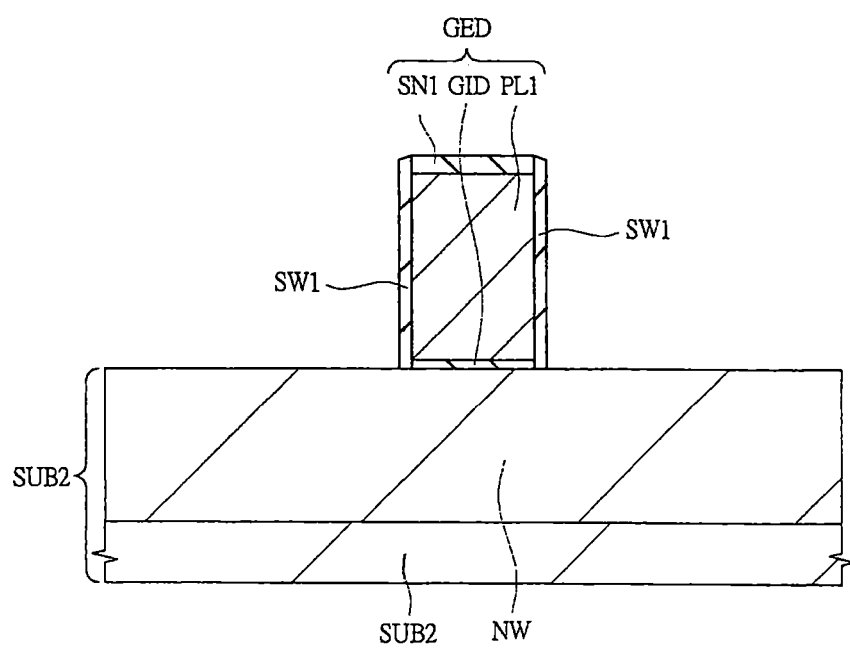


圖 71

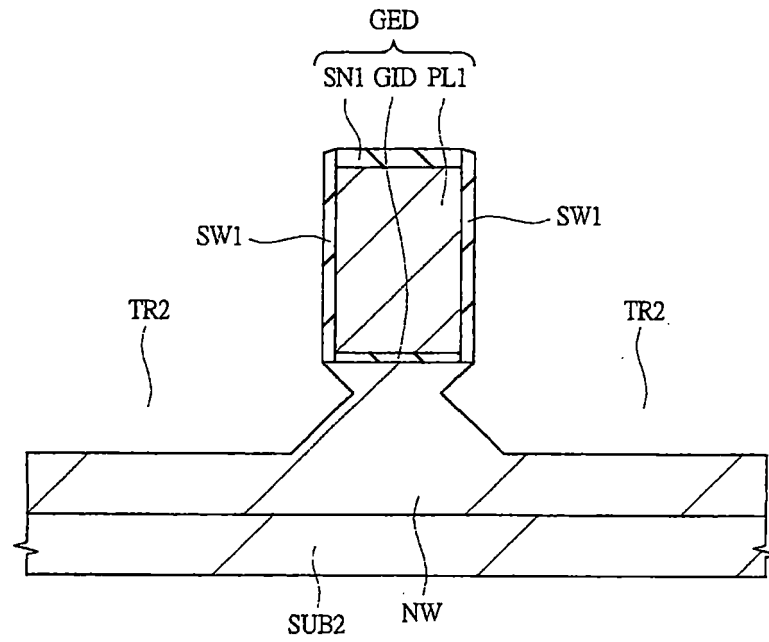


圖 72

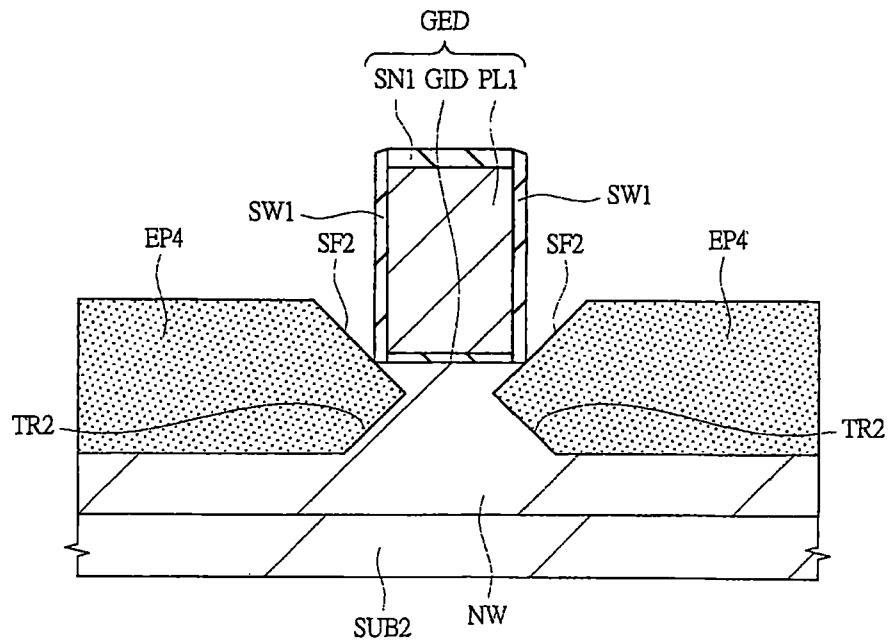


圖 73

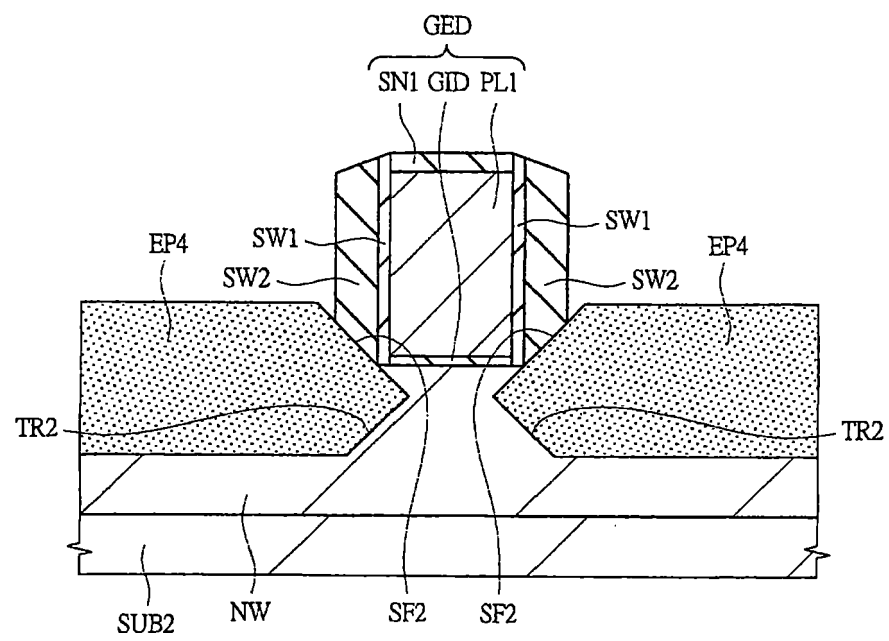


圖 74

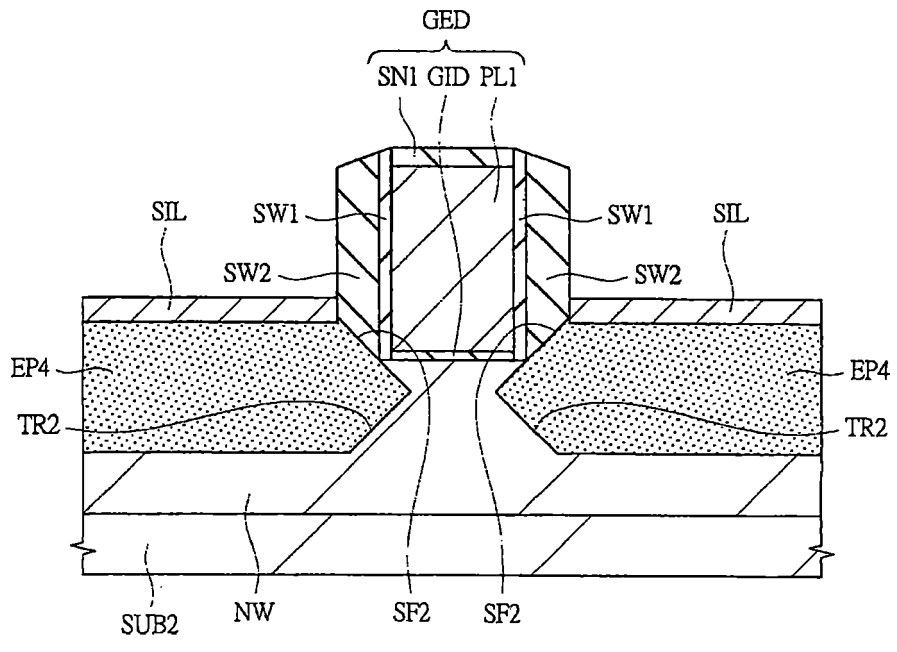


圖 75

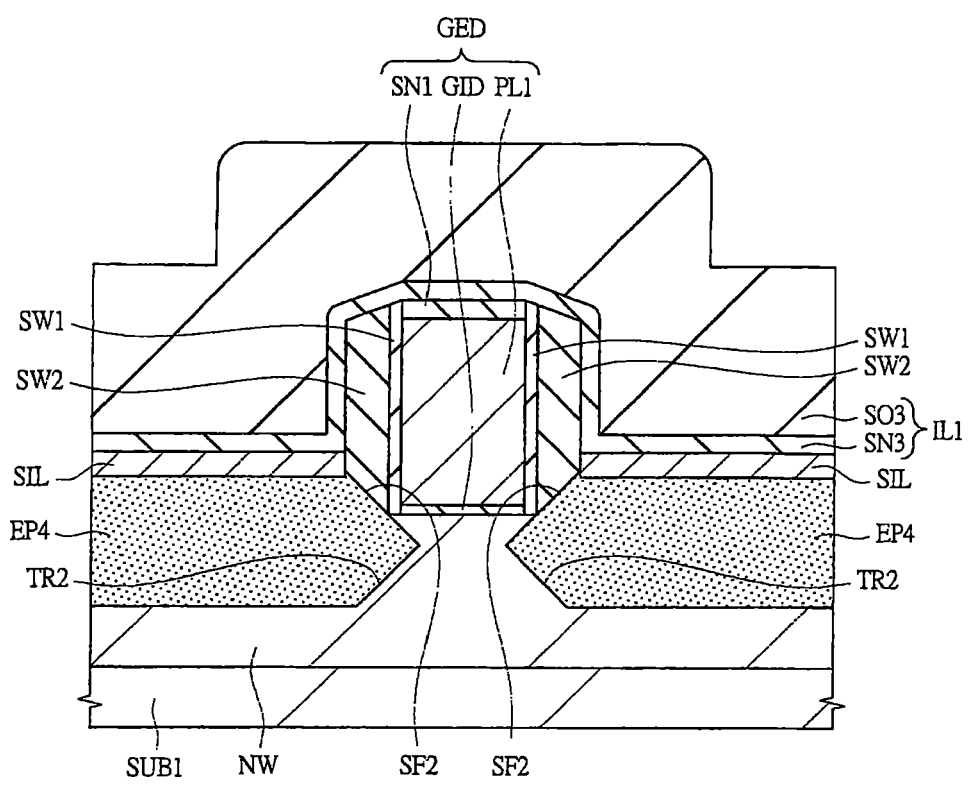


圖 76

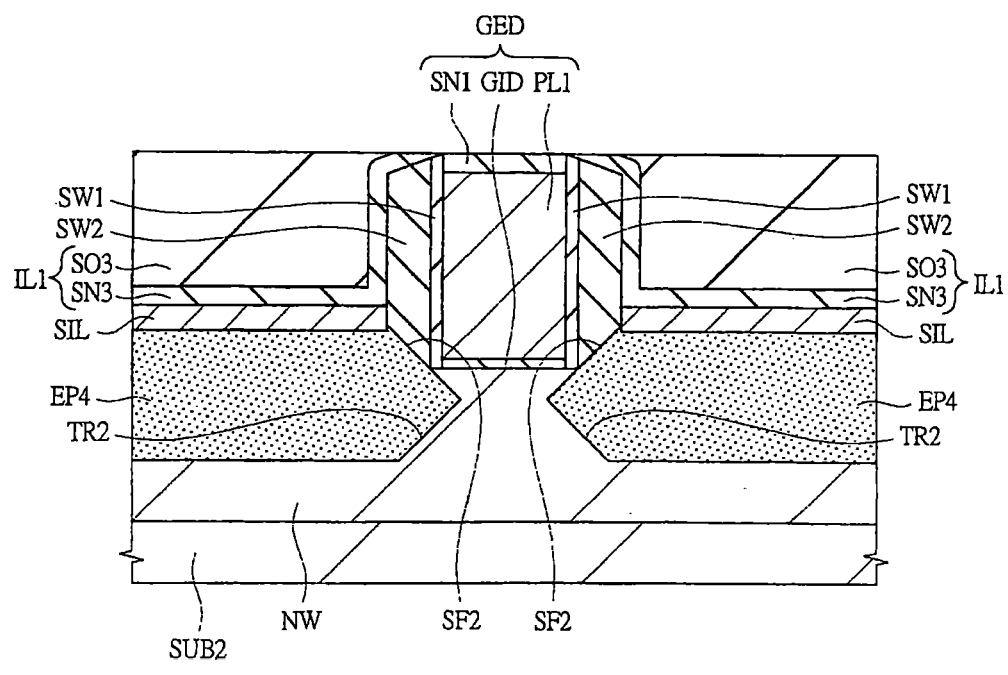


圖 77

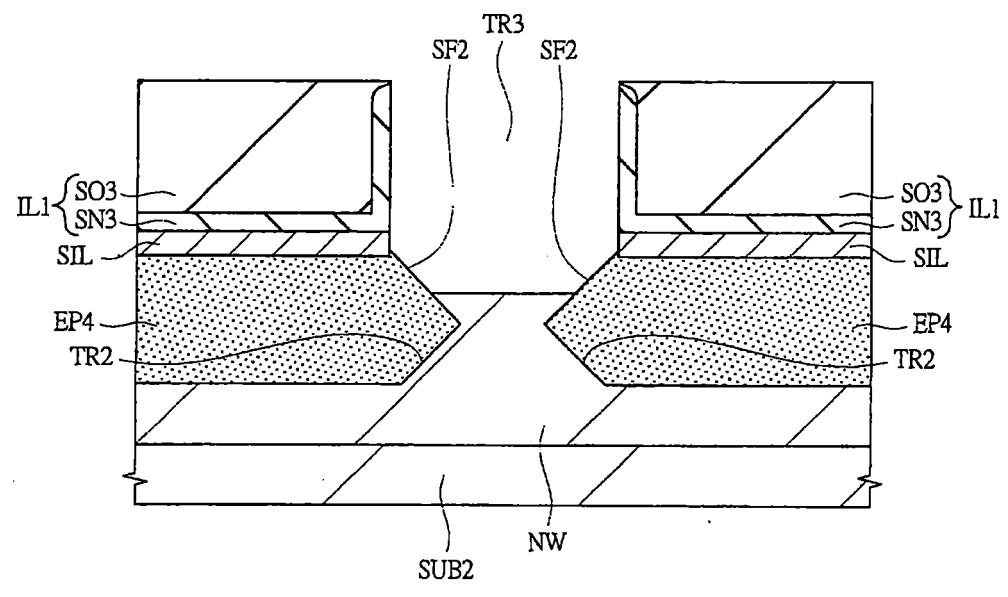


圖 78

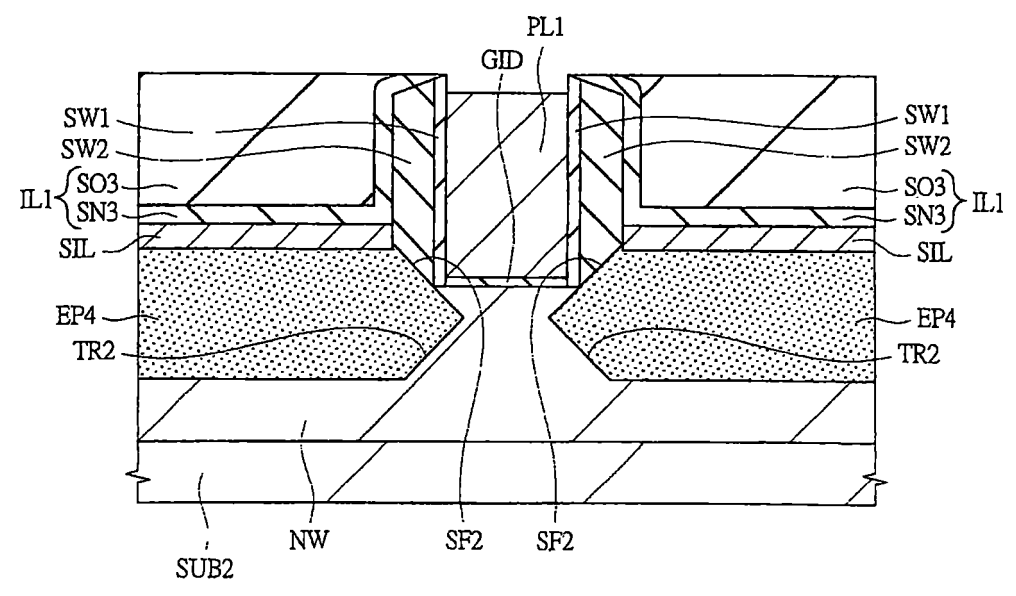


圖 79

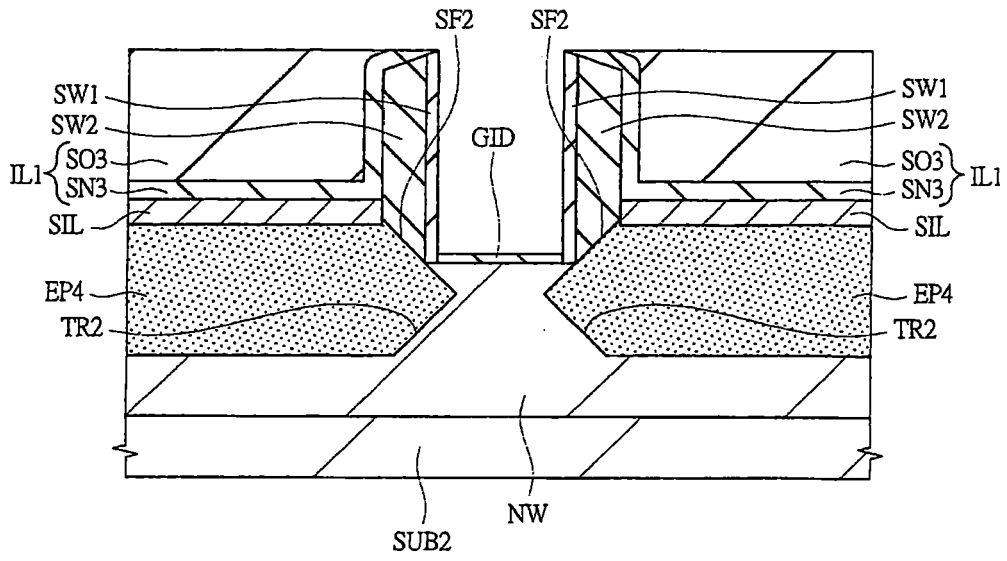


圖 80

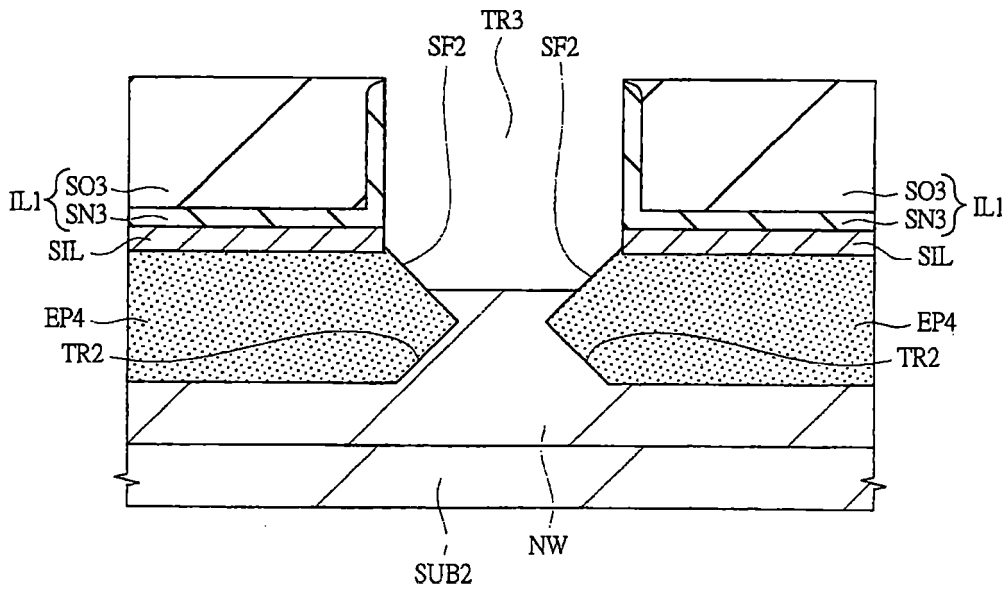


圖 81

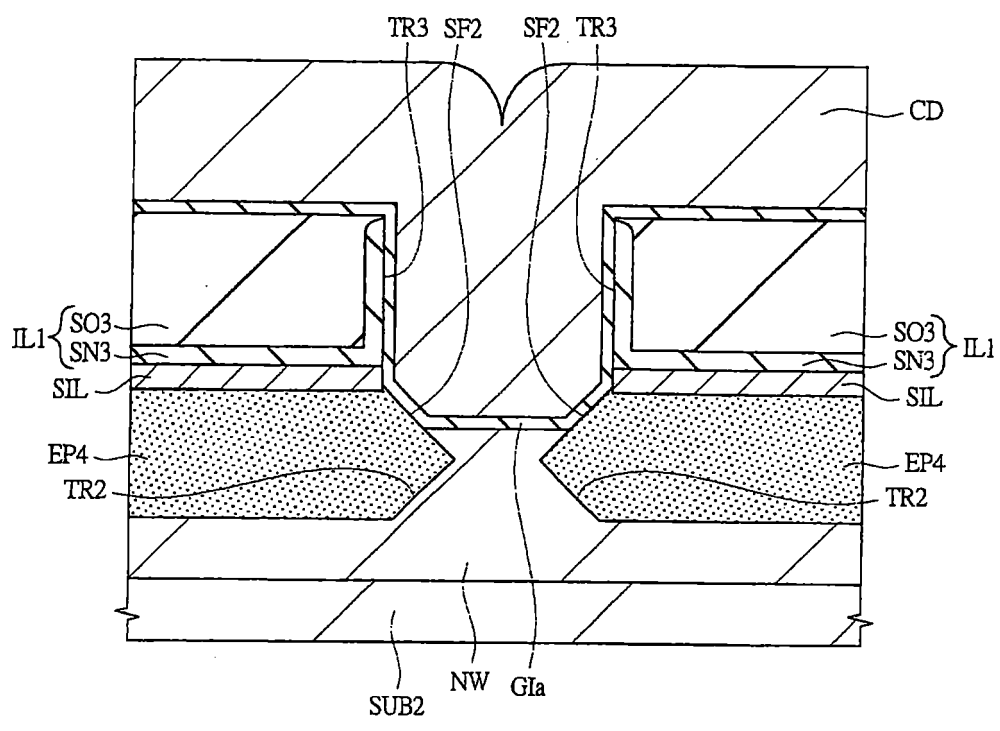


圖 82

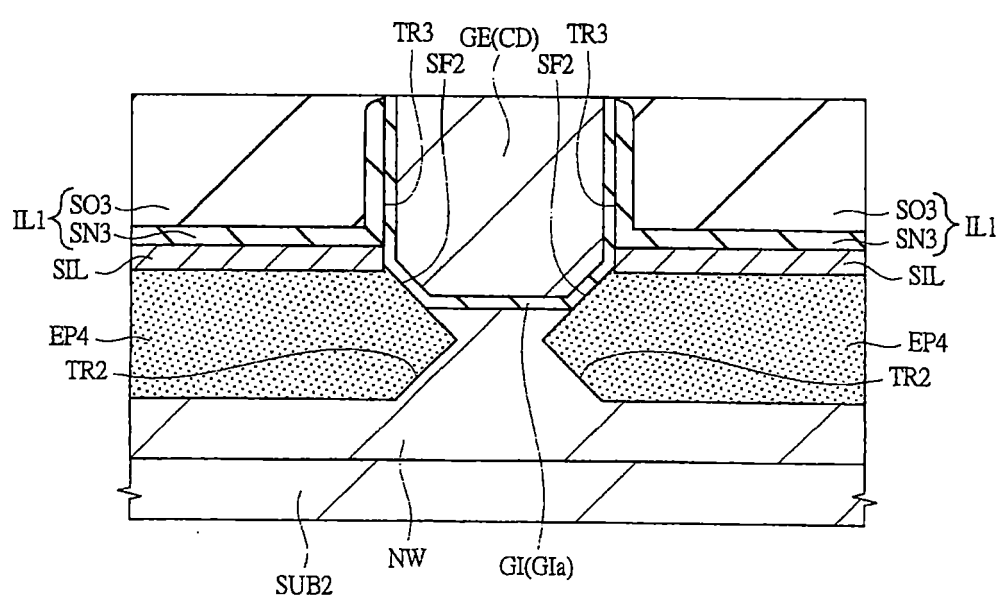


圖 83

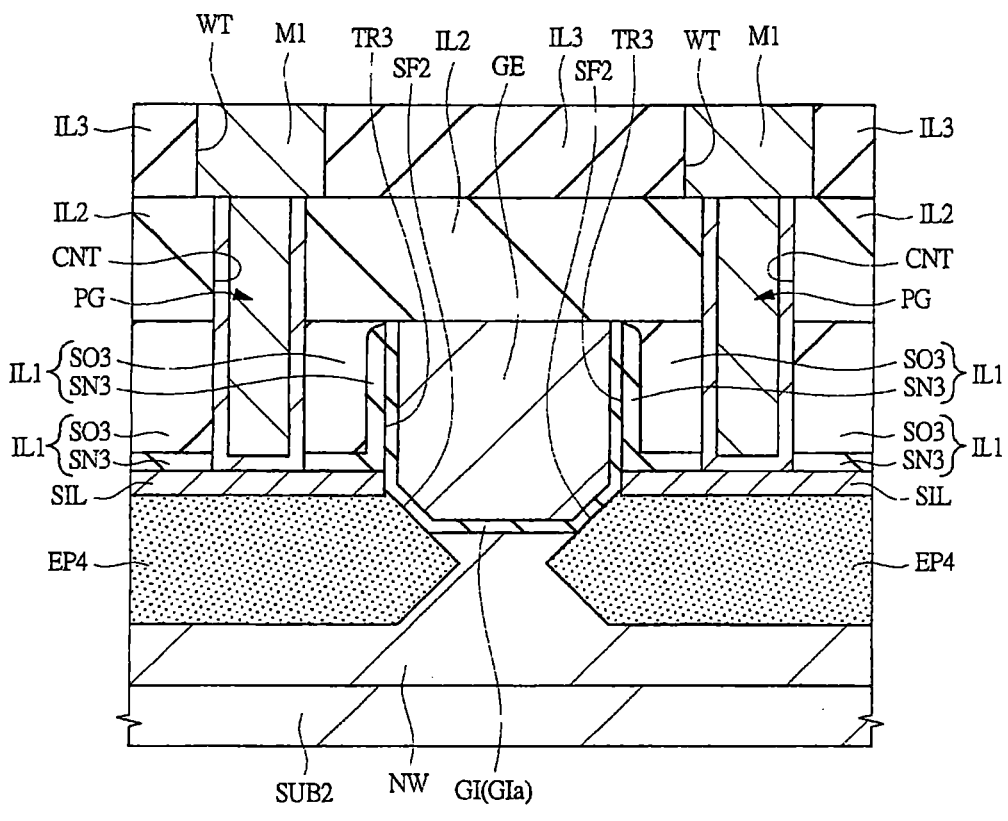
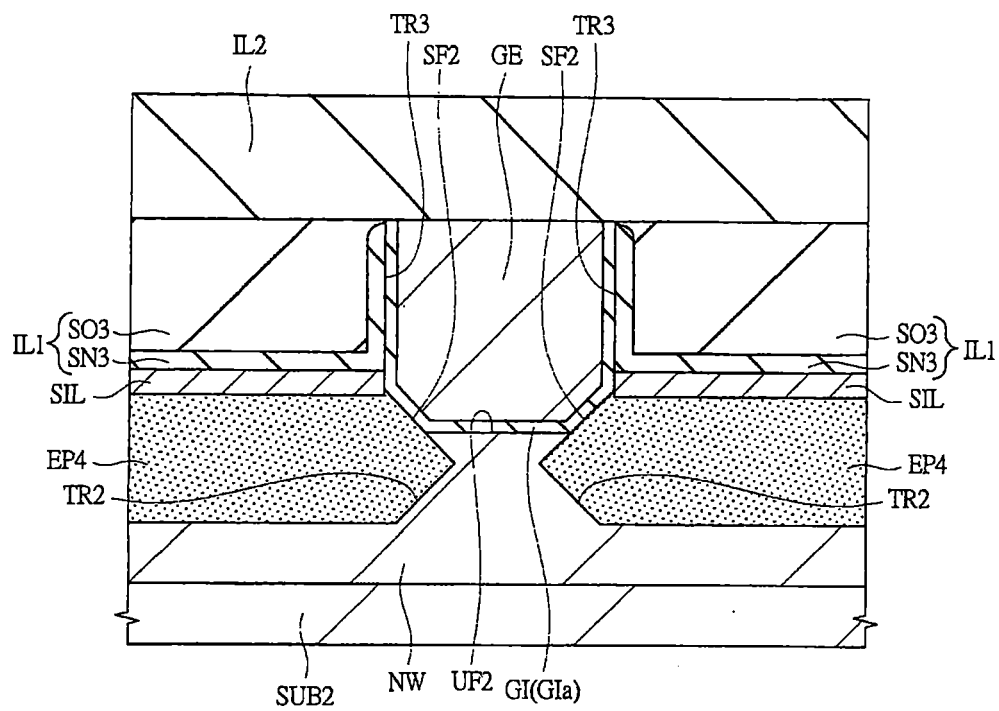


圖 84



【代表圖】

【本案指定代表圖】：第(1)圖。

【本代表圖之符號簡單說明】：

BOX1：絕緣層

EG：端部

EG3，EG4：角部

EP1：半導體層

GE：閘極電極

GI：閘極絕緣膜

IL1，IL2：絕緣膜

SF1：側面

SIL：金屬矽化物層

SM1：半導體層

SN3：襯墊膜

SO3：絕緣膜

SUB：SOI基板

SUB1：基板

SW3：側壁絕緣膜

TR：溝

UF1：上面

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

申請專利範圍

1. 一種半導體裝置，係具有包含閘極絕緣膜、閘極電極、源極用的第 1 磊晶層及汲極用的第 2 磊晶層之 MISFET，其特徵為：

複數的第 1 溝被形成於半導體基板，

前述第 1 及第 2 磊晶層，係分別被埋入至前述第 1 溝內而形成，且具有比前述第 1 溝外的前述半導體基板的表面更高的突出部，

前述突出部，係具有：在前述 MISFET 的閘極長方向，從前述閘極電極的中心朝向遠離的方向，其厚度逐漸地變厚的傾斜部，

第 1 絕緣膜被形成於前述半導體基板上、前述第 1 磊晶層上及前述第 2 磊晶層上，

第 2 溝，係以將前述第 1 及第 2 磊晶層間的前述半導體基板上、前述第 1 磊晶層的傾斜部上、及前述第 2 磊晶層的傾斜部上開口之方式，形成於前述第 1 絕緣膜中，

前述閘極絕緣膜，係以沿著前述第 1 及第 2 磊晶層的傾斜部的形狀之方式，形成於前述第 2 溝的側面及底面，

前述閘極電極，係以沿著前述第 1 及第 2 磊晶層的傾斜部的形狀之方式，隔著前述閘極絕緣膜來埋入前述第 2 溝內之方式形成，

前述 MISFET 的閘極長方向的前述閘極電極的兩端部，係分別位於前述第 1 及第 2 磊晶層上，

前述第 1 及第 2 磊晶層，係分別具有：第 1 領域，及

與前述第 1 領域鄰接，且比前述第 1 領域更高雜質濃度的第 2 領域，

前述第 1 領域的至少一部分，係位於前述閘極電極的正下面，

在前述第 1 及第 2 磊晶層上形成有矽化物膜，

前述矽化物膜與前述閘極電極，係藉由前述閘極絕緣膜來絕緣。

2. 如申請專利範圍第 1 項之半導體裝置，其中，前述閘極絕緣膜係含金屬氧化物。

3. 如申請專利範圍第 2 項之半導體裝置，其中，前述閘極絕緣膜，係於前述第 1 及第 2 磊晶層間的前述半導體基板與前述金屬氧化物之間含氧化矽膜。

4. 如申請專利範圍第 1 項之半導體裝置，其中，前述閘極電極係含金屬膜。

5. 如申請專利範圍第 1 項之半導體裝置，其中，前述半導體基板為矽，

前述 MISFET 的通道領域係被形成於前述矽，

前述 MISFET 為 p 通道型 MISFET，

前述第 1 及第 2 磊晶層係分別含 SiGe。

6. 如申請專利範圍第 5 項之半導體裝置，其中，藉由前述第 1 及第 2 磊晶層，在前述 MISFET 的通道領域中產生 -1.3GPa 以上的壓縮應力。

7. 如申請專利範圍第 1 項之半導體裝置，其中，前述半導體基板為矽，

前述 MISFET 的通道領域係被形成於前述矽，

前述 MISFET 為 n 通道型 MISFET，

前述第 1 及第 2 磊晶層係分別含 SiC。

8. 如申請專利範圍第 7 項之半導體裝置，其中，藉由前述第 1 及第 2 磊晶層，在前述 MISFET 的通道領域中產生 1.3GPa 以上的拉伸應力。

9. 如申請專利範圍第 1 項之半導體裝置，其中，前述矽化物膜係與前述閘極絕緣膜直接接觸。