



(12) 发明专利

(10) 授权公告号 CN 1988177 B

(45) 授权公告日 2010.09.29

(21) 申请号 200610101153.0

第 16 行 - 第 3 栏第 17 行、图 1-4.

(22) 申请日 2006.07.05

CN 1665000 A, 2005.09.07, 全文.

(30) 优先权数据

129138/05 2005.12.24 KR

JP 2005-229107 A, 2005.08.25, 全文.

JP 2005-353618 A, 2005.12.22, 全文.

(73) 专利权人 三星电子株式会社

审查员 施曙东

地址 韩国京畿道

(72) 发明人 金锡必 玄在雄 朴允童 金元柱

朴东健 李忠浩

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 陶凤波 侯宇

(51) Int. Cl.

H01L 29/78 (2006.01)

H01L 21/336 (2006.01)

(56) 对比文件

US 2005/0176186 A1, 2005.08.11, 说明书第
0029-0034 段、图 2-3, 5.

US 6844238 B2, 2005.01.18, 说明书第 2 栏

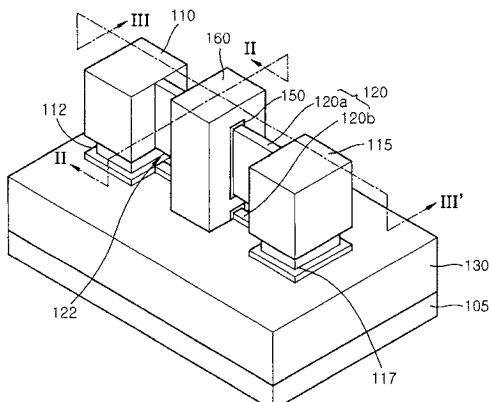
权利要求书 3 页 说明书 6 页 附图 10 页

(54) 发明名称

具有周围栅极结构的鳍型场效应晶体管及其
制造方法

(57) 摘要

本发明提供一种具有 GAA 结构的 Fin-FET，其能够利用鳍周围的整个区域作为沟道区。该具有 GAA 结构的 Fin-FET 包括具有体、一对支承柱和鳍的半导体衬底。该支承柱对从所述体向上突出，鳍与所述体间隔开并且具有连接到所述支承柱对并被其支承的两端。栅极电极完全围绕所述半导体衬底的所述鳍的至少一部分并与所述半导体衬底绝缘。栅极绝缘层置于所述栅极电极和所述半导体衬底的所述鳍之间。



1. 一种具有周围栅极结构的鳍型场效应晶体管,该鳍型场效应晶体管包括:

半导体衬底,包括体、从所述体向上突出的一对支承柱、与所述体间隔开的第一鳍、以及从所述体突出的第二鳍,其中所述第一鳍具有连接到所述支承柱对的两端并被所述支承柱对支承,所述第二鳍的两端连接到所述支承柱对并在所述第一鳍之下分开地形成;

形成于所述体上的器件绝缘层;

栅极电极,完全围绕所述半导体衬底的所述第一鳍的至少一部分且形成于所述第二鳍的上端表面上,并与所述半导体衬底绝缘,其中所述第二鳍的上端表面包括被所述器件绝缘层暴露的上表面和侧表面;以及

栅极绝缘层,形成于所述栅极电极之下所述第一鳍的表面上以及形成于所述第二鳍的上端表面上。

2. 如权利要求1所述的鳍型场效应晶体管,其中每个所述支承柱包括在与所述半导体衬底的所述鳍连接的部分之下形成在该支承柱周围的凹进区域。

3. 如权利要求1所述的鳍型场效应晶体管,其中所述半导体衬底是块晶片,其中所述鳍和所述支承柱对由相同半导体材料形成。

4. 一种制造具有周围栅极结构的鳍型场效应晶体管的方法,该方法包括:

选择性蚀刻半导体衬底,从而形成从所述半导体衬底的体向上突出的一对支承柱以及从所述半导体衬底的所述体向上突出的鳍,所述鳍的两端连接到所述支承柱对并被其支承;

在所述半导体衬底的所述体上形成器件绝缘层从而暴露所述半导体衬底的所述支承柱对和所述鳍的上部分;

在所述半导体衬底的所述支承柱对和所述鳍的从所述器件绝缘层暴露的侧壁上形成间隔物绝缘层;

利用所述间隔物绝缘层作为蚀刻掩模来将所述器件绝缘层蚀刻至预定厚度,从所述器件绝缘层暴露所述半导体衬底的所述支承柱对和所述鳍的部分;

去除所述半导体衬底的所述鳍的暴露部分,从而形成穿透所述鳍的孔道;

在通过所述孔道与所述半导体衬底的所述体间隔开的所述鳍部分的表面上形成栅极绝缘层;以及

在所述器件绝缘层上形成栅极电极,所述栅极电极完全围绕所述半导体衬底的所述鳍部分的其上已经形成了所述栅极绝缘层的部分。

5. 如权利要求4所述的方法,还包括通过蚀刻所述半导体衬底的所述支承柱对的所述暴露部分,与所述孔道的形成同时地形成凹进区域。

6. 如权利要求5所述的方法,其中所述孔道的形成和所述凹进区域的形成包括:

氧化所述半导体衬底的所述支承柱对的从所述间隔物绝缘层暴露的部分以及所述鳍的从所述间隔物绝缘层暴露的部分的表面;以及

去除所述半导体衬底的所述支承柱对和所述鳍的所述氧化部分。

7. 如权利要求5所述的方法,其中所述孔道的形成和所述凹进区域的形成包括蚀刻所述半导体衬底的所述支承柱对的从所述间隔物绝缘层暴露的部分以及所述鳍的从所述间隔物绝缘层暴露的部分的表面。

8. 如权利要求4所述的方法,其中所述栅极电极的形成包括:

在其中已形成所述栅极绝缘层的所得结构的整个表面上形成围绕所述半导体衬底的所述鳍的栅极电极层；以及
构图所述栅极电极层。

9. 如权利要求 8 所述的方法，其中所述栅极绝缘层还形成在连接到所述半导体衬底的所述体的鳍部分的暴露表面上。

10. 如权利要求 9 所述的方法，其中所述栅极绝缘层通过热氧化形成。

11. 如权利要求 9 所述的方法，其中所述栅极电极还形成在所述孔道之下连接到所述半导体衬底的所述体的鳍部分的所述栅极绝缘层上。

12. 一种制造周围栅极结构的鳍型场效应晶体管的方法，该方法包括：

选择性蚀刻半导体衬底，从而形成从所述半导体衬底的体向上突出的一对支承柱以及从所述半导体衬底的所述体向上突出的鳍，所述鳍的两端连接到所述支承柱对并被其支撑；

在所述半导体衬底的所述体上形成器件绝缘层从而暴露所述半导体衬底的所述支承柱对和所述鳍的上部分；

在所述半导体衬底的所述支承柱对和所述鳍的从所述器件绝缘层暴露的侧壁上形成间隔物绝缘层；

利用所述间隔物绝缘层作为蚀刻掩模来蚀刻所述器件绝缘层至预定厚度，暴露所述半导体衬底的所述支承柱对和所述鳍的部分；

通过去除所述半导体衬底的所述鳍的所述暴露部分形成穿透所述鳍的孔道，且在所述半导体衬底的所述支承柱对的所述暴露部分的表面上形成凹进区域；

在所述器件绝缘层上形成绝缘掩模，所述绝缘掩模包括暴露部分所述孔道和通过所述孔道与所述半导体衬底的所述体间隔开的鳍部分的槽；

在所述半导体衬底的通过所述绝缘掩模的所述槽暴露的所述鳍部分上形成栅极绝缘层；以及

在所述器件绝缘层上形成栅极电极，所述栅极电极填充所述绝缘掩模的所述槽并完全围绕所述鳍部分的部分，其中所述鳍部分的所述部分与所述半导体衬底的所述体间隔开并被所述绝缘掩模的所述槽暴露。

13. 如权利要求 12 所述的方法，其中所述孔道的形成和所述凹进区域的形成包括：

氧化所述半导体衬底的所述支承柱对的从所述间隔物绝缘层暴露的部分以及所述鳍的从所述间隔物绝缘层暴露的部分的表面；及

去除所述半导体衬底的所述支承柱对和所述鳍的所述氧化部分。

14. 如权利要求 12 所述的方法，其中所述孔道的形成和所述凹进区域的形成包括蚀刻所述半导体衬底的所述支承柱对的从所述间隔物绝缘层暴露的部分以及所述鳍的从所述间隔物绝缘层暴露的部分的表面。

15. 如权利要求 12 所述的方法，其中所述绝缘掩模的所述槽还暴露所述孔道之下连接到所述半导体衬底的所述体的鳍部分的表面。

16. 如权利要求 15 所述的方法，其中所述栅极绝缘层还形成在所述孔道之下连接到所述半导体衬底的所述体的鳍部分的暴露表面上。

17. 如权利要求 16 所述的方法，其中所述栅极电极还形成在所述孔道之下连接到所述

半导体衬底的所述体的所述鳍部分的所述栅极绝缘层上。

18. 如权利要求 12 所述的方法,其中所述绝缘掩模的形成包括:

在所述器件绝缘层上形成绝缘掩模膜,所述绝缘掩模膜覆盖所述半导体衬底的所述支撑柱对和所述鳍;及

蚀刻所述绝缘掩模膜并形成暴露所述孔道和与所述半导体衬底的所述体间隔开的所述鳍部分的所述槽。

19. 如权利要求 18 所述的方法,其中所述绝缘掩模膜的蚀刻包括用于形成所述槽的各向异性蚀刻以及用于扩展所述槽和去除形成在所述孔道中的绝缘掩模膜的各向同性蚀刻。

具有周围栅极结构的鳍型场效应晶体管及其制造方法

技术领域

[0001] 本发明涉及半导体器件，更特别地，涉及具有鳍型沟道区的鳍型场效应晶体管(Fin-FET)及其制造方法。

背景技术

[0002] 随着半导体器件更加高度集成，半导体器件的部件的设计规则变得更加严格。具体地，对于需要很多晶体管的半导体器件，作为设计规则的标准的栅极长度减小，因而沟道长度也减小。晶体管的沟道长度的减小增加了所谓的短沟道效应。

[0003] 短沟道效应指的是晶体管的有效沟道长度由于漏极电势的影响而减小且阈值电压下降的现象。因此，晶体管的控制变得困难且晶体管的截止电流(offcurrent)增大，降低了晶体管的可靠性。例如，存储器件的刷新特性降低。

[0004] 正在对所谓的Fin-FET进行研究，Fin-FET是具有鳍型沟道结构的晶体管，利用薄鳍的几个表面作为沟道，从而可以防止传统平面晶体管中导致问题的短沟道效应且同时可以增大工作电流。

[0005] 例如，授予David M. Fried等人的美国专利No. 6664582公开了一种Fin-FET和鳍型存储单元。在David M. Fried等人的Fin-FET中，鳍的顶和侧表面可以用作沟道区。作为另一个例子，授予Yee-Chia Yeo等人的美国专利No. 6844238“MULTIPLE-GATE TRANSISTORS WITH IMPROVED GATECONTROL”公开了一种Fin-FET，其中半导体鳍的侧、上和下表面部分用作沟道区。

[0006] 然而，授予David M. Fried等人和Yee-Chia Yeo等人的Fin-FET的问题在于它们利用SOI衬底制造，这增加了制造成本。另外，由于鳍的下表面未完全用作沟道区，增大工作电流上存在限制。因此，正在针对具有周围栅极(gate all around :GAA)结构的Fin-FET进行研究，其中鳍的整个区域，即其侧、上、甚至下表面可以用作沟道区。

发明内容

[0007] 本发明提供一种具有GAA结构的Fin-FET，其能够利用鳍的整个区域作为沟道区。

[0008] 本发明还提供一种具有GAA结构的Fin-FET，其利用块半导体衬底(bulk semiconductor substrate)。

[0009] 根据本发明的一个方面，提供一种具有GAA结构的Fin-FET。在该Fin-FET中，半导体衬底包括体(body)、从所述体向上突出的一对支承柱、以及与所述体间隔开且具有连接到所述支承柱对并被其支承的两端的鳍。栅极电极完全包围所述半导体衬底的所述鳍的至少一部分并与所述半导体衬底绝缘。栅极绝缘层置于所述栅极电极和所述半导体衬底的所述鳍之间。

[0010] 每个所述支承柱可包括在与所述半导体衬底的所述鳍连接的部分之下形成在该支承柱周围的凹进区域。

[0011] 所述半导体衬底还可包括从所述体突出的另一鳍，所述另一鳍的两端连接到所述

支承柱对并在所述鳍之下分隔开地形成。

[0012] 所述栅极绝缘层还可形成在所述另一鳍的上端的表面上，所述栅极电极可进入所述鳍与所述另一鳍之间。

[0013] 根据本发明的另一方面，提供一种制造具有GAA结构的Fin-FET的方法。在该方法中，选择性蚀刻半导体衬底从而形成从所述半导体衬底的体向上突出的一对支承柱以及从所述半导体衬底的所述体向上突出的鳍，所述鳍的两端连接到所述支承柱对并被其支承。在所述半导体衬底的所述体上形成器件绝缘层从而暴露所述半导体衬底的所述支承柱对和所述鳍的上部分。在所述半导体衬底的所述支承柱对和所述鳍的从所述器件绝缘层暴露的侧壁上形成间隔物绝缘层。利用所述间隔物绝缘层作为蚀刻掩模来蚀刻所述器件绝缘层至预定厚度，所述半导体衬底的所述支承柱对和所述鳍的部分从所述器件绝缘层暴露。去除所述半导体衬底的所述暴露部分从而形成穿透所述鳍的孔道。在通过所述孔道与所述半导体衬底的所述体间隔开的所述鳍部分的表面上形成栅极绝缘层。在所述器件绝缘层上形成栅极电极，所述栅极电极完全围绕所述半导体衬底的所述鳍部分的其上已经形成了所述栅极绝缘层的部分。

[0014] 根据本发明的再一方面，提供一种制造GAA结构的Fin-FET的方法。在该方法中，选择性蚀刻半导体衬底从而形成从所述半导体衬底的体向上突出的一对支承柱以及从所述半导体衬底的所述体向上突出的鳍，所述鳍的两端连接到所述支承柱对并被其支承。在所述半导体衬底的所述体上形成器件绝缘层从而暴露所述半导体衬底的所述支承柱对和所述鳍的上部分。在所述半导体衬底的所述支承柱对和所述鳍的从所述器件绝缘层暴露的侧壁上形成间隔物绝缘层。利用所述间隔物绝缘层作为蚀刻掩模来蚀刻所述器件绝缘层至预定厚度，并且暴露所述半导体衬底的所述支承柱对和所述鳍的部分。通过去除所述半导体衬底的所述鳍的所述暴露部分形成穿透所述鳍的孔道，以及在所述半导体衬底的所述支承柱对的所述暴露部分的表面上形成凹进区域。在所述器件绝缘层上形成绝缘掩模，所述绝缘掩模包括暴露所述孔道和通过所述孔道与所述半导体衬底的所述体间隔开的所述鳍部分的槽。在所述半导体衬底的通过所述绝缘掩模的所述槽暴露的所述鳍部分上形成栅极绝缘层。在所述器件绝缘层上形成栅极电极，所述栅极电极填充所述绝缘掩模的所述槽并完全围绕所述鳍部分的与所述半导体衬底的所述体间隔开的部分。

附图说明

[0015] 通过参照附图详细描述其示例性实施例，本发明的上述和其它特征及优点将变得更加明显，附图中：

[0016] 图1是根据本发明一实施例的Fin-FET的透视图；

[0017] 图2是沿图1的线II-II'截取的横截面图；

[0018] 图3是沿图1的线III-III'截取的横截面图；

[0019] 图4至11是透视图，示出制造根据本发明一实施例的Fin-FET的方法；

[0020] 图12、14、16和18是透视图，示出制造根据本发明另一实施例的Fin-FET的方法；

[0021] 图13、15、17和19是横截面图，分别示出图12、14、16和18的结构。

具体实施方式

[0022] 现在将参照附图更完整地说明本发明，附图中示出本发明的示例性实施例。然而，本发明能够以多种不同形式实施并且不应理解为局限于这里提出的实施例；相反，提供这些实施例是为了使得本公开彻底和完整，并向本领域技术人员充分传达本发明的概念。为清晰起见，图中层的厚度和区域被放大。

[0023] 在本发明的实施例中，Fin-FET 可以是利用鳍的表面作为沟道区的鳍型场效应晶体管。例如，Fin-FET 可以用在要求高速运行的逻辑器件或存储器件中。

[0024] 图 1 是根据本发明一实施例的 Fin-FET 的透视图，图 2 是沿图 1 的线 II-II' 截取的横截面图，图 3 是沿图 1 的线 III-III' 截取的横截面图。

[0025] 参照图 1 至 3，该 Fin-FET 包括具有体 105 的半导体衬底、一对支承柱 110 和 115、以及鳍 120。半导体衬底可以是块晶片 (bulk wafer)，在此情况下，体 105、支承柱 110 和 115 以及鳍 120 可以由相同的半导体材料形成。例如，半导体衬底可以是掺杂以杂质的块硅晶片或块硅锗晶片。

[0026] 支承柱 110 和 115 分别从体 105 沿向上方向突出。鳍 120 可包括通过孔道 (tunnel) 122 彼此间隔开的上部分 120a 和下部分 120b。鳍 120 的上部分 120a 通过孔道 122 与体 105 间隔开，且鳍 120 的两端可连接到支承柱 110 和 115 且由其支承。鳍 120 的下部分 120b 从体 105 突出且其两端可通过支承柱 110 和 115 被支承。鳍 120 的上部分 120a 和下部分 120b 可以设置在相同的剖面上。即，鳍 120 可以形成为一块板 (plate) 且然后通过孔道 (tunnel) 122 分成上部分 120a 和下部分 120b。

[0027] 孔道 122 的高度可以朝向鳍 120 的内部下降，或者如图 1 至 3 所示，孔道 122 的高度可恒定。支承柱 110 和 115 可以包括形成在其周围、鳍 120 的上部分 120a 之下孔道 122 附近的凹进区域 112 和 117。凹进区域 112 和 117 中支承柱 110 和 115 的宽度小于其它部分处的宽度。

[0028] 器件绝缘层 130 可以形成在体 105 上从而围绕支承柱 110 和 115 以及鳍 120 的下部分 120b 的部分。例如，器件绝缘层 130 可以暴露支承柱 110 和 115 的凹进区域 112 和 117 且暴露鳍 120 的下部分 120b 的上端。器件绝缘层 130 置于栅极电极 160 与体 105 之间并可用于使栅极电极 160 与体 105 绝缘。例如，器件绝缘层 130 可以由氧化物层形成。

[0029] 栅极电极 160 完全围绕鳍 120 的上部分 120a 的至少一部分并与半导体衬底绝缘，即与体 105 和鳍 120 绝缘。在这方面，可认为栅极电极 160 具有周围栅极 (GAA) 结构。被栅极电极 160 围绕的鳍 120 的上部分 120a 的表面侧可以用作 Fin-FET 的沟道区。例如，栅极电极 160 可以由多晶硅层、金属层、金属硅化物层、或其组合形成。

[0030] 由于 GAA 结构不仅使用鳍 120 的上部分 120a 的侧表面而且还使用其上和下部分作为沟道区，所以它可以增大工作电流，有助于 Fin-FET 的性能改善。栅极电极 160 还可形成在鳍 120 的下部分 120b 的上端表面上。即，栅极电极 160 可以形成为进入鳍 120 的上部分 120a 和下部分 120b 之间。因此，Fin-FET 的工作电流可以进一步增大。

[0031] 栅极绝缘层 150 置于栅极电极 160 与鳍 120 的上部分 120a 之间。即，栅极绝缘层 150 可以形成在栅极电极 160 之下鳍 120 的上部分 120a 的表面上以及形成在从器件绝缘层 130 暴露的鳍 120 的下部分 120b 的上端的表面上。栅极绝缘层 150 可以将栅极电极 160 与鳍 120 绝缘。例如，栅极绝缘层 150 可包括氧化物层或高介电常数绝缘层。

[0032] 设置在栅极电极 160 两侧的鳍区域可以分别用作 Fin-FET 的源极区（未示出）和

漏极区（未示出）。源极区和漏极区还可以分别延伸到支承柱 110 和 115。即，源极区和漏极区可以掺杂以相同类型的杂质。源极区和漏极区可以二极管连接 (diode-connected) 到体 105。

[0033] 尽管图 1 至 3 中栅极电极 160 示出为围绕鳍 120 的暴露部分，但是栅极电极 160 也可以形成为围绕鳍 120 的整个暴露部分。在此情况下，源极区和漏极区可以形成在支承柱 110 和 115 处。

[0034] 根据本发明实施例的上述 Fin-FET 具有 GAA 结构。换言之，栅极电极 160 形成为完全围绕鳍 120 的上部分 120a 且因此沟道区可以形成在鳍 120 的上部分 120a 的整个表面。因此，与仅使用部分表面作为沟道区的现有技术相比，根据本发明实施例的 Fin-FET 能够增加工作电流，从而获得改善的性能。

[0035] 图 4 至 11 是透视图，示出制造根据本发明一实施例的具有 GAA 结构的 Fin-FET 的方法。下面参照图 1 至 3 的 Fin-FET 结构描述制造该 Fin-FET 的方法。在本发明的实施例中相似的附图标记表示相似的元件。

[0036] 参照图 4，半导体衬底被选择性蚀刻从而形成从体 105 突出的一对支承柱 110' 和 115' 以及鳍 120'。鳍 120' 的两端连接到支承柱 110' 和 115' 并被其支承。半导体衬底可以是块半导体晶片，例如硅晶片或硅锗晶片。因此，体 105、支承柱 110' 和 115' 以及鳍 120' 可以由相同材料形成，换言之，可以是半导体衬底的一部分。

[0037] 授予 David M. Fried 等人的美国专利 No. 6664582 和授予 Yee-Chia Yeo 等人的美国专利 No. 6844238 可用作支承柱 110' 和 115' 以及鳍 120' 的形成的参考。例如，用于暴露支承柱 110' 和 115' 以及鳍 120' 的掩模图案可以形成在半导体衬底上。利用该掩模图案作为蚀刻掩模，半导体衬底被蚀刻至预定深度从而形成支承柱 110' 和 115' 以及鳍 120'。作为另一例子，间隔物型掩模 (spacer-type mask) 图案可用于精确控制鳍 120' 的宽度。即，支承柱 110' 和 115' 与鳍 120' 分别形成。

[0038] 参照图 5，器件绝缘层 130 形成在体 105 上从而暴露支承柱 110' 和 115' 以及鳍 120' 的上部分。例如，器件绝缘膜（未示出）通过化学气相沉积 (CVD) 工艺形成在图 4 的所得结构上。然后，器件绝缘膜被平坦化且被蚀刻至预定厚度，由此形成器件绝缘层 130。例如，器件绝缘层 130 可以由氧化物层形成。

[0039] 参照图 6，缓冲绝缘层 135 和间隔物绝缘层 140 顺序形成在支承柱 110' 和 115' 以及鳍 120' 的从器件绝缘层 130 暴露的侧壁上。缓冲绝缘层 135 可以用于减小间隔物绝缘层 140 的应力，但是在本发明的修改实施例中其可以被省略。

[0040] 例如，缓冲绝缘层 135 可以由氧化物层形成，间隔物绝缘层可以由氮化物层形成。间隔物绝缘层 140 的形成可以包括形成间隔物绝缘膜（未示出）和各向异性蚀刻该间隔物绝缘膜。间隔物绝缘层 140 可相对于器件绝缘层 130 具有蚀刻选择性。

[0041] 参照图 7，通过利用间隔物绝缘层 140 作为蚀刻掩模，器件绝缘层 130 被蚀刻至预定厚度。于是，支承柱 110' 和 115' 以及鳍 120' 在间隔物绝缘层 140 之下部分 112'、117' 和 122' 从器件绝缘层 130 暴露。例如，器件绝缘层 130 可以通过各向同性湿法蚀刻被蚀刻至预定厚度。鳍 120' 的暴露部分 122' 可以定义将形成有孔道（图 9 的 122）的部分。因此，可以根据孔道 122 的高度控制蚀刻时间。

[0042] 参照图 8，通过氧化支承柱 110' 和 115' 的部分 112' 和 117' 以及鳍 120' 的部

分 122' 的表面形成牺牲氧化物层 145。在该情况下,另一牺牲氧化物层 147 可以同时形成在支承柱 110' 和 115' 以及鳍 120' 的从间隔物绝缘层 140 暴露的表面部分上。即,支承柱 110' 和 115' 以及鳍 120' 的从间隔物绝缘层 140 和器件绝缘层 130 暴露的部分可以被氧化。

[0043] 在氧化工艺中,鳍 120' 的部分 122' 在其整个宽度上被氧化。形成在鳍 120' 的部分 122' 处的牺牲氧化物层 145 的厚度沿宽度方向可以不恒定。例如,如果氧化进行较短时间,则牺牲氧化物层 145 的厚度从其表面朝向鳍 120' 的部分 122' 的内部会变薄。然而,通过保持氧化足够时间,鳍 120' 的部分 122' 的牺牲氧化物层 145 可以被制得沿宽度方向具有恒定厚度。然而,由于鳍 120' 的高度比其宽度足够大,另一牺牲氧化物层 147 可以仅形成在鳍 120' 的上部分的表面。

[0044] 因为支承柱 110' 和 115' 具有比鳍 120' 的宽度更大的宽度,所以牺牲层 145 和 147 仅形成在表面部分上。因此,可以控制氧化时间使得鳍 120' 的部分 122' 沿宽度方向被全部氧化且支承柱 110' 和 115' 的部分 112' 和 117' 仅表面被氧化。

[0045] 参照图 9,牺牲氧化物层(图 8 的 145 和 147)、缓冲绝缘层 135 和间隔物绝缘层 140 被去除从而形成具有凹进区域 112 和 117 的支承柱 110 和 115 以及具有孔道的鳍 120。这样,鳍 120 可被分成上部分 120a 和下部分 120b。尽管上部分 120a 通过孔道 122 与体 105 隔开,但是上部分 120a 的两端可以通过支承柱 110 和 115 被支承。

[0046] 凹进区域 112 和 117 以及孔道 122 的形状可以通过牺牲氧化物层 145 的形状决定。因此,孔道 122 可以具有基本恒定的宽度或者可以具有朝向鳍 120 的内部降低的宽度。

[0047] 例如,牺牲氧化物层 145 和 147、缓冲绝缘层 135 和间隔物绝缘层 140 可以通过湿法蚀刻被去除。牺牲氧化物层 145 和 147 以及缓冲绝缘层 135 可以利用包括氢氟酸的湿法蚀刻溶液被去除,间隔物绝缘层 140 可以利用包括磷酸的湿法蚀刻溶液被去除。牺牲氧化物层 145 和 147 以及缓冲绝缘层 135 被去除的同时,器件绝缘层 130 的一部分也可被蚀刻。因此,鳍 120 的下部分 120b 的上端可以从器件绝缘层 130 暴露。

[0048] 在本发明的修改实施例中,图 8 的形成牺牲氧化物层 145 和 147 的操作可被省略,图 9 的去除操作可被修改。例如,支承柱 110' 和 115' 的暴露部分 112' 和 117' 以及鳍 120' 的暴露部分 122' 利用间隔物绝缘层 140 和缓冲绝缘层 135 作为蚀刻掩模被蚀刻,从而可以形成凹进部分 112 和 117 以及孔道 122。在该情况下,从间隔物绝缘层 140 暴露的支承柱 110' 和 115' 以及鳍 120' 的上端表面可被部分地蚀刻。

[0049] 参照图 10,栅极绝缘膜 150' 形成在从器件绝缘层 130 暴露的图 9 的支承柱 110 和 115 以及鳍 120 的表面上。例如,栅极绝缘层 150' 可以通过热氧化方法或 CVD 方法形成。当使用热氧化方法时,支承柱 110 和 115 以及鳍 120 的暴露表面可以被氧化。

[0050] 参照图 11,栅极电极层(未示出)形成在其中图 10 的栅极绝缘膜 150' 已被形成的所得结构的整个表面上,并且栅极绝缘膜 150' 和栅极电极层被构图从而形成栅极绝缘层 150 和栅极电极 160。栅极绝缘层 150 形成在鳍 120 的通过孔道 122 与体 105 隔开的上部分 120a 的表面上以及在下部分 120b 的从器件绝缘层 130 暴露的上端的表面上。

[0051] 栅极电极 160 形成在器件绝缘层 130 上从而完全围绕鳍 120 的上部分 120a 的形成有栅极绝缘层 150 的部分。另外,栅极电极 160 还可以形成在鳍 120 的下部分 120b 的上端上。栅极电极 160 通过栅极绝缘层 150 与鳍 120 绝缘并且通过器件绝缘层 130 与体 105

绝缘。换言之，栅极电极 160 与半导体衬底绝缘。

[0052] 同时，源极区域（未示出）和漏极区域（未示出）可以通过掺杂杂质到位于栅极电极 160 的两侧的鳍部分中以及支承柱 110 和 115 中来形成。然后，可以利用本领域技术人员公知的方法形成金属互连。

[0053] 根据本发明的前述实施例，通过利用块半导体衬底可以制造具有 GAA 结构的 Fin-FET。为此，与利用 SOI 晶片或外延层的传统制造方法相比，制造根据本发明实施例的具有 GAA 结构的 Fin-FET 的方法可以降低制造成本。

[0054] 图 12 至 19 示出根据本发明另一实施例制造具有 GAA 结构的 Fin-FET 的方法。另一实施例提供形成栅极绝缘层和栅极电极的修改的方法。图 4 至 9 的实施例可以用作根据本发明另一实施例形成支承柱 110 和 115 以及鳍 120 的方法的参考。两个实施例中相似的附图标记表示相似的元件。

[0055] 参照图 12 和 13，包括暴露部分鳍 120 的槽 163 的绝缘掩模 165 形成在器件绝缘层 130 上。例如，围绕鳍 120 的绝缘掩模层（未示出）形成在器件绝缘层 130 上。然后，绝缘掩模层被各向异性蚀刻从而形成暴露部分鳍 120 的槽 163。例如，绝缘掩模 165 可以由氧化物层形成。槽 163 可以暴露鳍 120 的上部分 120a 预定长度且可以暴露下部分 120b 的上端表面。绝缘掩模层的部分 165a 可以留在孔道 122 内部。

[0056] 参照图 14 和 15，绝缘掩模 165 被各向同性蚀刻从而扩展槽 163 的宽度，绝缘掩模层的部分 165a 被去除从而开口孔道 122。这样的扩展和开口操作可以通过湿法蚀刻进行。

[0057] 参照图 16 和 17，栅极绝缘层 150 形成在鳍 120 的通过图 14 的槽 163 暴露的部分的表面上。栅极绝缘层 150 可以形成在鳍 120 的上部分 120a 的表面上以及在鳍 120 的下部分 120b 的上表面上。栅极绝缘层 150 可以通过热氧化方法或 CVD 方法形成。

[0058] 然后，填充槽 163 并凸出在绝缘掩模 165 之上的栅极电极层 160' 形成在已经形成了栅极绝缘层 150 的所得结构上。栅极电极层 160' 可以通过 CVD 方法由多晶硅层、金属层、金属硅化物层、或其组合形成。

[0059] 参照图 18 和 19，栅极电极层 160' 被平坦化直到绝缘掩模 165 被暴露，由此形成填充在图 14 的槽 163 中的栅极电极 160。栅极电极 160 可完全围绕鳍 120 的上部分 120a 的一部分且可以形成在下部分 120b 和器件绝缘层 130 的上端表面上。

[0060] 根据本发明前述另一实施例，通过利用块半导体衬底可以制造具有 GAA 结构的 Fin-FET。因此，与利用 SOI 晶片或外延层的传统制造方法相比，制造根据本发明实施例的具有 GAA 结构的 Fin-FET 的方法可以降低制造成本。

[0061] 尽管本发明参照其实施例进行了特定示出和描述，本领域技术人员能够理解，在不脱离本发明的权利要求所定义的精神和范围的情况下可以进行形式和细节上的各种改变。

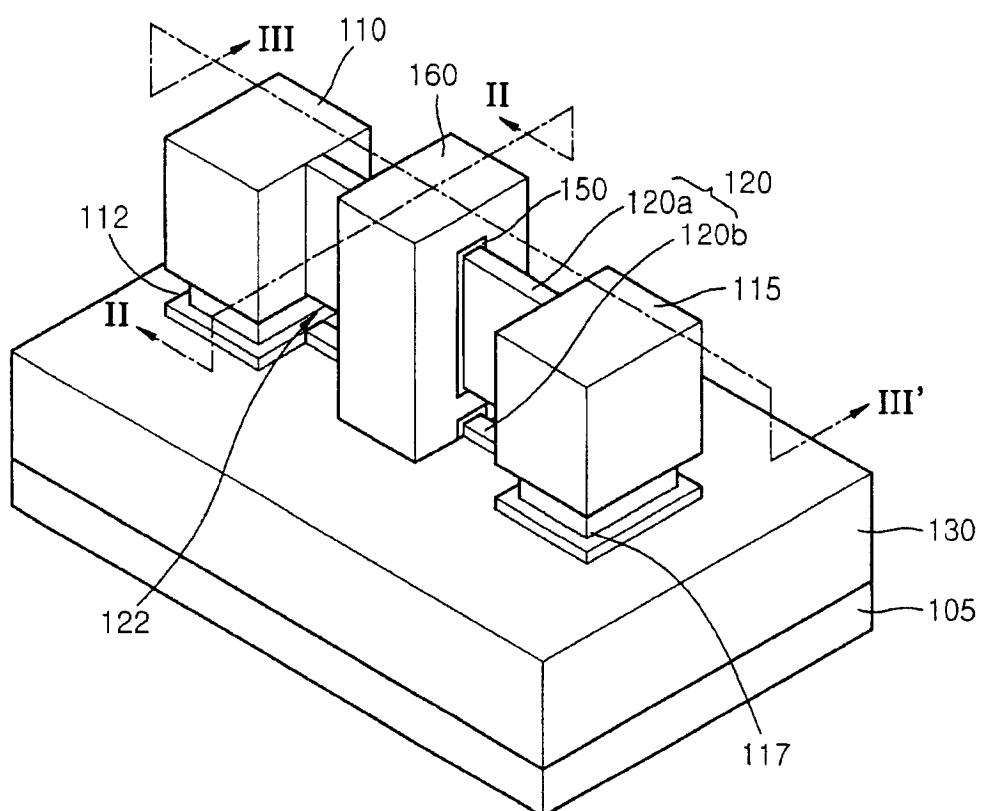


图 1

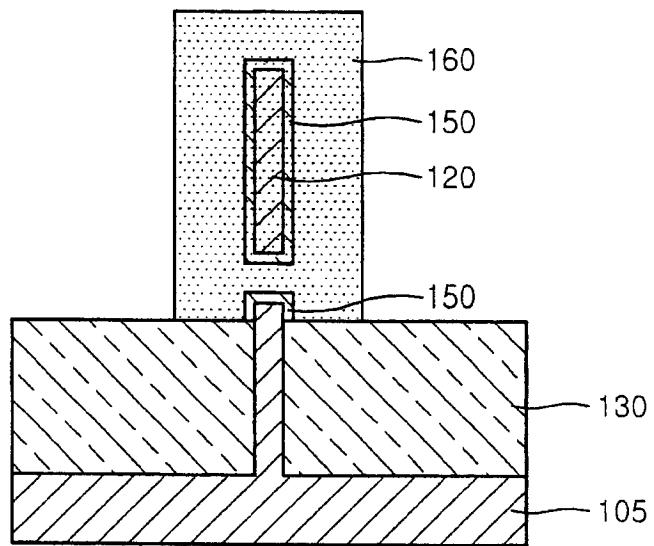


图 2

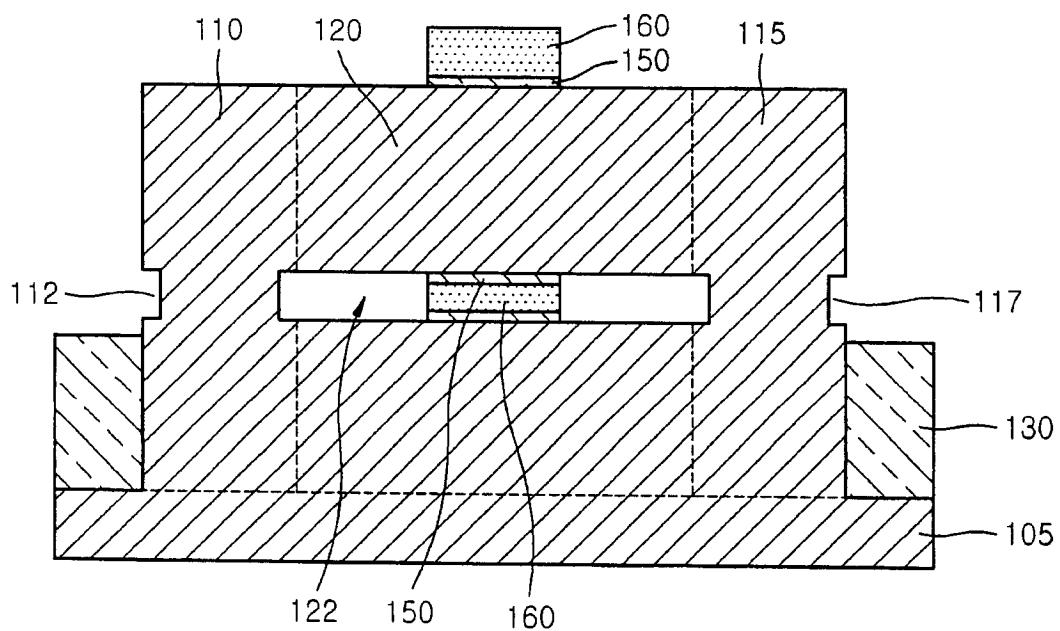


图 3

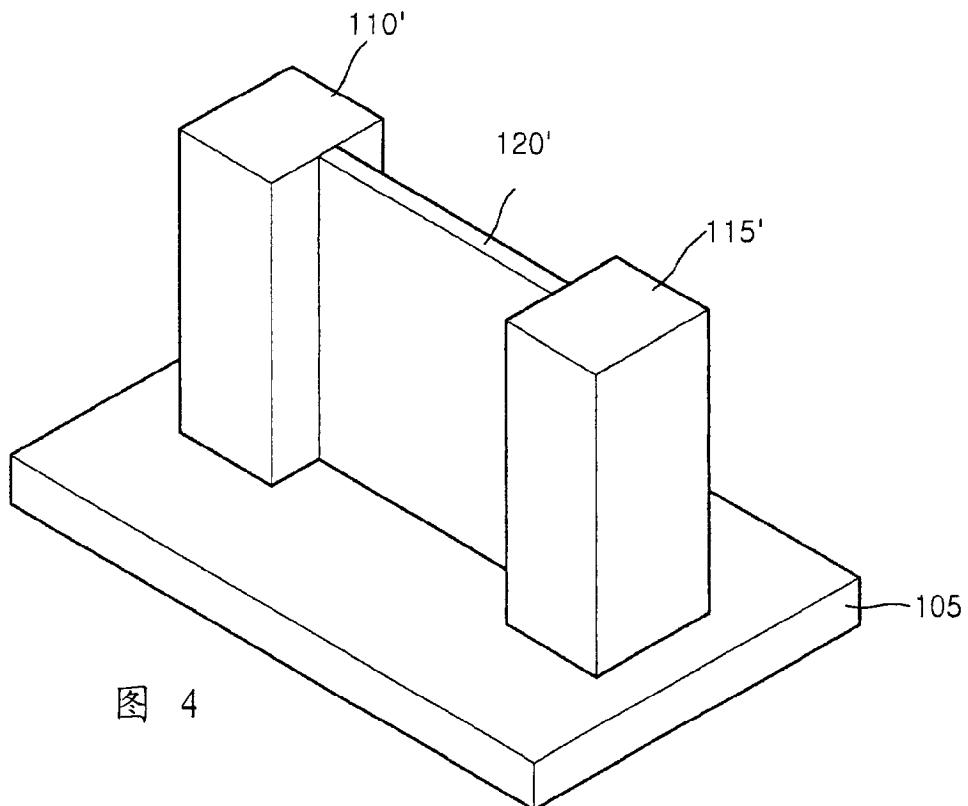


图 4

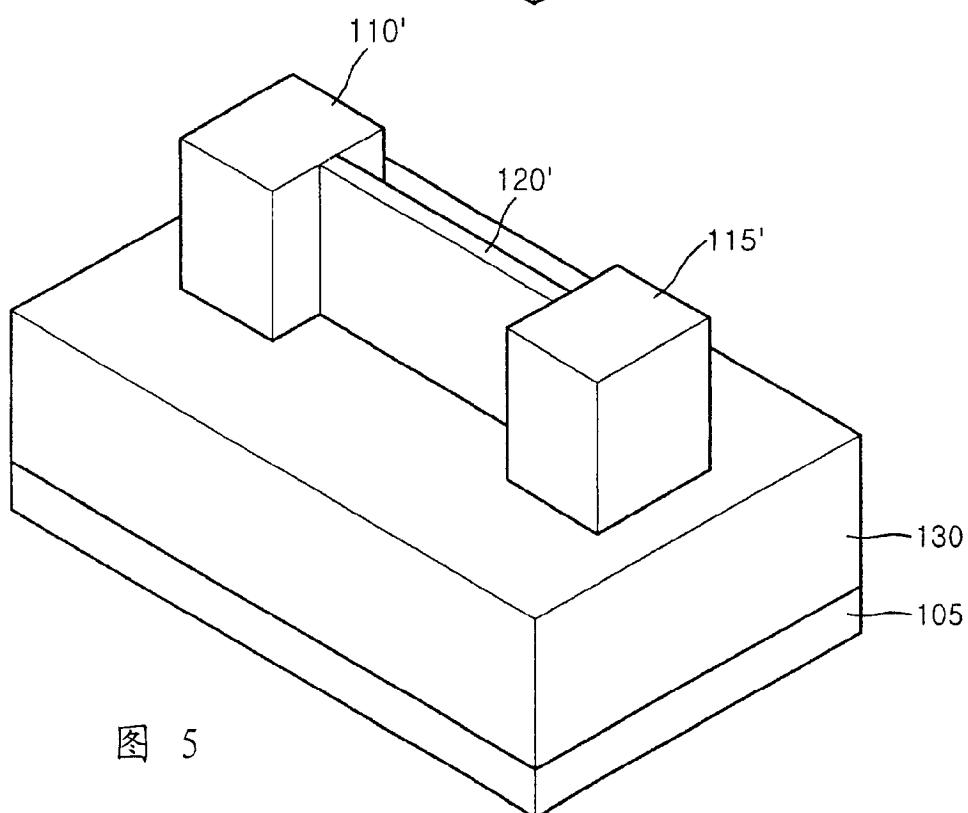


图 5

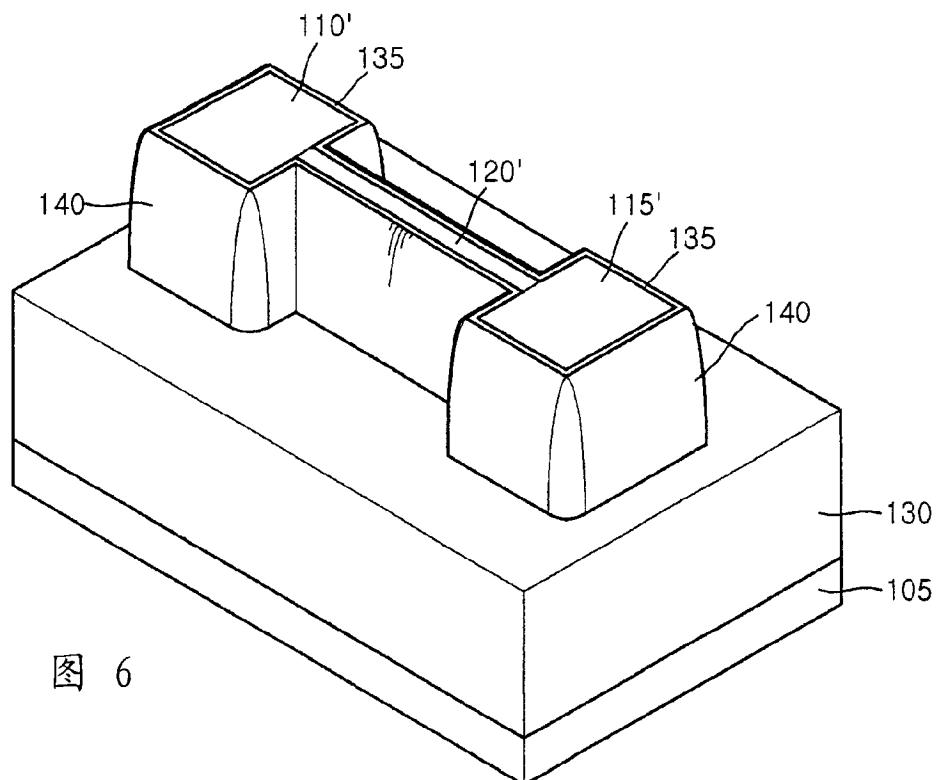


图 6

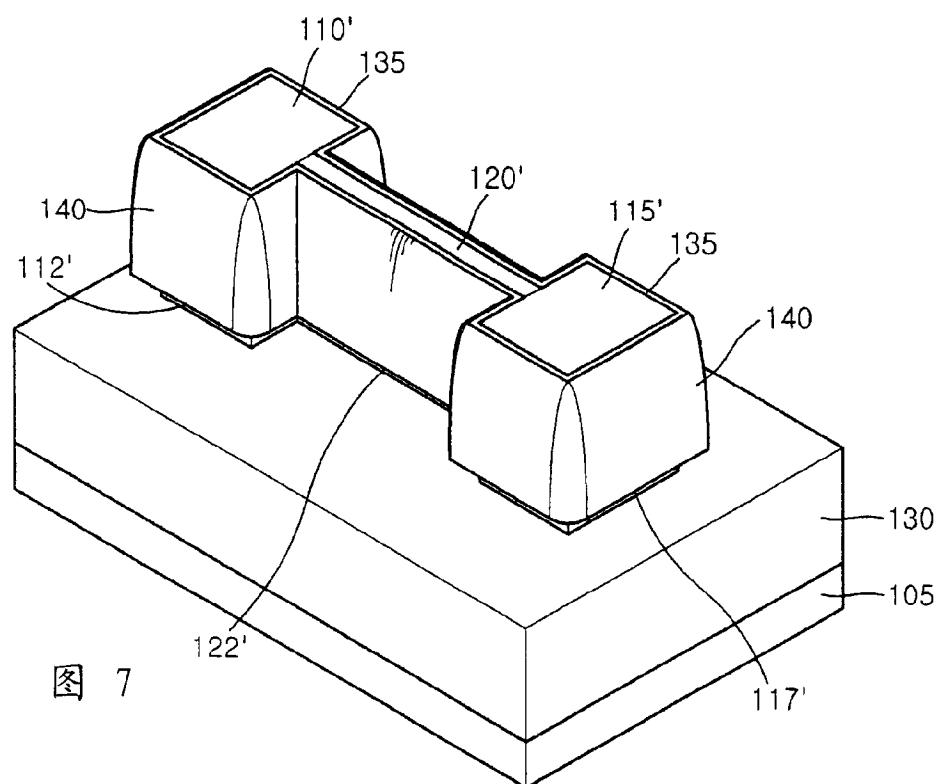


图 7

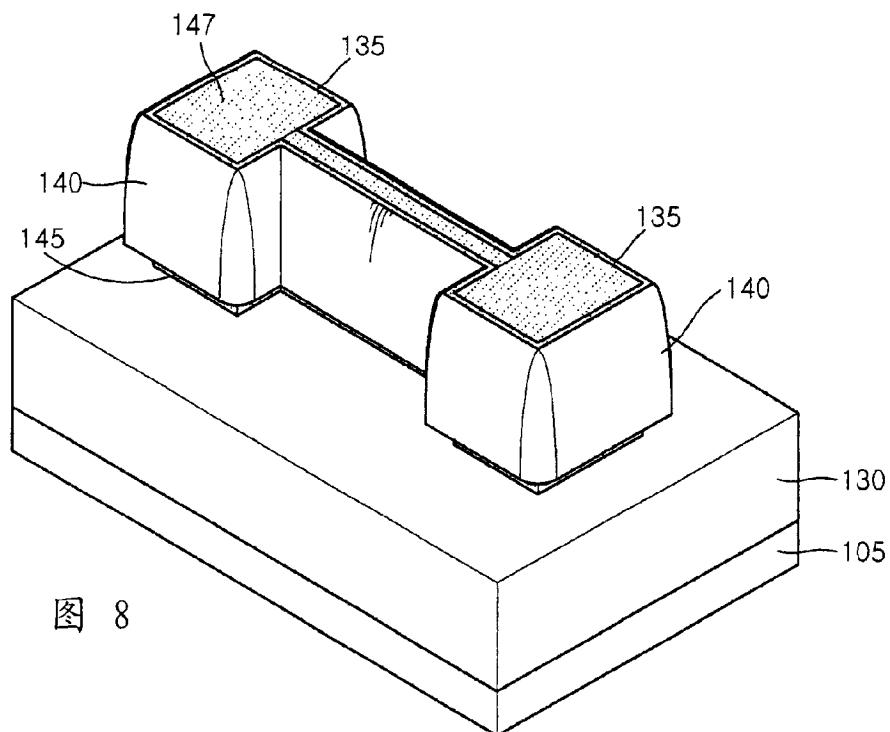


图 8

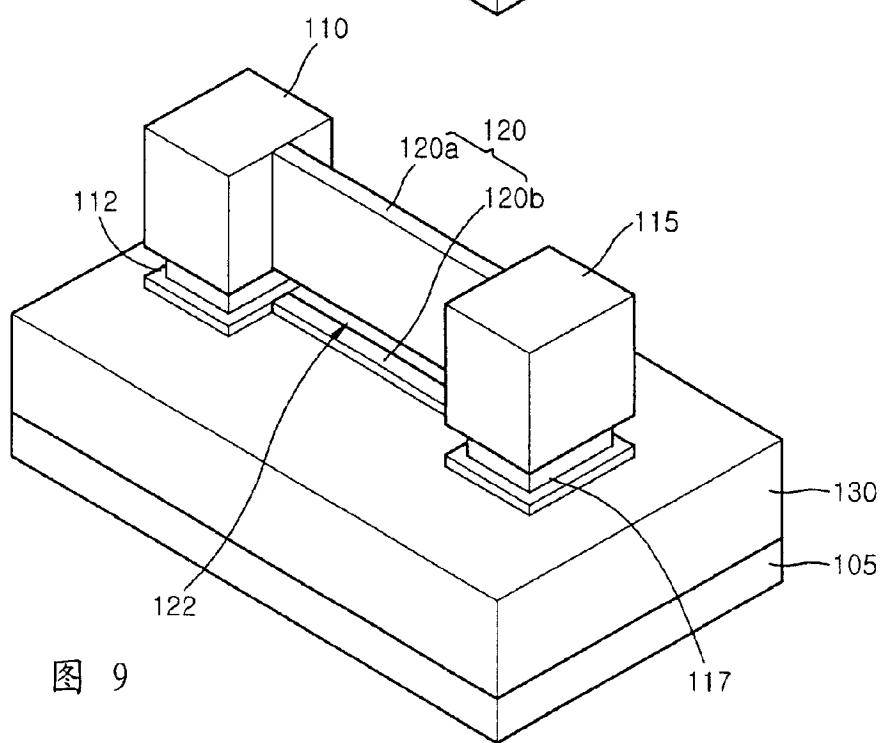


图 9

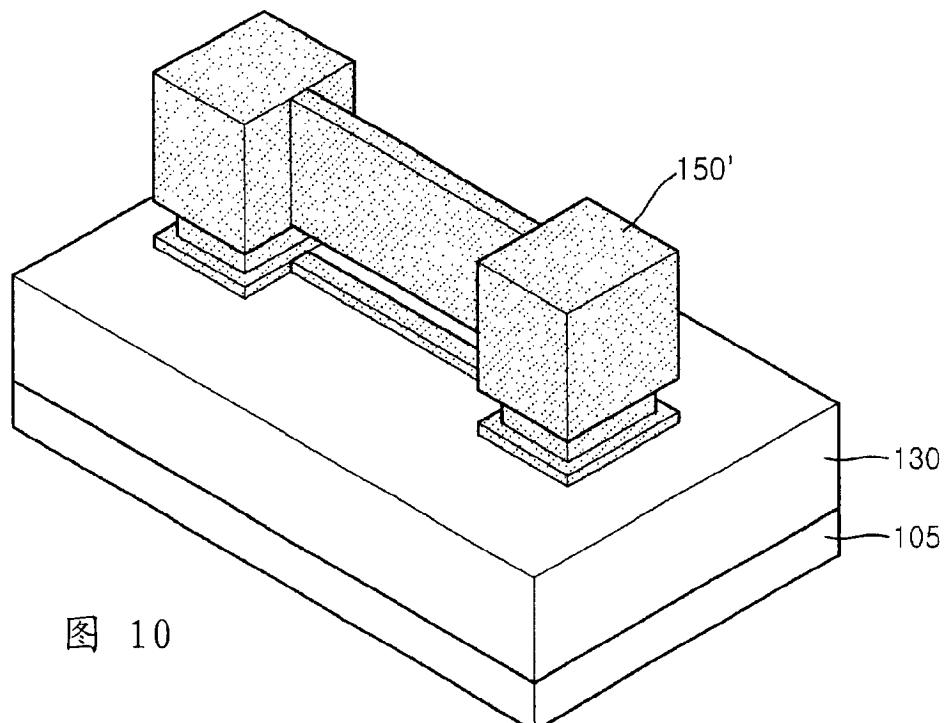


图 10

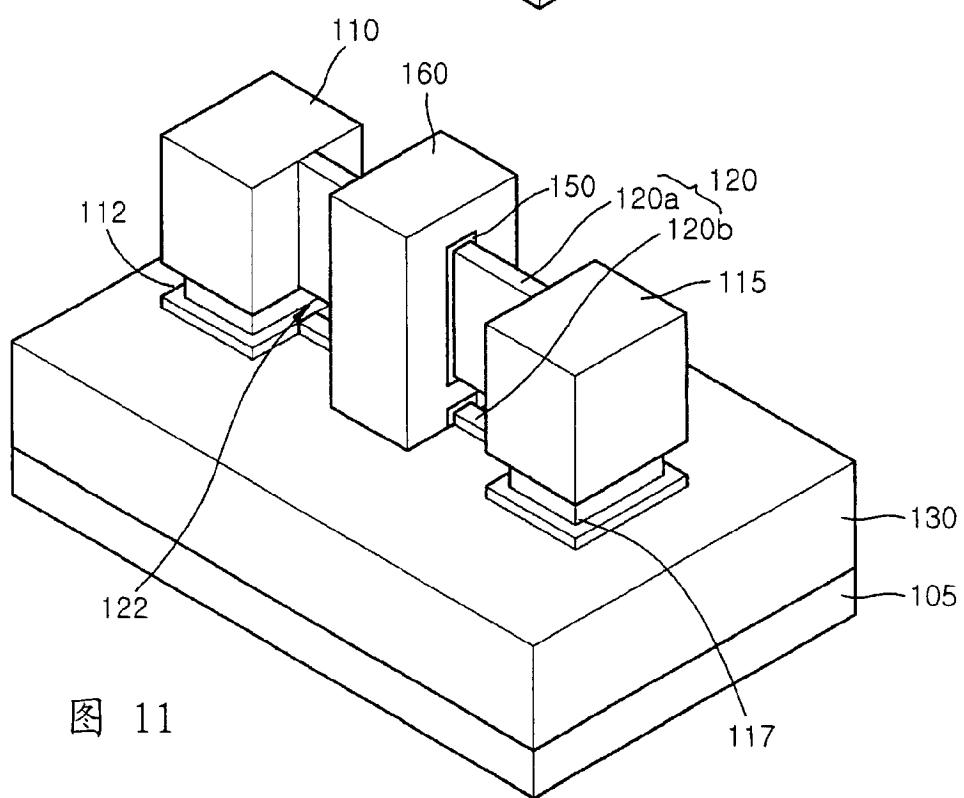


图 11

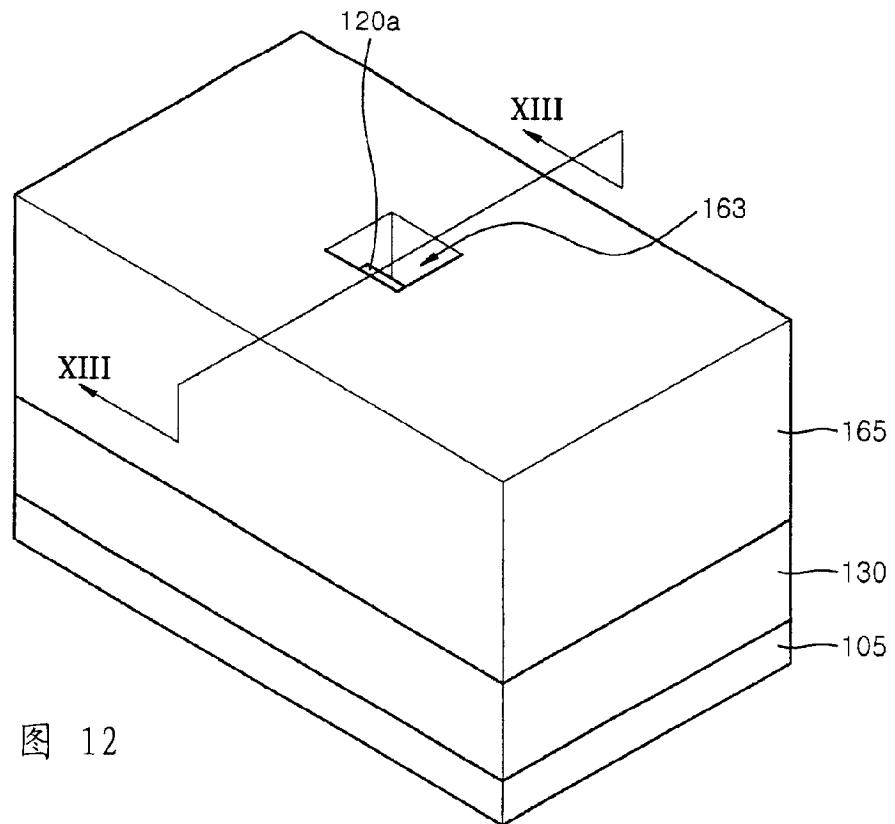


图 12

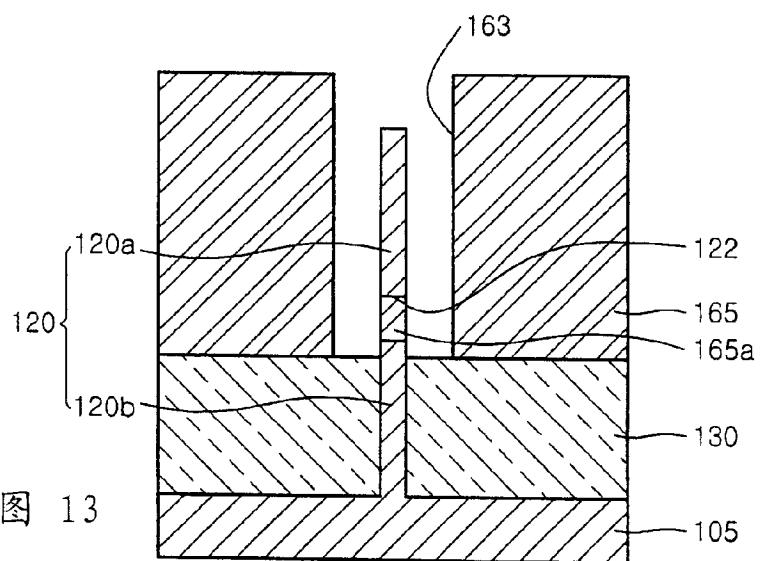


图 13

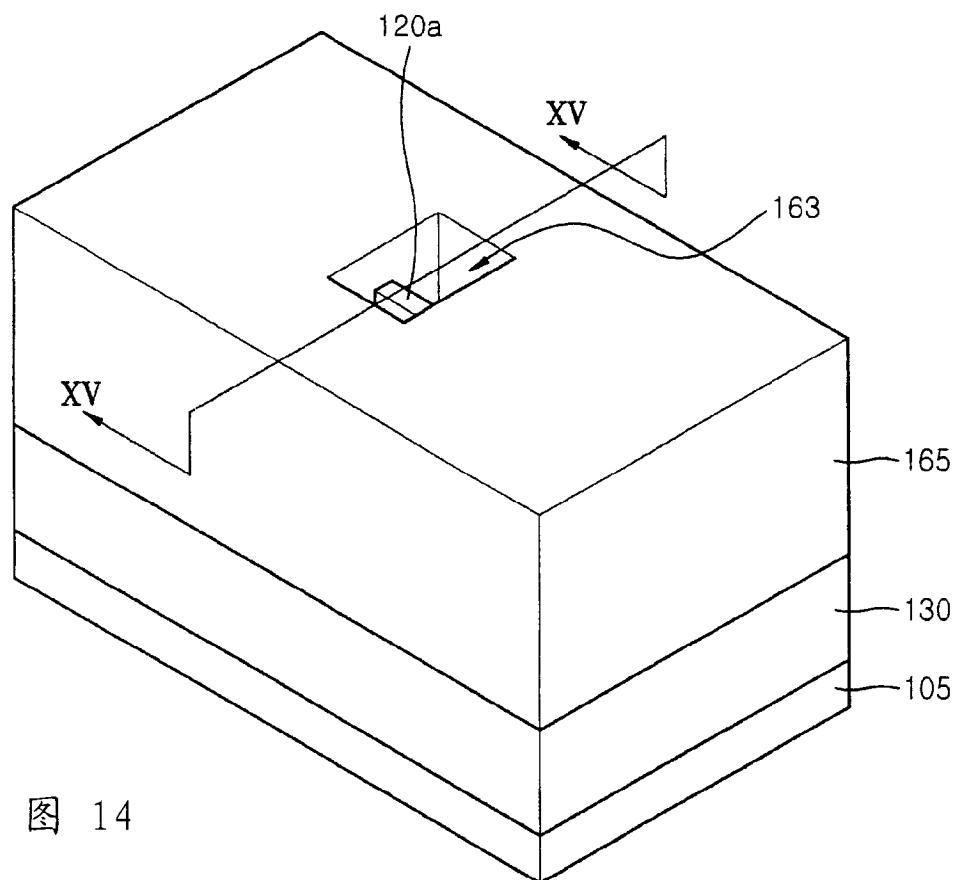


图 14

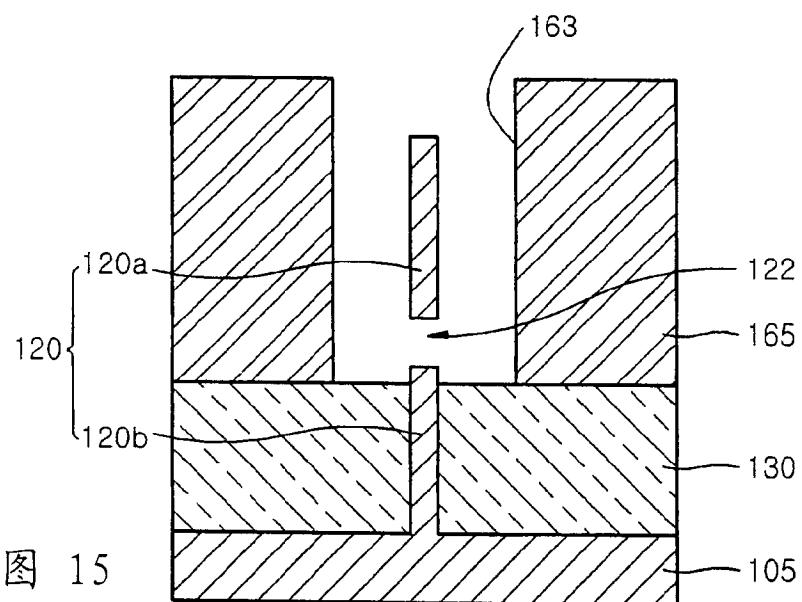


图 15

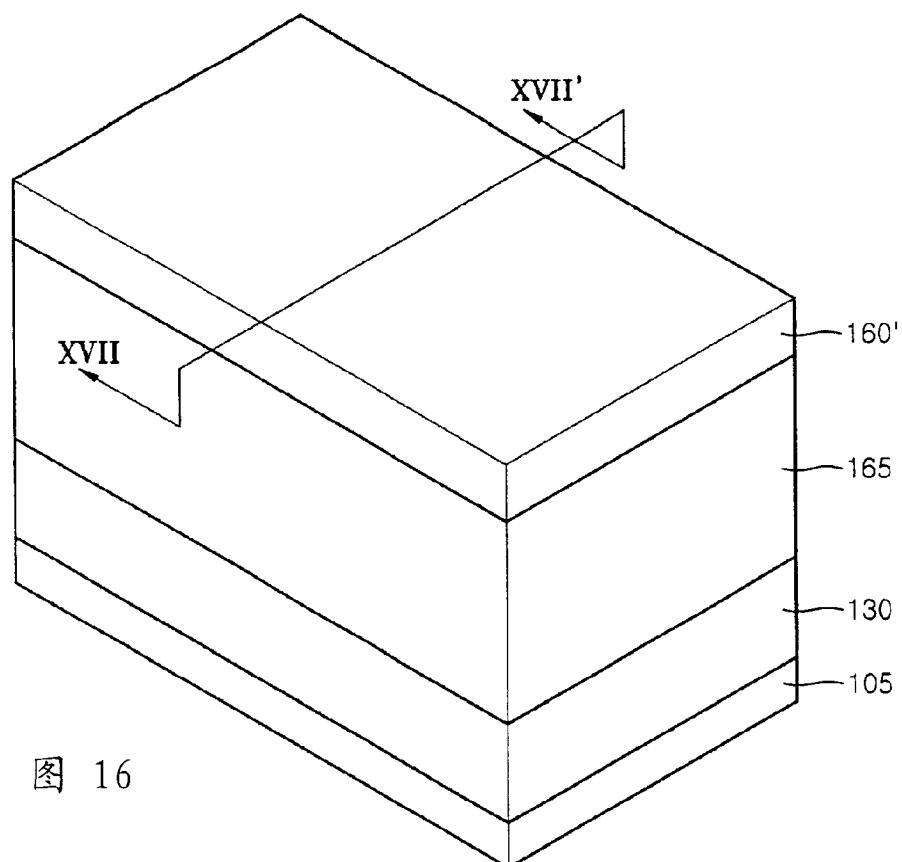


图 16

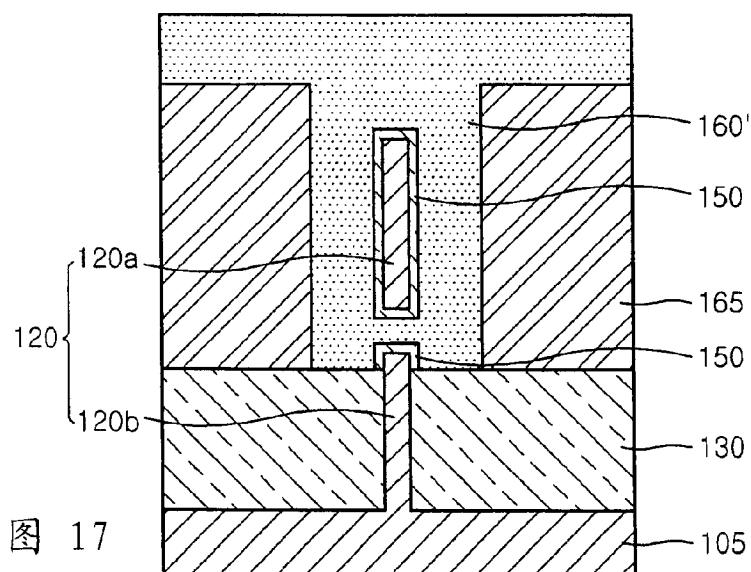


图 17

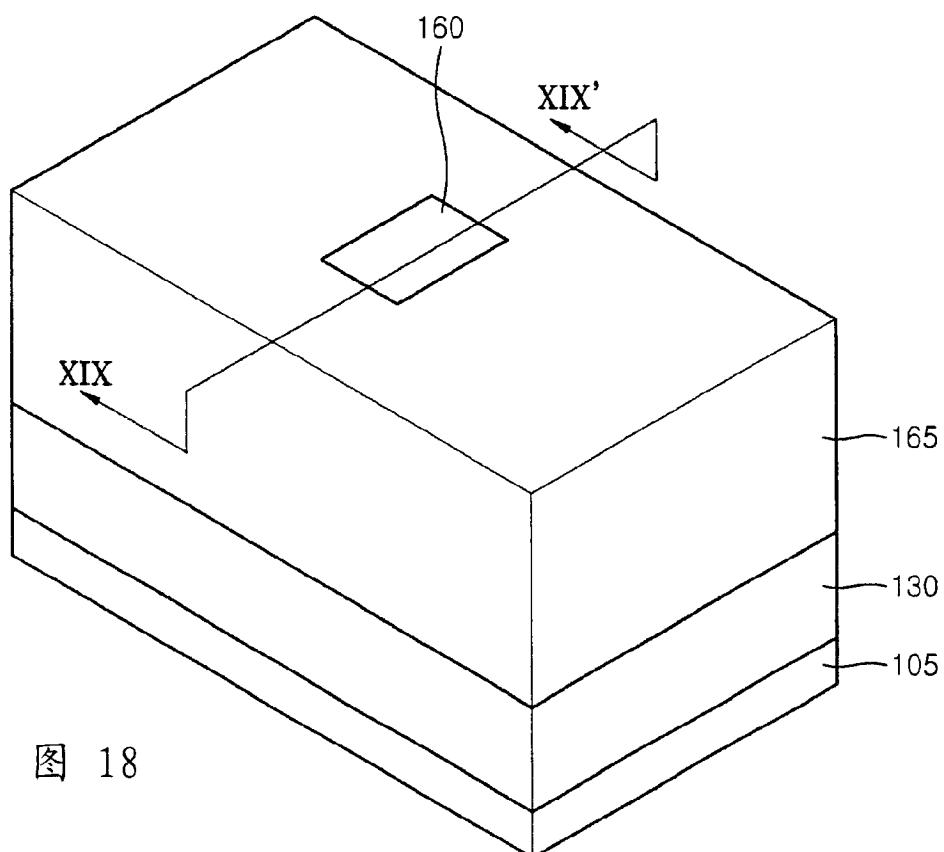


图 18

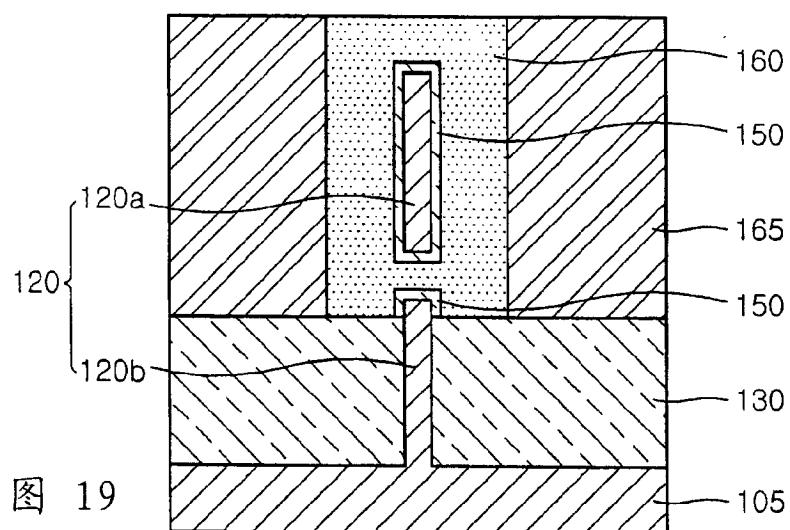


图 19