

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-152255
(P2016-152255A)

(43) 公開日 平成28年8月22日(2016.8.22)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/331 (2006.01)	HO 1 L 29/72 P	5 F 0 0 3
HO 1 L 29/732 (2006.01)	HO 1 L 27/06 3 2 1 A	5 F 0 3 2
HO 1 L 21/8249 (2006.01)	HO 1 L 21/76 M	5 F 0 4 8
HO 1 L 27/06 (2006.01)	HO 1 L 21/76 L	
HO 1 L 21/76 (2006.01)		

審査請求 未請求 請求項の数 15 O L (全 43 頁)

(21) 出願番号 特願2015-27467 (P2015-27467)
(22) 出願日 平成27年2月16日 (2015.2.16)

(71) 出願人 302062931
ルネサスエレクトロニクス株式会社
東京都江東区豊洲三丁目2番24号
(74) 代理人 110002066
特許業務法人筒井国際特許事務所
(72) 発明者 大西 貞之
茨城県ひたちなか市堀口751番地 ルネ
サスセミコンダクタマニュファクチャリ
ング株式会社内

F ターム(参考) 5F003 BA25 BA27 BA97 BE02 BF01
BF90 BH07 BH10 BH18 BM01
BP31 BP41 BZ02
5F032 AA11 AA13 AA35 AA44 CA03
CA17 CA18 CA20 DA02 DA12
DA22 DA23 DA33 DA43

最終頁に続く

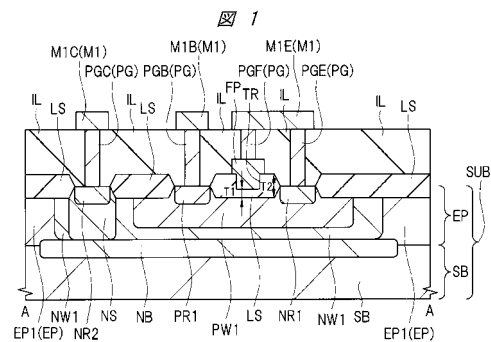
(54) 【発明の名称】 半導体装置

(57) 【要約】 (修正有)

【課題】半導体装置の信頼性を向上させる。

【解決手段】半導体基板SUBにp型ウエルPW1が形成され、p型ウエルPW1内に、n⁺型半導体領域NR1とp⁺型半導体領域PR1とが互いに離間して形成されている。n⁺型半導体領域NR1は、バイポーラトランジスタのエミッタ用の半導体領域であり、p型ウエルPW1およびp⁺型半導体領域PR1は、バイポーラトランジスタのベース用の半導体領域である。n⁺型半導体領域NR1とp⁺型半導体領域PR1との間の素子分離領域LS上に電極FPが形成され、電極FPの少なくとも一部は、素子分離領域LSに形成された溝TR内に埋め込まれている。電極FPは、n⁺型半導体領域NR1に電氣的に接続されている。

【選択図】 図1



FP: 電極
LS: 素子分離領域
NR1: n⁺型半導体領域
PR1: p⁺型半導体領域
PW1: p型ウエル
SUB: 半導体基板

【特許請求の範囲】**【請求項 1】**

バイポーラトランジスタを備える半導体装置であって、
半導体基板と、
前記半導体基板に形成された第 1 導電型の第 1 半導体領域と、
前記第 1 半導体領域に互いに離間して形成された、前記第 1 導電型の第 2 半導体領域および前記第 1 導電型とは逆の第 2 導電型の第 3 半導体領域と、
前記第 2 半導体領域と前記第 3 半導体領域との間の前記半導体基板の主面に形成された素子分離絶縁膜と、
前記素子分離絶縁膜上に形成された第 1 電極と、
前記半導体基板上に、前記素子分離絶縁膜および前記第 1 電極を覆うように形成された層間絶縁膜と、
前記層間絶縁膜に埋め込まれた第 1 プラグ、第 2 プラグおよび第 3 プラグと、
を有し、
前記第 2 半導体領域の不純物濃度は、前記第 1 半導体領域の不純物濃度よりも高く、
前記第 1 半導体領域および前記第 2 半導体領域は、前記バイポーラトランジスタのベース用の半導体領域であり、
前記第 3 半導体領域は、前記バイポーラトランジスタのエミッタ用の半導体領域であり、

10

前記第 1 プラグは、前記第 3 半導体領域上に配置されて、前記第 3 半導体領域と電氣的に接続され、
前記第 2 プラグは、前記第 1 電極上に配置されて、前記第 1 電極と電氣的に接続され、
前記第 3 プラグは、前記第 2 半導体領域上に配置されて、前記第 2 半導体領域と電氣的に接続され、
前記第 1 プラグと前記第 2 プラグとは、電氣的に接続され、
平面視において、前記第 1 電極は、前記第 2 半導体領域と前記第 3 半導体領域との間に形成され、
前記第 1 電極の少なくとも一部は、前記素子分離絶縁膜に形成された第 1 溝内に埋め込まれている、半導体装置。

20

【請求項 2】

請求項 1 記載の半導体装置において、
平面視において、前記第 1 溝は、前記第 2 半導体領域と前記第 3 半導体領域との間に形成されている、半導体装置。

30

【請求項 3】

請求項 1 記載の半導体装置において、
前記第 2 半導体領域と前記第 3 半導体領域との間に位置する前記素子分離絶縁膜の下には、前記第 1 半導体領域が延在している、半導体装置。

【請求項 4】

請求項 1 記載の半導体装置において、
前記層間絶縁膜上に形成された第 1 配線および第 2 配線を更に有し、
前記第 1 配線は、前記第 1 プラグを介して前記第 3 半導体領域と電氣的に接続され、かつ、前記第 2 プラグを介して前記第 1 電極と電氣的に接続され、
前記第 2 配線は、前記第 3 プラグを介して前記第 2 半導体領域と電氣的に接続されている、半導体装置。

40

【請求項 5】

請求項 1 記載の半導体装置において、
前記第 1 溝内に埋め込まれた部分の前記第 1 電極の直下の前記素子分離絶縁膜の厚みは、前記第 1 溝が形成されていない領域における前記素子分離絶縁膜の厚みよりも小さい、半導体装置。

【請求項 6】

50

請求項 5 記載の半導体装置において、

前記第 1 溝内に埋め込まれた部分の前記第 1 電極の直下の前記素子分離絶縁膜の厚みは、前記第 1 溝が形成されていない領域における前記素子分離絶縁膜の厚みの半分以下である、半導体装置。

【請求項 7】

請求項 5 記載の半導体装置において、

前記第 1 溝内に埋め込まれた部分の前記第 1 電極の直下の前記素子分離絶縁膜の厚みは、50 nm 以上である、半導体装置。

【請求項 8】

請求項 5 記載の半導体装置において、

前記第 1 溝内に埋め込まれた部分の前記第 1 電極の直下の前記素子分離絶縁膜の厚みは、50 ~ 200 nm である、半導体装置。

10

【請求項 9】

請求項 1 記載の半導体装置において、

前記素子分離絶縁膜は、LOCOS 酸化膜または STI 絶縁膜である、半導体装置。

【請求項 10】

請求項 1 記載の半導体装置において、

前記第 1 半導体領域を内包するように前記半導体基板に形成された、前記第 2 導電型の第 4 半導体領域と、

前記第 4 半導体領域内に、前記第 1 半導体領域と離間するように形成された、前記第 2 導電型の第 5 半導体領域と、

20

前記層間絶縁膜に埋め込まれた第 4 プラグと、
を更に有し、

前記第 5 半導体領域の不純物濃度は、前記第 4 半導体領域の不純物濃度よりも高く、

前記第 4 半導体領域および前記第 5 半導体領域は、前記バイポーラトランジスタのコレクタ用の半導体領域であり、

前記第 4 プラグは、前記第 5 半導体領域上に配置されて、前記第 5 半導体領域と電氣的に接続されている、半導体装置。

【請求項 11】

請求項 10 記載の半導体装置において、

30

前記半導体基板に形成され、前記第 4 半導体領域の下に位置する、前記第 2 導電型の埋め込み半導体領域を更に有し、

前記埋め込み半導体領域の不純物濃度は、前記第 4 半導体領域の不純物濃度よりも高い、半導体装置。

【請求項 12】

請求項 10 記載の半導体装置において、

前記層間絶縁膜上に形成された第 3 配線を更に有し、

前記第 3 配線は、前記第 4 プラグを介して前記第 5 半導体領域と電氣的に接続されている、半導体装置。

40

【請求項 13】

請求項 10 記載の半導体装置において、

前記第 2 半導体領域、前記第 3 半導体領域および前記第 5 半導体領域を囲むように、前記半導体基板の主面に前記素子分離絶縁膜が形成されており、

前記素子分離絶縁膜上に形成された第 2 電極と、前記層間絶縁膜に埋め込まれた第 5 プラグとを更に有し、

前記第 5 プラグは、前記第 2 電極上に配置されて、前記第 2 電極と電氣的に接続され、

前記第 5 プラグと前記第 3 プラグとは、電氣的に接続され、

前記第 2 電極の少なくとも一部は、前記素子分離絶縁膜に形成された第 2 溝内に埋め込まれている、半導体装置。

【請求項 14】

50

請求項 1 3 記載の半導体装置において、
 前記層間絶縁膜上に形成された第 1 配線および第 2 配線を更に有し、
 前記第 1 配線は、前記第 1 プラグを介して前記第 3 半導体領域と電氣的に接続され、かつ、
 前記第 2 プラグを介して前記第 1 電極と電氣的に接続され、
 前記第 2 配線は、前記第 3 プラグを介して前記第 2 半導体領域と電氣的に接続され、かつ、
 前記第 5 プラグを介して前記第 2 電極と電氣的に接続されている、半導体装置。

【請求項 1 5】

請求項 1 3 記載の半導体装置において、
 平面視において、前記第 2 電極は、前記第 2 半導体領域、前記第 3 半導体領域および第
 1 電極を囲み、かつ、前記第 1 半導体領域と重なるように、形成されている、半導体装置

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関し、例えば、バイポーラトランジスタを有する半導体装置に
 好適に利用できるものである。

【背景技術】

【0002】

半導体基板に、エミッタ用の半導体領域と、ベース用の半導体領域と、コレクタ用の半
 導体領域とを形成することにより、バイポーラトランジスタを有する半導体装置が製造さ
 れる。

20

【0003】

特開 2007 - 329317 号公報（特許文献 1）および特開昭 60 - 103661 号
 公報（特許文献 2）には、バイポーラトランジスタを有する半導体装置に関する技術が記
 載されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2007 - 329317 号公報

【特許文献 2】特開昭 60 - 103661 号公報

30

【発明の概要】

【発明が解決しようとする課題】

【0005】

バイポーラトランジスタを有する半導体装置においても、できるだけ信頼性を向上させ
 ることが望まれる。

【0006】

その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろ
 う。

【課題を解決するための手段】

【0007】

一実施の形態によれば、半導体装置は、バイポーラトランジスタを備える半導体装置で
 ある。前記半導体装置は、半導体基板と、前記半導体基板に形成された第 1 導電型の第 1
 半導体領域と、前記第 1 半導体領域に互いに離間して形成された前記第 1 導電型の第 2 半
 導体領域および第 2 導電型の第 3 半導体領域と、前記第 2 半導体領域と前記第 3 半導体領
 域との間の前記半導体基板の主面に形成された素子分離絶縁膜と、前記素子分離絶縁膜上
 に形成された第 1 電極と、を有している。前記半導体装置は、更に、前記半導体基板上に
 、前記素子分離絶縁膜および前記第 1 電極を覆うように形成された層間絶縁膜と、前記層
 間絶縁膜に埋め込まれた第 1 プラグ、第 2 プラグおよび第 3 プラグと、を有している。前
 記第 2 半導体領域の不純物濃度は、前記第 1 半導体領域の不純物濃度よりも高く、前記第
 1 半導体領域および前記第 2 半導体領域は、前記バイポーラトランジスタのベース用の半

40

50

導体領域であり、前記第3半導体領域は、前記バイポーラトランジスタのエミッタ用の半導体領域である。前記第1プラグは、前記第3半導体領域上に配置されて、前記第3半導体領域と電氣的に接続され、前記第2プラグは、前記第1電極上に配置されて、前記第1電極と電氣的に接続され、前記第3プラグは、前記第2半導体領域上に配置されて、前記第2半導体領域と電氣的に接続され、前記第1プラグと前記第2プラグとは、電氣的に接続されている。平面視において、前記第1電極は、前記第2半導体領域と前記第3半導体領域との間に形成され、前記第1電極の少なくとも一部は、前記素子分離絶縁膜に形成された第1溝内に埋め込まれている。

【発明の効果】

【0008】

一実施の形態によれば、バイポーラトランジスタを有する半導体装置の信頼性を向上させることができる。

【図面の簡単な説明】

【0009】

【図1】一実施の形態の半導体装置の要部断面図である。

【図2】一実施の形態の半導体装置の要部平面図である。

【図3】一実施の形態の半導体装置の要部平面図である。

【図4】一実施の形態の半導体装置の製造工程中の要部断面図である。

【図5】図4と同じ半導体装置の製造工程中の要部断面図である。

【図6】図4に続く半導体装置の製造工程中の要部断面図である。

【図7】図6と同じ半導体装置の製造工程中の要部断面図である。

【図8】図6に続く半導体装置の製造工程中の要部断面図である。

【図9】図8と同じ半導体装置の製造工程中の要部断面図である。

【図10】図8に続く半導体装置の製造工程中の要部断面図である。

【図11】図10と同じ半導体装置の製造工程中の要部断面図である。

【図12】図10に続く半導体装置の製造工程中の要部断面図である。

【図13】図12と同じ半導体装置の製造工程中の要部断面図である。

【図14】図12に続く半導体装置の製造工程中の要部断面図である。

【図15】図14と同じ半導体装置の製造工程中の要部断面図である。

【図16】図14に続く半導体装置の製造工程中の要部断面図である。

【図17】図16と同じ半導体装置の製造工程中の要部断面図である。

【図18】図16に続く半導体装置の製造工程中の要部断面図である。

【図19】図18と同じ半導体装置の製造工程中の要部断面図である。

【図20】図18に続く半導体装置の製造工程中の要部断面図である。

【図21】図20と同じ半導体装置の製造工程中の要部断面図である。

【図22】図20に続く半導体装置の製造工程中の要部断面図である。

【図23】図22と同じ半導体装置の製造工程中の要部断面図である。

【図24】図22に続く半導体装置の製造工程中の要部断面図である。

【図25】図24と同じ半導体装置の製造工程中の要部断面図である。

【図26】図24に続く半導体装置の製造工程中の要部断面図である。

【図27】図26と同じ半導体装置の製造工程中の要部断面図である。

【図28】図26に続く半導体装置の製造工程中の要部断面図である。

【図29】図28と同じ半導体装置の製造工程中の要部断面図である。

【図30】図28に続く半導体装置の製造工程中の要部断面図である。

【図31】図30と同じ半導体装置の製造工程中の要部断面図である。

【図32】第1検討例の半導体装置の要部断面図である。

【図33】第2検討例の半導体装置の要部断面図である。

【図34】素子分離領域における溝の深さと、エミッタ・ベース間のブレイクダウン電圧との相関を示すグラフである。

【図35】第1変形例の半導体装置の要部平面図である。

10

20

30

40

50

【図36】第2変形例の半導体装置の要部断面図である。

【図37】第2変形例の半導体装置の要部平面図である。

【図38】他の実施の形態の半導体装置の要部断面図である。

【図39】他の実施の形態の半導体装置の要部平面図である。

【図40】他の実施の形態の半導体装置の要部平面図である。

【発明を実施するための形態】

【0010】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その言及した数に限定されるものではなく、言及した数以上でも以下でもよい。さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

10

【0011】

20

以下、実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。また、以下の実施の形態では、特に必要なとき以外は同一または同様な部分の説明を原則として繰り返さない。

【0012】

また、実施の形態で用いる図面においては、断面図であっても図面を見易くするためにハッチングを省略する場合もある。また、平面図であっても図面を見易くするためにハッチングを付す場合もある。

【0013】

（実施の形態1）

30

<半導体装置の構造について>

本実施の形態の半導体装置を、図面を参照して説明する。図1は、本実施の形態の半導体装置の要部断面図であり、図2および図3は、本実施の形態の半導体装置の要部平面図である。図2と図3とは、同じ平面領域が示されている。理解を簡単にするために、図2では、 p^+ 型半導体領域PR1、 n^+ 型半導体領域NR1、 n^+ 型半導体領域NR2および電極FPに細線の斜線のハッチングを付し、図3では、 p^+ 型半導体領域PR1、 n^+ 型半導体領域NR1および n^+ 型半導体領域NR2に細線の斜線のハッチングを付し、素子分離領域LSに太線の斜線のハッチングを付してある。また、図3では、素子分離領域LSに形成された溝TRの位置を点線で示してある。図2および図3のA-A線の断面図が、図1にほぼ対応している。

40

【0014】

本実施の形態の半導体装置は、バイポーラトランジスタを有する半導体装置である。

【0015】

以下、本実施の形態の半導体装置の構造について、図1～図3を参照して具体的に説明する。

【0016】

図1～図3に示されるように、バイポーラトランジスタが、半導体基板SUBの主面に形成されている。

【0017】

半導体基板SUBは、例えばホウ素(B)などのp型不純物が導入されたp型の単結晶

50

シリコンなどからなる半導体基板である基板本体SBと、基板本体SBの主面上に形成された、 p^- 型の単結晶シリコンなどからなるエピタキシャル層（半導体層、エピタキシャル半導体層）EPとを有している。このため、半導体基板SUBは、いわゆるエピタキシャルウエハである。基板本体SBとエピタキシャル層EPとは、同じ導電型（ここでは p 型）であるが、基板本体SBの不純物濃度（ p 型不純物濃度）は、エピタキシャル層EPの不純物濃度（ p 型不純物濃度）よりも高くなっており、基板本体SBの抵抗率（比抵抗）は、エピタキシャル層EPの抵抗率（比抵抗）よりも低い。

【0018】

ここで、エピタキシャル層EPのうち、 p^- 型の状態が維持されている領域を、 p^- 型エピタキシャル層EP1と称することとする。エピタキシャル層EP内には、 n^+ 型埋込領域NBの上部、 n 型ウエルNW1、 p 型ウエルPW1、 n^+ 型半導体領域NR1、 p^+ 型半導体領域PR1、 n^+ 型半導体領域NR2および n^+ 型シンカー領域NSが形成されているが、それらを除く領域が、 p^- 型エピタキシャル層EP1に対応している。このため、 p^- 型エピタキシャル層EP1は、基板本体SBと同じ導電型（ここでは p 型）であるが、 p^- 型エピタキシャル層EP1の不純物濃度（ p 型不純物濃度）は、基板本体SBの不純物濃度（ p 型不純物濃度）よりも低く、 p^- 型エピタキシャル層EP1の抵抗率は、基板本体SBの抵抗率よりも高い。

10

【0019】

半導体基板SUBの主面（上面）には、絶縁膜からなる素子分離領域（素子分離絶縁膜、フィールド絶縁膜）LSが形成されている。素子分離領域LSは、素子分離絶縁膜とみなすことができる。ここでは、素子分離領域LSとして、LOCOS法により形成されたLOCOS酸化膜を形成した場合が示されているが、他の形態として、素子分離領域LSとして、STI法により形成したSTI絶縁膜を用いることもできる。

20

【0020】

ここで、LOCOS酸化膜（LOCOS分離膜）とは、LOCOS（Local oxidation of silicon）法により形成された酸化膜（酸化シリコン膜）である。LOCOS法とは、半導体基板の主面上に耐酸化膜（例えば窒化シリコン膜）を形成してから、半導体基板を熱酸化することにより、耐酸化膜で覆われていない領域の半導体基板の主面に、熱酸化膜（LOCOS酸化膜）を選択的（局所的）に形成する手法であり、形成された熱酸化膜がLOCOS酸化膜（LOCOS分離膜）である。

30

【0021】

また、STI絶縁膜（STI分離膜）は、STI（Shallow Trench Isolation）法により形成された絶縁膜である。STI法とは、半導体基板の主面に溝を形成してから、その溝に絶縁膜を埋め込む手法であり、その溝に埋め込まれた絶縁膜が、STI絶縁膜（STI分離膜）である。

【0022】

半導体基板SUBにおいて、基板本体SBとエピタキシャル層EPとの間には、 n 型不純物が高濃度に導入（ドーピング）された n^+ 型埋込領域NBが形成されている。 n^+ 型埋込領域NBは、 n 型不純物が高濃度に導入された n^+ 型の半導体領域である。

【0023】

エピタキシャル層EP内には、 n 型ウエルNW1が形成され、 n 型ウエルNW1内に、 p 型ウエルPW1が形成され、 p 型ウエルPW1内に n^+ 型半導体領域NR1および p^+ 型半導体領域PR1が形成されている。

40

【0024】

n 型ウエルNW1は、 n^+ 型埋込領域NB上に形成されており、 n 型ウエルNW1の底面（下面）は、 n^+ 型埋込領域NBに接している。 n 型ウエルNW1の側面は、 p^- 型エピタキシャル層EP1に接している。また、 n 型ウエルNW1の側面は、素子分離領域LSの下に位置している。 n 型ウエルNW1は、 n 型の半導体領域である。

【0025】

p 型ウエルPW1は、 n 型ウエルNW1に内包されるように形成されている。このため

50

、p型ウエルPW1の底面(下面)および側面は、n型ウエルNW1に接している。また、p型ウエルPW1の側面は、素子分離領域LSの下に位置している。p型ウエルPW1は、p型の半導体領域である。

【0026】

n⁺型半導体領域NR1は、p型ウエルPW1に内包されるように形成されている。このため、n⁺型半導体領域NR1の底面(下面)および側面は、p型ウエルPW1に接している。n⁺型半導体領域NR1は、n型ウエルNW1には接しておらず、n⁺型半導体領域NR1とn型ウエルNW1の間には、p型ウエルPW1の一部が介在している。

【0027】

p⁺型半導体領域PR1は、p型ウエルPW1に内包されるように形成されている。このため、p⁺型半導体領域PR1の底面(下面)および側面は、p型ウエルPW1に接している。p⁺型半導体領域PR1は、n型ウエルNW1には接しておらず、p⁺型半導体領域PR1とn型ウエルNW1の間には、p型ウエルPW1の一部が介在している。また、p型ウエルPW1内にn⁺型半導体領域NR1とp⁺型半導体領域PR1とが形成されているが、p⁺型半導体領域PR1とn⁺型半導体領域NR1とは、互いに接しておらず、離間して形成されている。

10

【0028】

n⁺型半導体領域NR1およびp⁺型半導体領域PR1は、エピタキシャル層EPの表層部に形成されており、従って半導体基板SUBの表層部に形成されている。このため、n⁺型半導体領域NR1の上面とp⁺型半導体領域PR1の上面とは、エピタキシャル層EPの上面(半導体基板SUBの上面)と一致している。n⁺型半導体領域NR1上と、p⁺型半導体領域PR1上とは、素子分離領域LSは形成されておらず、平面視において、n⁺型半導体領域NR1は、周囲を素子分離領域LSによって囲まれており、また、p⁺型半導体領域PR1も、周囲を素子分離領域LSによって囲まれている。すなわち、n⁺型半導体領域NR1上とp⁺型半導体領域PR1と後述のn⁺型半導体領域NR2とは、それぞれ、半導体基板SUBの主面において、素子分離領域LSに周囲を囲まれた活性領域(素子分離領域LSが形成されていない領域)に形成されている。

20

【0029】

ここで、「平面視」とは、半導体基板SUBの主面に平行な平面で見た場合に対応している。

30

【0030】

n型ウエルNW1内には、更に、n⁺型半導体領域NR2およびn⁺型シンカー領域NSも形成されている。n⁺型半導体領域NR2は、エピタキシャル層EPの表層部に形成されており、従って半導体基板SUBの表層部に形成されている。このため、n⁺型半導体領域NR2の上面は、エピタキシャル層EPの上面(半導体基板SUBの上面)と一致している。n⁺型半導体領域NR2上には素子分離領域LSは形成されておらず、平面視において、n⁺型半導体領域NR2は、周囲を素子分離領域LSによって囲まれている。

【0031】

また、平面視において、n⁺型半導体領域NR1とn⁺型半導体領域NR2との間にp⁺型半導体領域PR1が配置されている。このため、平面視において、n⁺型半導体領域NR1とp⁺型半導体領域PR1の間には、素子分離領域LSが介在し、p⁺型半導体領域PR1とn⁺型半導体領域NR2の間にも、素子分離領域LSが介在している。

40

【0032】

n⁺型シンカー領域NSは、n⁺型埋込領域NBに達するように、形成されている。このため、n⁺型シンカー領域NSの底面(下面)は、n⁺型埋込領域NBに接している。n⁺型シンカー領域NSの側面は、n型ウエルNW1内に接している。n⁺型半導体領域NR2は、n⁺型シンカー領域NSに内包されるように形成されている。このため、n⁺型半導体領域NR2の底面(下面)および側面は、n⁺型シンカー領域NSに接している。n⁺型半導体領域NR2とn⁺型埋込領域NBの間には、n⁺型シンカー領域NSが介在している。また、n⁺型シンカー領域NSとp型ウエルPW1とは接しておらず、n

50

+ 型シンカー領域 NS と p 型ウエル PW 1 との間には、n 型ウエル NW 1 の一部が介在している。n + 型シンカー領域 NS は、n 型不純物が高濃度に導入された n + 型の半導体領域である。

【0033】

n + 型半導体領域 NR 2 と n + 型シンカー領域 NS と n + 型埋込領域 NB とが連続的に繋がった状態になっている。n + 型半導体領域 NR 2 と n + 型シンカー領域 NS と n + 型埋込領域 NB とは、いずれも n 型ウエル NW 1 よりも不純物濃度が高い。このため、n + 型半導体領域 NR 2 は、n + 型シンカー領域 NS を介して n + 型埋込領域 NB に、低抵抗で電氣的に接続された状態になっている。

【0034】

n + 型半導体領域 NR 1 と p + 型半導体領域 PR 1 と n + 型半導体領域 NR 2 とは、互いに離間しており、平面視において、n + 型半導体領域 NR 1 と n + 型半導体領域 NR 2 との間に p + 型半導体領域 PR 1 が形成されている。このため、n + 型半導体領域 NR 1 と p + 型半導体領域 PR 1 と n + 型半導体領域 NR 2 とは、互いに接していない。n + 型半導体領域 NR 1 と p + 型半導体領域 PR 1 との間には、素子分離領域 LS が存在し、n + 型半導体領域 NR 2 と p + 型半導体領域 PR 1 との間にも、素子分離領域 LS が存在している。

【0035】

また、n + 型半導体領域 NR 1 と p + 型半導体領域 PR 1 との間に介在する素子分離領域 LS の直下には、p 型ウエル PW 1 が存在している。すなわち、n + 型半導体領域 NR 1 と p + 型半導体領域 PR 1 との間に位置する素子分離領域 LS の下には、p 型ウエル PW 1 が延在している。このため、n + 型半導体領域 NR 1 と p + 型半導体領域 PR 1 との間に位置する素子分離領域 LS の下面は、p 型ウエル PW 1 に接している。従って、n + 型半導体領域 NR 1 と p + 型半導体領域 PR 1 との間には、p 型ウエル PW 1 の一部が介在している。

【0036】

また、n + 型半導体領域 NR 2 と p + 型半導体領域 PR 1 との間に介在する素子分離領域 LS の直下には、n 型ウエル NW 1 の一部と p 型ウエル PW 1 の一部とが存在しており、素子分離領域 LS の直下の領域は、n + 型半導体領域 NR 2 側が n 型ウエル NW 1 であり、p + 型半導体領域 PR 1 側が p 型ウエル PW 1 になっている。このため、n + 型半導体領域 NR 2 と p + 型半導体領域 PR 1 との間には、n 型ウエル NW 1 の一部と p 型ウエル PW 1 の一部とが介在し、n + 型半導体領域 NR 2 側が n 型ウエル NW 1 であり、p + 型半導体領域 PR 1 側が p 型ウエル PW 1 になっている。

【0037】

n + 型半導体領域 NR 2 が n 型ウエル NW 1 と接触せずに、n + 型半導体領域 NR 2 と n 型ウエル NW 1 との間に n + 型シンカー領域 NS の一部が介在する場合は、その n + 型半導体領域 NR 2 と n 型ウエル NW 1 との間に介在する部分の n + 型シンカー領域 NS と、n 型ウエル NW 1 の一部と、p 型ウエル PW 1 の一部とが、n + 型半導体領域 NR 2 と p + 型半導体領域 PR 1 との間に介在する。

【0038】

n + 型埋込領域 NB は、基板本体 SB とエピタキシャル層 EP との界面付近に、基板本体 SB とエピタキシャル層 EP とにわたって形成されている。このため、n + 型埋込領域 NB の下部は、基板本体 SB に形成され、n + 型埋込領域 NB の上部は、エピタキシャル層 EP に形成されている。

【0039】

n + 型埋込領域 NB の底面（下面）は、p 型となっている基板本体 SB に接している。n + 型埋込領域 NB の上面は、主として n 型ウエル NW 1 の底面に接しているが、n 型ウエル NW 1 内に形成された n + 型シンカー領域 NS の底面にも接している。n 型ウエル NW 1 が形成されていない領域では、n + 型埋込領域 NB の上面は p - 型エピタキシャル層 EP 1 に接している。n + 型埋込領域 NB の側面のうち、下部は p 型となっている基板本

10

20

30

40

50

体 S B に接し、上部は p⁻ 型エピタキシャル層 E P 1 に接している。

【 0 0 4 0 】

n⁺ 型半導体領域 N R 1 と p⁺ 型半導体領域 P R 1 との間に介在する素子分離領域 L S には、溝 T R が形成されており、溝 T R 内を含む素子分離領域 L S 上に電極 F P が形成されている。溝 T R 内は、電極 F P によって埋め込まれている。平面視において、溝 T R は電極 F P に内包されている。電極 F P は、溝 T R 内を埋める部分と、溝 T R の外部で素子分離領域 L S 上に位置する（延在する）部分とを一体的に有している。電極 F P にプラグ P G F を接続できるのであれば、電極 F P は、溝 T R の外部で素子分離領域 L S 上に位置する（延在する）部分を有さない場合もあり得る。電極 F P は、フィールドプレート電極とみなすこともできる。

10

【 0 0 4 1 】

平面視において、溝 T R は、n⁺ 型半導体領域 N R 1 と p⁺ 型半導体領域 P R 1 との間に配置されている。このため、平面視において、電極 F P は、n⁺ 型半導体領域 N R 1 と p⁺ 型半導体領域 P R 1 との間に配置されている。電極 F P の直下には素子分離領域 L S が存在している。溝 T R の直下での素子分離領域 L S の厚みは、溝 T R の外部での素子分離領域 L S の厚みよりも、小さく（薄く）なっている。このため、溝 T R 内に埋め込まれた部分の電極 F P の直下における素子分離領域 L S の厚みは、溝 T R の外部に位置する部分の電極 F P の直下における素子分離領域 L S の厚みよりも、小さく（薄く）なっている。電極 F P の直下には、素子分離領域 L S があり、更にその直下には、p 型ウエル P W 1 があるため、上下方向に見ると、電極 F P は、素子分離領域 L S （電極 F P の直下に位置する部分の素子分離領域 L S ）を介して、p 型ウエル P W 1 と対向している。

20

【 0 0 4 2 】

電極 F P は、導電膜からなり、例えば不純物（リン、ホウ素またはヒ素など）を導入したポリシリコン膜（ドープトポリシリコン膜）からなる。他の形態として、電極 F P を構成する材料として、アルミニウム（A l）、銅（C u）またはタングステン（W）などの金属材料を用いることもできる。

【 0 0 4 3 】

半導体基板 S U B の主面（上面）上には、素子分離領域 L S および電極 F P を覆うように、絶縁膜として層間絶縁膜 I L が形成されている。層間絶縁膜 I L は、例えば酸化シリコン膜などからなる。層間絶縁膜 I L の上面は平坦化されている。層間絶縁膜 I L として、積層絶縁膜を用いることも可能であり、例えば、窒化シリコン膜と該窒化シリコン膜上の酸化シリコン膜との積層膜を層間絶縁膜 I L として用いることもでき、その場合、窒化シリコン膜よりも酸化シリコン膜を厚くすることが好ましい。なお、積層絶縁膜とは、複数の絶縁膜からなる積層膜のことである。

30

【 0 0 4 4 】

層間絶縁膜 I L には、コンタクトホール（開口部、スルーホール、貫通孔）が形成され、コンタクトホール内には、例えばタングステン（W）膜を主体とする導電性のプラグ（接続用埋込導体、コンタクトプラグ）P G が形成されている。すなわち、導電性のプラグ P G が、層間絶縁膜 I L に形成されたコンタクトホールに埋め込まれている。プラグ P G は、接続用のプラグであり、すなわちコンタクトプラグである。プラグ P G は、複数形成されており、エミッタ用プラグ P G E、ベース用プラグ P G B、コレクタ用プラグ P G C、およびプラグ P G F を有している。

40

【 0 0 4 5 】

ここで、プラグ P G のうち、エミッタ用の n⁺ 型半導体領域 N R 1 上に配置されてそのエミッタ用の n⁺ 型半導体領域 N R 1 に電氣的に接続されたプラグ P G を、エミッタ用プラグ P G E と称することとする。また、プラグ P G のうち、ベース用の p⁺ 型半導体領域 P R 1 上に配置されてそのベース用の p⁺ 型半導体領域 P R 1 に電氣的に接続されたプラグ P G を、ベース用プラグ P G B と称することとする。また、プラグ P G のうち、コレクタ用の n⁺ 型半導体領域 N R 2 上に配置されてそのコレクタ用の n⁺ 型半導体領域 N R 2 に電氣的に接続されたプラグ P G を、コレクタ用プラグ P G C と称することとする。また

50

、プラグ P G のうち、電極 F P 上に配置されてその電極 F P に電氣的に接続されたプラグ P G を、プラグ P G F と称することとする。

【 0 0 4 6 】

エミッタ用プラグ P G E は、その底面が n^+ 型半導体領域 N R 1 に接することにより、 n^+ 型半導体領域 N R 1 と電氣的に接続されている。 n^+ 型半導体領域 N R 1 上に金属シリサイド層を形成した場合は、エミッタ用プラグ P G E は、 n^+ 型半導体領域 N R 1 上の金属シリサイド層に接し、その金属シリサイド層を介して n^+ 型半導体領域 N R 1 と電氣的に接続される。

【 0 0 4 7 】

ベース用プラグ P G B は、その底面が p^+ 型半導体領域 P R 1 に接することにより、 p^+ 型半導体領域 P R 1 と電氣的に接続されている。 p^+ 型半導体領域 P R 1 上に金属シリサイド層を形成した場合は、ベース用プラグ P G B は、 p^+ 型半導体領域 P R 1 上の金属シリサイド層に接し、その金属シリサイド層を介して p^+ 型半導体領域 P R 1 と電氣的に接続される。

10

【 0 0 4 8 】

コレクタ用プラグ P G C は、その底面が n^+ 型半導体領域 N R 2 に接することにより、 n^+ 型半導体領域 N R 2 と電氣的に接続されている。 n^+ 型半導体領域 N R 2 上に金属シリサイド層を形成した場合は、コレクタ用プラグ P G C は、 n^+ 型半導体領域 N R 2 上の金属シリサイド層に接し、その金属シリサイド層を介して n^+ 型半導体領域 N R 2 と電氣的に接続される。

20

【 0 0 4 9 】

プラグ P G F は、その底面が電極 F P に接することにより、電極 F P と電氣的に接続されている。電極 F P 上に金属シリサイド層を形成した場合は、プラグ P G F は、電極 F P 上の金属シリサイド層に接し、その金属シリサイド層を介して電極 F P と電氣的に接続される。

【 0 0 5 0 】

プラグ P G が埋め込まれた層間絶縁膜 I L 上には、配線（第 1 層配線）M 1 が形成されている。

【 0 0 5 1 】

配線 M 1 は、例えば、プラグ P G が埋め込まれた層間絶縁膜 I L 上に導電膜を形成してから、その導電膜をパターニングすることにより形成されており、その場合は、配線 M 1 は、パターニングされた導電膜からなる。配線 M 1 としては、例えばアルミニウム配線などを好適に用いることができる。他の形態として、配線 M 1 として、ダマシン法で形成したダマシン配線（埋込配線）を用いることも可能である。層間絶縁膜 I L および配線 M 1 よりも上層に、更に層間絶縁膜および配線が形成されているが、ここではその図示および説明は省略する。

30

【 0 0 5 2 】

ここで、配線 M 1 のうち、プラグ P G（より特定的にはエミッタ用プラグ P G E）を介してエミッタ用の n^+ 型半導体領域 N R 1 に電氣的に接続された配線 M 1 を、エミッタ用配線 M 1 E と称することとする。なお、エミッタ用配線 M 1 E は、エミッタ用プラグ P G E を介してエミッタ用の n^+ 型半導体領域 N R 1 と電氣的に接続されるとともに、プラグ P G F を介して電極 F P と電氣的に接続されている。また、配線 M 1 のうち、プラグ P G（より特定的にはベース用プラグ P G B）を介してベース用の p^+ 型半導体領域 P R 1 に電氣的に接続された配線 M 1 を、ベース用配線 M 1 B と称することとする。また、配線 M 1 のうち、プラグ P G（より特定的にはコレクタ用プラグ P G C）を介してコレクタ用の n^+ 型半導体領域 N R 2 に電氣的に接続された配線 M 1 を、コレクタ用配線 M 1 C と称することとする。エミッタ用配線 M 1 E とベース用配線 M 1 B とコレクタ用配線 M 1 C とは、互いに分離されている。すなわち、エミッタ用配線 M 1 E とベース用配線 M 1 B とは、導体を通じて接続されておらず、かつ、エミッタ用配線 M 1 E とコレクタ用配線 M 1 C とは、導体を通じて接続されておらず、かつ、ベース用配線 M 1 B とコレクタ用配線 M 1 C

40

50

とは、導体を通じて接続されていない。

【0053】

ベース用配線M1Bは、ベース用プラグPGB上を含む層間絶縁膜ILに延在し、ベース用プラグPGBと平面視において重なっており、ベース用プラグPGBの上面がベース用配線M1Bと接することで、ベース用プラグPGBとベース用配線M1Bとが電氣的に接続されている。

【0054】

コレクタ用配線M1Cは、コレクタ用プラグPGC上を含む層間絶縁膜ILに延在し、コレクタ用プラグPGCと平面視において重なっており、コレクタ用プラグPGCの上面がコレクタ用配線M1Cと接することで、コレクタ用プラグPGCとコレクタ用配線M1Cとが電氣的に接続されている。

10

【0055】

ベース用配線M1Bからベース用プラグPGBを介してベース用の p^+ 型半導体領域PR1に所望のベース電圧を供給することができる。また、コレクタ用配線M1Cからコレクタ用プラグPGCを介してコレクタ用の n^+ 型半導体領域NR2に所望のコレクタ電圧を供給することができる。

【0056】

エミッタ用配線M1Eは、エミッタ用プラグPGE上とプラグPGF上とを含む層間絶縁膜ILに延在し、エミッタ用プラグPGEおよびプラグPGFと平面視において重なっている。エミッタ用プラグPGEの上面がエミッタ用配線M1Eと接することで、エミッタ用プラグPGEとエミッタ用配線M1Eとが電氣的に接続され、プラグPGFの上面がエミッタ用配線M1Eと接することで、プラグPGFとエミッタ用配線M1Eとが電氣的に接続されている。エミッタ用配線M1Eからエミッタ用プラグPGEを介してエミッタ用の n^+ 型半導体領域NR1に所望のエミッタ電圧を供給することができる。

20

【0057】

エミッタ用プラグPGEはエミッタ用配線M1Eに接続されているが、プラグPGFもエミッタ用配線M1Eに接続されている。すなわち、電極FPと、エミッタ用の n^+ 型半導体領域NR1とは、それぞれプラグPGを介して共通のエミッタ用配線M1Eに電氣的に接続されている。つまり、電極FPと、エミッタ用の n^+ 型半導体領域NR1とは、プラグPGF、エミッタ用配線M1Eおよびエミッタ用プラグPGEを介して、電氣的に接続されている。このため、エミッタ用配線M1Eからエミッタ用プラグPGEを介してエミッタ用の n^+ 型半導体領域NR1に所望のエミッタ電圧が供給されるとともに、そのエミッタ用配線M1EからプラグPGFを介して電極FPに、エミッタ電圧と同じ電圧が供給されるようになっている。従って、電極FPと、エミッタ用の n^+ 型半導体領域NR1とは、同じ電圧(エミッタ電圧)が供給され、両者は実質的に同電位になっている。つまり、電極FPは、エミッタ用の n^+ 型半導体領域NR1と同電位に固定されている。

30

【0058】

半導体基板SUBにはバイポーラトランジスタが形成されているが、 n^+ 型半導体領域NR1が、バイポーラトランジスタのエミッタ領域として機能し、 p 型ウエルPW1および p^+ 型半導体領域PR1が、バイポーラトランジスタのベース領域として機能する。また、 n 型ウエルNW1、 n^+ 型埋込領域NB、 n^+ 型シンカー領域NSおよび n^+ 型半導体領域NR2が、バイポーラトランジスタのコレクタ領域として機能する。エミッタ領域とベース領域との間に形成されるPN接合面は、 n^+ 型半導体領域NR1と p 型ウエルPW1との間に形成されるPN接合面に対応し、ベース領域とコレクタ領域との間に形成されるPN接合面は、 p 型ウエルPW1と n 型ウエルNW1との間に形成されるPN接合面に対応している。

40

【0059】

このため、半導体基板SUBにおいて、コレクタ領域(n 型ウエルNW1、 n^+ 型埋込領域NB、 n^+ 型シンカー領域NSおよび n^+ 型半導体領域NR2)に内包されるように、ベース領域(p 型ウエルPW1および p^+ 型半導体領域PR1)が形成され、そのベー

50

ス領域に内包されるように、エミッタ領域（ n^+ 型半導体領域NR1）が形成されている。言い換えると、半導体基板SUBにおいて、エミッタ領域（ n^+ 型半導体領域NR1）を取り囲むようにベース領域（ p 型ウエルPW1および p^+ 型半導体領域PR1）が形成され、そのベース領域を取り囲むようにコレクタ領域（ n 型ウエルNW1、 n^+ 型埋込領域NB、 n^+ 型シンカー領域NSおよび n^+ 型半導体領域NR2）が形成されている。

【0060】

また、エミッタ用プラグPGE、あるいはエミッタ用プラグPGEとエミッタ用配線M1Eとを合わせたものが、エミッタ電極として機能する。また、ベース用プラグPGB、あるいはベース用プラグPGBとベース用配線M1Bとを合わせたものが、ベース電極として機能する。また、コレクタ用プラグPGC、あるいはコレクタ用プラグPGCとコレクタ用配線M1Cとを合わせたものが、コレクタ電極として機能する。エミッタ用プラグPGEから n^+ 型半導体領域NR1にエミッタ電圧が供給され、ベース用プラグPGBから p^+ 型半導体領域PR1にベース電圧が供給され、コレクタ用プラグPGCから n^+ 型半導体領域NR2にコレクタ電圧が供給される。

10

【0061】

p^+ 型半導体領域PR1の p 型不純物濃度は、 p 型ウエルPW1の p 型不純物濃度よりも高く、 p^+ 型半導体領域PR1は、ベース領域をベース電極に接続するコンタクト領域として機能することができる。ベース電極（ベース用プラグPGB）を高不純物濃度の p^+ 型半導体領域PR1に接続することで、コンタクト抵抗を低減することができる。一方、 p 型ウエルPW1は、 p^+ 型半導体領域PR1よりも低不純物濃度であり、 p 型ウエルPW1の不純物濃度は、 p^+ 型半導体領域PR1とは独立して設定することができる。このため、 p^+ 型半導体領域PR1を高不純物濃度にするすることで、ベース電極（ベース用プラグPGB）のコンタクト抵抗を低減しながら、 p 型ウエルPW1の不純物濃度は、エミッタ領域（ n^+ 型半導体領域NR1）との間でPN接合を形成するベース領域として好適な不純物濃度に設定することができる。

20

【0062】

また、 n^+ 型埋込領域NB、 n^+ 型シンカー領域NSおよび n^+ 型半導体領域NR2のそれぞれの n 型不純物濃度は、 n 型ウエルNW1の n 型不純物濃度よりも高い。 n 型ウエルNW1の不純物濃度は、 n^+ 型埋込領域NB、 n^+ 型シンカー領域NSおよび n^+ 型半導体領域NR2とは独立して設定することができるため、 n 型ウエルNW1の不純物濃度を、ベース領域（ p 型ウエルPW1）との間でPN接合を形成するコレクタ領域として好適な不純物濃度に設定することができる。また、 n 型ウエルNW1よりも高不純物濃度の n^+ 型埋込領域NBおよび n^+ 型シンカー領域NSを設けたことにより、コレクタ抵抗を低減することができる。 n^+ 型シンカー領域NSは、 n^+ 型埋込領域NBを半導体基板SUBの表面側に引き上げる引き上げ領域として機能することができる。また、 n^+ 型半導体領域NR2の n 型不純物濃度は、 n^+ 型シンカー領域NSの n 型不純物濃度よりも高い。 n^+ 型半導体領域NR2は、コレクタ領域をコレクタ電極に接続するコンタクト領域として機能することができる。コレクタ電極（コレクタ用プラグPGC）を高不純物濃度の n^+ 型半導体領域NR2に接続することで、コンタクト抵抗を低減することができる。

30

【0063】

<半導体装置の製造工程について>

次に、本実施の形態の半導体装置の製造工程を、図面を参照して説明する。図4～図31は、本実施の形態の半導体装置の製造工程中の要部断面図である。

40

【0064】

図4～図31のうち、図4、図6、図8、図10、図12、図14、図16、図18、図20、図22、図24、図26、図28および図30には、バイポーラトランジスタ形成領域1Aの要部断面図が示されており、上記図2に相当する断面領域が示されている。また、図4～図31のうち、図5、図7、図9、図11、図13、図15、図17、図19、図21、図23、図25、図27、図29および図31には、 n MOSFET形成領域1Bおよび p MOSFET形成領域1Cの要部断面図が示されている。図4～図31に

50

は、バイポーラトランジスタ形成領域 1 A にバイポーラトランジスタが、n MOS F E T 形成領域 1 B に n チャネル型の MOS F E T が、p MOS F E T 形成領域 1 C に p チャネル型の MOS F E T が、それぞれ形成される様子が示されている。

【 0 0 6 5 】

ここで、バイポーラトランジスタ形成領域 1 A は、半導体基板 S U B (の主面) において、バイポーラトランジスタが形成される予定の領域である。また、n MOS F E T 形成領域 1 B は、半導体基板 S U B (の主面) において、n チャネル型 MOS F E T が形成される予定の領域である。また、p MOS F E T 形成領域 1 C は、半導体基板 S U B (の主面) において、p チャネル型 MOS F E T が形成される予定の領域である。

【 0 0 6 6 】

なお、本願において、M O S F E T (Metal Oxide Semiconductor Field Effect Transistor) というときは、ゲート絶縁膜に酸化膜 (酸化シリコン膜) を用いた M I S F E T (Metal Insulator Semiconductor Field Effect Transistor) だけでなく、酸化膜 (酸化シリコン膜) 以外の絶縁膜をゲート絶縁膜に用いた M I S F E T も含むものとする。

【 0 0 6 7 】

バイポーラトランジスタ形成領域 1 A と n MOS F E T 形成領域 1 B と p MOS F E T 形成領域 1 C とは、同じ半導体基板 S U B に存在している。すなわち、バイポーラトランジスタ形成領域 1 A と n MOS F E T 形成領域 1 B と p MOS F E T 形成領域 1 C とは、同一の半導体基板 S U B の主面の互いに異なる平面領域に対応している。

【 0 0 6 8 】

まず、図 4 および図 5 に示されるように、基板本体 S B を準備 (用意) する。基板本体 S B は、例えばホウ素 (B) などの p 型不純物が導入された p 型の単結晶シリコンなどからなる半導体基板である。

【 0 0 6 9 】

次に、バイポーラトランジスタ形成領域 1 A の基板本体 S B に、n⁺型埋込領域 N B を形成する。n⁺型埋込領域 N B は、例えば次のようにして形成することができる。

【 0 0 7 0 】

すなわち、基板本体 S B の表面の n⁺型埋込領域 N B 形成予定領域にアンチモン (S b) やヒ素 (A s) などの n 型不純物を導入し、導入した n 型不純物を熱拡散させることにより、n⁺型埋込領域 N B を形成することができる。n⁺型埋込領域 N B は、基板本体 S B の表面から所定の深さにわたって形成される。

【 0 0 7 1 】

次に、図 6 および図 7 に示されるように、基板本体 S B の主面上に、エピタキシャル層 E P を形成する。これより、基板本体 S B の主面上にエピタキシャル層 E P が形成された半導体基板 S U B が形成される。

【 0 0 7 2 】

エピタキシャル層 E P は、p 型不純物が導入された p⁻型の単結晶シリコンなどからなり、エピタキシャル成長法を用いて形成することができる。エピタキシャル層 E P の不純物濃度 (p 型不純物濃度) は、基板本体 S B の不純物濃度 (p 型不純物濃度) よりも低い。

【 0 0 7 3 】

エピタキシャル層 E P は、n⁺型埋込領域 N B 上を含む基板本体 S B の主面全体上に形成される。エピタキシャル層 E P をエピタキシャル成長させる際に、n⁺型埋込領域 N B 中に含まれていた n 型不純物が、エピタキシャル層 E P 側に拡散する。このため、基板本体 S B の主面上にエピタキシャル層 E P を形成すると、n⁺型埋込領域 N B の下部領域が基板本体 S B 内に形成され、n⁺型埋込領域 N B の上部領域は、エピタキシャル層 E P 内に形成された状態になる。但し、n⁺型埋込領域 N B は、エピタキシャル層 E P の表面には達しておらず、n⁺型埋込領域 N B の上面は、エピタキシャル層 E P の表面から、所定の深さだけ深い位置にあり、n⁺型埋込領域 N B 上には、p⁻型のエピタキシャル層 E P が存在している。

10

20

30

40

50

【 0 0 7 4 】

次に、図 8 および図 9 に示されるように、パイポーラトランジスタ形成領域 1 A における半導体基板 S U B のエピタキシャル層 E P に、n 型ウエル N W 1 を形成する。n 型ウエル N W 1 は、例えば次のようにして形成することができる。

【 0 0 7 5 】

すなわち、エピタキシャル層 E P の n 型ウエル N W 1 形成予定領域に、イオン注入法などを用いてリン (P) などの n 型不純物を導入し、導入した n 型不純物を熱拡散させることにより、n 型ウエル N W 1 を形成することができる。この際、n 型ウエル N W 1 の底面 (下面) が n + 型埋込領域 N B に達するまで熱拡散させるため、n 型ウエル N W 1 は、n + 型埋込領域 N B 上に、n + 型埋込領域 N B に接するように、形成された状態になる。このため、n 型ウエル N W 1 の底面 (下面) は、n + 型埋込領域 N B の上面に接している。n 型ウエル N W 1 は、エピタキシャル層 E P の表面から、n + 型埋込領域 N B の上面までにわたって形成される。

10

【 0 0 7 6 】

次に、図 1 0 および図 1 1 に示されるように、半導体基板 S U B に主面に、すなわちエピタキシャル層 E P の主面に、絶縁膜からなる素子分離領域 L S を形成する。

【 0 0 7 7 】

ここでは、素子分離領域 L S として、L O C O S 法により形成された L O C O S 酸化膜を形成した場合が示されているが、他の形態として、素子分離領域 L S として、S T I 法により形成した S T I 絶縁膜を用いることもできる。

20

【 0 0 7 8 】

素子分離領域 L S として、L O C O S 法を用いて L O C O S 酸化膜を形成する場合は、具体的には、次のようにして L O C O S 酸化膜 (素子分離領域 L S) を形成することができる。

【 0 0 7 9 】

すなわち、まず、半導体基板 S U B の主面 (すなわちエピタキシャル層 E P の主面) 上に、耐熱酸化膜として用いられる窒化シリコン膜を形成してから、フォトリソグラフィ技術およびエッチング技術を用いて、L O C O S 酸化膜を形成する予定の領域の窒化シリコン膜を除去する。これにより、L O C O S 酸化膜を形成する予定の領域には窒化シリコン膜が形成されておらず、L O C O S 酸化膜を形成しない予定の領域には窒化シリコン膜が形成されている状態が得られる。それから、熱酸化を行うことにより、窒化シリコン膜で覆われていない領域 (すなわち L O C O S 酸化膜を形成する予定の領域) の半導体基板 S U B の表面 (すなわちエピタキシャル層 E P の表面) を酸化して、酸化シリコンからなる L O C O S 酸化膜 (素子分離領域 L S) を形成する。この熱酸化の際には、窒化シリコン膜は耐熱酸化膜として機能する。このため、半導体基板 S U B の表面 (すなわちエピタキシャル層 E P の表面) のうち、窒化シリコン膜で覆われている領域には、熱酸化膜は形成されず、従って、L O C O S 酸化膜 (素子分離領域 L S) は形成されない。このため、L O C O S 酸化膜 (素子分離領域 L S) は、半導体基板 S U B の表面 (すなわちエピタキシャル層 E P の表面) のうち、窒化シリコン膜で覆われていない領域に選択的 (局所的) に形成される。その後、耐熱酸化膜として用いた窒化シリコン膜を、エッチングなどにより除去し、図 1 0 および図 1 1 には、この状態が示されている。

30

40

【 0 0 8 0 】

素子分離領域 L S として、S T I 法を用いて S T I 絶縁膜を形成する場合は、具体的には、次のようにして S T I 絶縁膜 (素子分離領域 L S) を形成することができる。

【 0 0 8 1 】

すなわち、エッチングなどにより半導体基板 S U B の主面 (すなわちエピタキシャル層 E P の主面) に素子分離溝 (素子分離用の溝) を形成してから、酸化シリコン (例えばオゾン T E O S (Tetraethoxysilane) 酸化膜) などからなる絶縁膜を素子分離溝を埋めるように半導体基板 S U B 上に形成する。それから、この絶縁膜を C M P (Chemical Mechanical Polishing : 化学的機械的研磨) 法などを用いて研磨することで、素子分離溝の外

50

部の不要な絶縁膜を除去し、かつ素子分離溝内に絶縁膜を残すことにより、素子分離溝を埋める絶縁膜（絶縁体）からなるSTI絶縁膜（素子分離領域LS）を形成することができる。

【0082】

次に、図12および図13に示されるように、バイポーラトランジスタ形成領域1Aにおける半導体基板SUBのエピタキシャル層EPに、 n^+ 型シンカー領域NSを形成する。 n^+ 型シンカー領域NSは、例えば次のようにして形成することができる。

【0083】

すなわち、エピタキシャル層EPの n^+ 型シンカー領域NS形成予定領域に、イオン注入法などを用いてリン(P)などの n 型不純物を導入し、導入した n 型不純物を熱拡散させることにより、 n^+ 型シンカー領域NSを形成することができる。この際、 n^+ 型シンカー領域NSの底面（下面）が n^+ 型埋込領域NBに達するまで熱拡散させるため、 n^+ 型シンカー領域NSは、 n^+ 型埋込領域NB上に、 n^+ 型埋込領域NBに接するように、形成された状態になる。このため、 n^+ 型シンカー領域NSは、 n^+ 型埋込領域NBの上面に接している。 n^+ 型シンカー領域NSは、エピタキシャル層EPの表面から、 n^+ 型埋込領域NBの上面までにわたって形成される。エピタキシャル層EPにおいて、 n^+ 型シンカー領域NSは、 n 型ウエルNW1内に形成され、 n^+ 型シンカー領域NSの不純物濃度（ n 型不純物濃度）は、 n 型ウエルNW1の不純物濃度（ n 型不純物濃度）よりも高い。

10

【0084】

次に、バイポーラトランジスタ形成領域1Aにおける半導体基板SUBのエピタキシャル層EPに、 p 型ウエルPW1を形成する。 p 型ウエルPW1は、ホウ素(B)などの p 型不純物をイオン注入することにより形成することができ、イオン注入の後には、熱拡散を行うことができるが、 p 型ウエルPW1の深さをそれほど深くする必要が無い場合は、熱拡散を省略することもできる。エピタキシャル層EPにおいて、 p 型ウエルPW1は、 n 型ウエルNW1内に、エピタキシャル層EPの表面から所定の深さにわたって形成される。

20

【0085】

p 型ウエルPW1の底面の深さは、 n 型ウエルNW1の底面の深さよりも浅いため、 p 型ウエルPW1の直下には、 n 型ウエルNW1が存在し、更にその直下には、 n^+ 型埋込領域NBが存在している。 p 型ウエルPW1と n^+ 型シンカー領域NSとは、互い離間しているため、 p 型ウエルPW1と n^+ 型シンカー領域NSとの間には、 n 型ウエルNW1が存在している。

30

【0086】

次に、 n MOSFET形成領域1Bにおける半導体基板SUBのエピタキシャル層EPに、 p 型ウエルPW2を形成し、 p MOSFET形成領域1Cにおける半導体基板SUBのエピタキシャル層EPに、 n 型ウエルNW2を形成する。

【0087】

p 型ウエルPW2は、ホウ素(B)などの p 型不純物をイオン注入することにより形成することができ、 n 型ウエルNW2は、リン(P)などの n 型不純物をイオン注入することにより形成することができる。イオン注入の後には、熱拡散を行うことができるが、 p 型ウエルPW2および n 型ウエルNW2の深さをそれほど深くする必要が無い場合は、熱拡散を省略することもできる。

40

【0088】

また、 p 型ウエルPW1と p 型ウエルPW2とを、同じ不純物濃度でかつ同じ深さで形成してもよい場合は、 p 型ウエルPW1と p 型ウエルPW2とを同工程で形成することができる。また、 p 型ウエルPW2と p 型ウエルPW1とを別工程で形成する場合は、 p 型ウエルPW1を先に形成しても、あるいは、 p 型ウエルPW2を先に形成してもよい。

【0089】

次に、図14および図15に示されるように、素子分離領域LSに溝TRを形成する。

50

溝TRは、例えば次のようにして形成することができる。

【0090】

すなわち、半導体基板SUBの主面上に、フォトリソグラフィ法を用いてフォトレジストパターン（図示せず）を形成する。このフォトレジストパターンは、溝TRを形成する予定の領域を露出する開口部を有している。それから、このフォトレジストパターンをエッチングマスクとして用いて、素子分離領域LSをエッチング（例えばドライエッチング）することにより、素子分離領域LSに溝TRを形成する。その後、このフォトレジストパターンは除去する。

【0091】

溝TRは、バイポーラトランジスタ形成領域1Aの素子分離領域LSに形成されるが、素子分離領域LSを貫通してはならず、溝TRの底面（下面）は素子分離領域LSの厚みの途中に位置している。このため、溝TRの直下には、素子分離領域LSが存在しているが、溝TRの直下の素子分離領域LSの厚みは、溝TRが形成されていない領域における素子分離領域LSの厚みよりも、溝TRの深さの分だけ、小さく（薄く）なっている。

10

【0092】

次に、図16および図17に示されるように、半導体基板SUBのエピタキシャル層EPの表面に、ゲート絶縁膜用の絶縁膜GFを形成する。絶縁膜GFは、薄い酸化シリコン膜などからなり、熱酸化法などを用いて形成することができる。

【0093】

絶縁膜GFは、素子分離領域LSが形成されていない領域のエピタキシャル層EPの表面に形成される。このため、nMOSFET形成領域1BおよびpMOSFET形成領域1Cだけでなく、バイポーラトランジスタ形成領域1Aにおいても、エピタキシャル層EPの表面に絶縁膜GFが形成される。但し、nMOSFET形成領域1BおよびpMOSFET形成領域1Cの絶縁膜GFは、ゲート絶縁膜用に形成したものであるが、バイポーラトランジスタ形成領域1Aの絶縁膜GFは、ゲート絶縁膜としては用いられない。

20

【0094】

次に、半導体基板SUBの主面（すなわちエピタキシャル層EPの主面）全面上に、すなわち、絶縁膜GFおよび素子分離領域LS上に、導電膜としてシリコン膜PSを形成（堆積）する。この際、溝TR内は、シリコン膜PSにより埋め込まれる。

【0095】

シリコン膜PSは、多結晶シリコン膜（ポリシリコン膜）からなり、CVD（Chemical Vapor Deposition：化学的気相成長）法などを用いて形成することができる。成膜時はシリコン膜PSをアモルファスシリコン膜として形成してから、その後の熱処理で、アモルファスシリコン膜からなるシリコン膜PSを、多結晶シリコン膜からなるシリコン膜PSに変えることもできる。また、シリコン膜PSの成膜後に、シリコン膜PSに不純物をイオン注入することなどにより、シリコン膜PSを低抵抗の半導体膜（ドーブトポリシリコン膜）とすることができる。この際、nMOSFET形成領域1Bのシリコン膜PSとバイポーラトランジスタ形成領域1Aのシリコン膜PSとは、リン（P）などのn型不純物を導入し、pMOSFET形成領域1Cのシリコン膜PSには、ホウ素（B）などのp型不純物を導入することが好ましい。シリコン膜PSは、ゲート電極GE1、GE2形成用の導電膜と、電極FP形成用の導電膜とを兼ねている。

30

40

【0096】

次に、図18および図19に示されるように、フォトリソグラフィ法およびエッチング法を用いてシリコン膜PSをパターンングすることにより、電極FPとゲート電極GE1とゲート電極GE2とを形成する。

【0097】

電極FPとゲート電極GE1とゲート電極GE2とは、それぞれパターンングされたシリコン膜PSからなり、共通のシリコン膜PSを用いて同工程で形成することができる。ゲート電極GE1は、nMOSFET形成領域1Bにおいて、p型ウエルPW2上に絶縁膜GFを介して形成され、ゲート電極GE2は、pMOSFET形成領域1Cにおいて、

50

n型ウエルNW2上に絶縁膜GFを介して形成される。電極FPは、バイポーラトランジスタ形成領域1Aにおいて、素子分離領域LS上に、溝TR内を埋めるように形成される。

【0098】

また、電極FPとゲート電極GE1, GE2とは、共通の導電膜(ここではシリコン膜PS)を用いて同工程で形成することができるため、半導体装置の製造工程数を抑制することができる。

【0099】

ゲート電極GE1がnチャネル型MOSFETのゲート電極となり、そのゲート電極GE1の下に残存する絶縁膜GFが、nチャネル型MOSFETのゲート絶縁膜となる。また、ゲート電極GE2がpチャネル型MOSFETのゲート電極となり、そのゲート電極GE2の下に残存する絶縁膜GFが、pチャネル型MOSFETのゲート絶縁膜となる。ゲート電極GE1, GE2で覆われない部分の絶縁膜GFは、シリコン膜PSをパターニングする際のドライエッチングや、あるいはそのドライエッチング後にウェットエッチングを行うことによって除去され得る。

10

【0100】

次に、図20および図21に示されるように、ゲート電極GE1をマスクとして用いてnMOSFET形成領域1Bのp型ウエルPW2にヒ素(As)などのn型不純物をイオン注入することにより、p型ウエルPW2において、ゲート電極GE1の両側にn⁻型半導体領域EX1を形成する。また、ゲート電極GE2をマスクとして用いてpMOSFET形成領域1Cのn型ウエルNW2にホウ素(B)などのp型不純物をイオン注入することにより、n型ウエルNW2において、ゲート電極GE2の両側にp⁻型半導体領域EX2を形成する。n⁻型半導体領域EX1を形成するイオン注入とp⁻型半導体領域EX2を形成するイオン注入とは、どちらを先に行ってもよい。

20

【0101】

次に、図22および図23に示されるように、半導体基板SUBの主面上に、電極FPおよびゲート電極GE1, GE2を覆うように、サイドウォールスペーサ形成用の絶縁膜を形成してから、その絶縁膜を異方性エッチングすることにより、ゲート電極GE1, GE2の側壁上にサイドウォールスペーサ(側壁絶縁膜)SWを形成する。この際、ゲート電極GE1, GE2の側壁上だけでなく、電極FPの側壁上にもサイドウォールスペーサSWが形成され得る。

30

【0102】

次に、図24および図25に示されるように、ゲート電極GE1とその側壁上のサイドウォールスペーサSWをマスクとして用いてnMOSFET形成領域1Bのp型ウエルPW2にヒ素(As)などのn型不純物をイオン注入することにより、p型ウエルPW2において、ゲート電極GE1とその側壁上のサイドウォールスペーサSWからなる構造体の両側に、n⁺型半導体領域SD1を形成する。また、ゲート電極GE2とその側壁上のサイドウォールスペーサSWをマスクとして用いてpMOSFET形成領域1Cのn型ウエルNW2にホウ素(B)などのp型不純物をイオン注入することにより、n型ウエルNW2において、ゲート電極GE2およびその側壁上のサイドウォールスペーサSWからなる構造体の両側に、p⁺型半導体領域SD2を形成する。

40

【0103】

n⁺型半導体領域SD1は、n⁻型半導体領域EX1よりも接合深さが深くかつ不純物濃度(n型不純物濃度)が高く、また、p⁺型半導体領域SD2は、p⁻型半導体領域EX2よりも接合深さが深くかつ不純物濃度(p型不純物濃度)が高い。nMOSFET形成領域1Bにおいて、n⁻型半導体領域EX1およびn⁺型半導体領域SD1により、nチャネル型MOSFETのLDD(lightly doped drain)構造を有するソース・ドレイン領域が形成される。また、pMOSFET形成領域1Cにおいて、p⁻型半導体領域EX2およびp⁺型半導体領域SD2により、pチャネル型MOSFETのLDD構造を有するソース・ドレイン領域が形成される。

50

【0104】

また、 n^+ 型半導体領域SD1を形成するイオン注入の際には、 n MOSFET形成領域1Bに n^+ 型半導体領域SD1が形成されるだけでなく、バイポーラトランジスタ形成領域1Aのエピタキシャル層EPに n 型不純物がイオン注入されることにより、 n^+ 型半導体領域NR1および n^+ 型半導体領域NR2が形成される。また、 p^+ 型半導体領域SD2を形成するイオン注入の際には、 p MOSFET形成領域1Cに p^+ 型半導体領域SD2が形成されるだけでなく、バイポーラトランジスタ形成領域1Aのエピタキシャル層EPに p 型不純物がイオン注入されることにより、 p^+ 型半導体領域PR1が形成される。

【0105】

つまり、バイポーラトランジスタ形成領域1Aの n^+ 型半導体領域NR1および n^+ 型半導体領域NR2は、 n MOSFET形成領域1Bの n^+ 型半導体領域SD1と、共通のイオン注入工程により形成され、また、バイポーラトランジスタ形成領域1Aの p^+ 型半導体領域PR1は、 p MOSFET形成領域1Cの p^+ 型半導体領域SD2と、共通のイオン注入工程により形成される。

10

【0106】

n^+ 型半導体領域SD1、 n^+ 型半導体領域NR1および n^+ 型半導体領域NR2を形成するイオン注入の際には、 p MOSFET形成領域1C全体と、バイポーラトランジスタ形成領域1Aにおける p^+ 型半導体領域PR1を形成すべき領域とを、フォトレジストパターンで覆っておけばよい。また、 p^+ 型半導体領域SD2および p^+ 型半導体領域PR1を形成するイオン注入の際には、 n MOSFET形成領域1B全体と、バイポーラトランジスタ形成領域1Aにおける n^+ 型半導体領域NR1、NR2を形成すべき領域とを、フォトレジストパターンで覆っておけばよい。また、 n^+ 型半導体領域SD1、 n^+ 型半導体領域NR1および n^+ 型半導体領域NR2を形成するイオン注入と、 p^+ 型半導体領域SD2および p^+ 型半導体領域PR1を形成するイオン注入とは、どちらを先に行ってもよい。

20

【0107】

次に、これまでに導入した不純物を活性化させるための熱処理である活性化アニールを行う。

【0108】

次に、必要に応じて、 n^+ 型半導体領域SD1、 p^+ 型半導体領域SD2、 n^+ 型半導体領域NR1、 n^+ 型半導体領域NR2、 p^+ 型半導体領域PR1、ゲート電極GE1およびゲート電極GE2の各表面(表層部分)に、サリサイド(Salicide: Self Aligned Silicide)技術などにより、それぞれ金属シリサイド層(図示せず)を形成する。金属シリサイド層を形成すれば、コンタクト抵抗などを低減できるが、金属シリサイド層の形成は省略することもできる。

30

【0109】

次に、図26および図27に示されるように、半導体基板SUBの主面上に、すなわちエピタキシャル層EP上に、素子分離領域LS、電極FP、ゲート電極GE1、GE2およびサイドウォールスペーサSWを覆うように、絶縁膜として層間絶縁膜ILを形成する。層間絶縁膜ILは、例えば酸化シリコン膜などからなり、CVD法などを用いて形成することができる。層間絶縁膜ILとして、積層絶縁膜を用いることも可能である。層間絶縁膜ILの成膜後、CMP法により層間絶縁膜ILの上面を研磨するなどして、層間絶縁膜ILの上面の平坦性を高めることもできる。

40

【0110】

次に、図28および図29に示されるように、層間絶縁膜ILにコンタクトホールを形成する。コンタクトホールは、例えば、フォトリソグラフィ法を用いて層間絶縁膜IL上に形成したフォトレジストパターン(図示せず)をエッチングマスクとして、層間絶縁膜ILをドライエッチングすることにより、形成することができる。コンタクトホールは、層間絶縁膜ILを貫通している。

50

【0111】

次に、層間絶縁膜 I L のコンタクトホール内に、接続用の導電体部として、タングステン (W) などからなる導電性のプラグ P G を形成する。

【0112】

プラグ P G を形成するには、例えば、コンタクトホールの内部 (底部および側壁上) を含む層間絶縁膜 I L 上に、バリア導体膜を形成する。このバリア導体膜は、例えば、チタン膜、窒化チタン膜、あるいはそれらの積層膜からなる。それから、このバリア導体膜上にタングステン膜などからなる主導体膜を、コンタクトホールを埋めるように形成する。それから、コンタクトホールの外部の不要な主導体膜およびバリア導体膜を C M P 法またはエッチバック法などによって除去することにより、コンタクトホール内に埋め込まれて残存する主導体膜およびバリア導体膜からなるプラグ P G を形成することができる。なお、図面の簡略化のために、図 2 8 および図 2 9 では、プラグ P G を構成するバリア導体膜および主導体膜を一体化して示してある。

10

【0113】

バイポーラトランジスタ形成領域 1 A においては、プラグ P G として、エミッタ用プラグ P G E、ベース用プラグ P G B、コレクタ用プラグ P G C およびプラグ P G F が形成される。エミッタ用プラグ P G E は、 n^+ 型半導体領域 N R 1 上に形成されて n^+ 型半導体領域 N R 1 と電氣的に接続され、ベース用プラグ P G B は、 p^+ 型半導体領域 P R 1 上に形成されて p^+ 型半導体領域 P R 1 と電氣的に接続される。また、コレクタ用プラグ P G C は、 n^+ 型半導体領域 N R 2 上に形成されて n^+ 型半導体領域 N R 2 と電氣的に接続され、プラグ P G F は、電極 F P 上に形成されて電極 F P と電氣的に接続される。n M O S F E T 形成領域 1 B においては、 n^+ 型半導体領域 S D 1 上とゲート電極 G E 1 上にそれぞれプラグ P G が形成され、p M O S F E T 形成領域 1 C においては、 p^+ 型半導体領域 S D 2 上とゲート電極 G E 2 上にそれぞれプラグ P G が形成される。

20

【0114】

次に、図 3 0 および図 3 1 に示されるように、プラグ P G が埋め込まれた層間絶縁膜 I L 上に、第 1 層目の配線である配線 M 1 を形成する。

【0115】

配線 M 1 は、例えば、次のようにして形成することができる。すなわち、まず、プラグ P G が埋め込まれた層間絶縁膜 I L 上に、バリア導体膜とその上の主導体膜とその上のバリア導体膜とからなる積層導電膜を形成する。バリア導体膜は、例えば、チタン膜、窒化チタン膜、あるいはそれらの積層膜からなり、主導体膜は、例えば、アルミニウムを主体とする導体膜 (アルミニウム膜またはアルミニウム合金膜) からなる。それから、その積層導電膜をフォトリソグラフィ法およびドライエッチング法を用いてパターニングすることにより、パターニングされた積層導電膜からなる配線 M 1 を形成することができる。図 3 0 および図 3 1 では、図面の簡略化のために、配線 M 1 は、バリア導体膜および主導体膜を一体化して示してある。

30

【0116】

バイポーラトランジスタ形成領域 1 A においては、配線 M 1 として、エミッタ用配線 M 1 E、ベース用配線 M 1 B およびコレクタ用配線 M 1 C が形成される。エミッタ用配線 M 1 E は、エミッタ用プラグ P G E を介して n^+ 型半導体領域 N R 1 に電氣的に接続されるとともに、プラグ P G F を介して電極 F P に電氣的に接続される。また、ベース用配線 M 1 B は、ベース用プラグ P G B を介して p^+ 型半導体領域 P R 1 に電氣的に接続され、コレクタ用配線 M 1 C は、コレクタ用プラグ P G C を介して n^+ 型半導体領域 N R 2 に電氣的に接続される。また、n M O S F E T 形成領域 1 B および p M O S F E T 形成領域 1 C にも配線 M 1 が形成され、その配線 M 1 は、プラグ P G を介して、 n^+ 型半導体領域 S D 1、 p^+ 型半導体領域 S D 2、ゲート電極 G E 1 あるいはゲート電極 G E 2 などと電氣的に接続される。

40

【0117】

また、ここでは、導電膜をパターニングすることにより配線 M 1 を形成する場合につい

50

て説明したが、他の形態として、配線 M 1 として、ダマシン法で形成したダマシン配線（埋込配線）を用いることも可能である。

【0118】

その後、更に上層の層間絶縁膜および配線が形成されるが、ここではその図示および説明は省略する。

【0119】

< 検討例について >

本発明者が検討した検討例の半導体装置について説明する。図 3 2 は、本発明者が検討した第 1 検討例の半導体装置の要部断面図であり、図 3 3 は、本発明者が検討した第 2 検討例の半導体装置の要部断面図であり、いずれも本実施の形態の上記図 1 に相当する断面が示されている。

10

【0120】

図 3 2 に示される第 1 検討例の半導体装置および図 3 3 に示される第 2 検討例の半導体装置は、いずれもバイポーラトランジスタを有する半導体装置である。

【0121】

図 3 2 に示される第 1 検討例の半導体装置は、上記電極 F P に相当するものが形成されておらず、従って、上記溝 T R に相当するものや上記プラグ P G F に相当するものも形成されていない。従って、図 3 2 に示される第 1 検討例の半導体装置では、層間絶縁膜 I L 上には上記エミッタ用配線 M 1 E の代わりにエミッタ用配線 M 1 E 1 0 0 が形成されている。

20

【0122】

それ以外の構成は、図 3 2 に示される第 1 検討例の半導体装置も上記図 1 ~ 図 3 の半導体装置とほぼ同様であるので、ここではその繰り返しの説明は省略する。

【0123】

バイポーラトランジスタの構成は、図 3 2 に示される第 1 検討例の半導体装置も、上記図 1 ~ 図 3 の半導体装置とほぼ同様である。すなわち、上記図 1 ~ 図 3 の半導体装置と同様に、図 3 2 に示される第 1 検討例の半導体装置においても、 n^+ 型半導体領域 N R 1 が、バイポーラトランジスタのエミッタ領域として機能し、 p 型ウエル P W 1 および p^+ 型半導体領域 P R 1 が、バイポーラトランジスタのベース領域として機能する。また、 n 型ウエル N W 1、 n^+ 型埋込領域 N B、 n^+ 型シンカー領域 N S および n^+ 型半導体領域 N R 2 が、バイポーラトランジスタのコレクタ領域として機能する。つまり、エミッタ領域を取り囲むようにベース領域が配置され、ベース領域を取り囲むようにコレクタ領域が配置されている。エミッタ用プラグ P G E からエミッタ用の n^+ 型半導体領域 N R 1 にエミッタ電圧が供給され、ベース用プラグ P G B からベース用の p^+ 型半導体領域 P R 1 にベース電圧が供給され、コレクタ用プラグ P G C からコレクタ用の n^+ 型半導体領域 N R 2 にコレクタ電圧が供給される。

30

【0124】

図 1 ~ 図 3 の半導体装置と同様に、図 3 2 に示される第 1 検討例の半導体装置においても、エミッタ用の n^+ 型半導体領域 N R 1 とベース用の p^+ 型半導体領域 P R 1 との間の半導体基板 S U B の主面には、素子分離領域 L S が形成されている。

40

【0125】

バイポーラトランジスタにおいては、エミッタ・ベース間に逆方向バイアスを印加すると、 $h F E$ 特性（電流増幅率：ベース電流に対するコレクタ電流の比率）が劣化し、バイポーラトランジスタの特性が劣化してしまうという問題がある。

【0126】

具体的に説明すると、エミッタ・ベース間に逆方向バイアスを印加すると、エミッタからベース側に伸びた空乏層による電界集中によりホットキャリア（ここではホール）が発生してしまう。本発明者のシミュレーションによれば、エミッタ・ベース間に逆方向バイアスを印加すると、図 3 2 において、符号 R G を付して示した領域で電界集中が生じてホットキャリアが発生しやすい。発生したホットキャリアは、近くにある素子分離領域 L S

50

にトラップ（捕獲）されてしまい、逆方向バイアスの印加を止めても、素子分離領域LS中にトラップされたまま残ってしまう虞がある。これは、バイポーラトランジスタの通常動作時（通常動作時はエミッタ・ベース間に順方向バイアスが印加される）に、悪影響を与えてしまう。例えば、エミッタからの電子がコレクタ側に移動する途中で、素子分離領域LS中にトラップされていたホールと再結合してしまい、これがベース電流の増加につながるため、hFE特性（電流増幅率）を劣化させ、バイポーラトランジスタの特性を劣化させてしまう。また、エミッタ・ベース間に逆方向バイアスを印加したときに、電界集中によって発生したホットキャリアが、近くにある素子分離領域LSと半導体基板SUB（エピタキシャル層EP）との界面に衝突してダメージを与えてしまう虞もあり、これも、バイポーラトランジスタの通常動作時に、悪影響を与えてしまう。

10

【0127】

近年、例えば車載用途などでは、高い信頼性が求められるようになってきており、逆方向バイアスが印加されても、バイポーラトランジスタの特性が劣化しないような、高い信頼性を有する半導体装置が求められている。

【0128】

バイポーラトランジスタの正常動作時には、エミッタ・ベース間に順方向バイアスが印加されるが、信頼性向上のためには、エミッタ・ベース間に逆方向バイアスが印加されても、バイポーラトランジスタの正常動作時の特性が劣化（変動）しないことが求められる。

20

【0129】

そこで、本発明者は、図33に示される第2検討例の半導体装置について検討した。

【0130】

図33に示される第2検討例の半導体装置は、エミッタ用のn⁺型半導体領域NR1とベース用のp⁺型半導体領域PR1との間の素子分離領域LS上に、フィールドプレート電極として電極FP200が形成されている。この電極FP200は、プラグPGF200を介して、エミッタ用配線M1E200に電氣的に接続されている。

【0131】

エミッタ用配線M1E200は、上記エミッタ用配線M1Eに相当するものであり、エミッタ用プラグPGEを介してエミッタ用のn⁺型半導体領域NR1に電氣的に接続されるとともに、プラグPGF200を介して、電極FP200に電氣的に接続されている。つまり、電極FP200と、エミッタ用のn⁺型半導体領域NR1とは、プラグPGF200、エミッタ用配線M1E200およびエミッタ用プラグPGEを介して、電氣的に接続されている。このため、電極FP200と、エミッタ用のn⁺型半導体領域NR1とに、同じ電圧（エミッタ電圧）が供給され、両者は実質的に同電位になる。

30

【0132】

図33に示される第2検討例における電極FP200が上記電極FPと相違しているのは、次の点である。すなわち、上記電極FPは、素子分離領域LSに形成された上記溝TR内に埋め込まれているのに対して、図33に示される第2検討例の半導体装置では、素子分離領域LSに上記溝TRに相当するものは形成されておらず、従って、電極FP200は、素子分離領域LSの溝に埋め込まれているのではなく、溝が形成されていない素子分離領域LS上に配置されている。

40

【0133】

図33に示される第2検討例の場合は、エミッタ用のn⁺型半導体領域NR1に供給される電圧と同じ電圧が、電極FP200に供給される。このため、エミッタ・ベース間に逆方向バイアスを印加した場合、図32に示される第1検討例よりも、図33に示される第2検討例の方が、エミッタからベース側への空乏層の伸びを促進できるため、電界集中を緩和することができる。すなわち、エミッタ・ベース間に逆方向バイアスを印加した場合、図32に示される第1検討例では、符号RGで示した領域で電界集中が生じてホットキャリアが発生しやすいが、それに比べると、図33に示される第2検討例では、その領域RGで電界集中が生じにくくなり、ホットキャリアの発生を抑制することができる。

50

【0134】

このため、図32に示される第1検討例よりも、図33に示される第2検討例の方が、電極FP200を設けたことにより、エミッタ・ベース間に逆方向バイアスを印加したときの電界集中を緩和することができ、ホットキャリアの発生を抑制することができるため、そのホットキャリアの発生に伴う上述した問題が生じにくくなる。

【0135】

電極FP200は、エミッタ用の n^+ 型半導体領域NR1とベース用の p^+ 型半導体領域PR1との間の素子分離領域LS上に配置する必要がある。しかしながら、素子分離領域LSの厚みが厚いと、電極FP200と基板領域（ここでは p 型ウエルPW1）との間の距離が大きくなるため、電極FP200を設けたことによる、エミッタ・ベース間に逆方向バイアスを印加したときの電界集中を緩和してホットキャリアの発生を抑制する効果が薄れてしまう。かといって、素子分離領域LS全体の厚みを薄くしてしまうと、エミッタ用の n^+ 型半導体領域NR1とベース用の p^+ 型半導体領域PR1との間に素子分離領域LSを設けてエミッタ・ベース間の耐圧を向上させる効果が薄れてしまう。つまり、エミッタ用の n^+ 型半導体領域NR1とベース用の p^+ 型半導体領域PR1との間の素子分離領域LS上に電極FP200を形成した第2検討例の場合、電極FP200による電界集中緩和効果を高めるためには、素子分離領域LSの厚みを薄くすることが有利であるが、エミッタ・ベース間の耐圧を向上させるためには、素子分離領域LSの厚みを厚くする方が有利である。このため、図33に示される第2検討例の構造では、電極FP200による電界集中緩和効果をはるかに向上させることと、エミッタ・ベース間の耐圧を向上させることとは、両立させ難い。すなわち、図33に示される第2検討例の構造では、電極FP200による電界集中緩和効果を十分に発揮させることは難しい。

【0136】

< 主要な特徴と効果について >

本実施の形態の半導体装置は、バイポーラトランジスタを備える半導体装置であって、半導体基板SUBと、半導体基板SUBに形成された p 型ウエルPW1（第1半導体領域）と、 p 型ウエルPW1に互いに離間して形成された p^+ 型半導体領域PR1（第2半導体領域）および n^+ 型半導体領域NR1（第3半導体領域）と、を有している。本実施の形態の半導体装置は、更に、 p^+ 型半導体領域PR1と n^+ 型半導体領域NR1との間の半導体基板SUBの主面に形成された素子分離領域LS（素子分離絶縁膜）と、素子分離領域LS上に形成された電極FP（第1電極）と、を有している。本実施の形態の半導体装置は、更に、半導体基板SUB上に素子分離領域LSおよび電極FPを覆うように形成された層間絶縁膜ILと、層間絶縁膜ILに埋め込まれたエミッタ用プラグPGE（第1プラグ）、プラグPGF（第2プラグ）およびベース用プラグPGB（第3プラグ）と、を有している。

【0137】

p^+ 型半導体領域PR1の不純物濃度は p 型ウエルPW1の不純物濃度よりも高く、 p 型ウエルPW1および p^+ 型半導体領域PR1は、バイポーラトランジスタのベース用の半導体領域であり、 n^+ 型半導体領域NR1は、バイポーラトランジスタのエミッタ用の半導体領域である。エミッタ用プラグPGEは、 n^+ 型半導体領域NR1上に配置されて、 n^+ 型半導体領域NR1と電氣的に接続され、プラグPGFは、電極FP上に配置されて、電極FPと電氣的に接続され、ベース用プラグPGBは、 p^+ 型半導体領域PR1上に配置されて、 p^+ 型半導体領域PR1と電氣的に接続されている。エミッタ用プラグPGEとプラグPGFとは電氣的に接続されている。平面視において、電極FPは、 p^+ 型半導体領域PR1と n^+ 型半導体領域NR1との間に形成され、電極FPの少なくとも一部は、素子分離領域LSに形成された溝TR（第1溝）内に埋め込まれている。

【0138】

本実施の形態の主要な特徴のうちの一つは、平面視において、 p^+ 型半導体領域PR1と n^+ 型半導体領域NR1との間の素子分離領域LS上に、電極FPが形成されていることである。

10

20

30

40

50

【0139】

本実施の形態とは異なり、上記図32の第1検討例のように、 p^+ 型半導体領域PR1と n^+ 型半導体領域NR1との間の素子分離領域LS上に、電極FPに相当するもの（フィールドプレート電極）を形成していない場合は、上記図32の第1検討例を参照して説明したように、エミッタ・ベース間に逆方向バイアスを印加すると、バイポーラトランジスタの特性が劣化する問題が生じてしまう。これは、上述したように、エミッタ・ベース間に逆方向バイアスを印加すると、図32の領域RGで電界集中が生じてホットキャリアが発生することに起因している。

【0140】

それに対して、本実施の形態では、平面視において、エミッタ用の n^+ 型半導体領域NR1とベース用の p^+ 型半導体領域PR1との間の素子分離領域LS上に電極FPが形成されている。この電極FPは、プラグPGFおよびプラグPGEを介してエミッタ用の n^+ 型半導体領域NR1と電氣的に接続されているため、エミッタ用の n^+ 型半導体領域NR1に供給される電圧（エミッタ電圧）が、電極FPにも供給されることになる。すなわち、電極FPは、エミッタ用の n^+ 型半導体領域NR1と実質的に同電位となる。このため、エミッタ用の n^+ 型半導体領域NR1とベース用の p^+ 型半導体領域PR1との間の素子分離領域LS上に電極FPを設けたことにより、エミッタ・ベース間に逆方向バイアスを印加した場合に、エミッタからベース側への空乏層の伸びを促進できるため、電界集中（特に上記図32および図33の符号RGで示した領域での電界集中）を緩和することができる。これにより、エミッタ・ベース間に逆方向バイアスを印加した場合に、電界集中によってホットキャリア（ここではホール）が発生するのを抑制することができる。なお、エミッタ用の n^+ 型半導体領域NR1とベース用の p^+ 型半導体領域PR1との間に位置する素子分離領域LSの下には、 p^+ 型半導体領域PR1よりも低不純物濃度のベース用のp型ウエルPW1が延在している。

【0141】

本実施の形態の主要な特徴のうちの他の一つは、電極FPの少なくとも一部は、素子分離領域LSに形成された溝TR内に埋め込まれていることである。

【0142】

本実施の形態とは異なり、上記図33の第2検討例のように、素子分離領域LSに溝TRに相当するものが形成されておらず、溝が形成されていない素子分離領域LS上に電極FP200が形成されている場合には、電極FP200と基板領域（ここではp型ウエルPW1）との間に厚い素子分離領域LSが介在することになる。このため、電極FP200を設けたことによる、エミッタ・ベース間に逆方向バイアスを印加したときの電界集中を緩和してホットキャリアの発生を抑制する効果が薄れてしまう。かといって、素子分離領域LS全体の厚みを薄くしてしまうと、エミッタ用の n^+ 型半導体領域NR1とベース用の p^+ 型半導体領域PR1との間に素子分離領域LSを設けてエミッタ・ベース間の耐圧を向上させる効果が薄れてしまう。

【0143】

それに対して、本実施の形態では、エミッタ用の n^+ 型半導体領域NR1とベース用の p^+ 型半導体領域PR1との間の素子分離領域LS上に電極FPが形成されているが、電極FPの少なくとも一部は、素子分離領域LSに形成された溝TR内に埋め込まれている。素子分離領域LSの溝TRに電極FPを埋め込んだことにより、素子分離領域LSの厚みを確保しながら、溝TRに埋め込まれた電極FPと基板領域（ここではp型ウエルPW1）との間の距離（間隔）を小さくすることができる。このため、溝TRに埋め込まれた電極FPと基板領域（ここではp型ウエルPW1）との間の距離（間隔）を小さくしたことにより、エミッタ・ベース間に逆方向バイアスを印加したときの電界集中を緩和してホットキャリアの発生を抑制する効果を高めるとともに、素子分離領域LSの厚みを確保してエミッタ・ベース間の耐圧を高めることができる。

【0144】

すなわち、上記図1の本実施の形態の半導体装置における、溝TRが形成されていない

10

20

30

40

50

領域における素子分離領域 L S の厚み (T 2) が、上記図 3 3 に示される第 2 検討例における素子分離領域 L S の厚みと同じである場合を仮定する。この場合、エミッタ用の n + 型半導体領域 N R 1 とベース用の p + 型半導体領域 P R 1 との間に素子分離領域 L S を設けてエミッタ・ベース間の耐圧を向上させる効果は、上記図 1 の本実施の形態の半導体装置と上記図 3 3 の第 2 検討例の半導体装置とで、ほぼ同じである。しかしながら、この場合、上記図 1 の本実施の形態の半導体装置における、溝 T R 内に埋め込まれた部分の電極 F P の直下における素子分離領域 L S の厚み (T 1) は、上記図 3 3 の第 2 検討例における、電極 F P 2 0 0 の直下における素子分離領域 L S の厚みよりも小さくなる。すなわち、上記図 1 の本実施の形態の半導体装置における、電極 F P と基板領域 (ここでは p 型ウエル P W 1) との間の距離 (間隔) は、上記図 3 3 の第 2 検討例における、電極 F P 2 0 0 と基板領域 (ここでは p 型ウエル P W 1) との間の距離 (間隔) よりも小さくなる。エミッタ・ベース間に逆バイアスを印加したときに、電極 F P , F P 2 0 0 を設けたことにより電界集中を緩和させることができる効果は、電極 F P と基板領域 (ここでは p 型ウエル P W 1) との間の距離 (間隔) が小さくなることで増大する。このため、電極 F P , F P 2 0 0 を設けたことにより、エミッタ・ベース間に逆方向バイアスを印加したときの電界集中を緩和することができるが、その電界集中緩和効果は、上記図 3 3 の第 2 検討例の電極 F P 2 0 0 に比べて、本実施の形態の電極 F P の方が、大きくなる。すなわち、本実施の形態では、エミッタ・ベース間に逆方向バイアスを印加したときに、電界集中 (特に上記図 3 2 および図 3 3 の符号 R G で示した領域での電界集中) を、よりの確に緩和することができる。

【 0 1 4 5 】

なお、上記図 3 2 および図 3 3 において符号 R G で示した領域は、p 型ウエル P W 1 における、素子分離領域 L S の下面のエミッタ側端部の近傍領域にほぼ対応しており、その領域は、エミッタ・ベース間に逆方向バイアスを印加した場合に電界が集中しやすい。電極 F P , F P 2 0 0 には、その領域 R G での電界集中を緩和させる作用があるが、その作用は、p 型ウエル P W 1 までの距離が大きな電極 F P 2 0 0 よりも、p 型ウエル P W 1 までの距離が小さい電極 F P の方が、大きくなる。このため、エミッタ・ベース間に逆方向バイアスを印加した場合に、電界集中によってホットキャリア (ここではホール) が発生するのを抑制できる効果は、p 型ウエル P W 1 までの距離が大きな電極 F P 2 0 0 (第 2 検討例) よりも、p 型ウエル P W 1 までの距離が小さい電極 F P (本実施の形態) の方が、大きくなる。

【 0 1 4 6 】

つまり、本実施の形態では、エミッタ用の n + 型半導体領域 N R 1 とベース用の p + 型半導体領域 P R 1 との間の素子分離領域 L S 全体の厚みを確保しながら、電極 F P の直下に位置する部分の素子分離領域 L S の厚みを局所的に薄くするために、n + 型半導体領域 N R 1 と p + 型半導体領域 P R 1 との間の素子分離領域 L S に溝 T R を設けて電極 F P の少なくとも一部を埋め込んでいる。このため、溝 T R 内に埋め込まれた部分の電極 F P の直下における素子分離領域 L S の厚み T 1 は、溝 T R が形成されていない領域における素子分離領域 L S の厚み T 2 よりも小さくなっている (すなわち T 1 < T 2)。なお、厚み T 1 , T 2 は図 1 に示してあり、厚み T 1 は、溝 T R の底部における素子分離領域 L S の厚みに対応し、厚み T 2 は、溝 T R の外部における素子分離領域 L S の厚みに対応し、厚み T 2 と厚み T 1 との差 (すなわち T 2 - T 1) が、溝 T R の深さに対応している。

【 0 1 4 7 】

これにより、溝 T R 内に埋め込まれた部分の電極 F P の直下における素子分離領域 L S の厚み T 1 を小さくすることと、溝 T R が形成されていない領域における素子分離領域 L S の厚み T 2 を大きくすることとを、両立させることができる。このため、平面視でエミッタ用の n + 型半導体領域 N R 1 とベース用の p + 型半導体領域 P R 1 との間において、溝 T R 内に埋め込まれた部分の電極 F P の直下における素子分離領域 L S の厚み T 1 を小さくしたことにより、エミッタ・ベース間に逆方向バイアスを印加したときの電界集中を緩和してホットキャリアの発生を抑制する効果を高めることができる。これにより、エミ

ッタ・ベース間に逆方向バイアスを印加したときにホットキャリアが発生することに起因してバイポーラトランジスタの通常動作時に悪影響が生じるのを抑制することができ、例えば、 hFE 特性が劣化するのを抑制することができる。従って、バイポーラトランジスタを有する半導体装置の総合的な信頼性を向上させることができる。

【0148】

このように、本実施の形態では、エミッタ用の n^+ 型半導体領域NR1とベース用の p^+ 型半導体領域PR1との間の半導体基板SUBの主面に素子分離領域LSを形成するとともに、その素子分離領域LS上に、エミッタ用の n^+ 型半導体領域NR1と電氣的に接続された電極FPを配置し、その電極FPの少なくとも一部を、素子分離領域LSに形成した溝TR内に埋め込んでいる。これにより、エミッタ・ベース間の耐圧を向上させるとともに、エミッタ・ベース間に逆方向バイアスを印加した場合のバイポーラトランジスタの特性の劣化を抑制することができる。従って、バイポーラトランジスタを有する半導体装置の総合的な信頼性を向上させることができる。

10

【0149】

また、本実施の形態では、上述のように、電極FPは、平面視において、エミッタ用の n^+ 型半導体領域NR1とベース用の p^+ 型半導体領域PR1との間に形成されているが、溝TRも、平面視において、エミッタ用の n^+ 型半導体領域NR1とベース用の p^+ 型半導体領域PR1との間に形成されていることが好ましい。これにより、溝TRに埋め込まれた部分の電極FPが、平面視において、エミッタ用の n^+ 型半導体領域NR1とベース用の p^+ 型半導体領域PR1との間に配置された状態になるため、エミッタ・ベース間に逆方向バイアスを印加した場合に、溝TRに埋め込まれた部分の電極FPによって、エミッタからベース側への空乏層の伸びを的確に促進させることができる。このため、エミッタ・ベース間に逆方向バイアスを印加した場合に、電界集中（特に上記図32および図33の符号RGで示した領域での電界集中）を的確に緩和することができる。これにより、エミッタ・ベース間に逆方向バイアスを印加した場合に、電界集中によってホットキャリア（ここではホール）が発生するのをよりの確に抑制することができるようになる。従って、ホットキャリアの発生に起因してバイポーラトランジスタの特性が劣化するのを的確に抑制することができるため、バイポーラトランジスタを有する半導体装置の信頼性をよりの確に向上させることができる。

20

【0150】

また、本実施の形態の半導体装置は、層間絶縁膜IL上に形成されたエミッタ用配線M1E（第1配線）およびベース用配線M1B（第2配線）を更に有している。エミッタ用配線M1Eは、エミッタ用プラグPGEを介してエミッタ用の n^+ 型半導体領域NR1と電氣的に接続され、かつ、プラグPGFを介して電極FPと電氣的に接続され、ベース用配線M1Bは、ベース用プラグPGBを介してベース用の p^+ 型半導体領域PR1と電氣的に接続されている。これにより、ベース用配線M1Bからベース用プラグPGBを介してベース用の p^+ 型半導体領域PR1に所望のベース電圧を供給することができ、また、エミッタ用配線M1Eからエミッタ用プラグPGEを介してエミッタ用の n^+ 型半導体領域NR1に所望のエミッタ電圧を供給できるとともに、そのエミッタ電圧と同じ電圧を、プラグPGFを介して電極FPに供給することができる。つまり、電極FPの電位を、エミッタ用の n^+ 型半導体領域NR1の電位と同じ電位に的確に固定することができる。このため、エミッタ・ベース間に逆方向バイアスを印加した場合に、電極FPによって、エミッタからベース側への空乏層の伸びを的確に促進させることができ、電界集中（特に上記図32および図33の符号RGで示した領域での電界集中）を的確に緩和することができる。

30

40

【0151】

また、本実施の形態の半導体装置は、更に、 p 型ウエルPW1を内包するように半導体基板SUBに形成された n 型ウエルNW1（第4半導体領域）と、 n 型ウエルNW1内に、 p 型ウエルPW1と離間するように形成された、 n^+ 型半導体領域NR2（第5半導体領域）と、層間絶縁膜ILに埋め込まれたコレクタ用プラグPGC（第4プラグ）と、を

50

有している。n型ウエルNW1およびn⁺型半導体領域NR2は、コレクタ用の半導体領域である。n⁺型半導体領域NR2の不純物濃度は、n型ウエルNW1の不純物濃度よりも高く、コレクタ用プラグPGCは、n⁺型半導体領域NR2上に配置されて、n⁺型半導体領域NR2と電氣的に接続されている。これにより、パーティカル型(縦型)のバイポーラトランジスタを、的確に形成することができる。

【0152】

また、本実施の形態の半導体装置は、更に、半導体基板SUBに形成されてn型ウエルNW1の下に位置するn⁺型埋込領域NB(n型の埋め込み半導体領域)を有しており、n⁺型埋込領域NBの不純物濃度は、n型ウエルNW1よりも高くなっている。n型ウエルNW1の下にn型ウエルNW1よりも高不純物濃度のn⁺型埋込領域NBを設けたことにより、コレクタ抵抗を低減することができる。

10

【0153】

また、本実施の形態の半導体装置は、更に、層間絶縁膜IL上に形成されたコレクタ用配線M1C(第3配線)を有し、コレクタ用配線M1Cは、コレクタ用プラグPGCを介してn⁺型半導体領域NR2と電氣的に接続されている。これにより、コレクタ用配線M1Cからコレクタ用プラグPGCを介してコレクタ用のn⁺型半導体領域NR2に所望のコレクタ電圧を供給することができる。

【0154】

図34は、素子分離領域LSにおける溝TRの深さと、エミッタ・ベース間のブレークダウン電圧との相関を示すグラフである。図34のグラフの横軸は、素子分離領域LSにおける溝TRの深さに対応し、図34のグラフの縦軸は、エミッタ・ベース間のブレークダウン電圧に対応している。なお、図34のグラフは、溝TRが形成されていない領域における素子分離領域LSの厚みT2が460nmである場合を前提にしている。従って、図34の横軸の値を460nmから差し引いた値が、上記厚みT1に対応している。すなわち、図34のグラフの横軸の値をXnmとすると、(460-X)nmが、厚みT1に対応することになる。図34のグラフの横軸の右端が460nmであり、そこで溝TRが素子分離領域LSを丁度貫通することになる。また、図34のグラフの横軸が0(ゼロ)の場合が、上記図33の第2検討例の場合に相当する。また、図34のグラフには、上記図32の第1検討例の場合のブレークダウン電圧も示してある。

20

【0155】

図34のグラフの縦軸は、エミッタ・ベース間に逆方向バイアスを印加したときのブレークダウン電圧に対応しているが、このブレークダウン電圧(図34のグラフの縦軸)が大きくなることは、エミッタ・ベース間に逆方向バイアスを印加したときに電界集中が緩和されたことを示唆している。すなわち、エミッタ・ベース間に逆方向バイアスを印加した時に電界集中が生じると、ブレークダウン電圧(図34のグラフの縦軸)は小さくなり、エミッタ・ベース間に逆方向バイアスを印加した時に電界集中が生じないと、ブレークダウン電圧(図34のグラフの縦軸)は大きくなる傾向にある。

30

【0156】

図34のグラフからも分かるように、上記図32の第1検討例の場合に比べて、上記図33の第2検討例の場合の方が、ブレークダウン電圧(図34のグラフの縦軸)は大きくなっており、これは、上記電極FP200が電界集中を緩和させるように作用したことを示唆している。そして、図34のグラフからも分かるように、電極FP、FP200を設けた場合には、溝TRの深さを深くするほど、ブレークダウン電圧(図34のグラフの縦軸)は大きくなっており、これは、溝TRの深さを深くするほど、上記電極FPが電界集中を緩和させる作用が大きくなることを示唆している。つまり、溝TRの深さがゼロの場合に対応する上記図33の第2検討例の場合に比べて、溝TRが形成されている上記図1の本実施の形態の方が、ブレークダウン電圧(図34のグラフの縦軸)は大きくなっており、第2検討例の上記電極FP200が電界集中を緩和させる作用よりも、本実施の形態の上記電極FPが電界集中を緩和させる作用の方が大きいことを示唆している。

40

【0157】

50

また、図34のグラフからも分かるように、溝TRの深さを深くするにしたがって、すなわち上記厚みT1を小さくするにしたがって、ブレークダウン電圧(図34のグラフの縦軸)は大きくなっている。これは、溝TRの深さを深くするにしたがって、すなわち上記厚みT1を小さくするにしたがって、上記電極FPが電界集中を緩和させる作用が大きくなることを示唆している。このため、上記電極FPが電界集中を緩和させる作用を大きくするには、上記厚みT1を小さくして、上記電極FPと基板領域(ここではp型ウエルPW1)との間の距離を小さくすることが有効である。

【0158】

このため、平面視でエミッタ用のn⁺型半導体領域NR1とベース用のp⁺型半導体領域PR1との間において、素子分離領域LSの上記厚みT2に対して、溝TRの深さはある程度深くすることが望ましく、すなわち、上記厚みT1はある程度小さくすることが望ましい。

10

【0159】

この観点で、厚みT1が厚みT2の半分以下であれば、より好ましい。すなわち、平面視でエミッタ用のn⁺型半導体領域NR1とベース用のp⁺型半導体領域PR1との間に位置する素子分離領域LSにおいて、溝TR内に埋め込まれた部分の電極FPの直下における素子分離領域LSの厚みT1は、溝TRが形成されていない領域における素子分離領域LSの厚みT2の半分以下(すなわち $T1 = T2 \times 1/2$)であることが、より好ましい。これにより、エミッタ・ベース間の耐圧を的確に向上させるとともに、溝TR内に埋め込まれた部分の電極FPの直下における素子分離領域LSの厚みT1を小さくしたことで、エミッタ・ベース間に逆方向バイアスを印加したときの電界集中をよりの確に緩和させて、ホットキャリアの発生を抑制する効果をよりの確に得ることができるようになる。従って、エミッタ・ベース間に逆方向バイアスを印加した場合のバイポーラトランジスタの特性の劣化を、よりの確に抑制することができるようになり、バイポーラトランジスタを有する半導体装置の総合的な信頼性をよりの確に向上させることができる。

20

【0160】

また、上記電極FPが電界集中を緩和させる作用を十分に享受するには、溝TR内に埋め込まれた部分の電極FPの直下における素子分離領域LSの厚みT1は、200nm以下(すなわち $T1 = 200\text{nm}$)であることが、好ましい。

【0161】

また、図34のグラフからも分かるように、溝TRの深さを深くするにしたがって、すなわち上記厚みT1を小さくするにしたがって、ブレークダウン電圧(図34のグラフの縦軸)は大きくなるが、溝TRを深くし過ぎると、すなわち上記厚みT1を小さくし過ぎると、ブレークダウン電圧(図34のグラフの縦軸)は減少に転じてしまう。これは、上記電極FPと基板領域(ここではp型ウエルPW1)との間の距離を小さくし過ぎると、上記電極FPの直下で電界が集中しやすくなり、上記電極FPが電界集中を緩和させる作用が低減してしまうことを示唆しており、上記電極FPと基板領域(ここではp型ウエルPW1)との間の距離は、50nm程度以上は確保することが望ましい。このため、溝TR内に埋め込まれた部分の電極FPの直下における素子分離領域LSの厚みT1は、50nm以上(すなわち $T1 = 50\text{nm}$)であることが、好ましいことになる。これにより、エミッタ・ベース間に逆方向バイアスを印加したときの電界集中をよりの確に緩和させて、ホットキャリアの発生を抑制する効果をよりの確に得ることができるようになる。従って、エミッタ・ベース間に逆方向バイアスを印加した場合のバイポーラトランジスタの特性の劣化を、よりの確に抑制することができるようになり、バイポーラトランジスタを有する半導体装置の総合的な信頼性をよりの確に向上させることができる。

30

40

【0162】

また、素子分離領域LSに溝TRを形成する工程(上記図14の工程)において、溝TRが素子分離領域LSを貫通してしまうと、電極FPがp型ウエルPW1と短絡してしまい、エミッタ用のn⁺型半導体領域NR1とベース用のp⁺型半導体領域PR1とが短絡することにつながるため、そのような現象が発生した半導体装置は、製造後の検査工程で

50

選別して取り除く必要がある。これは、半導体装置の製造歩留まりを低下させることにつながる。しかしながら、溝TRを形成する際に、溝TRの底部における素子分離領域LSの厚み(T1)を50nm以上に設計しておけば、多少の工程変動が生じたとしても、溝TRが素子分離領域LSを貫通することはなく、電極FPがp型ウエルPW1と短絡してしまうことを、的確に防止することができる。これにより、半導体装置の製造歩留まりを向上させることができる。

【0163】

従って、溝TR内に埋め込まれた部分の電極FPの直下における素子分離領域LSの厚みT1は、50~200nm(すなわち50nm T1 200nm)の範囲内であることが、最も好ましいことになる。これにより、上記電極FPが電界集中を緩和させる作用を十分に発揮できるようになり、エミッタ・ベース間に逆方向バイアスを印加した場合のバイポーラトランジスタの特性の劣化を、よりの確に抑制することができるようになる。従って、バイポーラトランジスタを有する半導体装置の総合的な信頼性をよりの確に向上させることができる。

10

【0164】

一方、素子分離領域LSの厚みT2は、200nmよりも大きいことが好ましく、これにより、エミッタ・ベース間の耐圧を、的確に向上させることができる。素子分離領域LSがLOCOS酸化膜の場合は、厚みT2は例えば400~800nm程度とすることができ、素子分離領域LSがSTI絶縁膜の場合は、厚みT2は例えば250~400nm程度とすることができる。

20

【0165】

また、電極FPのエミッタ側の端部(側面)は、エミッタ用のn⁺型半導体領域NR1から50nm以上離間していることが好ましい。すなわち、平面視において、電極FPとエミッタ用のn⁺型半導体領域NR1との間の間隔(距離)L1は、50nm以上(すなわちL1 50nm)であることが好ましい。ここで、間隔L1は、上記図2に示してある。電極FPのエミッタ側の端部(側面)の位置が、エミッタ用のn⁺型半導体領域NR1に近すぎると、エミッタ用のn⁺型半導体領域NR1のベース側端部の近傍で電界集中が生じやすくなり、電極FPによる電界集中緩和効果を得にくくなる。このため、上記間隔L1は、50nm以上(すなわちL1 50nm)であることが好ましく、これにより、エミッタ・ベース間に逆方向バイアスを印加したときの電界集中をよりの確に緩和させて、ホットキャリアの発生を抑制する効果をよりの確に得ることができるようになり、半導体装置の総合的な信頼性をよりの確に向上させることができる。

30

【0166】

また、電極FPのベース側の端部(側面)は、ベース用のp⁺型半導体領域PR1から50nm以上離間していることが好ましい。すなわち、平面視において、電極FPとベース用のp⁺型半導体領域PR1との間の間隔(距離)L2は、50nm以上(すなわちL2 50nm)であることが好ましい。ここで、間隔L2は、上記図2に示してある。電極FPのベース側の端部(側面)の位置が、ベース用のp⁺型半導体領域PR1に近すぎると、ベース側で電界集中してしまう虞があり、電極FPによる電界集中緩和効果を得にくくなる。このため、上記間隔L2は、50nm以上(すなわちL2 50nm)であることが好ましく、これにより、エミッタ・ベース間に逆方向バイアスを印加したときの電界集中をよりの確に緩和させて、ホットキャリアの発生を抑制する効果をよりの確に得ることができるようになり、半導体装置の総合的な信頼性をよりの確に向上させることができる。

40

【0167】

<変形例について>

次に、本実施の形態の変形例について説明する。

【0168】

まず、第1変形例について説明する。図35は、本実施の形態の第1変形例の半導体装置を示す要部平面図であり、上記図2に相当するものである。上記図2と同様に、図35

50

においても、理解を簡単にするために、 p^+ 型半導体領域PR1、 n^+ 型半導体領域NR1、 n^+ 型半導体領域NR2および電極FPに細線の斜線のハッチングを付してある。

【0169】

図35に示される第1変形例の半導体装置が上記図1～図3の半導体装置と相違しているのは、電極FPが形成されている領域（範囲）であり、それ以外については、図35に示される第1変形例の半導体装置も、上記図1～図3の半導体装置と基本的には同じである。

【0170】

すなわち、電極FPが、平面視でエミッタ用の n^+ 型半導体領域NR1とベース用の p^+ 型半導体領域PR1との間の素子分離領域LS上に形成されており、電極FPの少なくとも一部が、素子分離領域LSに形成された溝TR内に埋め込まれていることは、上記図2の場合と、図35の第1変形例の場合とで、共通である。

10

【0171】

しかしながら、上記図2の場合は、平面視において、電極FP全体が、エミッタ用の n^+ 型半導体領域NR1とベース用の p^+ 型半導体領域PR1との間の領域内に形成されている（収まっている）。それに対して、図35の第1変形例の場合は、平面視において、電極FPの一部は、エミッタ用の n^+ 型半導体領域NR1とベース用の p^+ 型半導体領域PR1との間の領域からはみ出しており、電極FPの一部（端部）は、 n 型ウエルNW1と平面視で重なっている。ここで、図35では、平面視において、エミッタ用の n^+ 型半導体領域NR1とベース用の p^+ 型半導体領域PR1との間の領域を、ドットの手付して示してある。

20

【0172】

図35の第1変形例の場合も、上記図2の場合と同様に、エミッタ・ベース間に逆方向バイアスを印加したときに、電極FPの存在によって電界集中を緩和させてホットキャリアの発生を抑制する効果を得ることができ、それによって、半導体装置の信頼性を向上させることができる。その理由は上述した通りである。

【0173】

しかしながら、図35の第1変形例の場合よりも、上記図2の場合の方が、次の点で有利である。

【0174】

すなわち、上記図2の場合に比べて、図35の第1変形例の場合は、矢印YGで示す経路で、 p 型ウエルPW1の表層部の反転層（ n 型反転層）を介してエミッタ用の n^+ 型半導体領域NR1とコレクタ用の n 型ウエルNW1との間がリークしやすくなる虞がある。なぜなら、電極FPに電圧が印加されると、電極FPの直下の領域では、 p 型ウエルPW1の表層部に反転層が形成される虞があり、反転層が形成されると、その反転層を介してエミッタ用の n^+ 型半導体領域NR1とコレクタ用の n 型ウエルNW1との間がリークしやすくなるからである。

30

【0175】

このため、電極FPは、 n 型ウエルNW1とは平面視で重なっていないことが好ましい。これにより、たとえ電極FPの直下の領域で p 型ウエルPW1の表層部に反転層が形成されたとしても、その反転層は n 型ウエルNW1から離間することになるため、その反転層を介したエミッタ用の n^+ 型半導体領域NR1とコレクタ用の n 型ウエルNW1との間のリークが生じにくくなる。このため、 p 型ウエルPW1の表層部の反転層を介してエミッタ用の n^+ 型半導体領域NR1とコレクタ用の n 型ウエルNW1との間がリークしてしまうのを抑制または防止することができるため、半導体装置の信頼性を、より向上させることができる。

40

【0176】

また、電極FPは、平面視において、エミッタ用の n^+ 型半導体領域NR1とベース用の p^+ 型半導体領域PR1との間の領域（図35のドットの手付した領域）からはみ出していないことが好ましい。すなわち、平面視において、電極FP全体が、エミ

50

ッタ用の n^+ 型半導体領域NR1とベース用の p^+ 型半導体領域PR1との間の領域内に形成されている(収まっている)ことが好ましい。なぜなら、エミッタ・ベース間に逆方向バイアスを印加したときに電界集中を緩和させる作用を有するのは、平面視でエミッタ用の n^+ 型半導体領域NR1とベース用の p^+ 型半導体領域PR1との間に位置する部分の電極FPだからである。図35において、平面視でエミッタ用の n^+ 型半導体領域NR1とベース用の p^+ 型半導体領域PR1との間の領域からはみ出している部分の電極FPは、電界緩和の作用は比較的少なく、また、リーク経路となる反転層を形成する虞がある。このため、電極FPが、平面視において、エミッタ用の n^+ 型半導体領域NR1とベース用の p^+ 型半導体領域PR1との間の領域からはみ出していないようにすることが好ましい。これにより、エミッタ・ベース間に逆方向バイアスを印加したときに電界集中を緩和させる作用を維持しながら、 p 型ウエルPW1の表層部の反転層を介してエミッタ用の n^+ 型半導体領域NR1とコレクタ用の n 型ウエルNW1との間がリークしてしまうのを、更なる確に抑制または防止することができる。このため、半導体装置の信頼性を、更に向上させることができる。

10

【0177】

従って、図35の第1変形例の場合よりも、上記図2の場合の方が、 p 型ウエルPW1の表層部の反転層を介してエミッタ用の n^+ 型半導体領域NR1とコレクタ用の n 型ウエルNW1との間がリークしてしまうのを抑制または防止しやすいため、より好ましい。

【0178】

また、図35の第1変形例の場合は、半導体基板SUBの主面に平行で、かつ、 n^+ 型半導体領域NR1と p^+ 型半導体領域PR1との対向方向(図35の横方向)に略垂直な方向(図35の縦方向)における電極FPの寸法を、 n^+ 型半導体領域NR1および p^+ 型半導体領域PR1よりも大きくしている。そして、平面視において、 n^+ 型半導体領域NR1と p^+ 型半導体領域PR1との間に電極FPを配置している。このため、電極FPの一部は、 n^+ 型半導体領域NR1と p^+ 型半導体領域PR1との間の領域からはみ出している。

20

【0179】

一方、上記図2の場合は、半導体基板SUBの主面に平行で、かつ、 n^+ 型半導体領域NR1と p^+ 型半導体領域PR1との対向方向(図2の横方向)に略垂直な方向(図2の縦方向)における電極FP(溝TR)の寸法を、 n^+ 型半導体領域NR1および p^+ 型半導体領域PR1の両方または一方とほぼ同じにしてある。そして、平面視において、 n^+ 型半導体領域NR1と p^+ 型半導体領域PR1との間に電極FPを配置している。このため、電極FPによる電界緩和効果を確保しながら、 n^+ 型半導体領域NR1と p^+ 型半導体領域PR1との間の領域から電極FPがはみ出すのを防止して、 p 型ウエルPW1の反転層を介して n^+ 型半導体領域NR1と n 型ウエルNW1との間がリークしてしまうのを、抑制または防止することができる。

30

【0180】

次に、第2変形例について説明する。図36は、本実施の形態の第2変形例の半導体装置を示す要部断面図であり、図37は、本実施の形態の第2変形例の半導体装置を示す要部平面図である。図36は、上記図1に相当するものであり、図37は、上記図2に相当するものである。上記図2と同様に、図37においても、理解を簡単にするために、 p^+ 型半導体領域PR1、 n^+ 型半導体領域NR1、 n^+ 型半導体領域NR2および電極FPに細線の斜線のハッチングを付してある。図37のB-B線の断面図が、図36にほぼ対応している。

40

【0181】

図36および図37の第2変形例の半導体装置では、平面視において、エミッタ用の n^+ 型半導体領域NR1の周囲を囲むように、ベース用の p^+ 型半導体領域PR1が形成され、また、ベース用の p^+ 型半導体領域PR1および p 型ウエルPW1の周囲を囲むように、コレクタ用の n^+ 型半導体領域NR2が形成されている。 n^+ 型シンカー領域NSも、ベース用の p^+ 型半導体領域PR1および p 型ウエルPW1の周囲を囲むように形成さ

50

れている。そして、電極 F P は、平面視において、 p^+ 型半導体領域 P R 1 と n^+ 型半導体領域 N R 1 との間の素子分離領域 L S 上に形成されているが、エミッタ用の n^+ 型半導体領域 N R 1 の周囲を囲むように形成されている。

【 0 1 8 2 】

すなわち、図 3 6 および図 3 7 の第 2 変形例の半導体装置も、ベース用の p^+ 型半導体領域 P R 1 とエミッタ用の n^+ 型半導体領域 N R 1 との間の半導体基板 S U B の主面に素子分離領域 L S が形成され、その素子分離領域 L S 上に電極 F P が形成され、その電極 F P の少なくとも一部が、素子分離領域 L S に形成された溝 T R 内に埋め込まれている点は、上記図 1 ~ 図 3 の半導体装置と同様である。しかしながら、図 3 6 および図 3 7 の第 2 変形例の半導体装置の場合は、エミッタ用の n^+ 型半導体領域 N R 1 の周囲を囲むようにベース用の p^+ 型半導体領域 P R 1 が形成されていることを反映して、電極 F P は、平面視において、ベース用の p^+ 型半導体領域 P R 1 とエミッタ用の n^+ 型半導体領域 N R 1 との間に、エミッタ用の n^+ 型半導体領域 N R 1 の周囲を囲むように形成されている。電極 F P を埋め込むための溝 T R も、平面視において、ベース用の p^+ 型半導体領域 P R 1 とエミッタ用の n^+ 型半導体領域 N R 1 との間に、エミッタ用の n^+ 型半導体領域 N R 1 の周囲を囲むように形成されている。

10

【 0 1 8 3 】

図 3 6 および図 3 7 の第 2 変形例の半導体装置の他の構成は、上記図 1 ~ 図 3 の半導体装置とほぼ同様であるので、ここではその繰り返しの説明は省略する。

【 0 1 8 4 】

図 3 6 および図 3 7 の第 2 変形例の半導体装置も、上記図 1 ~ 図 3 の半導体装置と同様に、エミッタ・ベース間に逆方向バイアスを印加したときに、電極 F P の存在によって電界集中を緩和させてホットキャリアの発生を抑制する効果を得ることができ、それによって、半導体装置の信頼性を向上させることができる。その理由は上述した通りであるので、ここではその繰り返しの説明は省略する。

20

【 0 1 8 5 】

(実施の形態 2)

図 3 8 は、本実施の形態 2 の半導体装置の要部断面図であり、図 3 9 および図 4 0 は、本実施の形態 2 の半導体装置の要部平面図である。図 3 8 は、上記図 1 に相当するものであり、図 3 9 は、上記図 2 に相当するものであり、図 4 0 は、上記図 3 に相当するものである。図 3 9 と図 4 0 とは、同じ平面領域が示されている。理解を簡単にするために、図 3 9 では、 p^+ 型半導体領域 P R 1、 n^+ 型半導体領域 N R 1、 n^+ 型半導体領域 N R 2、電極 F P および電極 F P 2 に細線の斜線のハッチングを付し、図 4 0 では、 p^+ 型半導体領域 P R 1、 n^+ 型半導体領域 N R 1 および n^+ 型半導体領域 N R 2 に細線の斜線のハッチングを付し、素子分離領域 L S に太線の斜線のハッチングを付してある。また、図 4 0 では、素子分離領域 L S に形成された溝 T R , T R 2 の位置を点線で示してある。図 3 9 および図 4 0 の C - C 線の断面図が、図 3 8 にほぼ対応している。

30

【 0 1 8 6 】

図 3 8 ~ 図 4 0 に示される本実施の形態 2 の半導体装置が、上記実施の形態 1 の半導体装置と相違しているのは、電極 F P 2、溝 T R 2 およびプラグ P G F 2 を設けたことである。ここでは、本実施の形態 2 の半導体装置が、上記実施の形態 1 の半導体装置と相違する点を中心に説明する。

40

【 0 1 8 7 】

平面視で n^+ 型半導体領域 N R 1、 p^+ 型半導体領域 P R 1 および n^+ 型半導体領域 N R 2 をそれぞれ囲むように、半導体基板 S U B の主面に素子分離領域 L S が形成されているが、本実施の形態 2 では、素子分離領域 L S 上に、上記電極 F P だけでなく電極 F P 2 も設けている。電極 F P の構成は、本実施の形態 2 も上記実施の形態 1 と基本的には同様であるので、ここではその繰り返しの説明は省略する。

【 0 1 8 8 】

電極 F P 2 の少なくとも一部は、素子分離領域 L S に形成された溝 T R 2 内に埋め込ま

50

れている。溝TR2は、上記溝TRと同工程で形成されている。また、電極FP2は、電極FPと同工程で形成され、共通の導電膜（上記シリコン膜PSに対応）を用いて、電極FP2と電極FPとを形成することができる。例えば、上記シリコン膜PSをパターニングすることにより、電極FPと電極FP2と上記ゲート電極GE1、GE2とを形成することができる。

【0189】

但し、電極FP2と電極FPとは、互いに分離されており、電氣的に接続されてはいない。このため、電極FP2と電極FPとは、互いに異なる電位を供給できるようになっている。電極FPおよび電極FP2は、それぞれフィールドプレート電極とみなすこともできる。

10

【0190】

層間絶縁膜ILは、半導体基板SUBの主面上に、素子分離領域LSおよび電極FP、FP2を覆うように形成されているが、電極FP2上には、層間絶縁膜ILに埋め込まれたプラグPGとしてプラグPGF2が形成されている。プラグPGF2は、電極FP2上に配置されて、電極FP2と電氣的に接続されている。プラグPGF2は、その底面が電極FP2に接することにより、電極FP2と電氣的に接続されているが、電極FP2上に金属シリサイド層を形成した場合は、プラグPGF2は、電極FP2上の金属シリサイド層に接し、その金属シリサイド層を介して電極FP2と電氣的に接続される。

【0191】

本実施の形態2では、ベース用プラグPGBとプラグPGF2とは電氣的に接続されており、具体的には、ベース用配線M1Bを介して電氣的に接続されている。ベース用配線M1Bは、ベース用プラグPGB上とプラグPGF2上とを含む層間絶縁膜ILに延在し、ベース用プラグPGBおよびプラグPGF2と平面視において重なっている。ベース用プラグPGBの上面がベース用配線M1Bと接することで、ベース用プラグPGBとベース用配線M1Bとが電氣的に接続され、プラグPGF2の上面がベース用配線M1Bと接することで、プラグPGF2とベース用配線M1Bとが電氣的に接続されている。このため、ベース用配線M1Bは、ベース用プラグPGBを介してp⁺型半導体領域PR1と電氣的に接続され、かつ、プラグPGF2を介して電極FP2と電氣的に接続されている。

20

【0192】

ベース用プラグPGBはベース用配線M1Bに接続されているが、プラグPGF2もベース用配線M1Bに接続されている。すなわち、電極FP2と、ベース用のp⁺型半導体領域PR1とは、それぞれプラグPGを介して共通のベース用配線M1Bに電氣的に接続されている。つまり、電極FP2と、ベース用のp⁺型半導体領域PR1とは、プラグPGF2、ベース用配線M1Bおよびベース用プラグPGBを介して、電氣的に接続されている。このため、ベース用配線M1Bからベース用プラグPGBを介してベース用のp⁺型半導体領域PR1に所望のベース電圧が供給されるとともに、そのベース用配線M1BからプラグPGF2を介して電極FP2に、ベース電圧と同じ電圧が供給されるようになっている。従って、電極FP2と、ベース用のp⁺型半導体領域PR1とに、同じ電圧（ベース電圧）が供給され、両者は実質的に同電位になっている。つまり、電極FP2は、ベース用のp⁺型半導体領域PR1と同電位に固定されている。一方、上記実施の形態1と同様に、本実施の形態2においても、電極FPは、エミッタ用のn⁺型半導体領域NR1と同電位に固定されている。

30

40

【0193】

平面視において、電極FP2は、エミッタ用のn⁺型半導体領域NR1とベース用のp⁺型半導体領域PR1と電極FPとを囲み、かつ、p型ウエルPW1と重なるように形成されている。すなわち、平面視において、電極FP2とp型ウエルPW1との重なり領域が、エミッタ用のn⁺型半導体領域NR1とベース用のp⁺型半導体領域PR1と電極FPとを囲むように、電極FP2が形成されている。つまり、電極FP2（あるいは電極FP2とp型ウエルPW1との重なり領域）は、平面視で環状であり、その環状の電極FP2の内側に、エミッタ用のn⁺型半導体領域NR1とベース用のp⁺型半導体領域PR1

50

と電極FPとが配置されている。ここで、電極FP2の平面形状について、外形が四角形の環状の場合を示しているが、外形が円形の環状、外形が多角形の環状、あるいはそれ以外の外形の環状であってもよい。

【0194】

また、溝TR2は、平面視において、エミッタ用のn⁺型半導体領域NR1とベース用のp⁺型半導体領域PR1と電極FPとを囲み、かつ、p型ウエルPW1と重なるように形成されていることが好ましい。すなわち、平面視において、溝TR2とp型ウエルPW1との重なり領域が、エミッタ用のn⁺型半導体領域NR1とベース用のp⁺型半導体領域PR1と電極FPとを囲むように、溝TR2が形成されていることが好ましい。つまり、溝TR2（あるいは溝TR2とp型ウエルPW1との重なり領域）は、平面視で環状であり、その環状の溝TR2の内側に、エミッタ用のn⁺型半導体領域NR1とベース用のp⁺型半導体領域PR1と電極FPとが配置されていることが好ましい。

10

【0195】

また、好ましくは、平面視において、n⁺型半導体領域NR1と電極FPとの間や、p⁺型半導体領域PR1と電極FPとの間には、電極FP2は形成されておらず、n⁺型半導体領域NR1、電極FPおよびp⁺型半導体領域PR1を囲むように、形成されている。

【0196】

また、平面視において、電極FP2が、n⁺型半導体領域NR1、電極FPおよびp⁺型半導体領域PR1を、連続的ではなく断続的に囲む場合もあり得るが、電極FP2が、n⁺型半導体領域NR1、電極FPおよびp⁺型半導体領域PR1を連続的に囲む方が、より好ましい。すなわち、平面視において、n⁺型半導体領域NR1、電極FPおよびp⁺型半導体領域PR1の周りを、電極FP2が連続的に周回（一周）することが、好ましい。これにより、電極FP2による、エミッタ用のn⁺型半導体領域NR1とコレクタ用のn型ウエルNW1との間のリークを抑制する効果を高めることができる。

20

【0197】

本実施の形態2の半導体装置の他の構成は、上記実施の形態1の半導体装置とほぼ同様であるので、ここではその繰り返しの説明は省略する。

【0198】

本実施の形態2においても、上記実施の形態1と同様に、電極FPを設けたことにより、エミッタ・ベース間に逆方向バイアスを印加したときに、電界集中を緩和させてホットキャリアの発生を抑制する効果を得ることができ、それによって、半導体装置の信頼性を向上させることができる。その理由は上記実施の形態1で述べた通りであるので、ここではその繰り返しの説明は省略する。

30

【0199】

また、本実施の形態2では、電極FP2を形成したことにより、p型ウエルPW1の表層部の反転層を介してエミッタ用のn⁺型半導体領域NR1とコレクタ用のn型ウエルNW1との間がリークするのを抑制または防止することができるため、半導体装置の信頼性を更に向上させることができる。以下、このことについて具体的に説明する。

【0200】

すなわち、本実施の形態2では、電極FP2を設けている。この電極FP2は、p型ウエルPW1の表層部に反転層（n型反転層）が形成されないようにするために、設けたものである。p型ウエルPW1の表層部に反転層が形成されてしまうと、その反転層を介してエミッタ用のn⁺型半導体領域NR1とコレクタ用のn型ウエルNW1との間がリークしやすくなる。また、hFE特性を高めるためには、ベース用のp型ウエルPW1のp型不純物濃度を低くすることが有効であるが、その場合、p型ウエルPW1の表層部に反転層が形成されやすくなる。そして、配線M1よりも上層の配線に高電圧が印加された場合などに、p型ウエルPW1の表層部に反転層が形成されてしまうと、その反転層を介してエミッタ用のn⁺型半導体領域NR1とコレクタ用のn型ウエルNW1との間がリークしてしまう虞がある。

40

50

【0201】

本実施の形態2では、電極FP2は、プラグPGF2、ベース用配線M1Bおよびベース用プラグPGBを介してベース用のp⁺型半導体領域PR1と電氣的に接続して、ベース用のp⁺型半導体領域PR1と同じ電位が電極FP2にも供給されるようになっているため、電極FP2の直下のp型ウエルPW1の表層部には反転層が形成されにくくなる。例えば、配線M1よりも上層の配線に高電圧が印加された場合などでも、電極FP2はベース電圧に固定されているため、電極FP2の直下のp型ウエルPW1の表層部には反転層が形成されにくい。このため、電極FP2を形成したことにより、p型ウエルPW1の表層部の反転層を介してエミッタ用のn⁺型半導体領域NR1とコレクタ用のn型ウエルNW1との間がリークするのを抑制または防止することができる。

10

【0202】

また、電極FP2は、平面視において、エミッタ用のn⁺型半導体領域NR1と電極FPとベース用のp⁺型半導体領域PR1とを囲み、かつ、p型ウエルPW1と重なるように形成されていることが好ましい。別の見方をすると、平面視において、電極FP2とp型ウエルPW1との重なり領域が、エミッタ用のn⁺型半導体領域NR1と電極FPとベース用のp⁺型半導体領域PR1とを囲んでいることが好ましい。これにより、p型ウエルPW1において、反転層が形成されにくい領域（電極FP2の直下の領域）で、エミッタ用のn⁺型半導体領域NR1とベース用のp⁺型半導体領域PR1とが平面視で囲まれることになる。このため、エミッタ用のn⁺型半導体領域NR1とコレクタ用のn型ウエルNW1との間が、p型ウエルPW1の表層部の反転層を介してリークしてしまうのを、

20

【0203】

更に、本実施の形態2では、電極FP2の少なくとも一部が素子分離領域LSの溝TR2に埋め込まれているため、溝TR2の外部の素子分離領域LSの厚み(T2)を確保しながら、溝TR2内に埋め込まれた部分の電極FP2の直下における素子分離領域LSの厚みT3を小さくすることができる。ここで、厚みT3は図38に示してあり、厚みT3は、溝TR2の底部における素子分離領域LSの厚みに対応し、厚みT2は、溝TR2の外部における素子分離領域LSの厚みに対応し、厚みT2と厚みT3との差(すなわちT2 - T3)が、溝TR2の深さに対応している。

【0204】

これにより、電極FP2とp型ウエルPW1との間の距離(間隔)を小さくすることができるため、電極FP2の直下のp型ウエルPW1の表層部に反転層を形成しにくくする効果を、より向上させることができる。従って、電極FP2を素子分離領域LSに形成した溝TR2に埋め込んだことにより、p型ウエルPW1の表層部の反転層を介してエミッタ用のn⁺型半導体領域NR1とコレクタ用のn型ウエルNW1との間がリークするのを抑制または防止する効果を、より向上させることができる。従って、半導体装置の信頼性を、より向上させることができる。

30

【0205】

溝TR2は、上記溝TRと同工程で形成すれば、製造工程数を低減できるため、より好ましい。この場合、溝TR2の深さは溝TRと同じ深さとすることができる。このため、厚みT3と厚みT1とは同じにすることができる。

40

【0206】

また、電極FP2と電極FPとは、共通の導電膜(上記シリコン膜PS)を用いて同工程で形成することができるため、半導体装置の製造工程数を抑制することができる。

【0207】

以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【符号の説明】

【0208】

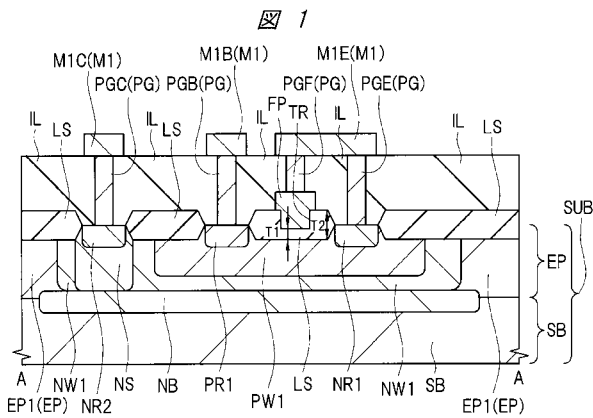
50

- EP エピタキシャル層
- FP, FP2 電極
- IL 層間絶縁膜
- LS 素子分離領域
- M1B ベース用配線
- M1C コレクタ用配線
- M1E エミッタ用配線
- NB n⁺型埋込領域
- NR1, NR2 n⁺型半導体領域
- NS n⁺型シンカー領域
- NW1 n型ウエル
- PR1 p⁺型半導体領域
- PW1 p型ウエル
- SB 基板本体
- SUB 半導体基板
- TR, TR2 溝
- PGB ベース用プラグ
- PGC コレクタ用プラグ
- PGE エミッタ用プラグ
- PGF, PGF2 プラグ

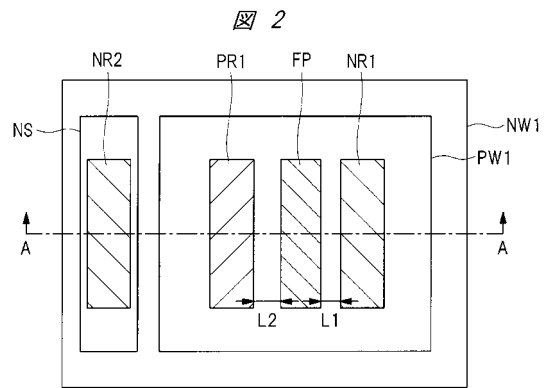
10

20

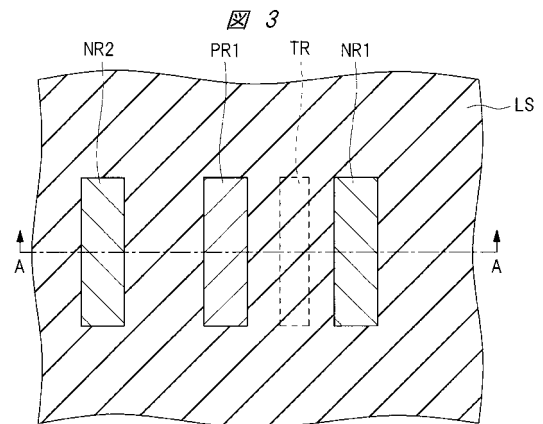
【図1】



【図2】

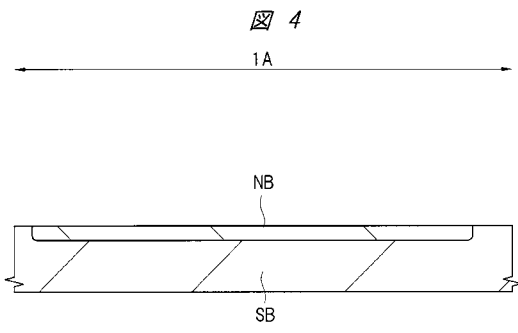


【図3】

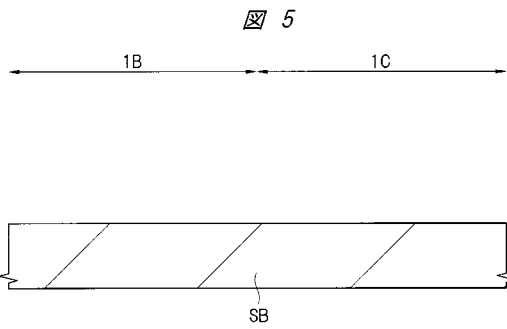


- FP : 電極
- LS : 素子分離領域
- NR1 : n⁺型半導体領域
- PR1 : p⁺型半導体領域
- PW1 : p型ウエル
- SUB : 半導体基板

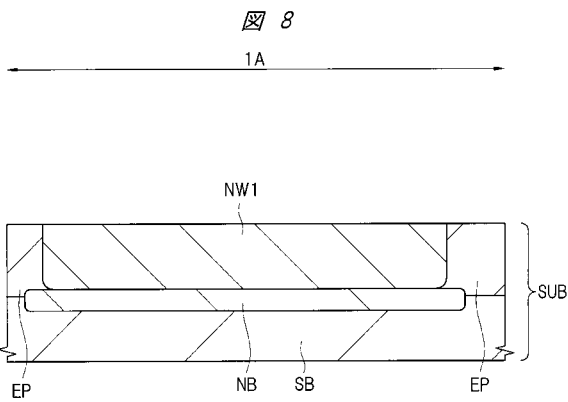
【 図 4 】



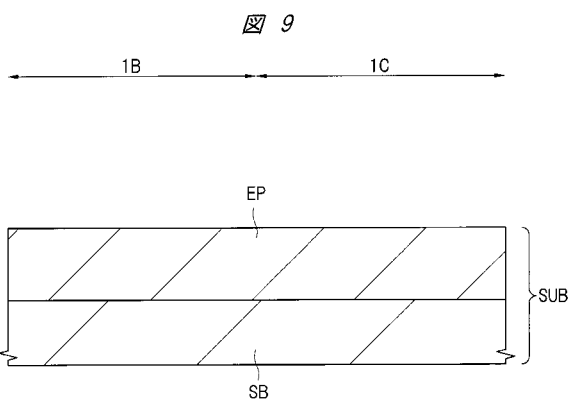
【 図 5 】



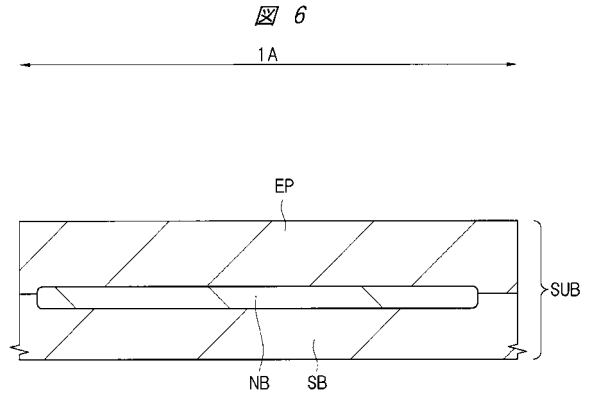
【 図 8 】



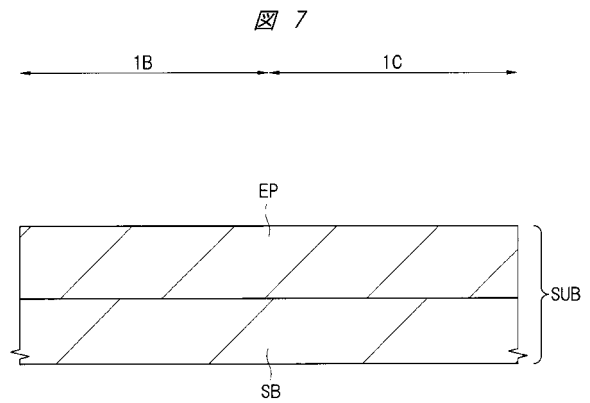
【 図 9 】



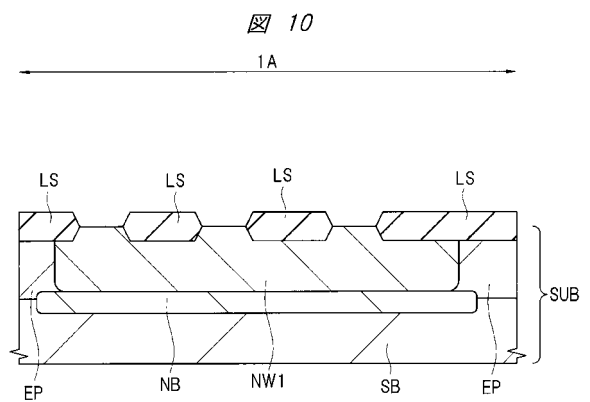
【 図 6 】



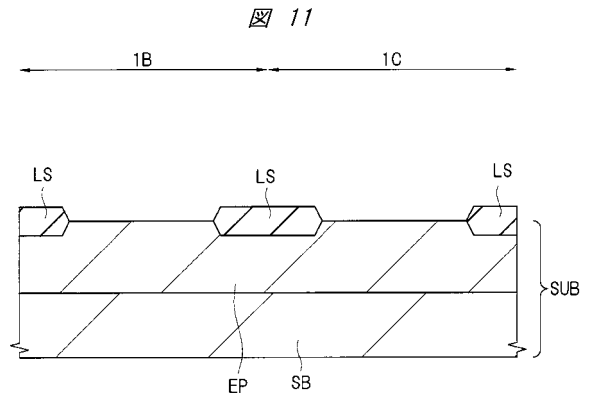
【 図 7 】



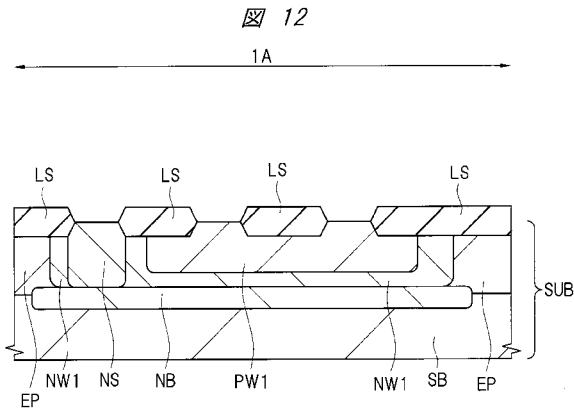
【 図 10 】



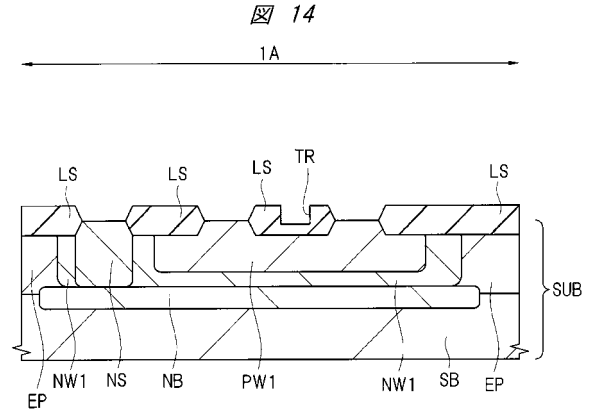
【 図 11 】



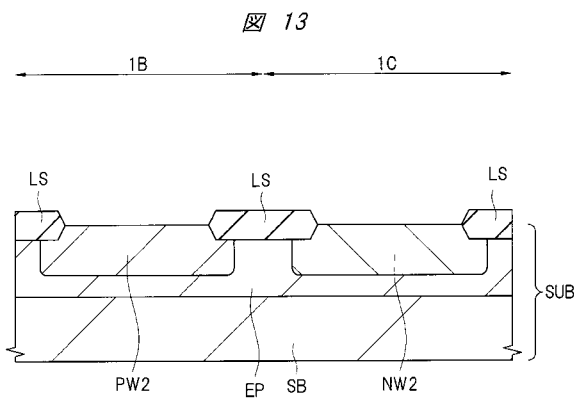
【 図 1 2 】



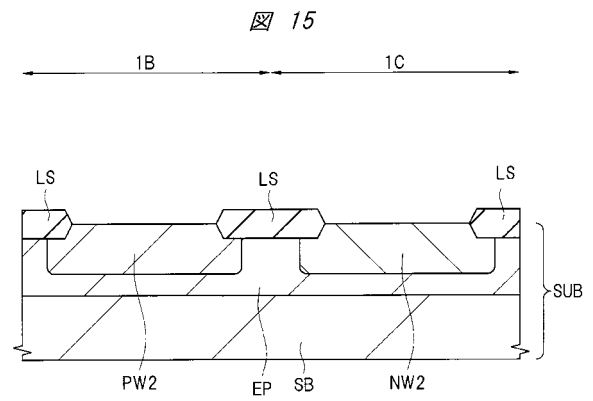
【 図 1 4 】



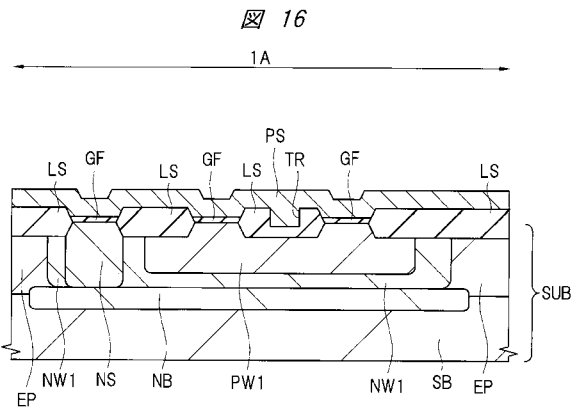
【 図 1 3 】



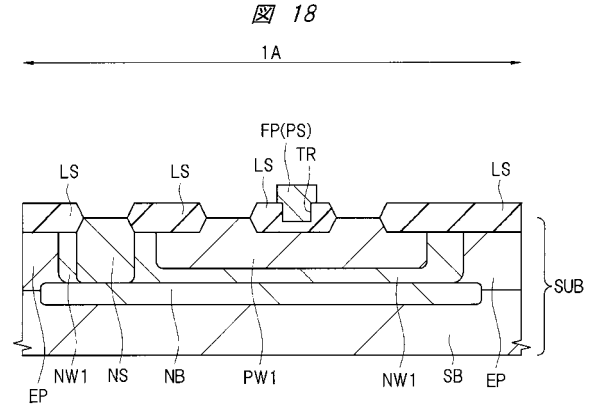
【 図 1 5 】



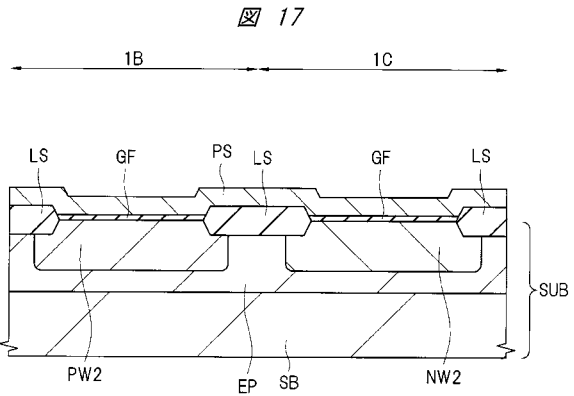
【 図 1 6 】



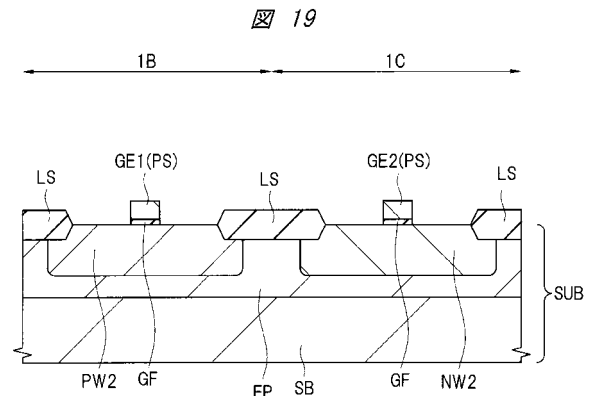
【 図 1 8 】



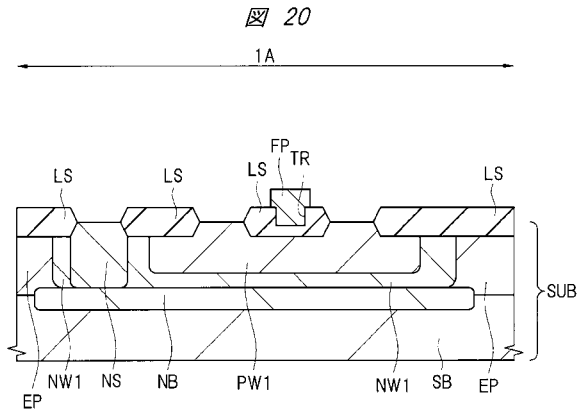
【 図 1 7 】



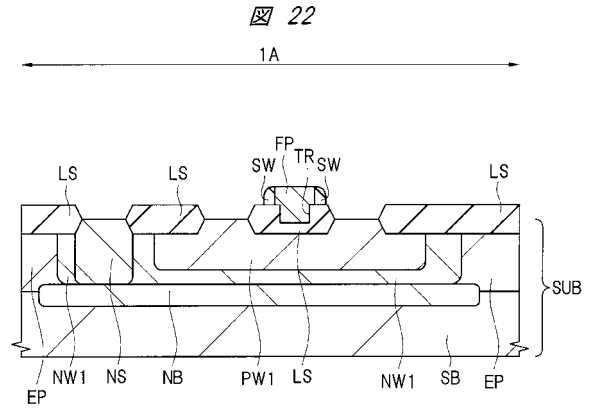
【 図 1 9 】



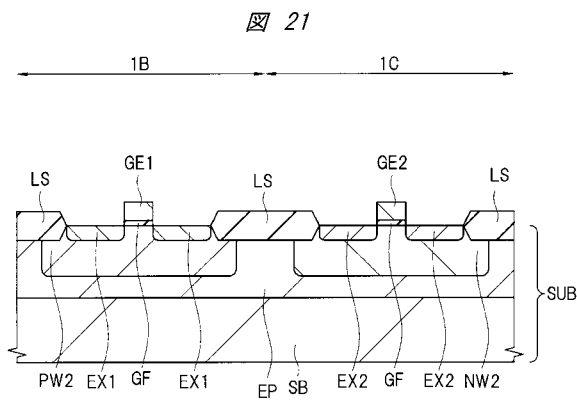
【図 20】



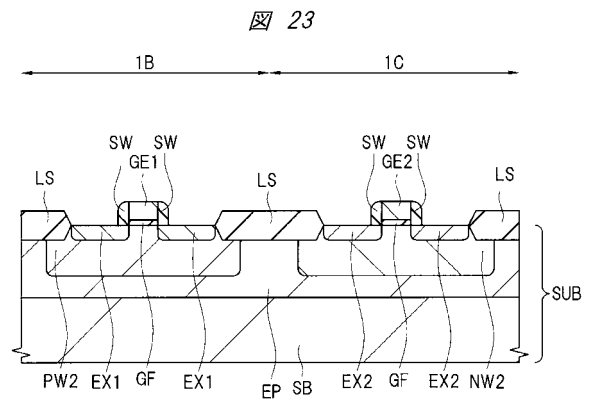
【図 22】



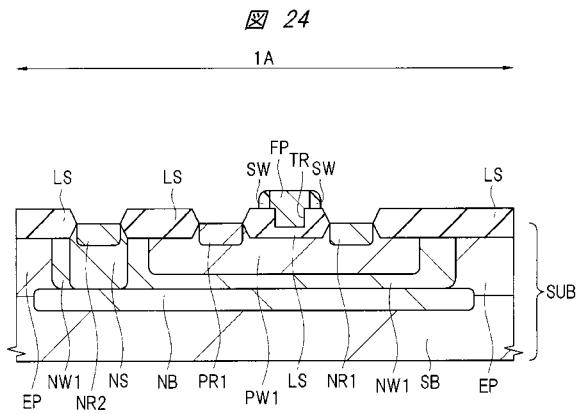
【図 21】



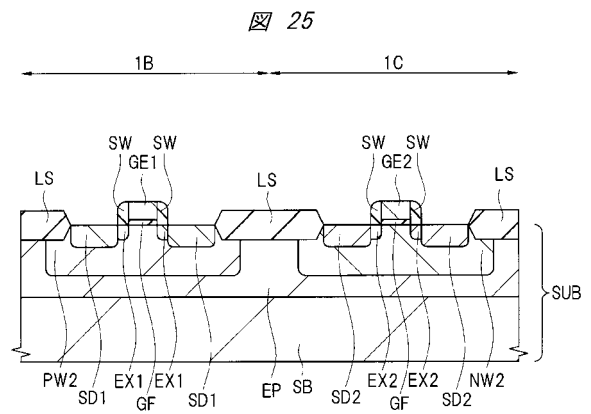
【図 23】



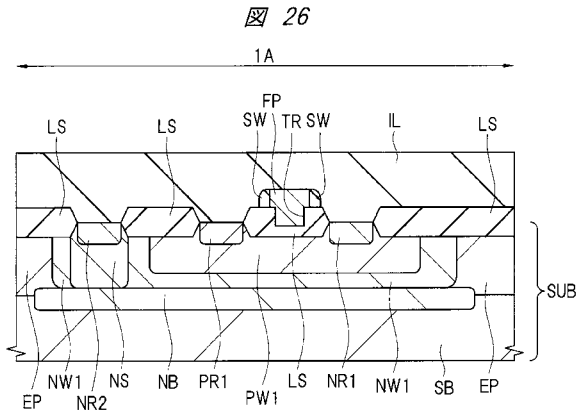
【図 24】



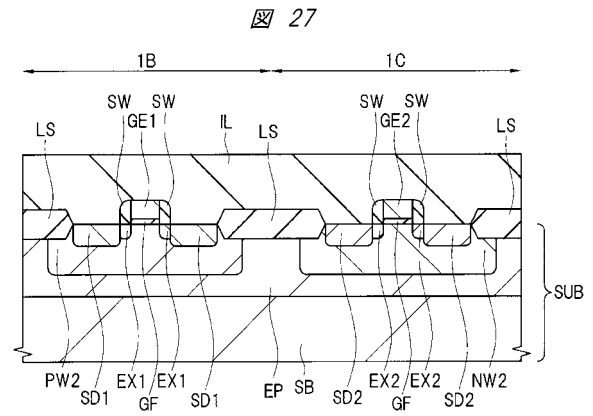
【図 25】



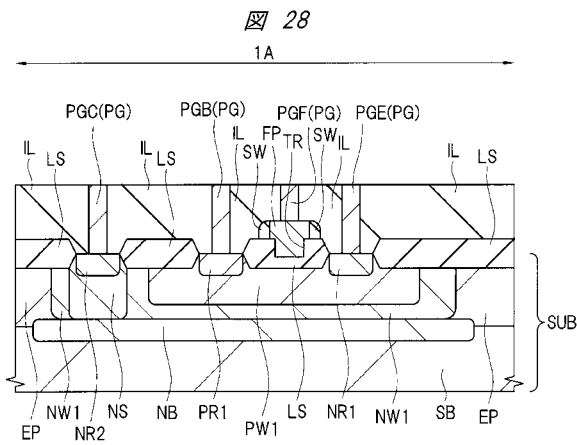
【 図 2 6 】



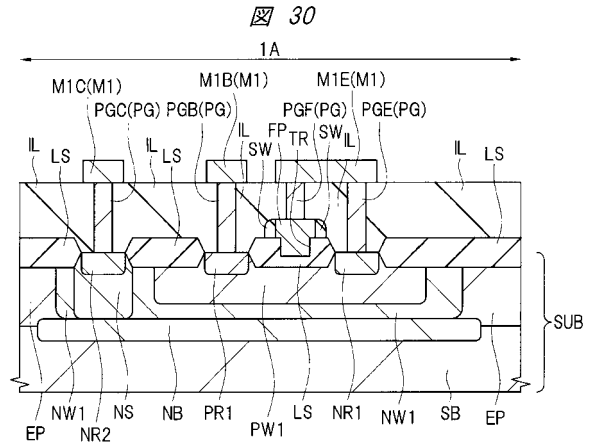
【 図 2 7 】



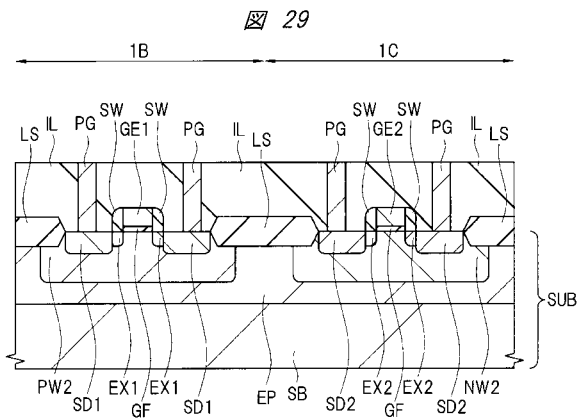
【 図 2 8 】



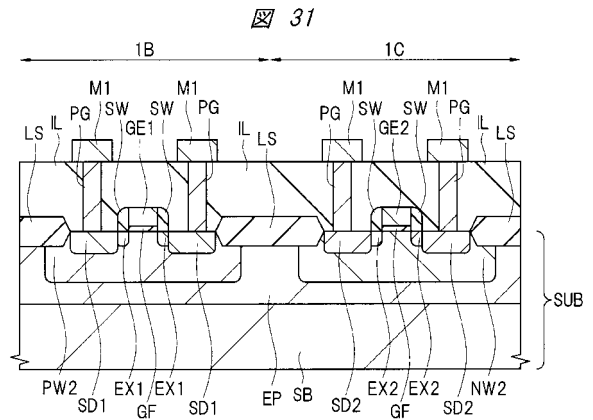
【 図 3 0 】



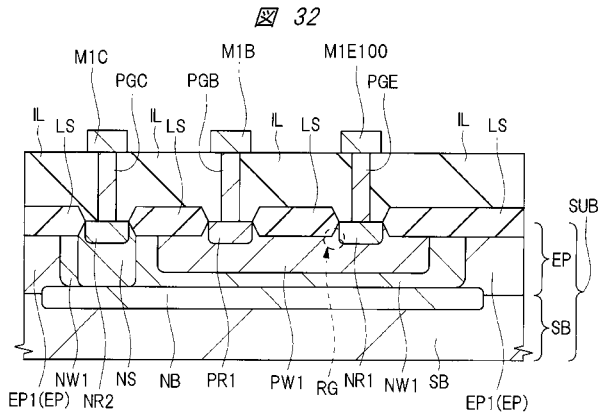
【 図 2 9 】



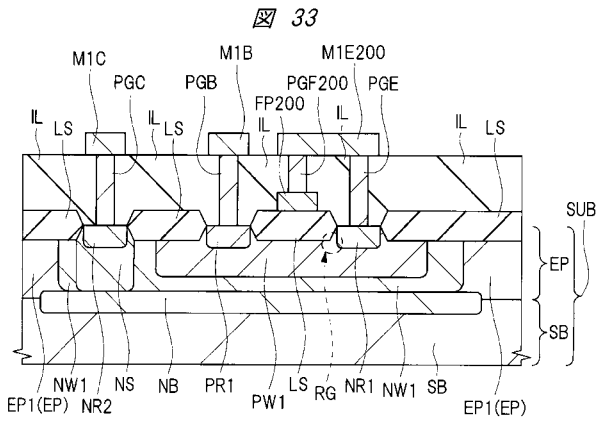
【 図 3 1 】



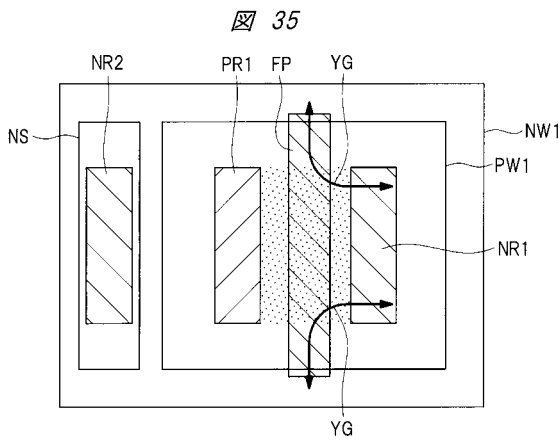
【 図 3 2 】



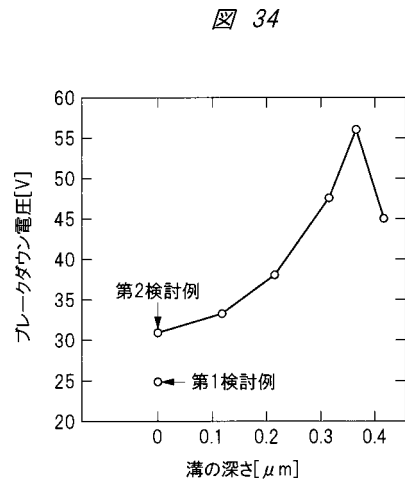
【 図 3 3 】



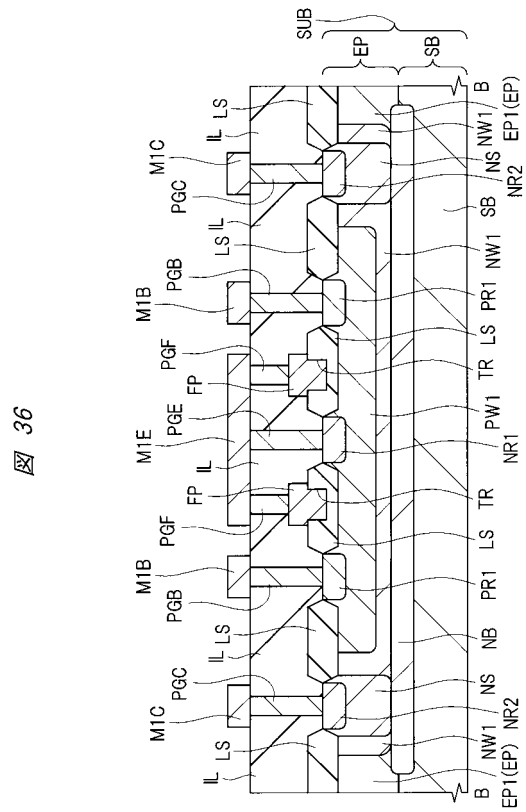
【 図 3 5 】



【 図 3 4 】

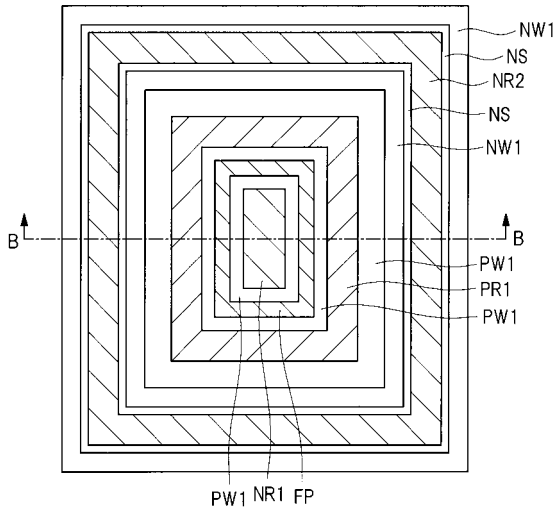


【 図 3 6 】



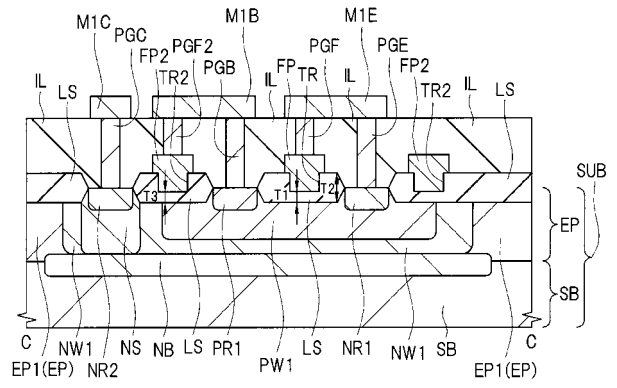
【 図 3 7 】

図 37



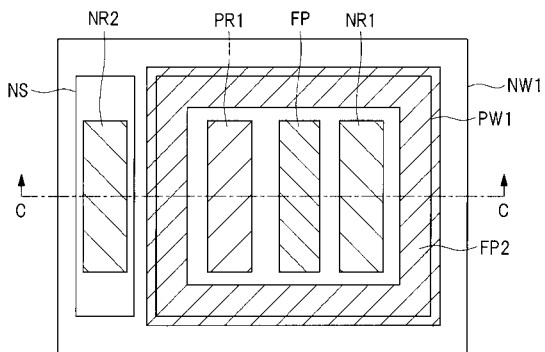
【 図 3 8 】

図 38



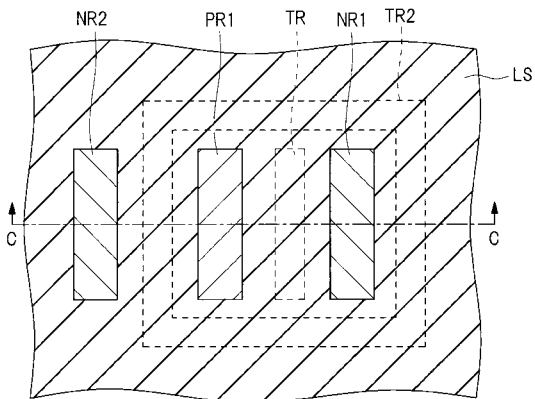
【 図 3 9 】

図 39



【 図 4 0 】

図 40



フロントページの続き

Fターム(参考) 5F048 AA04 AA07 AC05 BA02 BA12 BB05 BC06 BE03 BE04 BF07
BF16 BG00 BG11 BH01 DA23