

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017 年 6 月 1 日(01.06.2017)



(10) 国際公開番号
WO 2017/090183 A1

- (51) 国際特許分類:
H01L 29/06 (2006.01) *H01L 29/78* (2006.01)
H01L 29/41 (2006.01)
- (21) 国際出願番号: PCT/JP2015/083404
- (22) 国際出願日: 2015 年 11 月 27 日(27.11.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: サンケン電気株式会社(SANKEN ELECTRIC CO., LTD.) [JP/JP]; 〒3528666 埼玉県新座市北野 3 丁目 6 番 3 号 Saitama (JP).
- (72) 発明者: 大森 寛将(OMORI, Tomoyuki); 〒3528666 埼玉県新座市北野 3 丁目 6 番 3 号 サンケン電気株式会社内 Saitama (JP).
- (74) 代理人: 三好 秀和, 外(MIYOSHI, Hidekazu et al.); 〒1050001 東京都港区虎ノ門一丁目 2 番 8 号 虎ノ門琴平タワー Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

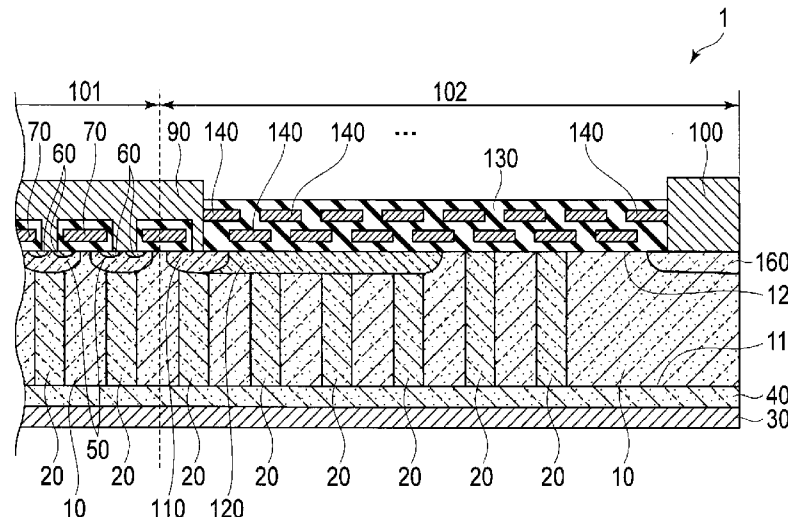
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第 21 条(3))

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: The present invention is provided with: a first-conductivity-type first semiconductor region; second-conductivity-type second semiconductor regions which are arrayed apart from each other in the first semiconductor region so that a pn junction is formed between each of the second semiconductor regions and the first semiconductor region, and which stretch into a stripe pattern so that a super junction structure is formed in which the pn junctions are periodically arranged; a first main electrode which is arranged on the first main surface side of the first semiconductor region; a second main electrode which is arranged, in an element region, on the second main surface side of the first semiconductor region; a terminal electrode which is arranged at the outer edge of an outer periphery region on the second main surface side and which is electrically connected to the first main electrode; an insulating layer which is arranged, on the second main surface side, between the second main electrode and the terminal electrode; and a plurality of conductors which are arrayed apart from each other in the insulating layer, wherein the second main electrode and the terminal electrode are capacitively coupled by a capacitor group obtained by capacitors formed between the conductors being connected in series.

(57) 要約:

[続葉有]

WO 2017/090183 A1



第1導電型の第1の半導体領域と、第1の半導体領域との間にp-n接合をそれぞれ形成するように第1の半導体領域の内部に互いに離間して配列され、p-n接合が周期的に配置されたスーパージンクション構造を構成するようにストライプ状に延伸する第2導電型の第2の半導体領域と、第1の半導体領域の第1主面側に配置された第1の主電極と、第1の半導体領域の第2主面側で素子領域に配置された第2の主電極と、第2主面側の外周領域の外縁に配置され、第1の主電極と電氣的に接続された終端電極と、第2の主電極と終端電極との間で第2主面側に配置された絶縁層と、絶縁層の内部に互いに離間して配列された複数の導電体とを備え、導電体の間に形成されるコンデンサを直列接続したコンデンサ群によって第2の主電極と終端電極とが容量結合される。

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本発明は、スーパージャンクション構造の半導体装置に関する。

背景技術

[0002] ドリフト領域に p n 接合が周期的に形成されたスーパージャンクション (S J) 構造の MOS トランジスタ (以下において、「 S J MOS 」という。) は、高耐圧且つ低オン抵抗であるという特性を有する。 S J MOS では、例えば n 型の不純物濃度を高くしたドリフト領域を電流が流れ、オン抵抗を下げることができる。一方、逆バイアス時に p n 接合から伸びる空乏層によってドリフト領域が空乏化されて、高耐圧が確保される。このとき、ドリフト領域を完全に空乏化させるために、 p 型の不純物総量と n 型の不純物総量との比が 1 近傍に設定される。

[0003] S J MOS の半導体素子が配置される素子領域においては、例えば直線的に延伸するストライプ状の p 型の柱状領域と n 型の柱状領域が繰り返し交互に配置される。一方、素子領域の周囲に配置された外周領域では、素子領域の周囲を囲んで柱状領域が環状に配置されることも多い。

[0004] しかし、素子領域においてストライプ状に柱状領域を配置し、外周領域において柱状領域を環状に配置すると、パターン設計が複雑になる。これは、素子領域と外周領域との境界領域付近での柱状領域の接合部分における p 型と n 型の不純物量バランスが崩れるためである。例えば、環状に配置された p 型の柱状領域の側部に、素子領域から延伸する p 型の柱状領域の端部を接合させる。この場合、接合部分で p 型の不純物量が増大する。その結果、 p 型の柱状領域とその周囲の n 型半導体領域との不純物量バランスが崩れる。

[0005] したがって、外周領域においても、ストライプ状に p 型の柱状領域と n 型の柱状領域が交互に配置されることが好ましい (例えば、特許文献 1 参照。) 。

先行技術文献

特許文献

[0006] 特許文献1：特許第3908572号公報

発明の概要

発明が解決しようとする課題

- [0007] 外周領域の柱状領域をストライプ状にした場合、耐圧を確保するために、外周領域にリサーフ領域を形成することが一般的である。しかし、リサーフ領域は不純物濃度が低いため、外部から侵入する可動イオンの影響を受けてリサーフ領域などの半導体装置の表面電位が変動しやすい。その結果、耐圧が低下するなどして信頼性を確保することが困難である。
- [0008] 上記問題点に鑑み、本発明は、高い信頼性を有するスーパージャンクション構造の半導体装置を提供することを目的とする。

課題を解決するための手段

- [0009] 本発明の一態様によれば、半導体素子が形成された素子領域及び素子領域の周囲に配置された外周領域を有する半導体装置であって、（ア）素子領域と外周領域にわたって延在する第1導電型の第1の半導体領域と、（イ）第1の半導体領域との間にpn接合をそれぞれ形成するように第1の半導体領域の内部に互いに離間して配列され、pn接合が周期的に配置されたスーパージャンクション構造を構成するように、素子領域と外周領域にわたって第1の半導体領域の主面と平行してストライプ状に延伸する第2導電型の第2の半導体領域と、（ウ）第1の半導体領域の第1主面側に配置された、膜厚方向に沿って半導体素子に流れる主電流の電流経路の一方の端部である第1の主電極と、（エ）第1の半導体領域の第2主面側で素子領域に配置された、電流経路の他方の端部である第2の主電極と、（オ）第2主面側の外周領域の外縁に配置され、第1の主電極と電氣的に接続された終端電極と、（カ）第2の主電極と終端電極との間で第2主面側に配置された絶縁層と、（キ）素子領域から外周領域の外縁に向かう外縁方向に沿って、絶縁層の内部に

互いに離間して配列された複数の導電体とを備え、互いに隣接する導電体の間に形成されるコンデンサを直列接続したコンデンサ群が構成され、外縁方向に延伸するコンデンサ群によって第2の主電極と終端電極とが容量結合される半導体装置が提供される。

発明の効果

[0010] 本発明によれば、高い信頼性を有するスーパージャンクション構造の半導体装置を提供できる。

図面の簡単な説明

[0011] [図1]本発明の実施形態に係る半導体装置の構成を示す模式的な断面図である。

[図2]本発明の実施形態に係る半導体装置の構成を示す模式的な平面図である。

[図3]本発明の実施形態に係る半導体装置のコンデンサ群の構成を示す模式図である。

[図4]図2のコーナー部の周辺領域を拡大した模式的な平面図である。

[図5]比較例の半導体装置について耐圧をシミュレーションした結果である。

[図6]本発明の実施形態に係る半導体装置について耐圧をシミュレーションした結果である。

[図7]本発明の実施形態に係る半導体装置と比較例の半導体装置について付与する電荷量と耐圧の変化率の関係をシミュレーションした結果である。

[図8]本発明の実施形態に係る半導体装置のリサーフ領域とp型柱状領域の配置を示す模式的な平面図である。

[図9]本発明の実施形態の変形例に係る半導体装置の構成を示す模式的な断面図である。

[図10]本発明のその他の実施形態に係る半導体装置の構成を示す模式的な断面図である。

[図11]図10に示す半導体装置のコンデンサ群の構成を示す模式図である。

発明を実施するための形態

[0012] 次に、図面を参照して、本発明の実施形態を説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。ただし、図面は模式的なものであり、各層の厚みの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参酌して判断すべきものである。また、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることはもちろんである。

[0013] また、以下に示す実施形態は、この発明の技術的思想を具体化するための装置や方法を例示するものであって、この発明の実施形態は、構成部品の材質、形状、構造、配置等を下記のものに特定するものでない。この発明の実施形態は、請求の範囲において、種々の変更を加えることができる。

[0014] 本発明の実施形態に係る半導体装置 1 は、図 1 に示すように、半導体素子が形成された素子領域 101 と素子領域 101 の周囲に配置された外周領域 102 を有する。半導体装置 1 は、素子領域 101 と外周領域 102 にわたって延在する第 1 導電型の第 1 の半導体領域（ドリフト領域 10）と、第 1 の半導体領域の内部に互いに離間して配列された複数の第 2 導電型の第 2 の半導体領域（p 型柱状領域 20）とを備える。

[0015] なお、第 1 導電型と第 2 導電型とは互いに反対導電型である。すなわち、第 1 導電型が n 型であれば、第 2 導電型は p 型であり、第 1 導電型が p 型であれば、第 2 導電型は n 型である。ここでは、第 1 導電型が n 型、第 2 導電型が p 型である。

[0016] p 型柱状領域 20 は、ドリフト領域 10 との間に p n 接合をそれぞれ形成するように配置されている。つまり、ドリフト領域 10 と p 型柱状領域 20 とによって、p n 接合が周期的に配置されたスーパージャンクション（S J）構造が構成されている。

[0017] 図 2 に示すように、p 型柱状領域 20 は、素子領域 101 と外周領域 102 にわたって連続的にドリフト領域 10 の主面と平行してストライプ状に延伸する。更に、p 型柱状領域 20 の中心部の位置の間隔 L は、素子領域 101 と外周領域 102 で同じ値になっている。このため、p 型の柱状領域を素

子領域 101 においてストライプ状に配置し、外周領域 102 において環状に配置する場合のような、不純物量バランスの問題が生じない。即ち、素子領域 101 と外周領域 102 との境界における p 型と n 型の不純物量バランスは、他の領域と同様である。したがって、半導体装置 1 では、不純物量バランスが崩れることを抑制するための複雑なパターン設計などが不要である。

[0018] 図 1 に示したように、ドリフト領域 10 の第 1 主面 11 側に、素子領域 101 に形成される半導体素子の第 1 の主電極としてドレイン電極 30 が配置されている。一方、ドリフト領域 10 の第 2 主面 12 側に、半導体素子の第 2 の主電極としてソース電極 90 が素子領域 101 に配置されている。ドレイン電極 30 は、膜厚方向に沿って半導体素子に流れる主電流の電流経路の一方の端部であり、ソース電極 90 は電流経路の他方の端部である。

[0019] 外周領域 102 の外縁には、ドリフト領域 10 の第 2 主面 12 側に終端電極 100 が配置されている。ソース電極 90 と終端電極 100 との間のドリフト領域 10 の第 2 主面 12 に絶縁層 130 が配置されており、絶縁層 130 の開口部において終端電極 100 がドリフト領域 10 の第 2 主面 12 と接触している。終端電極 100 とドリフト領域 10 との境界に不純物濃度の高い n 型のコンタクト領域 160 が形成されており、ドリフト領域 10 を介して終端電極 100 がドレイン電極 30 と電氣的に接続されている。

[0020] 図 2 に示したように、終端電極 100 は、ドリフト領域 10 の矩形状の第 2 主面 12 のコーナー部にのみ配置されている。即ち、コーナー部を除いた外周領域 102 の直線状の外縁には終端電極 100 は配置されていない。コーナー部のみに終端電極 100 を配置することによって、半導体装置 1 のサイズの増大を抑制できる。

[0021] 更に、素子領域 101 から外周領域 102 の外縁に向かう外縁方向に沿って、絶縁層 130 の内部に互いに離間して複数の導電体 140 が配列されている。互いに隣接する導電体 140 の間には、それぞれコンデンサが形成される。これらのコンデンサを直列接続して構成されるコンデンサ群（以下に

において、「容量チェーン」という。)が、外縁方向に延伸する。

[0022] 図1に示す半導体装置1では、絶縁層130の内部で上段と下段の2層に分けて導電体140が配列されている。上段に配置された導電体140と下段に配置された導電体140とが、外縁方向に沿って交互に配置されている。図1に示すように、平面視で、下段に配列された導電体140の間の領域が上段に配列された導電体140によって覆われている。

[0023] 図3に示すように、上段に配列された導電体140aと下段に配列された導電体140bとの平面視で重なった領域に、コンデンサ150が形成される。コンデンサ150を形成するために、膜厚方向の導電体140同士の間隔は1 μ m以下が好ましく、例えば100nm~500nm程度である。

[0024] 導電体140の材料は、例えばポリシリコンである。或いは、アルミニウムなどの金属材も導電体140に使用可能である。絶縁層130には、例えば酸化シリコン膜などを使用可能である。

[0025] なお、図2に示したように、導電体140は素子領域101の周囲を囲んで配置されたリング形状である。複数の導電体140によって、素子領域101が多重に囲まれている。図4に、図2のコーナー部の周辺領域Rを拡大した図を示す。導電体140のコーナー部は、電界集中を緩和するために曲線である。図4では、絶縁層130を透過して導電体140が表示されている。なお、下段に配列された導電体140bの端部は、上段に配列された導電体140aの下方であるため、破線で表示している。また、図4では素子領域101に形成される半導体素子の図示を省略している。図1は図4のI-I方向に沿った断面図である。

[0026] 図1に示すように、容量チェーンを構成する導電体140のうち、ソース電極90に最近接の導電体140がソース電極90に接続されている。一方、容量チェーンを構成する導電体140のうちの終端電極100に最近接である導電体140が、ドリフト領域10の第2主面12のコーナー部において終端電極100に接続されている。これにより、容量チェーンによってソース電極90と終端電極100とが容量結合されている。

- [0027] 終端電極 100 とドレイン電極 30 とは電氣的に接続されているため、容量チェーンによってソース電極 90 とドレイン電極 30 とが容量結合される。その結果、ソース電極 90 とドレイン電極 30 との間に所定の電圧を印加した場合に、容量チェーンによってソース電極 90 と終端電極 100 間が分圧される。この分圧された電位によって、外周領域 102 において表面電位が固定される。
- [0028] このため、外部から侵入した可動イオンなどによって表面電位が変動することが抑制される。したがって、半導体装置 1 では、可動イオンなどから受ける影響が低減され、高い信頼性を得ることができる。
- [0029] 図 5 に、600V～700V 程度の高耐圧を有するように設計され、容量チェーンが形成されていない比較例の半導体装置について耐圧をシミュレーションした結果を示す。シミュレーションは、半導体装置に可動イオンが侵入した場合を想定し、プラス電荷を半導体装置の表面に付与した状態で耐圧を計算した結果である。可動イオンには、人体から発せられたナトリウムイオンなどを想定している。図 5 の横軸は外縁方向に沿った外周領域の位置であり、縦軸は耐圧である。図 5 に示すように、比較例の半導体装置では、等電位線に歪みがあり、可動イオンの影響によって耐圧が低下している。
- [0030] 一方、容量チェーンを形成した半導体装置 1 について同様のシミュレーションを行った結果を図 6 に示す。図 6 に示すように、比較例に対して耐圧の低下量が抑制され、可動イオンによる影響が低減されていることがわかる。
- [0031] 図 7 に、半導体装置 1 と比較例の半導体装置について、表面に付与する電荷量を変化させたシミュレーションの結果を示す。図 7 の横軸は付与する電荷量 Q であり、縦軸は耐圧の変化率 ΔV_B である。なお、特性 A が半導体装置 1 のシミュレーションの結果であり、特性 B が比較例の半導体装置のシミュレーションの結果である。図 7 に示すように、比較例に比べて半導体装置 1 の方が耐圧の変化率 ΔV_B が小さく、且つ、電荷量 Q の変化に対する耐圧の変化率 ΔV_B の依存性も小さい。つまり、容量チェーンを形成することによって、可動イオンによる耐圧の低下を抑制することができる。

[0032] なお、外周領域 102 におけるドリフト領域 10 の電位分布に整合させて表面電位が分圧されるように、容量チェーンの構成を設定することが好ましい。これにより、電位分布の歪みが抑制され、耐圧の低下が防止される。例えば、ドリフト領域 10 の電位分布と一致して表面電位が分圧されるように、容量チェーンに含まれるコンデンサ 150 の数や配置される導電体 140 のピッチを調整する。シミュレーションの結果や製造条件などに応じて、最適に容量チェーンの構成を選択することができる。

[0033] 終端電極 100 と最外周の導電体 140 とを接続させるために、少なくとも最外周の導電体 140 の外縁部は、p 型柱状領域 20 の延伸方向の端部よりも外周領域 102 の外縁に近く位置している。更に、図 4 で示すコーナ一部側における p 型柱状領域 20 の延伸方向の端部はコーナ一部側以外の p 型柱状領域 20 の延伸方向の端部に比べて外周領域 102 の外縁から離間しており、コーナ一部側における p 型柱状領域 20 はそれ以外の p 型柱状領域 20 よりも外縁方向において短くなっている。そのコーナ一部に終端電極 100 を設ける。このため、図 4 に示すように、p 型柱状領域 20 と終端電極 100 とは接触しない。更に、半導体装置 1 を小型化することができる。

[0034] 図 1 に示した半導体装置 1 は、ドリフト領域 10 の上部の一部に素子領域 101 の周囲を囲んで外周領域 102 に形成された p 型のリサーフ領域 120 を更に備える。即ち、素子領域 101 に最近接の p 型柱状領域 20 の上部に接して、p 型柱状領域 20 よりも不純物濃度の高い p 型領域 110 がドリフト領域 10 の上部に配置されている。p 型領域 110 の不純物濃度は、例えば後述するベース領域 50 と同じ不純物濃度である。p 型領域 110 は、ソース電極 90 と接続している。そして、p 型領域 110 から外周領域 102 の外縁方向に向かってリサーフ領域 120 が延在している。リサーフ領域 120 の不純物濃度は、p 型領域 110 よりも低い。リサーフ領域 120 の不純物濃度は、p 型柱状領域 20 の不純物濃度よりも低い。リサーフ領域 120 の直下に配置された p 型柱状領域 20 は、その上端部がリサーフ領域 120 に達している。なお、図 8 に示すように、平面視でリサーフ領域 120

の外側まで p 型柱状領域 20 が延伸している。

[0035] リサーフ領域 120 を形成することによって、逆バイアス時に p n 接合からの空乏層が外側に伸ばされ、空乏層の伸びが外周領域 102 においてなだらかになる。これにより、電界集中が緩和され、半導体装置 1 の耐圧が向上する。

[0036] ところで、素子領域 101 には、S J 構造を採用した種々の半導体素子が形成される。例えば図 1 に示したように、主電流が膜厚方向に流れる MOS FET が素子領域 101 に形成される。以下に、図 1 に示した半導体素子の構造について説明する。

[0037] ドレイン電極 30 上に、高濃度の n 型半導体領域 40 が配置されている。n 型半導体領域 40 は、例えばシリコン (Si) 等の半導体基板に n 型の不純物であるリン (P) 等をドーピングして形成される。n 型半導体領域 40 は、ドレイン領域として機能する。ドレイン電極 30 と n 型半導体領域 40 とはオーミック接続されている。

[0038] n 型半導体領域 40 の上に、n 型半導体領域 40 よりも不純物濃度の低いドリフト領域 10 が配置されている。ドリフト領域 10 の内部に形成された p 型柱状領域 20 の底部は、n 型半導体領域 40 の上面に達している。

[0039] 素子領域 101 においては、p 型柱状領域 20 のそれぞれの上方に、p 型柱状領域 20 よりも不純物濃度の高い p 型のベース領域 50 が配置されている。隣接するベース領域 50 は、ドリフト領域 10 によって離間されている。p 型柱状領域 20 の上端部は、ベース領域 50 の下面に達している。

[0040] ベース領域 50 の内側に、n 型のソース領域 60 が島状に配置されている。ソース領域 60 の上面は、ベース領域 50 及びドリフト領域 10 の上面と同一平面レベルである。

[0041] ベース領域 50 上、例えば隣接するソース領域 60 の上方とソース領域 60 間のドリフト領域 10 の上方とにわたって、ゲート電極 70 が配置されている。ゲート電極 70 は、例えばポリシリコン膜である。ゲート電極 70 は絶縁膜 80 によって覆われており、ゲート電極 70 と、ソース領域 60、ベ

ース領域 50 及びドリフト領域 10 とは、絶縁膜 80 によって電氣的に絶縁されている。ゲート電極 70 とベース領域 50 との間の絶縁膜 80 は、ゲート絶縁膜として機能する。絶縁膜 80 には、例えばシリコン酸化膜などが使用される。

[0042] 更に、絶縁膜 80 の上面及び側面を覆ってソース電極 90 が配置されている。ソース電極 90 は、絶縁膜 80 が配置されていない領域に露出するソース領域 60 及びベース領域 50 とオーミック接続されている。

[0043] 半導体装置 1 では、ドレイン電極 30 とソース電極 90 間に所定の電圧を加えた状態でしきい値以上のゲート電圧をゲート電極 70 に印加することにより、ベース領域 50 のゲート電極 70 に対向する領域にチャネルが形成される。これにより、ドレイン電極 30 とソース電極 90 間にドレイン電流が流れる。

[0044] 以上に説明したように、本発明の実施形態に係る半導体装置 1 では、容量チェーンを形成することによって、ドレイン電極 30 とソース電極 90 間に電圧を加えた場合に外周領域 102 の表面電位が固定される。このため、可動イオンなどに起因して表面電位が変動することが抑制される。その結果、高い信頼性を有するスーパージャンクション構造の半導体装置 1 を提供することができる。

[0045] <変形例>

図 1 では、外縁方向の長さ（以下において、単に「長さ」という。）が同等である導電体 140 が、外縁方向に沿って等間隔に配列されている例を示した。このため、隣接する導電体 140 間の平面視での間隔は均等である。したがって、導電体 140 間に形成されるコンデンサ 150 は等間隔に配置され、コンデンサ 150 の配置されるピッチは均一である。

[0046] しかし、ドリフト領域 10 の電位分布に合わせて表面電位の分布が設定されるように、コンデンサ 150 の位置を調整することが好ましい。即ち、平面視でコンデンサ 150 の配置されるピッチが一定ではなくてもよい。例えば、導電体 140 の長さを個別に調整して、コンデンサ 150 の位置を調整

できる。これにより、電位分布の歪みが抑制され、耐圧の低下が防止される。

[0047] 長さが互いに異なる導電体 140 を配列することによってコンデンサ 150 の位置を調整する例を、図 9 に示す。図 9 は、上段に配列された導電体 140 a の長さを外縁方向に向かって徐々に短くし、下段の導電体 140 b の間隔を外縁方向に向かって狭くした構成を示す。これにより、コンデンサ 150 の間隔を、外周領域 102 の外縁に向かって徐々に狭く設定することができる。一方、ドリフト領域 10 の電位分布に合わせて、外周領域 102 の外縁に向かってコンデンサ 150 の間隔を徐々に広く設定することもできる。或いは、コンデンサ 150 の間隔を単調に変化させるのではなく、ランダムに変化させてもよい。

[0048] 上記のように、容量チェーンに含まれるコンデンサ 150 の数や配置されるピッチを調整することによって、表面電位をドリフト領域 10 の電位分布と一致させることができる。したがって、半導体装置 1 によれば、外周領域 102 におけるドリフト領域 10 の電位が外縁方向に向かって一定の割合で変化するのではない場合においても、耐圧の低下が抑制され、高い信頼性を得ることができる。

[0049] (その他の実施形態)

上記のように本発明は実施形態によって記載したが、この開示の一部をなす論述及び図面はこの発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施形態、実施例及び運用技術が明らかとなろう。

[0050] 例えば、上記では導電体 140 を 2 つの層に配置した場合を説明したが、図 10 に示すように導電体 140 を 1 つの層に配置してもよい。これにより、半導体装置 1 の製造工程を短縮することができる。図 10 に示した半導体装置 1 においても、図 11 に示すように導電体 140 の側面の間に形成されるコンデンサ 150 を直列接続した容量チェーンが構成されて、ソース電極 90 と終端電極 100 とが容量結合される。

[0051] このように、本発明はここでは記載していない様々な実施形態等を含むことはもちろんである。したがって、本発明の技術的範囲は上記の説明から妥当な請求の範囲に係る発明特定事項によってのみ定められるものである。

産業上の利用可能性

[0052] 本発明の半導体装置は、スーパージャンクション構造を採用する半導体装置の用途に利用可能である。

請求の範囲

[請求項1] 半導体素子が形成された素子領域及び前記素子領域の周囲に配置された外周領域を有する半導体装置であって、

前記素子領域と前記外周領域にわたって延在する第1導電型の第1の半導体領域と、

前記第1の半導体領域との間にpn接合をそれぞれ形成するように前記第1の半導体領域の内部に互いに離間して配列され、前記pn接合が周期的に配置されたスーパージャンクション構造を構成するように、前記素子領域と前記外周領域にわたって前記第1の半導体領域の主面と平行してストライプ状に延伸する第2導電型の第2の半導体領域と、

前記第1の半導体領域の第1主面側に配置された、膜厚方向に沿って前記半導体素子に流れる主電流の電流経路の一方の端部である第1の主電極と、

前記第1の半導体領域の第2主面側で前記素子領域に配置された、前記電流経路の他方の端部である第2の主電極と、

前記第2主面側の前記外周領域の外縁に配置され、前記第1の主電極と電気的に接続された終端電極と、

前記第2の主電極と前記終端電極との間で前記第2主面側に配置された絶縁層と、

前記素子領域から前記外周領域の前記外縁に向かう外縁方向に沿って、前記絶縁層の内部に互いに離間して配列された複数の導電体を備え、

互いに隣接する前記導電体の間に形成されるコンデンサを直列接続したコンデンサ群が構成され、前記外縁方向に延伸する前記コンデンサ群によって前記第2の主電極と前記終端電極とが容量結合されることを特徴とする半導体装置。

[請求項2] 前記終端電極が前記第2主面側のコーナー部に配置され、前記コー

ナ一部を除いた前記外縁には前記終端電極が配置されておらず、
複数の前記導電体のうちの前記終端電極に最近接である導電体が、
前記コーナー部において前記終端電極に接続されている
ことを特徴とする請求項 1 に記載の半導体装置。

[請求項3] 前記導電体が前記素子領域の周囲を囲んで配置されたリング形状であり、複数の前記導電体によって前記素子領域が多重に囲まれていることを特徴とする請求項 1 に記載の半導体装置。

[請求項4] 最外周の前記導電体の外側の外縁部が、前記第 2 の半導体領域の端部よりも前記外周領域の前記外縁の近くに位置していることを特徴とする請求項 1 に記載の半導体装置。

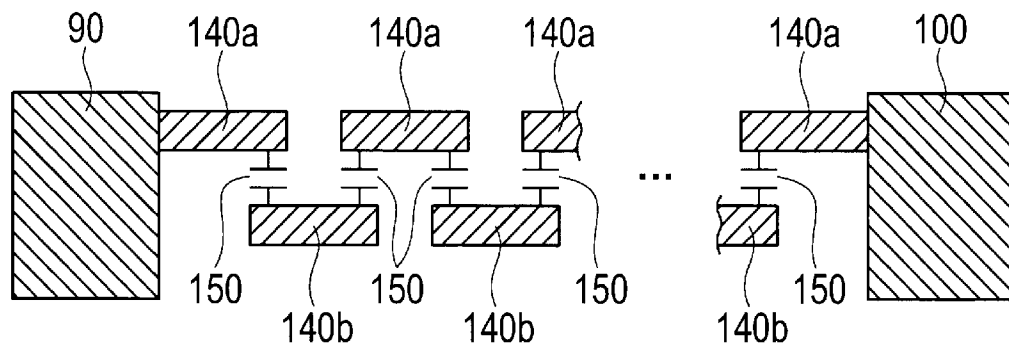
[請求項5] 前記コーナー部側における前記第 2 の半導体領域の端部が、前記コーナー部側以外の前記第 2 の半導体領域の端部よりも、前記外縁から離間していることを特徴とする請求項 1 に記載の半導体装置。

[請求項6] 前記外周領域の前記素子領域に隣接する領域において前記第 1 の半導体領域の上部に形成された第 2 導電型のリサーフ領域を更に備え、
平面視で、前記リサーフ領域の外側まで前記第 2 の半導体領域が延伸していることを特徴とする請求項 1 に記載の半導体装置。

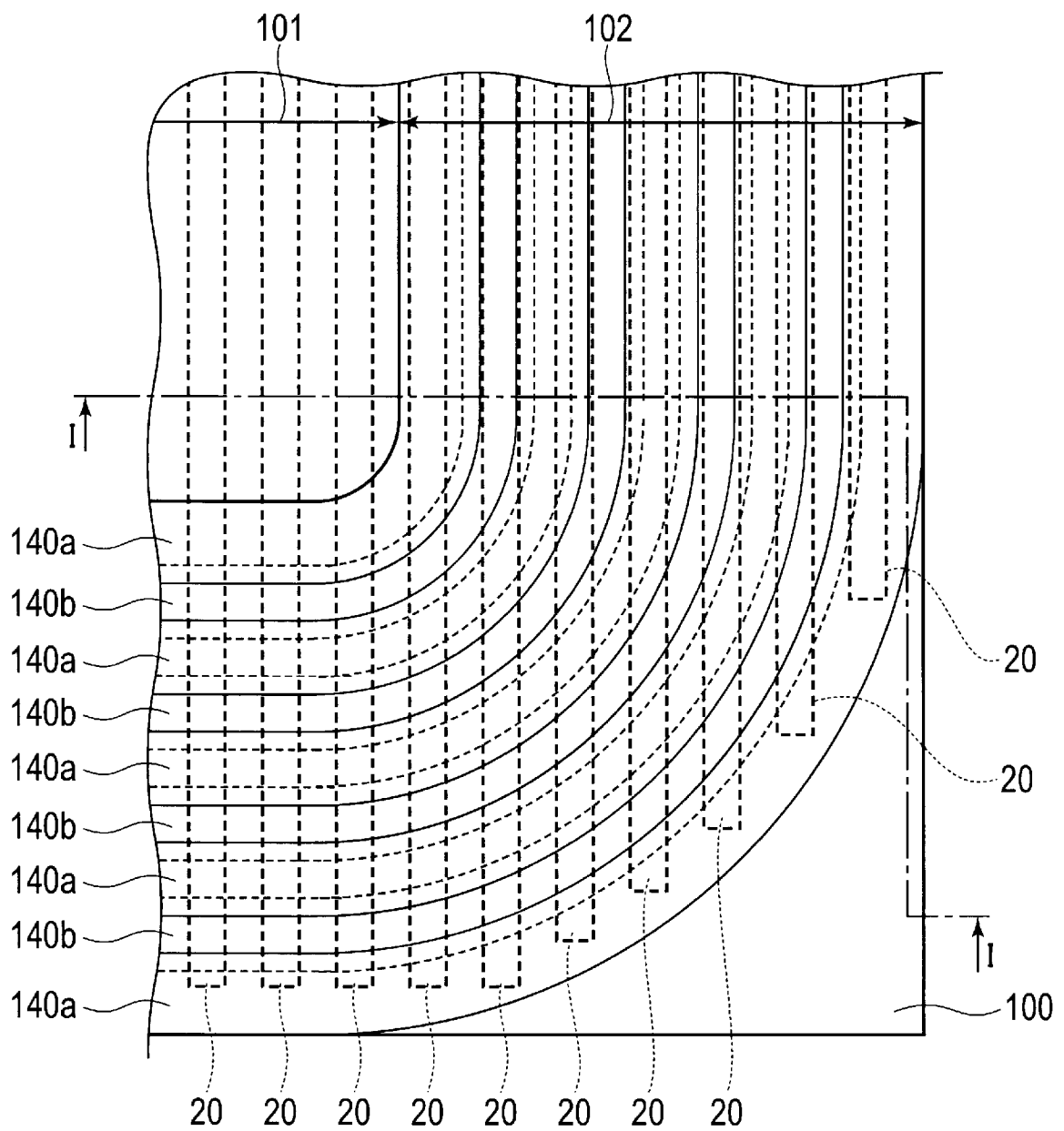
[請求項7] 平面視で前記導電体の配置されるピッチが一定ではないことを特徴とする請求項 1 に記載の半導体装置。

[請求項8] 前記外周領域において表面電位が前記第 1 の半導体領域の電位分布と一致するように、前記コンデンサ群に含まれる前記コンデンサの数や配置されるピッチを調整して前記表面電位が前記第 2 の主電極と前記終端電極との間で分圧されていることを特徴とする請求項 1 に記載の半導体装置。

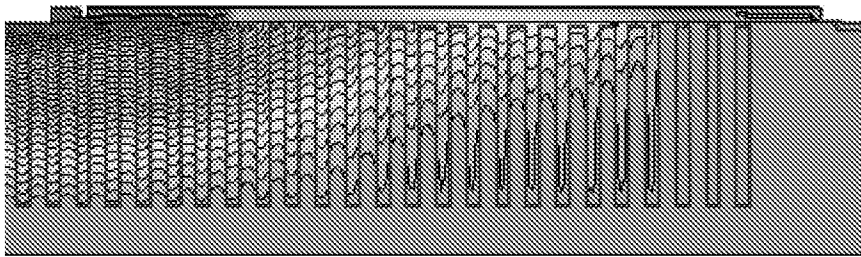
[図3]



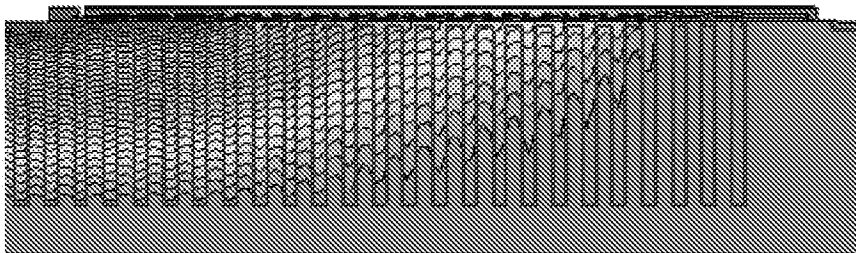
[図4]



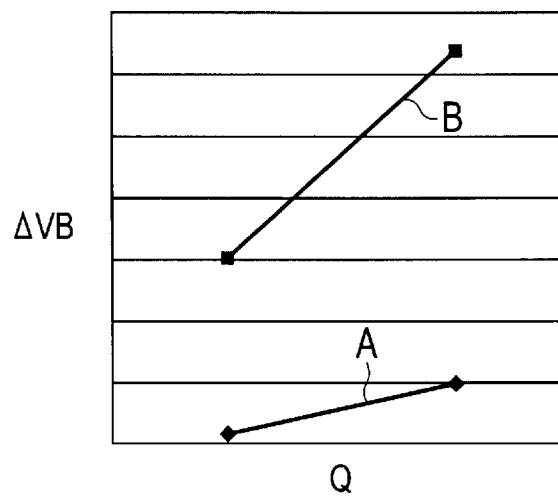
[図5]



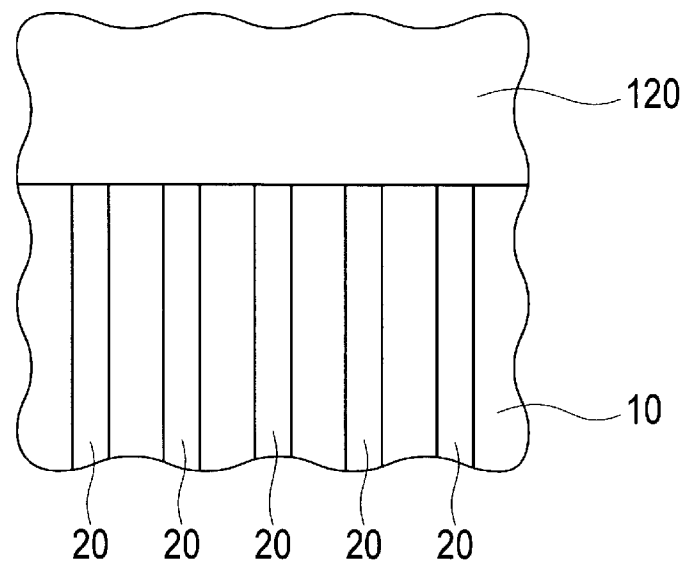
[図6]



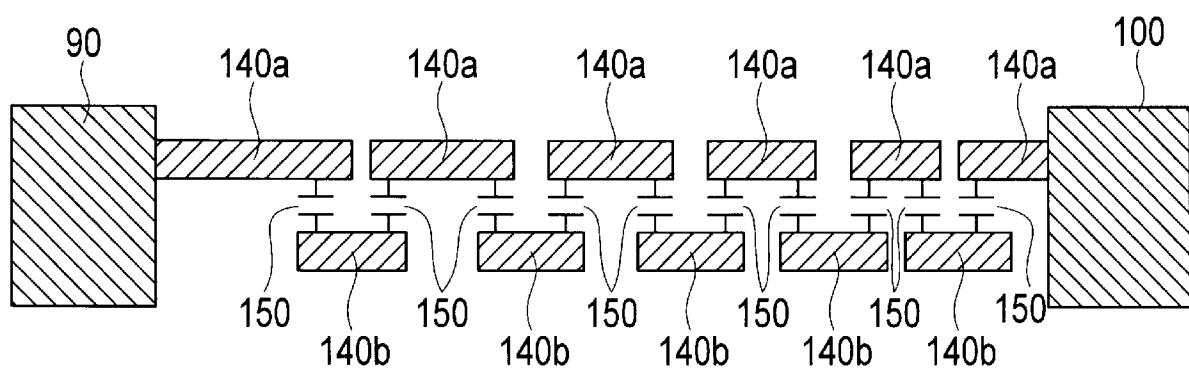
[図7]



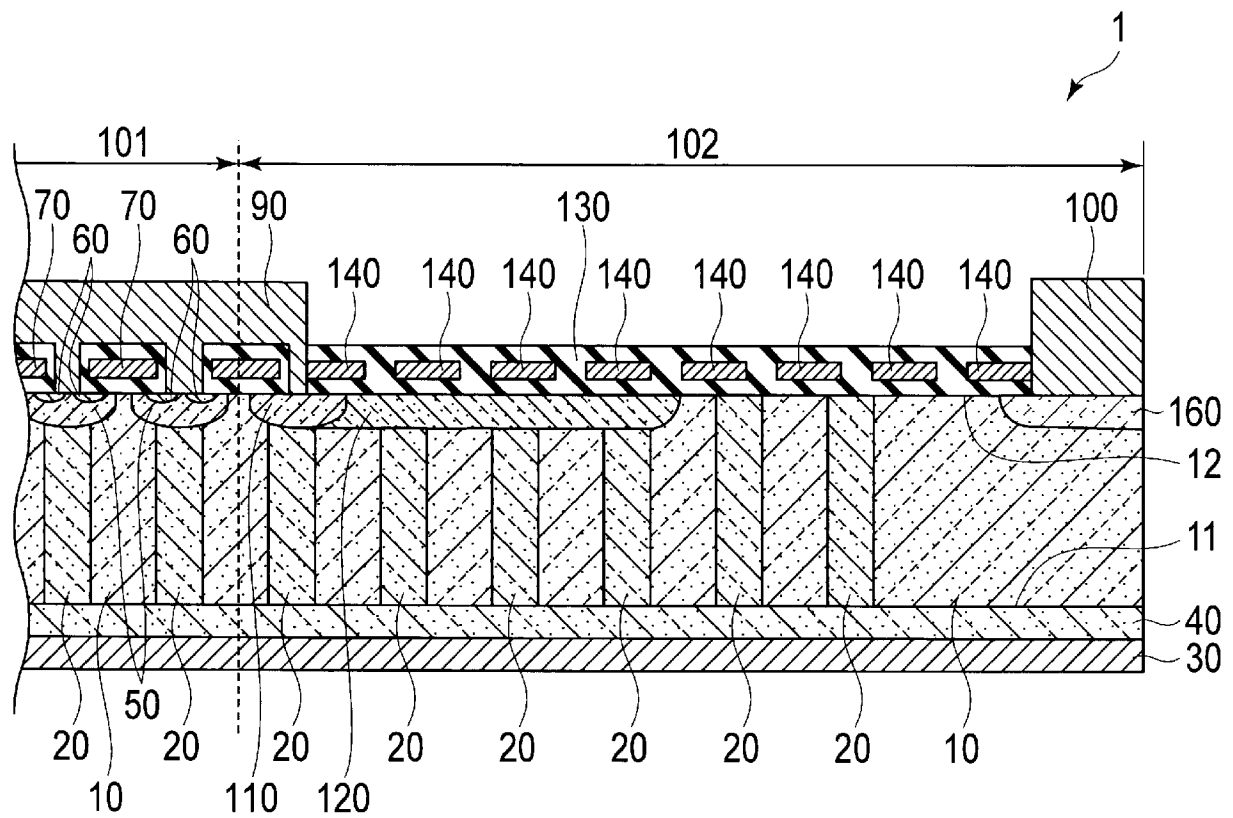
[図8]



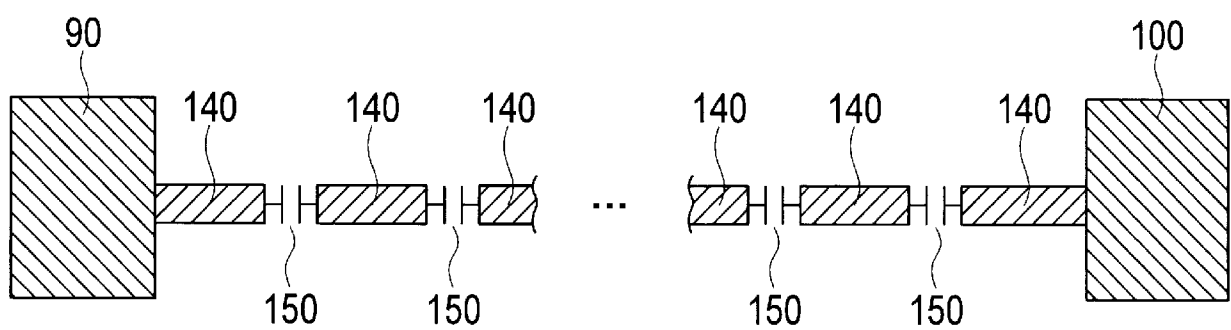
[図9]



[図10]



[圖11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/083404

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/06(2006.01)i, H01L29/41(2006.01)i, H01L29/78(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/06, H01L29/41, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2014-3233 A (Toshiba Corp.), 09 January 2014 (09.01.2014), paragraphs [0013] to [0043]; fig. 1 & US 2013/0341751 A1 paragraphs [0022] to [0051]; fig. 1A to B & US 2014/0284756 A1 & US 8759938 B2 & CN 103515438 A	1, 4 5, 7-8 2
X Y A	JP 2014-3200 A (Renesas Electronics Corp.), 09 January 2014 (09.01.2014), paragraphs [0073] to [0096], [0119] to [0125], [0137] to [0145], [0152] to [0153]; fig. 1 to 7, 30 to 31, 37 to 39, 41 to 42 (Family: none)	1, 3-4, 6 5, 7-8 2

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
17 February 2016 (17.02.16)

Date of mailing of the international search report
01 March 2016 (01.03.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/083404

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2012-142336 A (Renesas Electronics Corp.), 26 July 2012 (26.07.2012), paragraphs [0155] to [0158]; fig. 35 & US 2012/0161231 A1 paragraphs [0276] to [0281]; fig. 35 & US 8796787 B2 & US 2014/0312418 A1 & US 2015/0155378 A1 & EP 2472584 A2 & EP 2884541 A1 & CN 102569357 A	5
Y	JP 2010-245281 A (Mitsubishi Electric Corp.), 28 October 2010 (28.10.2010), paragraphs [0054] to [0066]; fig. 16 to 17 & US 2010/0252904 A1 paragraphs [0077] to [0089]; fig. 16 to 17 & US 2015/0194482 A1 & DE 10 2010 011 258 A1 & CN 101859769 A & KR 10-2010-0111235 A	7-8

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L29/06(2006.01)i, H01L29/41(2006.01)i, H01L29/78(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L29/06, H01L29/41, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2014-3233 A（株式会社東芝）2014.01.09, 段落[0013]-[0043], 図1 & US 2013/0341751 A1, 段落[0022]-[0051], 図1A-B & US 2014/0284756 A1 & US 8759938 B2 & CN 103515438 A	1, 4 5, 7-8 2

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

17.02.2016

国際調査報告の発送日

01.03.2016

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

早川 朋一

5 F

9733

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2014-3200 A (ルネサスエレクトロニクス株式会社) 2014.01.09, 段落[0073]-[0096], [0119]-[0125], [0137]-[0145], [0152]-[0153], 図 1-7, 30-31, 37-39, 41-42 (ファミリーなし)	1, 3-4, 6 5, 7-8 2
Y	JP 2012-142336 A (ルネサスエレクトロニクス株式会社) 2012.07.26, 段落[0155]-[0158], 図 35 & US 2012/0161231 A1, 段落[0276]-[0281], 図 35 & US 8796787 B2 & US 2014/0312418 A1 & US 2015/0155378 A1 & EP 2472584 A2 & EP 2884541 A1 & CN 102569357 A	5
Y	JP 2010-245281 A (三菱電機株式会社) 2010.10.28, 段落[0054]-[0066], 図 16-17 & US 2010/0252904 A1, 段落[0077]-[0089], 図 16-17 & US 2015/0194482 A1 & DE 10 2010 011 258 A1 & CN 101859769 A & KR 10-2010-0111235 A	7-8