



**URZĄD
PATENTOWY
PRL**

Patent tymczasowy dodatkowy
do patentu nr ———

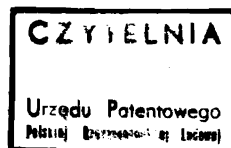
Int. Cl.³ G06F 11/00

Zgłoszono: 82 12 10 (P. 239475)

Pierwszeństwo: 82 06 13 54 Międzynarodowe
Targi Poznańskie, Poznań

Zgłoszenie ogłoszono: 83 10 24

Opis patentowy opublikowano: 1985 12 30



Twórcy wynalazku: Jan Poręba, Janusz Karbowski, Stefan Mikołajewski

Uprawniony z patentu tymczasowego: Politechnika Wrocławska,
Wrocław (Polska)

Sposób i układ do rejestracji odstępów czasowych między zdarzeniami

Przedmiotem wynalazku jest sposób i układ do rejestracji odstępów czasowych między zdarzeniami, przeznaczony zwłaszcza do rejestracji odstępów czasowych między błędami transmisji danych lub między zakłóceniami impulsowymi w miernictwie cyfrowym.

Znany jest sposób rejestracji błędów transmisji danych z publikacji w „Budavox Telecommunication Review” nr 3-4/1969, str. 31-40 opisany w artykule Varga A. pt. „Equipment for the Statistical Analysis of Errors on Data Transmission Circuits”. Znany sposób polega na zapisie impulsów błędów oraz impulsów podstawy czasu na dwóch ścieżkach taśmy magnetycznej w czasie trwania pomiaru stopy błędów. Następnie po zakończeniu pomiaru i odczytaniu sygnałów z taśmy magnetycznej poddaje się te sygnały konwersji kodowej i rejestruje się sygnały błędów na papierowej, perforowanej taśmie.

W znanym sposobie rejestracji błędów zaznacza się bloki bezbłędne na taśmie papierowej, a w blokach błędnych dodatkowo pozycje błędnych elementów informacji; ten sposób zapisu informacji ma bezpośredni wpływ na ilość zużycia taśmy. Informacja z taśmy papierowej może być poddana obróbce statystycznej na EMC.

Niedogodnością znanego sposobu jest konieczność wykorzystywania dwóch nośników informacji: taśmy magnetycznej i taśmy papierowej, przy czym duże jest zużycie tych nośników. Ponadto rejestracja na taśmie magnetycznej wymaga skomplikowanych układów sterujących zapisem i odczytem informacji, a szczególnie układów stabilizacji szybkości przesuwu taśmy.

Sposób rejestracji odstępów czasowych między zdarzeniami według wynalazku polegający na detekcji zdarzeń i sygnalizowaniu ich występowania impulsami, wykorzystaniu sygnału podstawy czasu oraz perforowaniu informacji na taśmie papierowej charakteryzuje się tym, że w liczniku zlicza się liczbę impulsów sygnału podstawy czasu, a w momencie pojawienia się impulsu w sygnale wystąpienia zdarzenia, wpisuje się stan licznika do buforowej pamięci za pomocą trzech sygnałów sterujących wpisem informacji ze sterującego członu, który jest sterowany impulsami sygnału wystąpienia zdarzenia.

Po wpisaniu stanu licznika do buforowej pamięci licznik zeruje się impulsem sygnału adresu wpisu ze sterującego członu, a informację z buforowej pamięci przepisuje się do rejestru za pomocą sygnałów sterujących odczytem informacji i sygnałów sterujących pracą rejestru ze sterującego

członu. Następnie przekazuje się informację znak po znaku za pomocą sygnałów sterujących pracą rejestru do perforatora taśmy papierowej. Z wyjścia perforatora podaje się sygnał o jego gotowości do sterującego członu, a pracą perforatora steruje się sygnałem blokady ze sterującego członu.

Układ do rejestracji odstępów czasowych między zdarzeniami według wynalazku, posiadający detektor zdarzeń i perforator taśmy papierowej, charakteryzuje się tym, że sygnał wystąpienia zdarzenia z wyjścia detektora jest podany na wejście sterującego członu, a sygnał podstawy czasu z detektora jest doprowadzony do wejścia binarnego licznika. Wyjście licznika jest połączone z buforową pamięcią, połączoną następnie poprzez rejestr z perforatorem papierowej taśmy, którego zezwalające wyjście jest połączone z drugim wejściem sterującego członu. Wyjścia sterującego członu są połączone: z kasującym wejściem licznika, z trzema wejściami buforowej pamięci: wejściem wpisu, wejściem dostępu i adresu pamięci, z wejściami taktującym i bramkującym rejestru oraz z blokującym wejściem perforatora.

Sterujący człon układu według wynalazku składa się z generatora impulsów prostokątnych, którego wyjście jest połączone z układem wytwarzania sygnałów sterujących odczytem oraz z układem wytwarzania sygnałów sterujących wpisem, na którego drugie wejście jest podany sygnał o wystąpieniu zdarzenia. Na trzech wyjściach układu wytwarzania sygnałów sterujących wpisem są wytwarzane sygnały: sygnał dostępu adresu wpisu do pamięci, sygnał wpisu i sygnał adresu wpisu, spełniający funkcję kasowania licznika i sterowania licznikiem adresu wpisu i wejściem zliczającym „w przód” rewersyjnego licznika kontroli zajętości pamięci. Drugie wejście licznika — zliczające „wstecz” jest połączone z wyjściem sygnału adresu odczytu układu wytwarzania impulsów sterujących odczytem oraz z wejściem sterującym licznika adresu odczytu.

Natomiast z wyjścia rewersyjnego licznika sygnał informujący o jego stanie zero jest podany na wejście układu współpracy z perforatorem, na którego drugie wejście jest podany sygnał gotowości z perforatora. Z pierwszego wyjścia układu współpracy z perforatorem jest podany sygnał blokady do perforatora, natomiast z drugiego wyjścia tego układu jest podawany zmodyfikowany sygnał gotowości na wejście licznika znaków oraz równolegle na wejście funkтора iloczynu logicznego. Na wyjściu tego funkтора jest uzyskiwany taktujący sygnał, sterujący pracą rejestru. Na drugie wejście funkтора jest podawany sygnał otrzymywany z wyjścia układu wytwarzania sygnałów sterujących odczytem, na którego wejście są podawane następujące sygnały: sygnał stanu „jeden” z licznika znaków, będący bramkującym sygnałem rejestru, drugi sygnał stanu „zero” licznika znaków, który jest podawany również na wejście układu współpracy z perforatorem.

Sygnał odczytu z wyjścia układu wytwarzania sygnałów sterujących odczytem jest podany na wejście funkтора zanegowanego iloczynu logicznego, z którego wyjścia otrzymuje się sygnał dostępu do pamięci, podawany na wejście dostępu buforowej pamięci, przy czym na drugie wejście tego funkтора jest podany sygnał wpisu z układu wytwarzania sygnałów sterujących wpisem. Sygnał wpisu jest również podany na wejściu wpisu buforowej pamięci.

Układ wytwarzania sygnałów sterujących wpisem ma wyjście dostępu adresu wpisu, z którego sygnał jest podany na pierwsze bramkujące wejście adresu wpisu układu bramkowania adresów oraz poprzez funkтора negacji na drugie bramkujące wejście adresu odczytu układu bramkowania adresów oraz równolegle na wejście dostępu adresu odczytu układu wytwarzania sygnałów sterujących odczytem. Wyjście adresowe licznika wpisu jest połączone z wejściem adresu wpisu układu bramkowania adresów. Wyjście adresowe licznika adresu odczytu jest połączone z wejściem adresu odczytu układu bramkowania adresów, z którego adresowego wyjścia jest wysyłany sygnał adresu na adresowe wejście buforowej pamięci.

Zaletą stosowania sposobu i układu według wynalazku jest rejestracja odstępów czasowych między zdarzeniami, którymi mogą być błędy lub zakłócenia impulsowe — sposób ten pozwala na otrzymanie pełnej statystycznej informacji o analizowanych zdarzeniach.

Korzystnym skutkiem stosowania sposobu i układu do rejestracji odstępów czasowych między zdarzeniami według wynalazku jest wykorzystywanie tylko jednego rodzaju nośnika informacji w postaci perforowanej taśmy papierowej. Zużycie taśmy jest zminimalizowane i może być około 10-krotnie mniejsze w porównaniu ze stosowaniem układu, znanego ze stanu techniki. Zalety techniczne układu wynikają z wyeliminowania nośnika informacji w postaci taśmy magnetycznej wymagającej skomplikowanych układów sterowania.

Przedmiot wynalazku jest przedstawiony w przykładzie realizacji na rysunku, na którym fig. 1 przedstawia schemat blokowy układu do rejestracji odstępów czasowych między błędami transmisji danych, a fig. 2 — schemat blokowy sterującego członu.

Układ do rejestracji odstępów czasowych między błędami transmisji danych składa się z detektora wystąpienia zdarzenia, którym jest miernik 1 stopy błędów, z którego wyjścia sygnał **Iz** podstawy czasu jest podawany na wejście binarnego licznika 2, a z drugiego wyjścia miernika 1 sygnał **Ib** wystąpienia zdarzenia, polegającego na wystąpieniu błędu, jest podany na wejście sterującego członu 3. Wyjście binarnego licznika 2 jest połączone z buforową pamięcią 4, a następnie przez rejestr 5 z perforatorem 6 papierowej taśmy, z którego zezwalającego wyjścia sygnał **Ig** gotowości jest podany na drugie wejście sterującego członu 3. Z wyjść sterującego członu 3 są wyprowadzone następujące sygnały: sygnał **Iaw** adresu wpisu, podany na wejście kasujące licznika 2, sygnał **Id** dostępu do buforowej pamięci 4, sygnał **Iw** wpisu i sygnał **Ia** adresu słów podane do buforowej pamięci 4.

Z wyjść sterującego członu 3 są także wyprowadzone sygnały sterowania pracą rejestru 5: sygnał **It** taktujący pracą rejestru 5 i sygnał **Ip** bramkujący pobieranie informacji z buforowej pamięci 4 lub przesuwanie tej informacji w rejestrze 5.

Ze sterującego członu 3 podaje się także blokujący sygnał **Ip** na wejście blokujące perforatora 6. Sterujący człon 3 składa się z generatora 7 impulsów prostokątnych, którego wyjście jest połączone z układem 8 wytwarzania sygnałów sterujących wpisem do buforowej pamięci 4 i z układem 9 wytwarzania sygnałów sterujących odczytem z buforowej pamięci 4.

Na drugie wejście układu 8 jest podany sygnał **Ib** błędu z miernika 1 stopy błędów, a na jego trzech wyjściach są wytwarzane odpowiednie sygnały.

Sygnał **Iaw** adresu wpisu, sterujący licznikiem 10 adresu wpisu, wejściem zliczającym „w przód” rewersyjnego licznika 11 kontroli zajętości buforowej pamięci 4 oraz spełniający funkcję kasowania licznika 2.

Sygnał **Idw** dostępu adresu wpisu do buforowej pamięci 4 jest podany na pierwsze bramkujące wejście **W1** adresu wpisu układu 12 bramkowania adresów oraz przez funktor 13 negacji — na drugie bramkujące wejście **W2** adresu odczytu układu 12 oraz równolegle na wejście **Wd** dostępu adresu odczytu układu 9 wytwarzania sygnałów sterujących odczytem.

Sygnał **Iw** wpisu do buforowej pamięci 4 jest podany na wejście wpisu tej pamięci 4 i równocześnie na wejście funkтора 14 zanegowanego iloczynu logicznego, na którego drugie wejście jest podany sygnał **Io** odczytu z wyjścia układu 9 wytwarzania sygnałów sterujących odczytem, a sygnał **Id** z wyjścia funkтора 14 jest podany na wejście dostępu do buforowej pamięci 4.

Z wyjścia układu 9 jest podawany sygnał **Iao** adresu odczytu na wejście licznika adresu odczytu oraz na wejście zliczające „wstecz” rewersyjnego licznika 11, którego wyjście informujące o stanie „zero” tego licznika 11 jest podane na wejście układu 16 współpracy z perforatorem 6, na którego wejście jest podany sygnał **Ig** gotowości z perforatora 6, a z pierwszego wyjścia układu 16 jest podany sygnał **Ip** blokady do perforatora 6. Natomiast z drugiego wyjścia układu 16 jest podawany zmodyfikowany sygnał **Ik** gotowości na wejście licznika 17 znaków oraz równolegle na wejście funkтора 18 iloczynu logicznego, na którego wyjściu jest uzyskiwany taktujący sygnał **It**, sterujący pracą rejestru 5, a na drugie wejście funkтора 18 jest podany sygnał otrzymany na wyjścia **Wb** układu 9 wytwarzania sygnałów sterujących odczytem.

Na wejście układu 9 są podawane sygnały: sygnał stanu „jeden” z licznika 17 znaków, będący bramkującym sygnałem **Ir** rejestru 5 oraz drugi sygnał **Ao** stanu „zero” licznika 17 znaków, który jest podany również na wejście **W16** układu 16 współpracy z perforatorem 6.

Wyjście adresowe licznika 10 adresu wpisu jest połączone z wejściem **Ww** adresu wpisu układu 12 bramkowania adresów, a wyjście adresowe licznika 15 adresu odczytu jest połączone z wejściem **Wo** adresu odczytu tegoż układu 12, z którego adresowego wyjścia jest wysyłany sygnał **Ia** adresu na wejście adresowe buforowej pamięci 4.

Sposób rejestracji odstępów czasowych między błędami transmisji danych według wynalazku polega na wykorzystaniu sygnału **Ib** błędów oraz sygnału **Iz** podstawy czasu z miernika 1 stopy błędów.

W liczniku 2 zlicza się liczbę impulsów sygnału **Iz** podstawy czasu, a w momencie pojawienia się w sygnale **Ib** impulsu wystąpienia błędu wpisuje się stan licznika 2 do buforowej pamięci 4 za

pomocą trzech sygnałów **Iw**, **Id** i **Ia** sterujących wpisem informacji ze sterującego członu 3, sterowanego impulsami sygnału **Ib** wystąpienia błędu. Po wpisaniu stanu licznika 2 następuje jego zerowanie impulsem sygnału **Iaw** adresu wpisu ze sterującego członu 3, a informację z buforowej pamięci 4 przepisuje się do rejestru 5 za pomocą sygnałów **Id** oraz **Ia** sterujących odczytem informacji i sygnałów **It** oraz **Ir**, sterujących pracą rejestru 5 ze sterującego członu 3, a następnie przekazuje się informację znak po znaku za pomocą sygnałów **It**, **Ir**, sterujących pracą rejestru 5 do perforatora 6 taśmy papierowej. Z wyjścia perforatora 6 podaje się sygnał o gotowości perforatora 6 do sterującego członu 3, a pracą perforatora steruje się sygnałem **Ip** blokady ze sterującego członu 3. Sposób i działanie układu do rejestracji odstępów czasowych między błędami transmisji danych przebiega następująco.

Przed rozpoczęciem pomiaru zeruje się wszystkie liczniki układu. Od momentu rozpoczęcia pomiaru licznik 2 zlicza impulsy sygnału **Iz** podstawy czasu z miernika 1 stopy błędów. W chwili pojawienia się impulsu sygnału błędu **Ib**, podanego do wejścia sterującego członu 3, na wejściach tego członu 3 wystąpią impulsy w sygnałach: w sygnale **Iw** wpisu i w sygnale **Id** dostępu do buforowej pamięci 4, które są podane na wejście buforowej pamięci 4.

Sygnały **Iw**, **Id** oraz **Ia** adresu słów buforowej pamięci 4 spowodują przepisanie stanu licznika 2 do buforowej pamięci 4. Następnie sygnałem **Iaw** ze sterującego członu 3 licznika 2 jest kasowany i rozpoczyna zliczanie od początku. Impulsy sygnału **Iaw** są zliczane w liczniku 10 adresu wpisu i powodują zmianę tego adresu oraz zliczane „w przód” w rewersyjnym liczniku 11 kontroli zajętości pamięci.

Przesłanie sygnału **Ia** adresu z licznika 10 adresu wpisu na wejście adresowe buforowej pamięci 4 umożliwia sygnał **Idw** dostępu adresu wpisu podany na wejście **W1** układu 12 bramkowania adresów.

Zanegowany sygnał **Idw**, podany na wejście **W2** układu 12 bramkowania adresów umożliwia przekazanie sygnału **Ia** adresu licznika 15 adresu odczytu przez układ 12 bramkowania adresów na wejście adresowe buforowej pamięci 4.

Zanegowany sygnał **Idw** umożliwia powstawanie impulsu w sygnale **Io** odczytu oraz impulsu w sygnale **Iao** adresu odczytu, gdy licznik 17 znaków w stanie „jeden”. Licznik 17 znaków jest sterowany zmodyfikowanym sygnałem **Ik** gotowości perforatora 6 z układu 16 współpracy z perforatorem 6. Ten zmodyfikowany sygnał **Ik** gotowości umożliwia również uzyskanie przez funkter 18 iloczynu logicznego sygnału **It** taktującego pracą rejestru 5. Sygnał **Io** odczytu, sygnał **Ia** adresu i sygnał **It** taktowania rejestru 5 umożliwiają przepisanie informacji z buforowej pamięci 4 do rejestru 5.

Rejestr 5 umożliwia zapisywanie informacji z buforowej pamięci 4 oraz przesuwanie znaków informacji, a wybór tych czynności jest sterowany sygnałem **Ir** bramkowania rejestru.

Znaki informacji z wyjścia rejestru 5 są podawane na wejście perforatora 6 taśmy papierowej.

Impulsy sygnału **Iao** adresu odczytu są zliczane w liczniku 15 adresu odczytu i powodują zmianę tego adresu oraz zliczanie „wstecz” w rewersyjnym liczniku 11 kontroli zajętości pamięci. Proces odczytu informacji z buforowej pamięci 4 powtarza się aż do wyzerowania stanu rewersyjnego licznika 11. Gdy nastąpi to wyzerowanie, sygnał z jego wyjścia informujący o jego stanie „zero”, podawany na wejście układu 16 współpracy z perforatorem 6 oraz sygnał **Ao** z wyjścia licznika 17 znaków spowoduje blokadę impulsów sygnału **Ig** gotowości z perforatora 6 w układzie 16 współpracy z perforatorem 6 i zatrzymanie perforatora 6 sygnałem **Ip** blokady. Uruchomienie perforatora 6 nastąpi wówczas, gdy nowa informacja zostanie wpisana do buforowej pamięci 4 i rewersyjny licznik 11 zaliczy impuls sygnału **Iaw** adresu wpisu.

Z a s t r z e ż e n i a p a t e n t o w e

1. Sposób rejestracji odstępów czasowych między zdarzeniami, polegający na detekcji zdarzeń i sygnalizowaniu ich występowania impulsami, wykorzystaniu sygnału podstawy czasu oraz perforowaniu informacji na taśmie papierowej, **znamienny tym**, że zlicza się w liczniku (2) liczbę impulsów sygnału (**Iz**) podstawy czasu, a w momencie pojawienia się w sygnale (**Ib**) impulsu wystąpienia zdarzenia, wpisuje się stan licznika (2) do buforowej pamięci (4) za pomocą trzech sygnałów (**Iw**), (**Id**) i (**Ia**) sterujących wpisem informacji ze sterującego członu (3), który jest

sterowany impulsami sygnału (**Ib**) wystąpienia zdarzenia, po czym licznik (**2**) zeruje się impulsami sygnału (**Iaw**) adresu wpisu ze sterującego członu (**3**), a informację z buforowej pamięci (**4**) przepisuje się do rejestru (**5**) za pomocą sygnałów (**Id**) oraz (**Ia**), sterujących odczytem informacji i sygnałów (**It**). (**Ir**), sterujących pracą rejestru (**5**) ze sterującego członu (**3**), a następnie przekazuje się informację znak po znaku — za pomocą sygnałów (**It**), (**Ir**), sterujących pracą rejestru (**5**) — do perforatora (**6**) taśmy papierowej, z którego wyjścia podaje się sygnał (**Ig**) o gotowości perforatora (**6**) do sterującego członu (**3**), a pracę perforatora (**6**) steruje się sygnałem (**Ip**) blokady ze sterującego członu (**3**).

2. Układ do rejestracji odstępów czasowych między zdarzeniami posiadający detektor zdarzeń i perforator taśmy papierowej, **znamienny tym**, że sygnał (**Ib**) wystąpienia zdarzenia z wyjścia detektora (**1**) jest podany na wejście sterującego członu (**3**), a sygnał (**Iz**) podstawy czasu z detektora (**1**) jest doprowadzony do wejścia binarnego licznika (**2**), którego wyjście jest połączone z buforową pamięcią (**4**), połączoną następnie poprzez rejestr (**5**) z perforatorem (**6**) papierowej taśmy, którego zezwalające wyjście jest połączone z drugim wejściem sterującego członu (**3**).

3. Układ według zastrz. 2, **znamienny tym**, że wyjścia sterującego członu (**3**) są połączone z kasującym wejściem licznika (**2**), z trzema wejściami buforowej pamięci (**4**) wejściem wpisu, wejściem dostępu i adresu pamięci, taktującym i bramkującym wejściem rejestru (**5**) oraz z blokującym wejściem perforatora (**6**).

4. Układ według zastrz. 2, **znamienny tym**, że sterujący człon (**3**) składa się z generatora (**7**) impulsów prostokątnych, którego wyjście jest połączone z układem (**9**) wytwarzania sygnałów sterujących odczytem oraz z układem (**8**) wytwarzania sygnałów sterujących wpisem, na którego drugie wyjście jest podany sygnał (**Id**) o wystąpieniu zdarzenia, a na jego trzech wyjściach jest wytwarzany sygnał (**Idw**) dostępu adresu wpisu do pamięci, sygnał (**Iw**) wpisu, sygnał (**Iaw**) adresu wpisu, spełniający funkcję kasowania licznika (**2**), sterowania licznikiem (**10**) adresu wpisu i wejściem zliczającym „w przód” rewersyjnego licznika (**11**) kontroli zajętości pamięci (**4**), a drugie wejście tegoż licznika (**11**) zliczające „wstecz” jest połączone z wyjściem sygnału adresu (**Iao**) odczytu układu (**9**) wytwarzania impulsów sterujących odczytem oraz z wejściem sterującym licznika (**15**) adresu odczytu, natomiast sygnał z wyjścia rewersyjnego licznika (**11**) informujący o jego stanie zero jest podany na wejście układu (**16**) współpracy z perforatorem (**6**), na którego drugie wejście jest podany sygnał (**Ig**) gotowości z perforatora (**6**), a z pierwszego wyjścia układu (**16**) jest podany sygnał (**Ip**) blokady do perforatora (**6**), natomiast z drugiego wyjścia układu (**16**) jest podawany zmodyfikowany sygnał gotowości (**Ik**) na wejście licznika (**17**) znaków oraz równolegle na wejście funkora (**18**) iloczynu logicznego, na którego wyjściu jest uzyskiwany taktujący sygnał (**It**), sterujący pracą rejestru (**5**) a na drugie wejście funkora (**18**) jest podawany sygnał otrzymany z wyjścia (**W6**) układu (**9**) wytwarzania sygnałów sterujących odczytem, na którego wejścia jest podawany sygnał stanu „jeden” z licznika (**17**) znaków, będący bramkującym sygnałem (**Ir**) rejestru (**5**), drugi sygnał (**Ao**) stanu „zero” licznika (**17**), który jest podany również na wejście (**W16**) układu (**16**) współpracy z perforatorem (**6**) natomiast sygnał (**Io**) odczytu z wyjścia układu (**9**) jest podany na wejście funkora (**14**) iloczynu logicznego, z którego wyjścia otrzymuje się sygnał (**Id**) dostępu do pamięci, podawany na wejście dostępu buforowej pamięci (**4**), przy czym na drugie wejście funkora (**14**) jest podany sygnał (**Iw**) wpisu z układu (**8**) wytwarzania sygnałów sterujących wpisem, który to sygnał (**Iw**) jest podany na wejście wpisu buforowej pamięci (**4**).

5. Układ według zastrz. 4, **znamienny tym**, że układ (**8**) wytwarzania sygnałów sterujących wpisem ma wyjście dostępu adresu wpisu, z którego sygnał (**Idw**) jest podany na pierwsze bramkujące wejście (**W1**) adresu wpisu układu (**12**) bramkowania adresów oraz poprzez funkora (**13**) negacji na drugie bramkujące wejście (**W2**) adresu odczytu układu (**12**) oraz równolegle na wejście (**Wd**) dostępu adresu odczytu układu (**9**) wytwarzania sygnałów sterujących odczytem.

6. Układ według zastrz. 4, **znamienny tym**, że wyjście adresowe licznika (**10**) adresu wpisu jest połączone z wejściem (**Ww**) adresu wpisu układu (**12**) bramkowania adresów, a wyjście adresowe licznika (**15**) adresu odczytu jest połączone z wejściem (**Wo**) adresu odczytu tegoż układu (**12**), z którego adresowego wyjścia jest wysyłany sygnał (**Ia**) adresu na adresowe wejście buforowej pamięci (**4**).

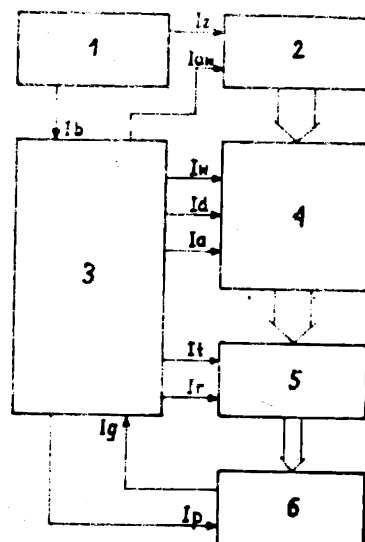


Fig. 1

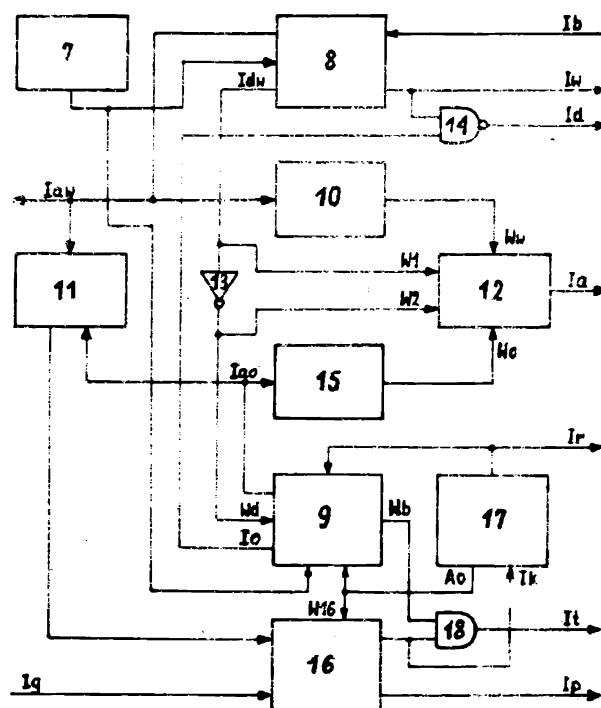


Fig. 2