(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3898770号
(P3898770)
(45)発行日　平成19年3月28日(2007.3.28)　(24)登録日　平成19年1月5日(2007.1.5)

(51)Int.Cl.		F I		
H01L 21/8247	(2006.01)	H01L	29/78	371
H01L 29/788	(2006.01)	H01L	29/78	301G
H01L 29/792	(2006.01)	H01L	21/316	S
H01L 29/78	(2006.01)			
H01L 21/316	(2006.01)			

請求項の数 10　(全 12 頁)

(21)出願番号　特願平5-250642
(22)出願日　平成5年10月6日(1993.10.6)
(65)公開番号　特開平6-196716
(43)公開日　平成6年7月15日(1994.7.15)
審査請求日　平成12年9月25日(2000.9.25)
審判番号　不服2004-13911(P2004-13911/J1)
審判請求日　平成16年7月5日(2004.7.5)
(31)優先権主張番号　959230
(32)優先日　平成4年10月9日(1992.10.9)
(33)優先権主張国　米国(US)

(73)特許権者　591016172
アドバンスト・マイクロ・ディバイシズ・インコーポレイテッド
ＡＤＶＡＮＣＥＤ　ＭＩＣＲＯ　ＤＥＶＩＣＥＳ　ＩＮＣＯＲＰＯＲＡＴＥＤ
アメリカ合衆国、９４０８８－３４５３　カリフォルニア州、サニィベイル、ピィ・オゥ・ボックス・３４５３、ワン・エイ・エム・ディ・プレイス、メイル・ストップ・６８（番地なし）
(74)代理人　100064746
弁理士　深見　久郎
(74)代理人　100085132
弁理士　森田　俊雄

最終頁に続く

(54)【発明の名称】高品質の酸化膜を成長させるための方法

(57)【特許請求の範囲】
【請求項１】
集積回路製造プロセスにおいて、半導体本体の表面上に高品質の酸化膜を成長させるための方法であって、
半導体本体に当該本体の他の部分と比較して高濃度にドーピングされた層を形成するステップと、
前記高濃度にドーピングされた層の上の半導体本体表面の領域上に第１の酸化膜を熱酸化によって成長させるステップと、
前記第１の酸化膜を成長させるステップに続いて、前記第１の酸化膜をアニールするステップと、
第１の酸化膜をアニールするステップに続いて、半導体の表面領域から第１の酸化膜を除去して前記高濃度にドーピングされた層の上で半導体本体の表面領域を露出させるステップと、
半導体本体の露出した表面領域上に第２の酸化膜を熱酸化によって成長させるステップとを含み、
前記第１の酸化膜をアニールするステップは、前記第１の酸化膜の酸化サイクル終了時に酸化雰囲気を不活性雰囲気に変えることによってその場所で９００℃から１０００℃の温度で最大３０分間行なわれる、方法。
【請求項２】
前記第１の酸化膜のアニールステップの後、前記第１の酸化膜を貫通して半導体本体内

へイオン注入するステップをさらに備え、
前記露出ステップは、前記イオン注入ステップの後さらなるアニールステップの前に行なわれる、請求項１に記載の方法。
【請求項３】
集積回路製造プロセスにおいて、半導体本体の表面上に第１の高品質の酸化膜と、第１の高品質の酸化膜よりも厚みが少ない第２の高品質の酸化膜とを設けるための方法であって、
半導体本体の一部に高濃度にドーピングされた層を形成するステップと、
半導体本体を酸化して半導体本体の表面上に第１の酸化膜を形成するステップと、
前記第１の酸化膜を形成するステップに続いて当該第１の酸化膜をアニールするステップと、
第１の酸化膜の第１の領域を除去して前記高濃度にドーピングされた層の上で半導体本体の表面を露出し、第１の酸化膜の残りの領域を残すステップと、
半導体本体を酸化して半導体本体の露出表面上に第２の酸化膜を形成するとともに第１の酸化膜の残りの領域を厚くするステップとを含み、
前記第１の酸化膜をアニールするステップは、前記第１の酸化膜の酸化サイクル終了時に酸化雰囲気を不活性雰囲気に変えることによってその場所で９００℃から１０００℃の温度で最大３０分間行なわれる、方法。
【請求項４】
第１の酸化膜を形成するステップはドライ酸化環境中で行なわれる、請求項３に記載の方法。
【請求項５】
第１の酸化膜を形成するステップはウェット酸化環境中で行なわれる、請求項３に記載の方法。
【請求項６】
前記第１の酸化膜の第１の領域を除去するステップに続いて、第１の酸化膜の残りの領域をエッチングすることによりその厚みを減少させるステップをさらに含む、請求項３に記載の方法。
【請求項７】
集積回路製造プロセスにおいて、一部に他の部分よりも高濃度にドーピングされた層を有する半導体本体の表面上に第１の高品質の酸化膜を形成し、前記高濃度にドーピングされた層上の半導体本体の表面上に第１の高品質の酸化膜よりも厚みの少ない第２の高品質の酸化膜を形成するための方法であって、
半導体本体中の一部に高濃度にドーピングされた層を形成するステップと、
半導体本体を酸化して高濃度にドーピングされた層上の半導体本体の第１の表面領域と、半導体本体の第２の表面領域との上に第１の酸化膜を形成するステップと、
前記第１の酸化膜を形成するステップに続いて当該第１の酸化膜をアニールするステップと、
第１の酸化膜上にフォトレジスト層を堆積するステップと、
フォトレジスト層の領域を除去して高濃度にドーピングされた層上の第１の酸化膜の領域を露出し、フォトレジスト層の残りの領域を残すステップと、
第１の酸化膜の露出した領域を除去して高濃度にドーピングされた層上の半導体本体の表面の一部分を露出し、第１の酸化膜の残りの領域を残すステップと、
フォトレジスト層の残りの領域を除去して第１の酸化膜の残りの領域を露出するステップと、
第１の酸化膜の残りの領域をエッチングすることによりその厚みを減少させるステップと、
半導体本体を酸化して半導体本体の露出した表面部分に第２の酸化膜を形成するとともに第１の酸化膜の残りの領域を厚くするステップとを含み、
前記第１の酸化膜をアニールするステップは、前記第１の酸化膜の酸化サイクル終了時

に酸化雰囲気を不活性雰囲気に変えることによってその場所で９００℃から１０００℃の温度で最大３０分間行なわれる、方法。

【請求項８】

第１の酸化膜を形成する酸化ステップは第１の酸化膜を厚さ約２２５Åに成長させることを含み、第１の酸化膜の除去ステップは緩衝液で処理された酸化物エッチャントを用いて第１の酸化膜を約０．２分間エッチングすることを含む、請求項７に記載の方法。

【請求項９】

第１の酸化膜をエッチングするステップは、５０：１ＨＦを用いて第１の酸化膜の残りの領域を約５０秒間エッチングすることを含む、請求項８に記載の方法。

【請求項１０】

ＥＥＰＲＯＭデバイスに適した集積回路製造プロセスにおいて、高濃度にドーピングされたＮ＋層上の半導体本体の表面上にトンネル酸化膜を成長させ、さらに半導体本体の表面上にトンネル酸化膜よりも厚いゲート酸化膜を成長させるための方法であって、

半導体本体の表面上に酸化膜を成長させるステップと、

半導体本体上の表面上の前記酸化膜を通じて半導体本体の第１の表面領域にＮ型ドーパントを注入して注入物層を形成するステップと、

注入物層をアニールして高濃度にドーピングされたＮ＋層を形成するステップと、

注入物層をアニールするステップに続いて半導体本体上の表面上の前記酸化膜を除去するステップと、

高濃度にドーピングされたＮ＋層上の半導体本体の第１の表面領域と、半導体本体の第２の表面領域との上に熱酸化によって第１の酸化膜を成長させるステップと、

前記第１の酸化膜を成長させるステップに続いて第１の酸化膜をアニールするステップと、

第１の酸化膜上にフォトレジスト層を堆積するステップと、

フォトレジスト層の領域を除去して高濃度にドーピングされたＮ＋層上の第１の酸化膜の領域を露出し、フォトレジスト層の残りの領域を残すステップと、

第１の酸化膜の露出した領域を除去して高濃度にドーピングされたＮ＋層上の半導体本体の表面を露出し、第１の酸化膜の残りの領域を残すステップと、

フォトレジスト層の残りの領域を除去して第１の酸化膜の残りの領域を露出するステップと、

第１の酸化膜の残りの領域をエッチングすることによりその厚みを減少させるステップと、

熱酸化により半導体本体の露出した表面上にトンネル酸化膜を成長させると同時に第１の酸化膜の残りの領域を再び酸化してゲート酸化膜を形成するステップとを含み、

前記第１の酸化膜をアニールするステップは、前記第１の酸化膜の酸化サイクル終了時に酸化雰囲気を不活性雰囲気に変えることによってその場所で９００℃から１０００℃の温度で最大３０分間行なわれる、方法。

【発明の詳細な説明】

【０００１】

【発明の背景】

この発明は、半導体装置の製造に関し、より特定的には半導体基板の表面からの質の高い酸化膜の成長に関する。

【０００２】

【関連技術の説明】

半導体装置の製造において高品質の酸化膜の重要性は強調しすぎることはない。電気的消去可能プログラマブル読出専用メモリ（ＥＥＰＲＯＭ）、ダイナミックランダムアクセスメモリ（ＤＲＡＭ）、およびより最近のものでは高速ベーシック論理機能等の多くの広範囲にわたる、市場に出ている装置が商業化されているのは、高品質で非常に薄い酸化物層の再現性による。

【０００３】

ゲート酸化膜の品質が大きく改良されたのは、改良された洗浄技術、ゲート酸化プロセスへのＨＣＬ／ＴＣＡの付加、ならびにより純度の高いガスおよび化学物質による。ＲＣＡ洗浄技術は、電子装置に関するＩＥＥＥ学会誌、３９巻、３号、１９９２年３月、Ｔ．オーミ（T.Ohmi）らによる「表面の微小な粗さに対する薄い酸化膜の品質の依存」（“Dependence of Thin Oxide Quality on Surface Micro-Roughness ”）に説明されている。他の技術は、ゲート酸化サイクルにおいて、ＨＣＬまたはＴＣＡを伴なう従来のO_2以外の異なるガス（NH_3、ＯＮＯ、$WETO_2$）機構を組入れている。電子装置に関するＩＥＥＥ学会誌、３９巻、４号、１９９２年４月、Ａ．ジョシ（A.Joshi ）らによる「急速熱窒化された薄いゲート酸化膜の電気的特性に対する急速熱再酸化の効果」（“Effect of Rapid Thermal Reoxidation on the Electrical Properties of Rapid Thermally Nitrided Thin-Gate Oxides ”）に説明されるように、単一ウェハＲＴＡゲート処理についてもかなりの前進があった。

【０００４】

これらの技術では、「ゲート酸化膜」をＭＯＳトランジスタのゲートにあるものとして言及しているが、通常いかなる薄い（通常３００Åを下回る）酸化膜にも当てはまる。ＥＥＰＲＯＭプロセス技術の「トンネル」酸化膜は非常に薄いゲート酸化膜であり（通常１００Åを下回る）、非常に高濃度にドープされたＮ＋領域上に成長するといういくぶん変わった要求を伴なう。高濃度にドープされた基板表面から成長した酸化膜は、ほとんどのＭＯＳトランジスタプロセスの場合にそうであるように、より低濃度にドープされた基板から成長したものよりも、一般に品質が劣ると考えられている。

【０００５】

あるプロセスでは、ゲートまたはトンネル酸化膜の成長に先立って、薄い酸化膜の品質とは直接関係のない目的のために、１つまたはそれ以上の犠牲酸化物層を成長させ、除去する。犠牲酸化物層は、種々の目的のために半導体処理において長年用いられてきた。これらは、ウェハから表面汚染物を除去するのに有用であるかもしれず、したがって多くの製造プロセスは酸化物層を成長させてその直後に除去することから始まる。ＬＯＣＯＳプロセスでの窒化物層の堆積前に酸化物層を成長させて用いるのと同様に、エッチストップは酸化物層を用いて効果的に形成されてもよい。酸化物層は窒化物除去のためのエッチストップを与える。窒化物とシリコン基板との間の酸化物層がなければ、窒化物を除去するために用いられるエッチャントはシリコン基板をも破損するだろう。

【０００６】

このような場合のいずれも、犠牲酸化膜には薄い酸化膜の品質とは直接関係のないはっきりした目的があり、通常これはその後除去される。通常このプロセスのシーケンスは不必要なステップを含まない、というのも不必要な各ステップが製造時間およびコストを増し、結果としてできる回路の歩留りを下げるおそれがあるからである。薄い酸化膜を形成する際には注意が払われているが、品質がさらに改良されることが望ましい。

【０００７】

【発明の概要】

この発明は有利に、犠牲酸化膜をアニールし、その後に成長する、ＥＥＰＲＯＭ装置のトンネル酸化膜を含む酸化膜の品質を改良する。

【０００８】

ある実施例において、犠牲酸化膜を成長させ、アニールし、次にエッチングによって表面から除去し、最終酸化膜を成長させる。ＥＥＰＲＯＭプロセスに関するある実施例において、ゲート酸化膜をエッチングによって除去する前にアニールし、その後ＥＥＰＲＯＭセルのためのトンネル酸化膜を成長させる。

【０００９】

【好ましい実施例の詳細な説明】

発明者らは、犠牲酸化膜をアニールし、次に除去することによって、その後に成長する薄い酸化膜の保全性が大きく改良できることを見い出した。犠牲酸化膜をアニールすると犠牲酸化膜下の基板表面の品質が向上する。このアニールされた犠牲酸化膜は除去されるが

、基板表面の品質が改良されることによって、後で成長する酸化膜がかなり高品質になる。さらに、発明者らは、成長しアニールされ、エッチバックされて最終ゲート酸化膜に再酸化される最初のゲート酸化膜は、アニールするステップなしに処理されるよりも高い降伏電圧を示すことを見い出した。

【００１０】

図１－図７は、ＣＭＯＳ　ＥＥＰＲＯＭプロセスのＰウェル活性領域でゲートおよびトンネル酸化膜を形成するための処理工程のシーケンスを示す断面図である。ゲート酸化膜はＮチャネルＭＯＳトランジスタを製造するために用いられ、トンネル酸化膜はＥＥＰＲＯＭセル素子にとって有用な構造を製造するために用いられる。

【００１１】

図１を参照すると、Ｐウェルフィールド酸化膜１０２がＬＯＣＯＳプロセスを用いて基板１００上に形成される。Ｐウェルフィールド酸化膜１０２は、フィールド酸化膜１０２の間のＰウェル活性領域１１０を規定する。次にＫＯＯＩ酸化膜１０４を水蒸気酸化雰囲気において約３００Åの厚さまで成長させる。ＫＯＯＩ酸化膜の成長およびその後の除去は、先のフィールド酸化の間に活性領域周辺のＬＯＣＯＳエッジにできる残りの窒化物のＫＯＯＩリボンを除去するための周知の手順による。（水蒸気酸化雰囲気で窒化シリコンはアンモニアおよび二酸化シリコンに分解する。アンモニアはフィールド酸化膜を通ってシリコン表面に達するまで拡散し、そこで反応して窒化シリコンを形成し、活性領域のエッジのあたりでシリコン／二酸化シリコンインタフェースに窒化物のリボンを残す。）フォトレジストが次に設けられ、Ｐウェル活性領域１１０上のＫＯＯＩ酸化膜１０４の一部を露出するフォトレジスト層１０６を形成するように規定される。

【００１２】

次に、リン１０８が露出したＫＯＯＩ酸化膜を通って、この実施例のＥＥＰＲＯＭプロセスのためのＰウェル活性領域１１０における基板１００に注入される。基板の他の領域はフォトレジスト層１０６によってマスクされる。フォトレジスト層１０６は除去され、表面はＲＣＡ洗浄工程によってアニールするために準備され、図２に示される構造となる。リン注入物層１２０がリンの注入物１０８の多いドーズ量によって作製されている。リンの注入物１０８に露出されたＫＯＯＩ酸化膜が注入によって損傷されたので、ＲＣＡ洗浄工程で注入による損傷を受けたＫＯＯ酸化膜のある部分をエッチングし、結果としてエッチングされたＫＯＯＩ酸化膜１２２はリン注入物層１２０上の領域において約１００Åの厚さとなる。先にフォトレジスト層１０６によって保護され、したがってリンの注入物１０８による損傷を受けていないＫＯＯＩ酸化膜１０４は、実質的にエッチングされず、３００Åの厚さである。

【００１３】

次にアニール動作が行なわれ、リン注入物層１２０を基板１００内に再分布させ、それによってリンの表面濃度を下げ、かつリンの注入物を活性化させて、それによりＰウェルにおいてＮ＋層を形成する。次に、短い酸化物のエッチングによって、ゲート酸化に備えてＰウェルの表面から残りのＫＯＯＩ酸化膜１０４およびエッチングされたＫＯＯＩ酸化膜１２２を除去する。このゲート酸化前のエッチングステップは、１０：１のＨＦに１．７分間浸漬することにより行なわれる。結果としてできる構造は図３に示され、Ｐウェル活性領域表面１４２に重なる酸化膜がないことを表し、先のアニールするステップの間に達成されたドライブインによる、先の活性化されないリンの注入物層１２０よりも深くて広いＮ＋領域１４０の形成をさらに示す。

【００１４】

次に、ゲート酸化膜がＰウェル活性領域１１０上に形成される。これはドライ酸化雰囲気において成長し、結果として図４の構造となる。ゲート酸化膜１６０は約２２５Åの厚さである。ゲート酸化サイクルの終了時に、高温を施しながら酸化炉内の周囲のガスを不活性の（たとえばアルゴン）アニールする雰囲気に変えることによってその場所でのアニールが行なわれる。次にV_{TI}注入物１６２がウェハ全体に注入され、Ｐウェルで後に製造されるべきＭＯＳトランジスタの公称しきい値を設定する。これはＰウェル領域およびＮウ

ェル領域（図示せず）の両方にフォトレジストでマスクしないで施される（すなわち「ブランケット注入」）低濃度の硼素の注入物である。別個のV_{TP}注入物（図示せず）がＮウェル領域（図示せず）に注入され、Ｎウェルで後に製造されるべきＰチャネルＭＯＳトランジスタのしきい値を調整する。これを達成するために、フォトレジスト層が設けられ、Ｎウェルを露出しながらＰウェルを覆うように規定され、Ｎウェルへの注入が行なわれ、Ｐウェルに重なるフォトレジストが除去される。

【００１５】

図示されるＰウェルに影響を与えるプロセスシーケンスを続けて、フォトレジスト層が施され、Ｎ＋層１４０上のゲート酸化膜１６０を露出するように規定され、露出されたゲート酸化膜を除去するエッチングステップがそれに続く。このトンネル開口エッチングは、０．２分間緩衝液で処理された酸化物エッチャントに浸漬することからなり、２２５Åのゲート酸化膜を除去してＮ＋層１４０上の基板表面を露出する。結果としてできる構造は図５に示され、トンネル開口エッチングによって露出されたＮ＋表面１８４を示す。フォトレジスト層１８２はトンネル開口を規定し、Ｎ＋層１４０に重ならないゲート酸化膜１６０の残りを保護する。まだ活性化されていないV_{TI}注入物層１８０がゲート酸化膜１６０の下に示される。V_{TI}注入物層１８０は、Ｎ＋層１４０のドーピング密度がV_{TI}注入物層１８０よりもかなり大きいために、Ｎ＋層１４０に延在するようには示されていない。

【００１６】

次にフォトレジスト層１８２が除去され、さらにエッチング動作が行なわれてゲート酸化膜１６０の厚さを２２５Åから約１４０Åに減じる。これは５０秒間の５０：１のＨＦに浸漬することにより達成され、図６に示される構造となる。エッチングされたゲート酸化膜２００は約１４０Åの厚さである。この５０秒間の浸漬はまた、ゲート酸化膜１６０のエッチングの後にＮ＋表面１８４上に形成されたいかなる自然酸化膜をも除去する役割も果たす。

【００１７】

最後に、酸化ステップで、Ｎ＋層１４０上のＮ＋表面１８４から酸化膜を成長させ、かつ既存のエッチングされたゲート酸化膜２００の厚さを増す。図７を参照すると、トンネル酸化膜２２０は公称８７Åの厚さであり、一方再酸化されたゲート酸化膜２２２はここでは公称１８０Åの厚さである。活性化されていなかったV_{TI}注入物層１８０はトンネル酸化ステップによって活性化されており、結果としてV_{TI}層２２４となる。

【００１８】

このステップに続き、ポリシリコン層が堆積され、ドープされ、種々の周知のプロセスのうちのいずれかに従って、トランジスタ、金属配線および他の特徴を形成するように規定される。特に、ポリシリコンはトンネル酸化膜２２０上に堆積されて、トンネル酸化膜２２０にわたる電界が十分に高ければ、トンネル酸化膜２２０を介して電流を流すＥＥＰＲＯＭセルに有用な構造を形成する。酸化膜の質は、ポリシリコン層が有用な構造にパターン化された直後に測定され得る。

【００１９】

発明者らは、ゲート酸化膜をアニールすることによって後で成長するトンネル酸化膜の質を大きく改良することを見い出した。トンネル酸化膜の質に対する量的効果を調べるために、図１－図７の処理フローを用いて製造されたウェハを使用して研究が行なわれた。図８はゲート酸化膜を成長させるのに用いられる酸化サイクルの概要を含む。示されるように、ゲート酸化は３段階の酸化サイクルとして進み、ＨＣｌゲッタリングが第１および第２段階の間、ならびに第２および第３段階の間に行なわれる。この手順は、存在し得るいかなる移動し易いイオン電荷をもゲッタリングする十分高いＨＣｌ濃度をゲート酸化膜の本体内に与えながら、ＨＣｌをシリコンおよびポリシリコンのインタフェースの両方に近づけない。ＨＣｌがシリコンまたはポリシリコンのインタフェースのいずれに接触しても、そのインタフェースの表面を劣化し、同様にその表面に接触するいずれの酸化物も劣化する。酸化の第３段階の後、アニールが行なわれ、その後傾斜降温が起こる。研究されたゲート酸化膜アニールマトリックスの概要は図９に示される。ベースラインゲートプロセ

スは、ゲート酸化サイクルが完了した後のアニールは含まない。この研究は最高３０分までのアニール時間で９００℃から１０００℃のゲート成長後のアニール温度を調べた。

【００２０】

Ｐウェル表面から成長したトンネル酸化膜の品質に対するゲート酸化膜アニールステップの効果を定めるために、エッジＱＢＤおよび表面ＱＢＤの両方の測定がトンネル酸化膜を用いる構造上で行なわれた。ＱＢＤ（「電荷－降伏」（“charge-to-breakdown ”））は酸化物層の時間依存降伏特性の尺度である。これは被テスト酸化物に定電流を流す（ファウラー－ノルドハイムトンネル（Fowler-Nordheim tunneling ）を介して導通する）ことによって測定され、酸化物が電気的に降伏する時間を記録する。降伏は酸化物内の電荷のトラップによって起こり、それによって酸化物にかかる電界は、酸化物がもはや誘導電圧に耐えられなくなるまで徐々に上昇する。より高い品質の酸化物がある時間にトラップする電荷はより少ないので、したがって降伏するにはより長くかかるであろう。強制電流に測定された降伏にかかる時間を乗じた数学的積は、降伏に先立って酸化物を通る全電荷に対応する電荷値を与える。より高いＱＢＤ値はより高い質の酸化物を反映している。

【００２１】

研究されたＱＢＤテスト構造は、ゲート酸化膜領域において３７０のトンネル開口カットを含むある構造（ＳＵＲＦＡＣＥ　ＱＢＤ構造）を含んだ。すべてのトンネル開口カットはゲート酸化膜の大きな領域内にあるので、ＬＯＣＯＳエッジは各々１．２×１．２μm^2である３７０の個々のトンネル開口カットには達しないであろう。これにより、ＳＵＲＦＡＣＥ　ＱＢＤ構造は酸化物の品質に対して表面の品質のみが有する影響力を調べるにあたって非常に価値あるものとなる。

【００２２】

第２のＱＢＤ構造は、ＬＯＣＯＳエッジおよび表面を併せての影響を調べるために用いられた（ＢＵＬＫ構造）。ＢＵＬＫ構造は、ＬＯＣＯＳエッジによって囲まれる６２．５×１００μm^2のトンネル酸化膜の領域からなる。２つの異なる構造を用いることによって、酸化物の質が表面またはＬＯＣＯＳエッジによってより改良されたかどうかを見分けることができる。

【００２３】

アニール温度およびアニール時間の両方がゲート酸化膜の成長終了後に増加するとＱＢＤが大きく改良されることが認められた（図１０参照）。ＳＵＲＦＡＣＥ　ＱＢＤは、０アニール時間、９００℃で８．５３ｃｏｕｌ／ｃm^2（データ点３００）から、アニール時間３０分、１０００℃で１４．８１ｃｏｕｌ／ｃm^2（データ点３１０）まで増加し、これは７４％の改良である。全体的に、増加したアニール時間およびその温度での時間の両方がＳＵＲＦＡＣＥ　ＱＢＤ特性の改良に大きく寄与している。図１１を参照すると、ＢＵＬＫ　ＱＢＤ（表面＋ＬＯＣＯＳエッジ）の分析もまた、５．８５ｃｏｕｌ／ｃm^2（データ点４００）から９．７４ｃｏｕｌ／ｃm^2（データ点４１０）まで上昇したことを示し、アニールマトリックスで調べられた範囲の間で６６％の増加を表わす。ＢＵＬＫおよびＳＵＲＦＥＣＥ　ＱＢＤ構造の両方がほぼ同じ増加を示しているので、このことはトンネル酸化膜の品質の改良は主にシリコン表面のみに負っていることを意味する。これは、ＢＵＬＫ　ＱＢＤ構造が表面およびエッジ成分の両方を含み、かつＳＵＲＦＡＣＥ　ＱＢＤ構造がシリコン表面成分のみを含むために起こる。その場でのアニールプロセスでのＢＵＬＫ　ＱＢＤおよびＳＵＲＦＡＣＥＱＢＤがほぼ同様に改良されることは、ＬＯＣＯＳ　ＥＤＧＥが酸化物の品質の上昇の主な原因でなかったことを表わす。

【００２４】

ＢＵＬＫ　ＱＢＤパラメータはその場でのアニールプロセスにおいてアニール温度および時間の両方の一次関数であることが認められた。ゲートアニール時間およびゲートアニール温度における線形入力変数が用いられたときに、ＢＵＬＫＱＢＤのモデリングは非常にうまくいった（ｒの二乗＝０．９６）。結果として生じる式

【００２５】

【数１】

ＢＵＬＫ　ＱＢＤ＝０．０２１９（アニール温度）＋
０．０６２（アニール時間）－１４．３３８

【００２６】
が図１２にプロットされ、これよりアニール温度およびアニール時間のいずれの組合わせから結果として生じるＢＵＬＫ　ＱＢＤも予測できる。
【００２７】
最初にトンネル酸化膜領域で成長させたゲート酸化膜は犠牲酸化膜としてのみ働くことに留意することが重要である。したがって、認められたトンネル酸化膜の改良は表面効果のみによるものである、というのはトンネル酸化膜領域における２２５Åの最初のゲート酸化膜１６０はトンネル酸化に先立って完全に除去されるからである。
【００２８】
発明者らは、ゲート酸化膜アニールステップを加えることによって、再酸化されるが犠牲的に除去されないゲート酸化膜の品質を改良することをも見い出した。図７を参照すると、再酸化されたゲート酸化膜２２２を用いて製造されたＮチャネルトランジスタは、最初のゲート酸化膜１６０の成長後に（図４参照）アニールされるとゲート酸化膜降伏電圧における改良を示す。図１３の分析は、再酸化されたゲート酸化膜（図７の参照番号２２２）のBV_{0X}が、アニール条件を０分以内で９００°Ｃのアニールから３０分以内で１０００℃のアニールに変えることによって（最終ゲート酸化膜の厚さ＝１８０Å）１．４ボルトだけ上昇したことを示す。すべてのBV_{0X}構造（すなわちＮウェルおよびＰウェルBV_{0X}、Ｐ－Ｓ／Ｄ　ＥＤＧＥ　BV_{0X}、およびＮ－Ｓ／Ｄ　ＥＤＧＥ　BV_{0X}）は、アニールステップをゲート酸化膜に加えることによって１．０ボルト以上の改良を示した。
【００２９】
出願人らは、ゲート酸化膜アニールステップの結果としてのトンネル酸化膜およびゲート酸化膜の両方の質の改良は、アニールによるゲート酸化膜下の半導体表面の改良によると考える。図１０および１１のデータが示すように、これはエッジに関連する効果とは考えられない。この表面の改良には２つの要因が寄与していると考えられる。第１に、最初のゲート酸化膜下のインタフェースの滑らかさがアニールステップによって高められるかもしれない。第２に、シリコン／酸化膜インタフェースでの界面電荷がアニールステップによって最小にされるかもしれない。いずれの場合にせよ、後に成長する酸化膜または同じ酸化膜の再酸化は結果として実質的により高い品質の酸化膜となる。
【００３０】
説明したその場での処理の技術は、酸化膜の質を改良するためのポリシリコン堆積に先立ついかなる酸化サイクルをも広範囲に含む。この技術はあらゆるＭＯＳプロセス技術に対して大いに応用できる可能性がある。
【００３１】
上述の説明はＣＭＯＳ技術で製造されたＥＥＰＲＯＭ技術に言及しているが、この開示の教示は薄い酸化膜を取入れる他の半導体処理技術に有利に応用できる。たとえば、非常に薄い酸化膜誘電体で製造されるコンデンサを必要とするＤＲＡＭプロセスはこれらの教示から大きく恩恵を受ける。
【００３２】
この発明は上述の実施例に関して説明されたが、この発明はこれらの実施例に必ずしも限定されない。たとえば、この発明は何らかの特定のトランジスタプロセス技術に必ずしも限定されない。さらに、ある処理ステップにおいて変更が行なわれてもよい。たとえば、ここに開示される１０００℃よりもさらに高い温度に単一ウェハＲＴＡをアニールしても、酸化物の品質においてこれまでに達成したものを上回らないにしても同様の量的な改良を達成すると考えられる。このような温度は、炉の熱量から起こる過度の拡散作用なしには炉管では達成され得ず、管がこのような温度に達するのには長い時間がかかる。さらに、ゲート酸化膜は従来はドライ酸化雰囲気で成長させ、ここに開示される実験でもそのよ

うに成長させたが、ここで開示される技術はウエット酸化雰囲気で成長したゲート酸化膜にも有利であると考えられる。したがって、ここで説明される以外の実施例、変更、および改良は、前掲の特許請求の範囲によって規定される発明の範囲から必ずしも除外されない。

【図面の簡単な説明】

【図１】ＣＭＯＳ　ＥＥＰＲＯＭプロセスのＰウェル活性領域においてゲートおよびトンネル酸化膜を形成するための処理工程のシーケンスを示す断面図である。

【図２】ＣＭＯＳ　ＥＥＰＲＯＭプロセスのＰウェル活性領域においてゲートおよびトンネル酸化膜を形成するための処理工程のシーケンスを示す断面図である。

【図３】ＣＭＯＳ　ＥＥＰＲＯＭプロセスのＰウェル活性領域においてゲートおよびトンネル酸化膜を形成するための処理工程のシーケンスを示す断面図である。

【図４】ＣＭＯＳ　ＥＥＰＲＯＭプロセスのＰウェル活性領域においてゲートおよびトンネル酸化膜を形成するための処理工程のシーケンスを示す断面図である。

【図５】ＣＭＯＳ　ＥＥＰＲＯＭプロセスのＰウェル活性領域においてゲートおよびトンネル酸化膜を形成するための処理工程のシーケンスを示す断面図である。

【図６】ＣＭＯＳ　ＥＥＰＲＯＭプロセスのＰウェル活性領域においてゲートおよびトンネル酸化膜を形成するための処理工程のシーケンスを示す断面図である。

【図７】ＣＭＯＳ　ＥＥＰＲＯＭプロセスのＰウェル活性領域においてゲートおよびトンネル酸化膜を形成するための処理工程のシーケンスを示す断面図である。

【図８】図１－７のプロセスに関するゲート酸化サイクルを示す表の図である。

【図９】後に成長するトンネル酸化膜の品質に対するゲート酸化膜アニール条件の影響を調べるために用いられるゲート酸化膜アニールマトリックスを示す表の図である。

【図１０】図９のゲート酸化膜アニールマトリックスで概説される種々の条件に関する表面ＱＢＤ測定をプロットするチャート図である。

【図１１】図９のゲート酸化膜アニールマトリックスで概説される種々の条件に関するバルクＱＢＤ測定をプロットするチャート図である。

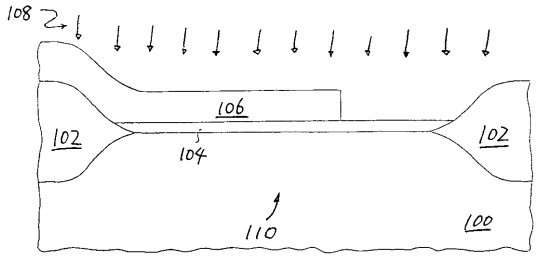
【図１２】バルクＱＢＤ対アニール温度およびアニール時間の実験的に適合された線形モデルをプロットするチャート図である。

【図１３】ＰゲートＢV_{0X}対アニール温度およびアニール時間の実験的に適合された線形モデルをプロットするチャート図である。

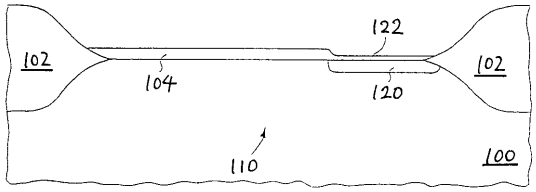
【符号の説明】

１００　基板
１０２　Ｐウェルフィールド酸化膜
１４０　Ｎ＋領域
２２０　トンネル酸化膜
２２２　ゲート酸化膜
２２４　V_{TI}層

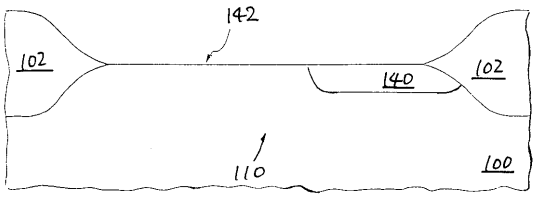
【図１】



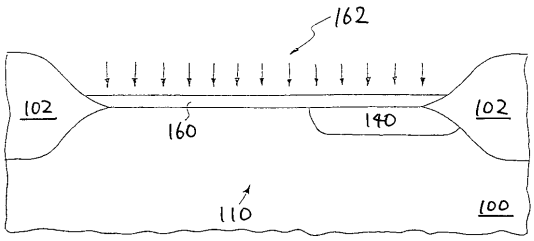
【図２】



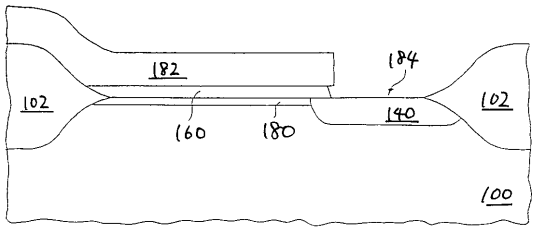
【図３】



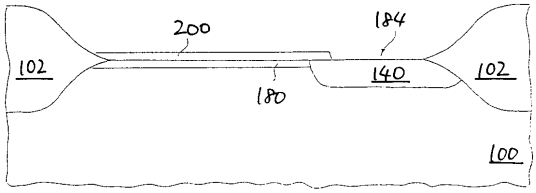
【図４】



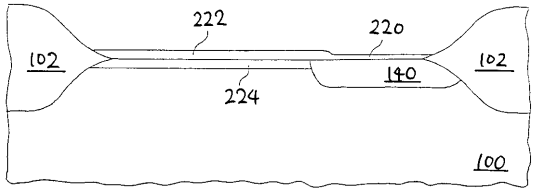
【図５】



【図６】



【図７】



【図８】

ゲート酸化サイクル

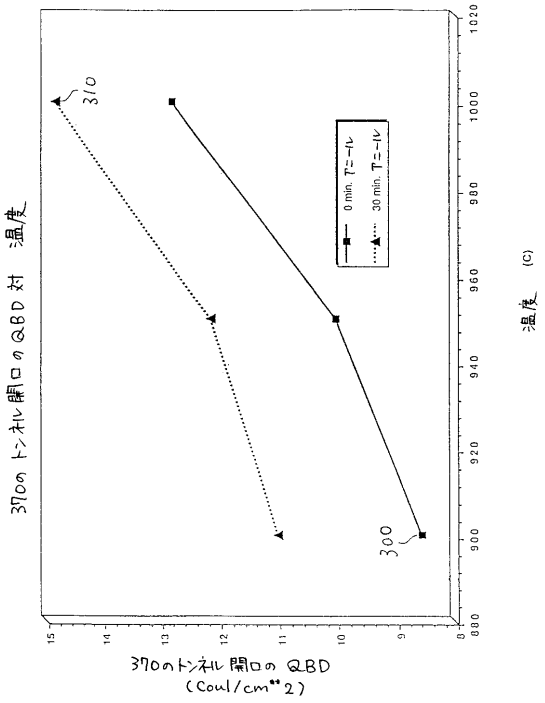
ステップ	ガス	温度	時間
Ⅰ．プッシュ／安定化	低Ｏ２／ＡＲ	８００℃最終温度に傾斜昇温	ｔ＝３０分
Ⅱ．９００℃に傾斜昇温	低Ｏ２／ＡＲ	９００℃最終温度	ｔ＝３０分
Ⅲ．酸化	Ｏ２	９００℃	ｔ＝３２分１５秒
Ⅳ．ＨＣＬゲッタリング	ＨＣＬ／ＡＲ	９００℃	ｔ＝９分
Ⅴ．酸化	Ｏ２	９００℃	ｔ＝２３分４５秒
Ⅵ．ＨＣＬゲッタリング	ＨＣＬ／ＡＲ	９００℃	ｔ＝９分
Ⅶ．酸化	Ｏ２	９００℃	ｔ＝２３分４５秒
Ⅷ．ＡＲアニール	ＡＲ	９００℃	ｔ＝変数図９の表参照
Ⅸ．８００℃に傾斜降温	ＡＲ	８００℃最終温度	ｔ＝変数図９の表参照

【図９】

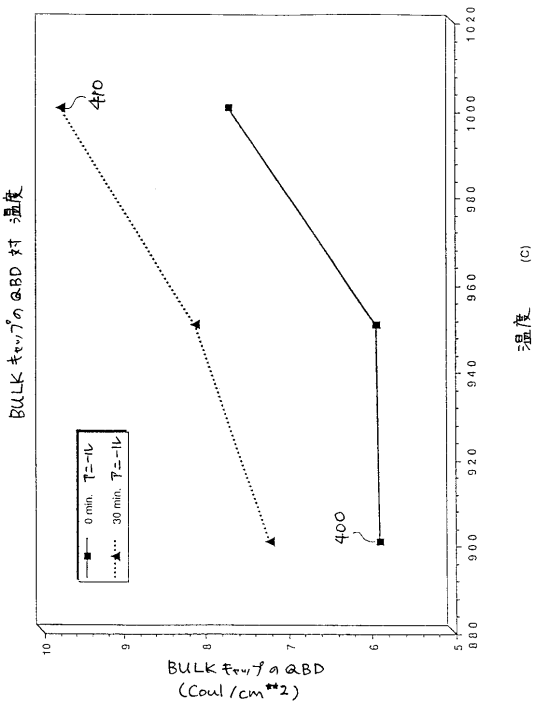
ゲート酸化膜アニールマトリックス

スプリット	成長後のその場でのアニール	傾斜降温
９００－０	Ｔ＝９００℃アニールｔ＝０分	ベースラインプロセス時間＝３０分
９００－３０	Ｔ＝９００℃アニールｔ＝30分	ベースライン傾斜降温と同じ（時間＝３０分）
９５０－０	Ｔ＝９５０℃アニールｔ＝０分	時間＝４５分
９５０－３０	Ｔ＝９５０℃アニールｔ＝30分	時間＝４５分
１０００－０	Ｔ＝1000℃アニールｔ＝０分	時間＝６０分
１０００－30	Ｔ＝1000℃アニールｔ＝30分	時間＝６０分

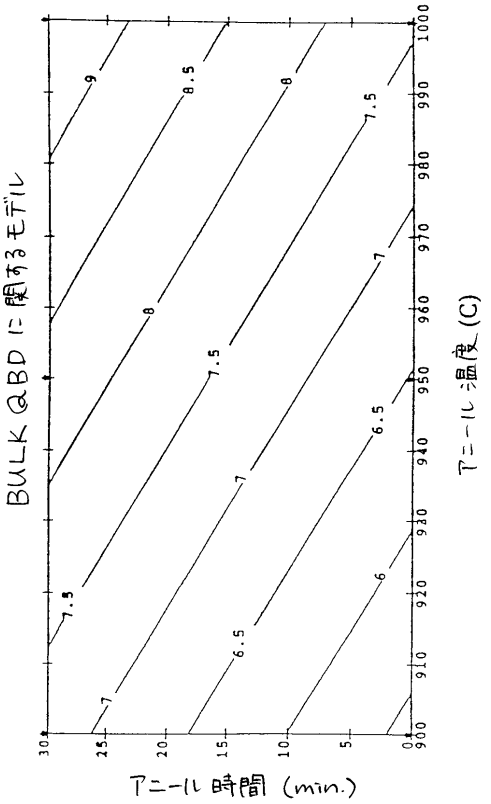
【図１０】



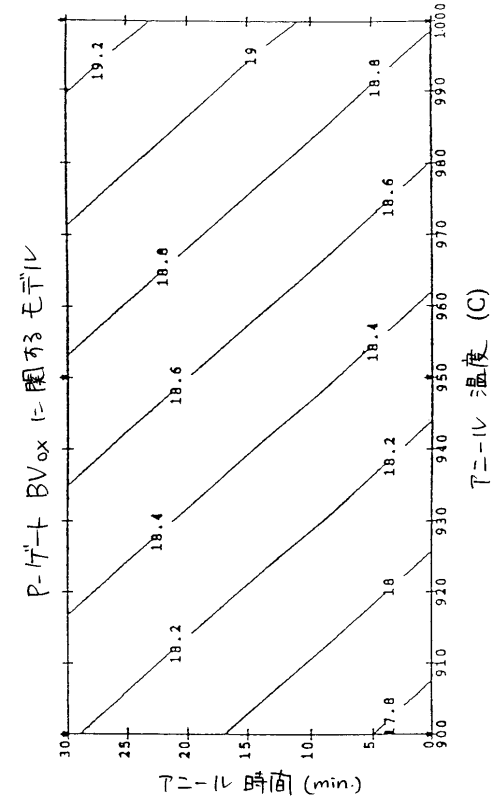
【図１１】



【図１２】



【図１３】



フロントページの続き

(74)代理人 100096781
弁理士 堀井 豊
(72)発明者 マーク・アイ・ガードナー
アメリカ合衆国、７８６６２ テキサス州、レッド・ロック、ハイウェイ・２４５、ピィ・オゥ・ボックス・２９（番地なし）
(72)発明者 ヘンリー・ジム・フルフォード・ジュニア
アメリカ合衆国、７８７４８ テキサス州、オースティン、ウッドシャー・ドライブ、９８０８

合議体
審判長 河合 章
審判官 今井 拓也
審判官 長谷山 健

(56)参考文献 特開昭６１－２２２１７５（ＪＰ，Ａ）
特開平３－１４７３６９（ＪＰ，Ａ）
特開平３－２２４２７３（ＪＰ，Ａ）
特開平４－９３０７９（ＪＰ，Ａ）
特開平４－２３００７７（ＪＰ，Ａ）
特開平２－１５３５７４（ＪＰ，Ａ）
特開平３－１５４３４０（ＪＰ，Ａ）
Ｂ．Ｄ．Ｌｉｕ，ＴＨＩＮ ＯＸＩＤＥ ＧＲＯＷＴＨ ＢＹ ＩＮＴＥＲＭＥＤＩＡＴＥ ＡＮＮＥＡＬＩＮＧ ＰＲＯＣＥＳＳ，Ｓｏｌｉｄ－Ｓｔａｔｅ Ｅｌｅｃｔｒｏｎｉｃｓ，英国，１９９１年2月，Ｖｏｌ．３４，Ｎｏ．２，ｐ．２１７－２１９