

參、發明人：(共 4 人)

姓 名：(中文/英文)

1.拉維 庫瑪 亞利密利

RAVI KUMAR ARIMILLI

2.勞伯 亞蘭 卡諾里

ROBERT ALAN CARGNONI

3.蓋 林 古瑟瑞

GUY LYNN GUTHRIE

4.威廉 約翰 史塔克

WILLIAM JOHN STARKE

住居所地址：(中文/英文)

1.美國德州奧斯汀市史派西布拉許路9221號

9221 SPICEBRUSH DRIVE, AUSTIN, TX 78759, U.S.A.

2.美國德州奧斯汀市西礁岬1904號

1904 KEY WEST COVE, AUSTIN, TX 78746, U.S.A.

3.美國德州奧斯汀市卡拉瓦路1145號

11145 CALAVAR DRIVE, AUSTIN, TX 78726, U.S.A.

4.美國德州圓岩市海灰圓環8612號

8612 SEA ASH CIRCLE, ROUND ROCK, TX 78681, U.S.A.

國 籍：(中文/英文)

1-4.均美國 U.S.A.

肆、聲明事項：

本案係符合專利法第二十條第一項 第一款但書或 第二款但書規定之期間，其日期為： 年 月 日。

本案申請前已向下列國家（地區）申請專利：

1. 美國；2002年12月05日；10/313,320

2.

3.

4.

5.

主張國際優先權(專利法第二十四條)：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 美國；2002年12月05日；10/313,320

2.

3.

4.

5.

主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

主張專利法第二十六條微生物：

國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

熟習該項技術者易於獲得，不須寄存。

等來自處理器內的一事件。通常，例外較中斷頻繁許多。

術語"中斷"與"例外"通常可以互換。對於本揭露之目的，術語"中斷"可同時說明"中斷"與"例外"之中斷。

由於軟體與硬體變得較複雜，中斷之數目與頻率亦戲劇性增加。此等中斷有其必要，因為其可支援多重處理之執行、多重周邊之處置以及各種組件之效能監視。雖然這類特性具有效益，但中斷消耗之計算能力將戲劇性增加，而且凌駕處理器處理速度之改良。因此許多情況下，儘管處理器之時脈頻率增加，但實際上系統效能卻減少。

圖1圖解一傳統處理器核心100。於處理器核心100內，一第一階指令快取記憶體(L1 I-快取記憶體) 102提供指令給指令順序邏輯104，其再將指令發給適當之執行單元108，以便執行。包括一浮點執行單元、一定點執行單元、一支執行單元之執行單元108具有一載入/儲存單元(LSU) 108a。載入/儲存單元(LSU) 108a執行載入與儲存指令，分別將資料從第1階資料快取記憶體(L1 D-快取記憶體) 112載入架構式暫存器110，以及將來自架構式暫存器110之資料儲存於L1 D-快取記憶體112。在L1快取記憶體102與112中所遺漏之資料與指令需求可經由記憶體匯流排116存取系統記憶體118而解析。

如以上之註明，處理器核心100遵循來自外部中斷線114所示之一些來源的中斷。當處理器核心100(例如：經由中斷線114之一)接收一中斷信號時，目前所處理之執行將懸置，且由稱為中斷處置器的一中斷專用軟體處置該中斷。

尤其，中斷處置器透過以載入/儲存單元(LSU) 108a執行儲存與載入指令而保存及復原中斷時所執行之處理的架構式狀態。如此使用載入/儲存單元(LSU) 108a往返系統記憶體118而轉移架構式狀態將阻擋中斷處置器執行其他記憶體存取指令(一超純量電腦情況下為另一處理)，直到狀態轉移完成為止。結果，透過處理器之執行單元保存且於後續復原一處理其架構式狀態將造成中斷之處理與中斷處置器兩者的執行延遲。此種延遲導致處理器整體效能降低。因此，本發明了解：需要一種最小化保存與復原尤其響應中斷之架構式狀態所招致之處理延遲的方法及系統。

【發明內容】

本發明導引至在一資料處理系統的一處理器內用以改良中斷處置之方法及系統。

當處理器接收一中斷信號時，一目前執行之處理的一硬架構式狀態將被載入一或更多專屬之影子暫存器中。硬架構式狀態包括處理器內用執行中斷之處理的基本資訊。進一步保存此硬架構式狀態的一有利方法包括：使用一高頻寬匯流排將硬架構式狀態從影子暫存器直接轉移至一系統記憶體，而沒有使用(因而綁住)正常之載入/儲存路徑方向及處理器執行單元。於硬架構式狀態載入影子暫存器後，中斷處置器可在接收該中斷之處理器或者一多處理器資料處理系統中之另一處理器立即開始運轉。排定執行之下一處理的硬架構係儲存於處理器的一組暫存器中，所以排定之下一處理的硬架構將載入處理器的目前處理硬架構暫存

器，使下一處理可迅速開始執行。

包括快取記憶體內容之處理的軟狀態同時至少部分保存至系統記憶體中。為了加速軟狀態之保存以及防止與執行之中斷處置器的資料碰撞，較佳者，使用先前技術中通常僅在製造商測試期間使用而不在正常作業期間使用之掃描鍊路徑方向從處理器轉移軟狀態。

於中斷處置器完成時，將復原一中斷之處理的硬架構式狀態與軟狀態，使其可在硬架構式狀態載入時立即運轉。

為了提供有可能運轉不同作業系統之其他處理器與其他分割存取，硬與軟狀態將儲存於可供任何處理器與/或分割存取之系統記憶體保留區域中。

從以下詳細撰寫之說明將可明白本發明之上述及額外目的、特性與優勢。

【實施方式】

現在參照圖2，其中描繪一多處理器(MP)資料處理系統201的一示範具體實施例之高階方塊圖。雖然多處理器(MP)資料處理系統201係以一對稱多處理器(SMP)加以描繪，但本發明可用於熟習電腦架構技藝者所知之任何多處理器(MP)資料處理系統，其包括但不限於一非統一記憶體存取(NUMA)多處理器(MP)或者一唯快取記憶體架構(COMA)多處理器(MP)。

根據本發明，多處理器(MP)資料處理系統201包括如處理單元200a至200n所描繪之複數個處理單元200，其係以一互連222耦合，以進行通信。在一較佳具體實施例中，將可了

解：包括處理單元200a與處理單元200n之多處理器(MP)資料處理系統201中每一處理單元200於架構上相似或者相同。處理單元200a係一單一積體電路超純量處理器，如以下進一步之討論，其包括全部由積體電路所形成之各種執行單元、暫存器、緩衝器、記憶體與其他功能單元。在多處理器(MP)資料處理系統201中，每一處理單元200係藉一高頻寬私用匯流排116耦合至各別系統記憶體118，如處理單元200a之系統記憶體118a，以及處理單元200n之系統記憶體118n。

處理單元200a包括一指令順序單元(ISU) 202，其中含有執行單元(EU) 204所執行之提取、排定與發出指令的邏輯。指令順序單元(ISU) 202與執行單元(EU) 204之細節將以圖3中示範之形式給定。

執行單元(EU) 204聯結"硬"狀態暫存器206，其中含有在處理單元200a內執行目前執行之處理所使用的基本資訊。硬狀態暫存器206耦合至下一硬狀態暫存器210，其中含有例如當目前之處理終止或中斷時所執行之下一處理的硬狀態。硬狀態暫存器206同時聯結影子暫存器208，其中含有(或將含有)當目前執行之處理終止或中斷時硬狀態暫存器206其內容的一複本。

每一處理單元200進一步包括一快取記憶體階層212，其包括多階快取記憶體。從系統記憶體118載入之指令與資料所使用的一晶載儲存器可藉像是快取記憶體階層212加以實現，如圖3所示，其包含一第一階指令快取記憶體(L1 I-

快取記憶體) 18、一第一階資料快取記憶體(L1 D-快取記憶體) 20以及一統一之第二階快取記憶體(L2快取記憶體) 16。快取記憶體階層212經由快取記憶體資料路徑218以及根據至少一具體實施例而經由掃描鍊路徑方向214耦合至系統記憶體118的一晶載整合記憶體控制器(IMC) 220。由於掃描鍊路徑218係一串列路徑方向，所以掃描鍊路徑方向214與整合記憶體控制器(IMC) 220間耦合串列轉平行介面216。以下詳述描繪之處理單元200a的組件功能。

現在參照圖3a，其中出示處理單元200之額外細節。處理單元200包括一晶載多階快取記憶體階層，分別包括一統一之第二階(L2)快取記憶體16，以及雙叉之第一階(L1)指令(I)與資料(D)快取記憶體18與20。如熟習此項技藝者所知，快取記憶體16、18與20提供低潛伏存取系統記憶體118之記憶體位置的對應快取記憶體線。

響應指令提取位址暫存器(IFAR) 30中常駐之有效位址(EA)而從L1 I-快取記憶體18中提取指令，以便處理。每一週期中，將有一新的指令提取位址從以下三來源之一載入指令提取位址暫存器(IFAR) 30：分支預測單元(BPU) 36，其提供條件式分支指令所導出之推測的目標路徑與順序位址；總體完成表(GCT) 38，其提供清除與中斷位址；以及分支執行單元(BEU) 92，其提供預測之條件式分支指令解析所導出的非推測位址。分支預測單元(BPU) 36聯結一分支歷史表(BHT) 35，其中記錄用以輔助未來之分支指令預測的條件式分支指令解析。

如指令提取位址暫存器(IFAR) 30內之指令提取位址的一有效位址(EA)係一處理器所產生之資料或指令位址。有效位址(EA)指定一段暫存器以及該段內之偏移資訊。為了存取記憶體之資料(包括指令),有效位址(EA)將透過與資料或指令之實體儲存位置相關聯的一或更多階翻譯而轉換成一實位址(RA)。

於處理單元200內,有效轉實位址之翻譯係由記憶體管理單元(MMUs)及關聯之位址翻譯設施所執行。較佳者,可提供一分離之記憶體管理單元(MMU)供指令存取與資料存取用。圖3a中為了清楚,在圖解中僅顯示一單一記憶體管理單元(MMU) 112連接指令順序單元(ISU) 202。然而,熟習此項技藝者了解:較佳者,其同時包括連接(未出示)至載入/儲存單元(LSUs) 96、98以及管理記憶體存取所需之其他組件。記憶體管理單元(MMU) 112包括資料翻譯後備緩衝器(DTLB) 113與指令翻譯後備緩衝器(ITLB) 115。每一翻譯後備緩衝器(TLB)包含最近參照之頁表登錄,其(資料翻譯後備緩衝器(DTLB) 113)或(指令翻譯後備緩衝器(ITLB) 115)被存取用來將資料或指令之有效位址(EA)翻譯成實位址(RA)。來自指令翻譯後備緩衝器(ITLB) 115之最近參照的有效位址(EA)轉實位址(RA)翻譯將高速緩衝於EOP有效轉實位址表(ERAT) 32中。

當指令提取位址暫存器(IFAR) 30中之有效位址(EA)經有效轉實位址表(ERAT) 32翻譯以及I-快取記憶體目錄34中之實位址(RA)經查找後,如果命中/遺漏邏輯22決定:指令提

取位址暫存器(IFAR) 30中之有效位址(EA)的對應指令之快取記憶體線並未常駐於L1 I-快取記憶體18，則命中/遺漏邏輯22經由I-快取記憶體需求匯流排24將實位址(RA)當作一需求位址提供給L2快取記憶體16。這類需求位址亦可由L2快取記憶體16內之預提取邏輯根據最近存取型樣而產生。響應一需求位址，L2快取記憶體16輸出一指令之快取記憶體線，其經由I-快取記憶體重載匯流排26，而且可能於通過選擇性之預解碼邏輯144後載入預提取緩衝器(PB) 28與L1 I-快取記憶體18。

只要指令提取位址暫存器(IFAR) 30中之有效位址(EA)所指定的快取記憶體線常駐於L1快取記憶體18，則L1 I-快取記憶體18將快取記憶體線同時輸出至分支預測單元(BPU) 36與指令提取緩衝器(IFB) 40。分支預測單元(BPU) 36掃描分支指令之指令快取記憶體線，而且如果存在的話，則預測該條件式分支指令之結果。繼一分支預測後，如以上所討論，分支預測單元(BPU) 36將一推測之指令提取位址配置給指令提取位址暫存器(IFAR) 30，並將該預測傳至分支指令佇列64，當分支執行單元92順序解析條件式分支指令時，可以決定預測精確度。

指令提取緩衝器(IFB) 40暫時緩衝來自L1 I-快取記憶體18之接收指令的快取記憶體線，直到指令之快取記憶體線可由指令翻譯單元(ITU) 42翻譯為止。在處理單元200之圖解具體實施例中，指令翻譯單元(ITU) 42將使用者指令集架構(UISA)指令翻譯成可能具有不同數目之內部ISA (IISA)

指令，其可由處理單元200之執行單元直接執行。這類翻譯可例如藉由參照一唯讀記憶體(ROM)模板中儲存之微碼而執行。在至少某些具體實施例中，使用者指令集架構(UISA)轉內部ISA (IISA)之翻譯導致數目與使用者指令集架構(UISA)指令不同的內部ISA (IISA)指令，與/或長度與對應之使用者指令集架構(UISA)指令不同的內部ISA (IISA)指令。然後，產生之內部ISA (IISA)指令由總體完成表38指派給一指令群組，其成員可不依彼此間之次序加以調度及執行。總體完成表38以至少一關聯之有效位址(EA)，較佳者，以指令群組中最舊指令之有效位址(EA)追蹤尚未執行完畢的每一指令群組。

繼使用者指令集架構(UISA)轉內部ISA (IISA)指令之翻譯後，則根據指令類型，也許不依次序，將指令調度給鎖存44、46、48與50。亦即，將分支指令與其他狀態暫存器(CR)修正指令調度給鎖存44，將定點與載入儲存指令調度給鎖存46或48，以及將浮點指令調度給鎖存50。然後，要求一更名暫存器以暫時儲存其執行結果之每一指令將由狀態暫存器(CR)映射器52、鏈接與計數(LC)暫存器映射器54、例外暫存器(XER)映射器56、多用途暫存器(GPR)映射器58與浮點暫存器(FPR)映射器60中之適當者指派一或更多更名暫存器。

然後，調度之指令被暫時放置於狀態暫存器(CR)發出佇列(CRIQ) 62、分支發出佇列(BIQ) 64、定點發出佇列(FXIQs) 66與68，以及浮點發出佇列(FPIQ) 70與72中一適當者。於

觀察資料之相依性與反相依性後，則將指令從發出佇列62、64、66、68、70與72伺機發給處理單元10之執行單元，以便執行。然而，指令將在發出佇列62-72中維護到該指令執行完畢為止，而且如果有的話，產生之資料將被寫回，以防止有任何指令必需重新發出。

如圖解，處理單元204之執行單元包括：執行狀態暫存器(CR)修正指令的一狀態暫存器(CR)單元(CRU) 90、執行分支指令的一分支執行單元(BEU) 92、執行定點指令的兩定點單元(FXUs) 94與100、執行載入與儲存指令的兩載入/儲存單元(LSUs) 96與98，以及執行浮點指令的兩浮點單元(FPUs) 102與104。較佳者，執行單元90-104各以具有一些管線級的一執行管線加以實作。

於執行單元90-104之一執行期間，一指令將接收來自與該執行單元耦合的一暫存器檔案內之一或更多架構式與/或更名暫存器之運算元(如果有的話)。當執行狀態暫存器(CR)修正或者狀態暫存器(CR)相依指令時，狀態暫存器(CR)單元(CRU) 90與分支執行單元(BEU) 92存取狀態暫存器(CR)暫存器檔案80，在一較佳具體實施例中，該檔案包含一狀態暫存器(CR)與一些狀態暫存器(CR)更名暫存器，個別具有由一或更多位元所形成的一些相異欄位。此等欄位有LT、GT與EQ欄位，分別指示一數值(通常為一指令之結果或運算元)係小於零、大於零或等於零。鏈接與計數暫存器(LCR)暫存器檔案82包含一計數暫存器(CTR)、一鏈接暫存器(LR)以及各別之更名暫存器，分支執行單元(BEU) 92

可據以解析條件式分支，以獲得一路徑位址。同步化之多用途暫存器(GPRs) 84與86用以複製暫存器檔案、儲存由定點單元(FXU) 94與100及載入/儲存單元(LSUs) 96與98所存取及產生之定點與整數值。如同多用途暫存器(GPRs) 84與86可以同步化之暫存器的複製組加以實作的浮點暫存器(FPR)檔案88包含浮點數值，其係浮點單元(FPUs) 102與104之浮點指令執行以及載入/儲存單元(LSUs) 96與98之浮點載入指令執行的結果。

於一執行單元完成一指令之執行後，該執行通知總體完成表(GCT) 38，其係以程式次序排定指令之完成。為了完成由狀態暫存器(CR)單元(CRU) 90、定點單元(FXUs) 94與100或浮點單元(FPUs) 102與104之一所執行的一指令，總體完成表(GCT) 38發信號給執行單元，如果有的話，產生之資料將從指派之更名暫存器寫回適當之暫存器檔案內的一或更多架構式暫存器。然後，將該指令從發出佇列中移除，一旦指令群組內之所有指令均已完成，則將其從總體完成表(GCT) 38中移除。然而，其他指令類型係以不同方式完成。

當分支執行單元(BEU) 92解析一條條件式分支指令而且決定應採用之執行路徑的路徑位址時，該路徑位址將與分支預測單元(BPU) 36所預測之推測路徑位址相比較。如果路徑位址相符，則不需進一步處理。然而，如果計算之路徑位址與預測之路徑位址不相符，則分支執行單元(BEU) 92供應正確之路徑位址給指令提取位址暫存器(IFAR) 30。以

上任一事件都從分支發出佇列(BIQ) 64中移除該分支指令，而且當相同指令群組內之所有其他指令均完成時，則將其從總體完成表(GCT) 38中移除。

繼一載入指令之執行後，藉由執行載入指令而計算之有效位址係以一資料之有效轉實位址表(ERAT)(未圖解)翻譯成一實位址，然後當作一需求位址提供給L1 D-快取記憶體20。此時，載入指令將從定點發出佇列(FXIQ) 66或68中移除，並且放置於載入重排序佇列(LRQ) 114中，直到指示之載入執行為止。如果需求位址在L1 D-快取記憶體20中遺漏，則該需求位址將被放置於載入遺漏佇列(LMQ) 116，其中要求之資料係從L2快取記憶體16擷取，但無法從另一處理單元200或系統記憶體118(如圖2所示)擷取。載入重排序佇列(LRQ) 114檢測互斥之存取需求(例如：讀取而且希望修正)，在互連222結構(如圖2所示)上將傳遞中之載入清除或刪除，而且如果發生一命中，則取消並且重新發出該載入指令。同樣地，儲存指令係利用一儲存佇列(STQ) 110加以完成，繼儲存指令之執行後，用以儲存之有效位址被載入。資料將從儲存佇列(STQ) 110儲存至L1 D-快取記憶體20或L2快取記憶體16，或其兩者。

處理器狀態

一處理器之狀態包括：儲存之資料、指令，以及於一特殊時間之硬體狀態，而且此處將該硬體狀態定義為："硬"或"軟"。"硬"狀態定義為：一處理器從一處理之目前執行點執行該處理之架構上所需的處理器內資訊。相對地，"軟"

狀態定義為：可改良一處理之執行效率但並非達成一架構上正確之結果所需的處理器內資訊。於圖3a之處理單元200中，硬狀態包括像是狀態暫存器檔案(CRR) 80、鏈接與計數器檔案(LCR) 82、多用途暫存器(GPRs) 84與86、浮點暫存器(FPR) 88等使用者等級暫存器以及監督者等級暫存器51之內容。處理單元200之軟狀態同時包括像是L-1 I-快取記憶體18、L-1 D-快取記憶體20之內容、資料翻譯後備緩衝器(DTLB) 113與指令翻譯後備緩衝器(ITLB) 115之位址翻譯資訊等"效能關鍵"資訊；以及像是分支歷史表(BHT) 35與L2快取記憶體16之全部或部分內容等非關鍵資訊。

暫存器

以上說明中，像是多用途暫存器(GPR) 86、浮點暫存器(FPR) 88、狀態暫存器檔案(CRR) 80與鏈接與計數暫存器檔案(LCR) 82等處理單元200之暫存器檔案通常被定義為"使用者等級暫存器"，其中此等暫存器可由具有使用者或監督者特權之所有軟體加以存取。監督者等級暫存器51包括通常由一作業系統在作業系統核心中作為像是記憶體管理、組態與例外處置等作業之暫存器。因此，監督者等級暫存器51通常僅限由具有充分存取許可之一些處理(亦即：監督者等級之處理)加以存取。

如圖3b所描繪，監督者等級暫存器51通常包括：組態暫存器302、記憶體管理暫存器308、例外處置暫存器314與雜項暫存器322，以下將更詳細說明。

組態暫存器302包括一機器狀態暫存器(MSR) 306與一處

理器版本暫存器(PVR) 304。機器狀態暫存器(MSR) 306定義處理器之狀態。亦即，機器狀態暫存器(MSR) 306用以識別於處置一指令中斷(例外)後指令執行應在何處回復。處理器版本暫存器(PVR) 304用以識別處理單元200之特定類型(版本)。

記憶體管理暫存器308包括區塊位址翻譯(BAT)暫存器310。區塊位址翻譯(BAT)暫存器310係軟體控制之陣列，用以儲存晶載之可用區塊位址翻譯。較佳者，存在如IBAT 309與DBAT 311所示之分離的指令與資料區塊位址翻譯(BAT)暫存器。記憶體管理暫存器同時包括段暫存器(SR) 312，當區塊位址翻譯(BAT)翻譯失敗時用以將有效位址(EA)翻譯成虛擬位址(VA)。

例外處置暫存器314包括一資料位址暫存器(DAR) 336、特殊用途暫存器(SPRs) 318與機器狀態保存/復原(SSR)暫存器320。如果一記憶體存取造成像是一調正例外的一例外，則資料位址暫存器(DAR) 316將包含該記憶體存取指令所執行之有效位址。特殊用途暫存器(SPR)用於作業系統所定義之特殊用途，例如：用以識別保留給一第一階例外處置器(FLIH)使用的一記憶體區域。較佳者，系統中的每一處理器具有唯一記憶體區域。一特殊用途暫存器(SPR) 318可由第一階例外處置器(FLIH)當作一暫用暫存器，用以儲存一多用途暫存器(GPR)之內容，該內容可從特殊用途暫存器(SPR) 318載入，以及當作其他多用途暫存器(GPR)用來保存至記憶體的一基底暫存器。狀態保存/復原(SSR)暫存

器320用以保存例外(中斷)時之機器狀態，以及當執行從中斷指令轉回時，用以復原機器狀態。

雜項暫存器322包括：用以維護一天中之時間的一時基(TB)暫存器324、用以減量計數的一衰減計暫存器(DEC)326，以及如果遇到一指定資料位址則引發一斷點的一資料位址斷點暫存器(DABR)328。再者，雜項暫存器322包括一時基中斷暫存器(TBIR)330，於一預定時期後將啟動一中斷。這類時基中斷可與處理單元200上運轉之定期維護常式一起使用。

軟體組織

於像是圖2之多處理器(MP)資料處理系統201的一多處理器(MP)資料處理系統中，多重應用程式可以在可能不同之作業系統下同時運轉。圖4描繪根據本發明之多處理器(MP)資料處理系統201的一示範之軟體組態層圖形。

如圖解，軟體組態包括一超管理員402，其係將多處理器(MP)資料處理系統201之資源分配給多重分割然後協調多重分割內(可能不同之)多重作業系統之執行的監督者軟體。例如，超管理員402可分配處理單元200a、系統記憶體118a的一第一區域及其他資源給作業系統404a操作的一第一分割。同樣地，超管理員402可分配處理單元200n、系統記憶體118n的一第二區域及其他資源給作業系統404n操作的一第二分割。

於一作業系統404控制下，可運轉像是一文字處理器、一試算表、一瀏覽器等多重應用程式406。例如，應用程式406a

至 406x 均在作業系統 404a 之控制下運轉。

通常作業系統 404 與應用程式 406 個別包含多重處理。例如，所示之應用程式 406a 具有多重處理 408a 至 408z。假設：每一處理單元 200 具有一處理所需之指令、資料與狀態資訊，則該處理單元 200 可獨立執行該處理。

中斷處置

現在參照圖 5a 與 5b，其中描繪根據本發明可由像是處理單元 200 的一處理單元用以處置一中斷之示範方法的流程圖。如方塊 502 所示，處理器接收一中斷。此中斷可為一例外(例如：溢位)、一外部中斷(例如：來自一輸入/輸出(I/O)裝置)或者一內部中斷。

於接收中斷時，將保存目前運轉之處理的硬架構式狀態(方塊 504)與軟狀態(方塊 505)。以下將參照圖 6a (硬)與圖 6b (軟)說明根據本發明保存及管理硬與軟狀態之較佳處理的細節。於處理之硬狀態被保存至記憶體後，將執行至少一第一階中斷處置器 (FLIH) 或第二階中斷處置器 (SLIH)，以服務該中斷。

第一階中斷處置器 (FLIH) 係用以接收一中斷後之處理器控制的一常式。當通知有一中斷時，第一階中斷處置器 (FLIH) 藉由讀取一中斷控制器檔案而決定中斷之原因。較佳者，透過使用一向量暫存器而作成此決定。亦即，第一階中斷處置器 (FLIH) 讀取一表單，使一中斷與用以處置該中斷之初始處理的一例外向量位址相匹配。

第二階中斷處置器 (SLIH) 係用以處置來自一特定中斷來

源的一中斷之處理的一中斷相依常式。亦即，第一階中斷處置器 (FLIH) 呼叫用以處置裝置中斷之第二階中斷處置器 (SLIH)，而非裝置驅動器本身。

於圖 5a 中，圓圈 506 內所示步驟係由第一階中斷處置器 (FLIH) 加以執行。如方塊 508 之圖解，較佳者，如以上所述，該中斷係使用一向量暫存器作為唯一識別。然後，取決於接收何種中斷，此一中斷識別將造成處理器跳越至記憶體中的一特殊位址。

如熟習此項技藝者所了解，任何第二階中斷處置器 (SLIH) 均可設置與一輸入/輸出 (I/O) 裝置或另一處理器 (外部中斷) 的一通信程序，或者在作業系統或用以控制中斷之處理器的超管理員控制下執行一組指令。例如，如方塊 510 與 516 所示，一第一中斷可能造成處理器跳越至向量位址 1，導致第二階中斷處置器 (SLIH) A 之執行。如所示，第二階中斷處置器 (SLIH) A 完成中斷之處置，而沒有呼叫任何額外軟體常式。同樣地，如方塊 512、520 與 526 之圖解，跳至向量位址 3 的一分支導致示範之第二階中斷處置器 (SLIH) C 之執行，然後執行屬於 (同時在圖 4 中出示之) 作業系統 404 或超管理員 402 的一或更多指令，以服務該中斷。替代上，如方塊 514 與 518 所示，如果該中斷指導處理器跳越至向量位址 2，則執行示範之第二階中斷處置器 (SLIH) B。然後第二階中斷處置器 (SLIH) B 呼叫 (方塊 524) 發出該中斷之裝置的一裝置驅動器。

繼方塊 516、524 或 526 後，該處理透過頁連接符號 "A" 進

行至圖 5b 之方塊 528。一旦服務該中斷後，則如方塊 528 與 530 所示，解析第二階中斷處置器 (SLIH)，以及重新設置第一階中斷處置器 (FLIH)，以反應中斷之執行與完成。其後，如方塊 532-536 所示，載入及運轉下一處理。然後該中斷處置之處理終止。

通常藉由處理器之作業系統或者藉由該處理器所屬之電腦系統的超管理員選擇其後運轉何處理 (方塊 532) 以及 (如果一多處理器 (MP) 電腦系統)，則在何處理器上 (方塊 534)。選定之處理可為目前處理器上中斷之處理，或者目前處理器或另一處理器上新的或執行時中斷之另一處理。

如方塊 536 之圖解，一旦選定處理與處理器，則選定之處理器將使用圖 2 所示之下一硬狀態暫存器 210，以新一運轉之處理的狀態加以初始化。下一硬狀態暫存器 210 包含下一 "最熱" 處理之硬架構式狀態。通常，此下一最熱處理係先前中斷而且新回復的一處理。極少見到下一最熱處理係一新處理，而非先前所中斷。

下一最熱處理係確定具有最高執行優先權之處理。該優先權可根據一處理對整體應用程式之關鍵程度、對該處理其結果之需要或者任何其他優先權理由。由於運轉多重處理，所以每一等待回復之處理的優先權時常改變。因此，動態指派更新之優先權位準給硬架構式狀態。亦即，在任何給定之時刻，下一硬狀態暫存器 210 包含來自系統記憶體 118 之連續且動態更新的硬架構式狀態，因而具有下一必需運轉之 "最熱" 處理。

保存硬架構式狀態

在先前技術中，硬架構式狀態係透過處理器核心之載入/儲存單元儲存至系統記憶體，如此將阻擋中斷處置器或另一處理之執行持續若干處理器時脈週期之久。在本發明中，如圖5a方塊504中描繪之保存一硬狀態的步驟係根據圖6a圖解之方法而加速，其係參照圖2中概要圖解之硬體加以說明。

如方塊602之圖解，於接受一中斷時，處理單元200懸置一目前執行之處理的執行。然後如方塊604之圖解，硬狀態暫存器206中儲存之硬架構式狀態被直接複製至影子暫存器208。(替代上，透過以目前硬架構式狀態連續更新影子暫存器208的一處理而使影子暫存器208具有硬架構式狀態的一複本。)當處理單元200檢視硬架構式狀態之影子複本時，其最好非執行中，然後如方塊606之圖解，在整合記憶體控制器(IMC) 220之控制下儲存至系統記憶體118。硬架構式狀態之影子複本係經由高頻寬記憶體匯流排116轉移至系統記憶體118。由於將目前硬架構式狀態之複本儲存至影子暫存器208最多僅花費數時脈週期，所以處理單元200很快可以開始處置該中斷或執行下一處理之"真實工作"。

如以下關於圖10之說明，較佳者，硬架構式狀態之影子複本係儲存於保留給硬架構式狀態用之系統記憶體118內的一特殊記憶體區域中。

保存軟狀態

當一傳統處理器執行一中斷處置器時，中斷之處理的軟

狀態常被污染。亦即，中斷處置器軟體之執行將以中斷處置器使用之資料(包括指令)污染處理器的快取記憶體、位址翻譯設施與歷史表。因此，於處置一中斷後，當中斷之處理回復時，該處理承受指令與資料快取記憶體遺漏增加、翻譯遺漏增加，以及分支錯誤預測增加。這類遺漏與錯誤預測嚴重降低處理效能，直到從處理器清除中斷處置之相關資訊並以該處理之相關資訊重新殖入用以儲存該處理之軟狀態的快取記憶體和其他組件為止。因此，本發明保存及復原一處理之軟狀態的至少一部分，以降低與中斷處置相關聯之效能懲罰。

現在參照圖 6b 以及圖 2 與 3a 中描繪之對應硬體，如方塊 610 之圖解，L1 I-快取記憶體 18 與 L1 D-快取記憶體 20 之整體內容係被保存至系統記憶體 118 的一專屬區域。同樣地，分支歷史表 (BHT) 35 (方塊 612)、指令翻譯後備緩衝器 (ITLB) 115 與資料翻譯後備緩衝器 (DTLB) 113 (方塊 614)、有效轉實位址表 (ERAT) 32 (方塊 616) 以及 L2 快取記憶體 16 (方塊 618) 之內容將保存至系統記憶體 118。

因為 L2 快取記憶體 16 可能相當大(例如：數百萬位元組之大小)，所以將 L2 快取記憶體 16 全部儲存可能就系統記憶體之覆蓋區域與轉移資料所需之時間/頻寬方面均不允許。因此，在一較佳具體實施例中，僅將最近使用 (MRU) 集合的一子集保存於每一全等類別內。

應了解：雖然圖 6b 中圖解具有一處理之軟狀態的一些不同組件之個別保存，但保存之組件數目與保存之組件次序

可依實作而變化，而且可透過硬體模式之位元以軟體加以程式規劃或控制。

因此，雖然中斷處置器常式(或下一處理)執行中，但本發明仍可輸出軟狀態。此種(與中斷處置器之執行無關的)非同步作業可能導致(中斷之處理與中斷處置器的)軟狀態混合。儘管如此，此種資料混合仍可被接受，因為架構式校正不需精確保留軟狀態，以及因為效能改良係藉由在執行中斷處置器時縮短延遲而達成。

再次參照圖2，來自L1 I-快取記憶體18、L1 D-快取記憶體20與L2快取記憶體16之軟狀態係經由快取記憶體資料路徑218傳輸至整合記憶體控制器(IMC) 220，而且像是分支歷史表(BHT)35之其他軟狀態係經由類似之內部資料路徑(未出示)傳輸至整合記憶體控制器(IMC) 220。替代上或此外，在一較佳具體實施例中，至少某些軟狀態之組件係經由掃描鍊路徑方向214傳輸至整合記憶體控制器(IMC) 220。

經由一掃描鍊路徑方向保存軟狀態

基於複雜性，處理器與其他IC通常包括用以促進IC測試之電路。該測試電路包括如電機電子工程師協會(IEEE)標準1149.1-1990"標準測試存取埠及邊界掃描架構"所述的一邊界掃描鍊，此處以引用的方式併入本文中。通常透過一封裝積體電路上之專屬插腳而存取的邊界掃描鍊係提供測試一積體電路組件間之資料的一路徑方向。

現在參照圖7，其中描繪根據本發明的一積體電路700之

方塊圖。較佳者，積體電路700係如圖2之處理單元200之一處理器。積體電路700包含三邏輯組件(邏輯)702、704與706，為了解釋本發明，其中將包含用以儲存處理軟狀態的三記憶體元件。例如，邏輯702可為圖3a中所示之L1 D-快取記憶體20，邏輯704可為有效轉實位址表(ERAT) 32，而邏輯706可為上述L2快取記憶體16的一部分。

於積體電路700之製造商測試期間，一信號係透過掃描鍊邊界細胞708而傳送，較佳者，掃描鍊邊界細胞708為時脈控制之鎖存。由掃描鍊邊界細胞708a輸出的一信號提供給邏輯702的一測試輸入，其進而輸出一信號給掃描鍊邊界細胞708b，接著透過其他邏輯(704與706)傳送該測試信號，直到該信號到達掃描鍊邊界細胞708c為止。因此，其中存在多米諾(Domino)骨牌效應，只有當接收來自掃描鍊邊界細胞708c之預期輸出時，邏輯702-706才算通過測試。

過去，於製造後，將不再使用一積體電路之邊界掃描鍊。然而，本發明利用所述之測試路徑方向作為一路徑方向，以不阻擋快取記憶體/暫存器埠的一方式將軟架構式狀態轉移至圖2之整合記憶體控制器(IMC) 220。亦即，當執行中斷處置器(IH)或下一處理時，軟架構式狀態可藉由使用掃描鍊測試路徑方向從快取記憶體/暫存器輸出，而沒有阻擋下一處理或中斷處置器存取快取記憶體/暫存器。

由於掃描鍊214係一串列路徑方向，圖2圖解之串列轉平行邏輯216將提供平行資料給整合記憶體控制器(IMC) 220，以利將軟狀態適當傳輸至系統記憶體118。在一較佳

具體實施例中，串列轉平行邏輯216同時包括用以識別何資料來自何暫存器/快取記憶體之邏輯。此種識別可藉由包括識別串列資料之前導識別標籤等熟習此項技藝者所知之任何方法。於軟狀態資料轉換成平行格式後，整合記憶體控制器(IMC) 220經由高頻寬記憶體匯流排222將軟狀態傳輸至系統記憶體118。

請注意，該相同之掃描鍊路徑方向可進一步傳輸像是圖2中描繪之影子暫存器208所包含的硬架構式狀態。

第二階中斷處置器(SLIH)/第一階中斷處置器(FLIH)快閃唯讀記憶體

在先前技術系統中，第一階中斷處置器(FLIHs)與第二階中斷處置器(SLIHs)係儲存於系統記憶體，而且於呼叫時殖入快取記憶體階層。在一傳統系統中，初始時從系統記憶體呼叫一第一階中斷處置器(FLIH)或第二階中斷處置器(SLIH)將導致很長之存取潛伏(當快取記憶體中遺漏後，在系統記憶體定位，以及從其中載入第一階中斷處置器(FLIH)/第二階中斷處置器(SLIH))。將第一階中斷處置器(FLIH)/第二階中斷處置器(SLIH)指令與資料殖入快取記憶體會使快取記憶體受到後續處理不需要之資料與指令"污染"。

如圖3a與8a所描繪，為了降低第一階中斷處置器(FLIH)與第二階中斷處置器(SLIH)之存取潛伏以及防止快取記憶體污染，處理單元200將至少某些第一階中斷處置器(FLIH)與第二階中斷處置器(SLIH)儲存於一特殊晶載記憶體(例

如：快閃唯讀記憶體(ROM) 802)中。第一階中斷處置器(FLIH) 804與第二階中斷處置器(SLIH) 806可於製造時燒入快閃唯讀記憶體(ROM) 802，或者於製造後藉由熟習此項技藝者熟知之快閃程式規劃技術加以燒入。當(圖2描繪之)處理單元200接收一中斷時，第一階中斷處置器(FLIH)/第二階中斷處置器(SLIH)係從快閃唯讀記憶體(ROM)802直接存取，而非從系統記憶體118或快取記憶體階層212存取。

第二階中斷處置器(SLIH)之預測

正常下，當處理單元200中發生一中斷時，將呼叫一第一階中斷處置器(FLIH)，然後第一階中斷處置器(FLIH)呼叫一第二階中斷處置器(SLIH)，以完成中斷之處置。至於呼叫何第二階中斷處置器(SLIH)以及第二階中斷處置器(SLIH)如何執行將取決於包括傳遞之參數、條件狀態等各種因子而變化。例如於圖8b中，呼叫第一階中斷處置器(FLIH) 812導致呼叫與執行第二階中斷處置器(SLIH) 814，進而導致執行位於點B之指令。

因為程式之行為可以重覆，所以經常有一中斷發生多次的情況，因而執行相同的第一階中斷處置器(FLIH)與第二階中斷處置器(SLIH)(例如：第一階中斷處置器(FLIH) 812與第二階中斷處置器(SLIH) 814)。結果，本發明了解：藉由預測中斷處置處理之控制圖可能重覆，以及沒有先執行第一階中斷處置器(FLIH)而推測執行第二階中斷處置器(SLIH)部分，可加速後續發生的一中斷之中斷處置。

為了促進中斷處置預測，處理單元200配備一中斷處置器

預測表 (IHPT) 808，圖 8c 中將更詳細加以顯示。中斷處置器預測表 (IHPT) 808 包含多重第一階中斷處置器 (FLIH) 之基底位址 816 (中斷向量) 的一清單。中斷處置器預測表 (IHPT) 808 儲存分別與每一第一階中斷處置器 (FLIH) 位址 816 相關聯的一組一或更多第二階中斷處置器 (SLIH) 位址 818，其先前已由關聯之第一階中斷處置器 (FLIH) 加以呼叫。當以一特定第一階中斷處置器 (FLIH) 之基底位址存取中斷處置器預測表 (IHPT) 808 時，預測邏輯 820 選擇與中斷處置器預測表 (IHPT) 808 中特定第一階中斷處置器 (FLIH) 位址 816 相關聯的一第二階中斷處置器 (SLIH) 位址 818 作為可能被該特定第一階中斷處置器 (FLIH) 呼叫的第二階中斷處置器 (SLIH) 位址。請注意，雖然圖解中預測之第二階中斷處置器 (SLIH) 位址可為如圖 8b 中圖解之第二階中斷處置器 (SLIH) 814 的基底位址，但該位址亦可為第二階中斷處置器 (SLIH) 814 內之起始點 (例如：點 B) 其後續一指令的位址。

預測邏輯 820 使用預測特定第一階中斷處置器 (FLIH) 將呼叫何第二階中斷處置器 (SLIH) 的一演算法。在一較佳具體實施例中，此演算法挑選與特定第一階中斷處置器 (FLIH) 相關聯的一最近使用之第二階中斷處置器 (SLIH)。在另一較佳具體實施例中，此演算法挑選與特定第一階中斷處置器 (FLIH) 相關聯的一歷史上最常呼叫之第二階中斷處置器 (SLIH)。上述之任一較佳具體實施例可在要求預測第二階中斷處置器 (SLIH) 時運轉該演算法，或者連續更新預測之第二階中斷處置器 (SLIH)，並將其儲存於中斷處置器預測

表 (IHPT) 808 中。

值得注意的是：本發明與技藝中所知之分支預測方法不同。首先，上述方法造成跳越至一特定中斷處置器，而非根據一分支指令位址。亦即，先前技術中使用之分支預測方法係預測一分支作業之輸出，而本發明係根據一(可能)非分支指令而預測跳越至某特定中斷處置器。如此導引出一第二相異處，亦即：相較於先前技術之分支預測，藉由本發明之主旨的中斷處置器預測可跨越更多程式碼，因為本發明允許略過(像是第一階中斷處置器 (FLIH) 中之)任意指令數，然而，由於一傳統分支預測機構可掃描之指令窗大小原本有限，因此僅准許分支預測略過所預測之分支前面的有限指令數。第三，根據本發明之中斷處置器預測未被限制於先前技術中所知之採用/不採用分支預測的二選一決定。因此，再次參照圖 8c，預測邏輯 820 可從任意數目之歷史第二階中斷處置器 (SLIH) 位址 818 中選擇預測之第二階中斷處置器 (SLIH) 位址 822，而一分支預測方案僅可從一順序之執行路徑與一分支路徑中選擇。

現在參照圖 9，其中圖解根據本發明而預測一中斷處置器的一示範方法之流程圖。當一處理器接收一中斷時(方塊 902)，該中斷所呼叫之第一階中斷處置器 (FLIH) (方塊 904) 以及根據先前執行歷史之中斷處置器預測表 (IHPT) 808 所指示的一預測之第二階中斷處置器 (SLIH) (方塊 906) 同時開始同時間多執行緒 (SMT) 之並行執行。

在一較佳具體實施例中，於接受一中斷時，響應監視該

呼叫之第一階中斷處置器 (FLIH)，將執行跳越至預測之第二階中斷處置器 (SLIH)(方塊 906)。例如，再次參照圖 8 中所示之中斷處置器預測表 (IHPT) 808。當接收中斷時，比較第一階中斷處置器 (FLIH) 與中斷處置器預測表 (IHPT) 808 中儲存之第一階中斷處置器 (FLIH) 位址 816。如果所比較之中斷處置器預測表 (IHPT) 808 中儲存的第一階中斷處置器 (FLIH) 位址 816 與該中斷所呼叫之第一階中斷處置器 (FLIH) 的位址相同，則中斷處置器預測表 (IHPT) 808 提供預測之第二階中斷處置器 (SLIH) 位址 822，而且立即開始從預測之第二階中斷處置器 (SLIH) 位址 822 起始的程式碼執行。

較佳者，已知正確之第二階中斷處置器 (SLIH) 與預測之第二階中斷處置器 (SLIH) 的後續比較係藉由將使用中斷處置器預測表 (IHPT) 808 所呼叫之預測的第二階中斷處置器 (SLIH) 位址 822 係以一預測旗標儲存於包含第一階中斷處置器 (FLIH) 位址之一第二階中斷處置器 (SLIH) 預測暫存器中。在本發明的一較佳具體實施例中，當知道執行如一"跳越"指令之類從第一階中斷處置器 (FLIH) 呼叫一第二階中斷處置器 (SLIH) 之一指令時，該跳越所呼叫之位址將與位於預測暫存器 (並以預測旗標識別為先前所預測且目前執行) 之預測的第二階中斷處置器 (SLIH) 位址 822 相比較。比較來自預測暫存器之預測的第二階中斷處置器 (SLIH) 位址 822 與執行之第一階中斷處置器 (FLIH) 所選擇的第二階中斷處置器 (SLIH)(方塊 910)。如果預測之第二階中斷處置器 (SLIH) 正確，則完成預測之第二階中斷處置器 (SLIH) 的執

行(方塊914)，因而加速中斷之處置。然而，如果第二階中斷處置器(SLIH)係錯誤之預測，則取消預測之第二階中斷處置器(SLIH)的進一步執行，並以執行正確的第二階中斷處置器(SLIH)取代之(方塊916)。

狀態管理

現在參照圖10，其中描繪以圖形圖解系統記憶體中儲存之硬和軟狀態與一示範多處理器(MP)資料處理系統之各種處理器和記憶體分割間之邏輯關係的概念圖。如圖10所示，所有硬架構式狀態及軟狀態係儲存於超管理員402所分配且可供任何分割內處理器加以存取的一特殊記憶體區域中。亦即初始時，超管理員402可配置處理器A與處理器B作為分割X內的一對稱多處理器(SMP)，而處理器C與處理器D被配置以作為分割Y內的一對稱多處理器(SMP)。當執行時，處理器A-D可能中斷，造成處理器A-D個別以上述討論之方式將硬狀態A-D與軟狀態A-D分別儲存至記憶體。有別於先前技術之系統不准許相異分割的處理器存取相同的記憶體空間，任何處理器可以存取任何硬或軟狀態A-D，以回復關聯之中斷的處理。例如，除了其分割內所產生之硬及軟狀態C與D外，處理器D亦可存取硬及軟狀態A與B。因此，任何處理狀態均可由任何分割或處理器加以存取。結果，超管理員402對於分割間之負載平衡可以有很大的自由度與彈性。

軟狀態快取記憶體一致性

如以上所討論，中斷之處理的軟狀態可包括像是圖3a中

圖解之L1 I-快取記憶體18、L2 D-快取記憶體20與L2快取記憶體16的快取記憶體之內容。雖然此等軟狀態係儲存於系統記憶體中，但如以上參照圖6b所述，包含軟狀態之至少某些資料有可能因為其他處理所進行之資料修正而變質。因此本發明提供一種使系統記憶體中儲存之軟狀態保持快取記憶體一致的機構。

如圖11之圖解，系統記憶體118中儲存之軟狀態可被概念化為儲存在"虛擬快取記憶體"中。例如，L2快取記憶體16之軟狀態係於L2虛擬快取記憶體1102中。L2虛擬快取記憶體包含一位址部分，其中包括來自L2快取記憶體16之保存資料1110其每一快取記憶體線的標籤1104與索引1106。同樣地，L1虛擬I-快取記憶體1112包含一位址部分，其中包括來自L1 I-快取記憶體18之保存指令1120的標籤1114與索引1116，而且L1虛擬D-快取記憶體1122包含一位址部分，其中包括來自L1 D-快取記憶體20之保存資料1130其每一快取記憶體線的一標籤1124與索引1126。此等"虛擬快取記憶體"各由整合記憶體控制器(IMC) 220經由互連222加以管理，以維護一致性。

整合記憶體控制器(IMC) 220檢測系統互連222上之每一作業。當檢測一作業要求一快取記憶體線無效時，整合記憶體控制器(IMC) 220以該作業檢測虛擬快取記憶體目錄1132。如果偵測得一檢測命中，則整合記憶體控制器(IMC) 220藉由更新適當之虛擬快取記憶體目錄使系統記憶體118之虛擬快取記憶體線無效。雖然檢測無效有可能要求確切

之位址匹配(亦即：標籤與索引均匹配)，但實作一精確之位址匹配要求整合記憶體控制器(IMC) 220具有大量電路(尤其用於64位元與更大位址)。因此，在一較佳具體實施例中，檢測無效並不精確，因而選定之最大有效位元(MSBs)與檢測位址相匹配的所有虛擬快取記憶體線將無效。使用哪些最大有效位元(MSBs)決定虛擬快取記憶體記憶體中哪些快取記憶體線無效係實作之特性，而且可經由模式位元以軟體控制或硬體控制。因此，可對標籤或只有標籤的一部分(像是10個最大有效位元)檢測位址。此種虛擬快取記憶體之無效性方案具有使依舊包含有效資料之快取記憶體線無效的缺點，但此缺點可藉由提供一種非常快速維護虛擬快取記憶體線一致性之方法達成效能優勢而加以超越。

製造等級測試

於製造期間，積體電路遵循各式各樣之作業條件下的一連串測試。其中一測試為使用上述IEEE 1149.1測試掃描鍊以一測試資料流測試所有積體電路之內部閘的一資料測試。在先前技術中，當積體電路安裝於一作業環境後，這類測試程式將不再運轉，部分係因為在大部分作業環境中將積體電路連接至用以執行測試的一測試固定物並不合理，以及因為這類測試防止積體電路進行預計之用途。例如，於處理器100中，硬架構式狀態必須經由載入/儲存執行路徑加以保存以及從系統記憶體復原，以防止於測試期間完成實際工作，而引進重大潛伏。

然而，由於保存及復原硬架構式狀態之時間非常短，較

佳者，僅數時脈週期，所以儘管一處理器被安裝於一正常作業環境(例如：一電腦系統)中，該處理器依舊可使用上述硬架構式狀態儲存方法例行性運轉一製造等級測試程式。

現在參照圖12，其中描繪根據本發明之製造等級測試程式的一示範方法之流程圖。較佳者，該測試程式係定期運轉。因此，如方塊1202與1204所描繪，於經過一預定時間量後，處理器中啟動一中斷(方塊1206)。以使用本發明之任何中斷為例，當測試程式開始運轉且發出該中斷時，如方塊1208所描繪，將使用上述保存硬架構式狀態之較佳方法立即保存(通常在2-3時脈週期內)目前執行之處理的硬架構式狀態。較佳者，以上述圖6b中的一方式並行保存目前執行之處理的軟狀態之至少一部分(方塊1210)。

如方塊1212所述，選擇性將製造測試程式之硬架構式狀態載入處理器。在本發明的一較佳具體實施例中，製造等級測試程式係從圖8a所描繪之快閃唯讀記憶體(ROM) 802所載入的一製造等級測試程式810。製造等級測試程式810可於處理單元200最初製造時燒入快閃唯讀記憶體(ROM) 802，或者製造等級測試程式810可於後續燒入。如果快閃唯讀記憶體(ROM) 802中儲存多重製造等級測試程式，則選擇該等製造等級測試程式之一，以便執行。在使用本發明的一較佳具體實施例中，如以上方塊1202與1204所述，製造等級測試程式係於每次執行一計時器中斷時運轉。

一旦硬架構式狀態載入處理器後，較佳者，使用上述IEEE 1149.1測試掃描鍊開始運轉製造等級測試程式(方塊

1214)。較佳者，軟架構式狀態以上述軟狀態更新(圖6b)之方式並行流入處理器(方塊1216)。於完成製造等級測試程式之執行時，中斷將完成，而且藉由載入下一處理之硬架構式狀態與軟狀態而執行該處理(方塊1218)。

由於載入硬架構式狀態僅要求數時脈週期，因此於執行測試程式本身所要求之時間約束內，可依設計者希望之頻繁程度運轉製造等級測試程式。製造測試程式之執行可由使用者、作業系統或超管理者加以啟動。

因此，本發明提供一種因應尤其有關中斷之潛伏問題的方法及系統。例如，在先前技術中，如果中斷處置器係一不常呼叫之處理，則當在低快取記憶體階層甚至系統記憶體中搜尋適當之中斷處置器時，通常存在一長潛伏。當中斷處置器執行時，將以處置該中斷所需之指令/資料殖入處理器之快取記憶體階層，因此，當中斷之處理恢復執行時，快取記憶體階層將受"污染"。本發明利用此處所述之發明處理來解決此等問題。

雖然已就一電腦處理器及軟體說明本發明之各種方面，但應了解：替代上，本發明之至少某些方面可以一資料儲存系統或電腦系統所使用的一程式產品加以實作。定義本發明其功能之程式可經由包括但不限於：不可寫入儲存媒體(例如：唯讀光碟(CD-ROM))、可寫入儲存媒體(例如：一磁片、硬碟驅動、讀取/寫入唯讀光碟(CD-ROM)、光學媒體)以及像是包括乙太(Ethernet)之電腦與電話網路的通信媒體等各式各樣信號載送媒體投遞給一資料儲存系統或電

腦系統。因此，應了解：這類信號載送媒體提供本發明之替代具體實施例，以承載或編碼用以指導本發明之方法功能的電腦可讀取指令。再者，可以了解：本發明可藉由具有如此處所述或其等效之硬體、軟體或軟體與硬體的一組合等形式之裝置的一系統加以實作。

雖然已特別參照一較佳具體實施例出示及說明本發明，但熟習此項技藝者可了解：於沒有偏離本發明之精神與範圍下，其中可進行形式與細節上之各種改變。

【圖式簡單說明】

附加之申請專利範圍中陳述本發明特有之新穎特性。然而，當結合附圖一起閱讀，且參照一圖解之具體實施例的以下詳細說明時，將可完全了解本發明其本身，以及一較佳使用模式、進一步目的與優勢，其中：

圖1描繪利用一先前技術之方法的一傳統電腦系統之方塊圖，其中使用一載入/儲存單元儲存處理器之架構式狀態；

圖2圖解根據本發明的一資料處理系統其示範具體實施例之方塊圖；

圖3a與3b描繪圖2中圖解的一處理單元之額外細節；

圖4圖解根據本發明的一示範軟體組態層之圖形；

圖5a與5b一起形成根據本發明的一示範中斷處置處理之流程圖；

圖6a與6b係出示圖5a中所述步驟其進一步細節之流程圖，其中根據本發明保存一硬架構式狀態與軟狀態；

圖 7 描繪本發明將至少一處理之軟狀態通信至記憶體之掃描鍊路徑方向；

圖 8a-8c 圖解圖 2 中描繪的一快閃唯讀記憶體 (ROM) 之額外細節，其用以根據本發明儲存至少第一階中斷處置器 (FLIHs)、第二階中斷處置器 (SLIHs) 與製造等級測試指令；

圖 9 係描述根據本發明在一處理器接受一中斷時跳越至一預測之第二階中斷處置器 (SLIH) 的一流程圖；

圖 10 描繪儲存之硬架構式狀態、儲存之軟狀態、記憶體分割與處理器間之邏輯及通信關係；

圖 11 圖解軟狀態儲存於記憶體中的一示範之資料結構；以及

圖 12 係於一電腦系統正常作業期間透過執行一製造等級測試程式而測試一處理器的一示範方法之流程圖。

【圖式代表符號說明】

16	第二階快取記憶體
22	命中/遺漏邏輯
24	指令快取記憶體需求匯流排
26	指令快取記憶體重載匯流排
28	預提取緩衝器
30	指令提取位址暫存器
32	效轉實位址表
34	指令快取記憶體目錄
35	分支歷史表
36	分支預測單元

38	總體完成表
40	指令提取緩衝器
42	指令翻譯單元
51	監督者等級暫存器
52	狀態暫存器映射器
54	鏈接與計數暫存器映射器
56	例外暫存器映射器
58	多用途暫存器映射器
60	浮點暫存器映射器
62	狀態暫存器發出佇列
64	分支指令佇列
80	狀態暫存器檔案
82	鏈接與計數暫存器檔案
88	浮點暫存器檔案
90	狀態暫存器單元
92	分支執行單元
94	定點單元
100	處理器核心
104	指令順序邏輯
110	架構式暫存器
113	資料翻譯後備緩衝器
114	中斷線
115	指令翻譯後備緩衝器
116	記憶體匯流排

18, 102	第一階指令快取記憶體
20, 112	第一階資料快取記憶體
66, 68	定點發出佇列
70, 72	浮點發出佇列
144	預解碼邏輯
84, 86	多用途暫存器
44, 46, 48, 50	鎖存器
201	多處理器資料處理系統
202	指令順序單元
208	影子暫存器
212	快取記憶體階層
216	串列轉平行介面
220	整合記憶體控制器
222	互連
302	組態暫存器
304	處理器版本暫存器
306	機器狀態暫存器
308	記憶體管理暫存器
309	指令區塊位址翻譯暫存器
310	區塊位址翻譯暫存器
311	資料區塊位址翻譯暫存器
312	段暫存器
314	例外處置暫存器
316	資料位址暫存器

I263938

318	特殊用途暫存器
320	狀態儲存/復原暫存器
322	雜項暫存器
324	時基暫存器
326	衰減計暫存器
328	資料位址斷點暫存器
330	時基中斷暫存器
118, 118a, 118n	系統記憶體
402	超管理員
96, 98, 108a, 108d	載入/儲存單元
206, 210	硬狀態暫存器
214, 218	掃描鏈路徑方向
700	積體電路
802	快閃唯讀記憶體
808	中斷處置器預測表
810	製造等級測試程式
10, 200, 200a, 200n, 204	處理單元
816	第一階中斷處置器位址
820	預測邏輯
1132	虛擬快取記憶體目錄
404a, 404b, 404n	作業系統
408a, 408b, 408z	處理
804, 812	第一階中斷處置器
806, 814	第二階中斷處置器

I263938

406, 406a, 406b, 406x	應用程式
818, 822	第二階中斷處置器位址
702, 704, 706	邏輯組件
708a, 708b, 708c	掃描鍊邊界細胞
1102, 1112, 1122	第一階虛擬資料快取記憶體
1106, 1116, 1126	索引
1108, 1118, 1128	一致性狀態
1110, 1120, 1130	資料
1104, 1114, 1124	標籤

伍、中文發明摘要：

揭露一種從等待執行的一池閒置處理中預載入一下一處理之硬架構式狀態的方法及系統。當處理器上一執行之處理中斷時，已經預儲存於處理器的一下一處理之硬架構式狀態將被載入處理器之架構式儲存位置。下一執行之處理以及處理器中預儲存之對應硬架構式狀態係根據等待之處理被指派的優先權而決定。

陸、英文發明摘要：

A method and system are disclosed for pre-loading a hard architected state of a next process from a pool of idle processes awaiting execution. When an executing process is interrupted on the processor, a hard architected state, which has been pre-stored in the processor, of a next process is loaded into architected storage locations in the processor. The next process to be executed, and thus its corresponding hard architected state that is pre-stored in the processor, are determined based on priorities assigned to the waiting processes.

拾、申請專利範圍：

1. 一種操作一處理器之方法，該方法包含：

將該處理器目前所執行的一第一處理其一第一硬架構式狀態儲存於該處理器中的一第一組儲存位置；

將閒置的一第二處理其一第二硬架構式狀態儲存於該處理器中一第二組儲存位置；

響應在處理器接收一處理中斷，將第二硬架構式狀態從該第二組儲存位置載入該第一組儲存位置；以及

執行該第二處理。

2. 如申請專利範圍第1項之方法，進一步包含當第一處理執行時，以另一閒置處理的一第三架構式狀態動態取代第二硬架構式狀態。

3. 如申請專利範圍第1項之方法，進一步包含：

根據該第二處理的一優先權從一池閒置處理中選擇第二處理，而將第二硬架構式狀態儲存於該處理器中。

4. 如申請專利範圍第1項之方法，進一步包含：

響應接收該處理中斷而保存第一硬架構式狀態。

5. 如申請專利範圍第1項之方法，進一步包含：

將第一硬架構式狀態的一影子複本儲存於該處理器內；以及

響應處理器中接收該處理中斷，將第一硬架構式狀態之影子複本儲存於一記憶體中。

6. 一種處理器，包含：

至少一執行單元；

耦合該至少一執行單元的一指令順序單元；

用以儲存該處理器目前所執行的一第一處理其一第一硬架構式狀態的一第一組儲存位置；以及

用以儲存閒置的一第二處理其一第二硬架構式狀態的一第二組儲存位置，其中該第二處理係來自一池閒置處理，且其中儲存於第二組儲存位置之第二硬架構式狀態係根據指派給該池閒置處理的一處理優先權指定而選擇。

7. 如申請專利範圍第6項之處理器，進一步包含響應一處理中斷而更新第二硬架構式狀態之裝置。

8. 如申請專利範圍第6項之處理器，進一步包含：

用以執行記憶體存取指令之執行電路，該處理器可藉此儲存第二架構式狀態，而與該執行電路執行記憶體存取指令無關。

9. 如申請專利範圍第6項之處理器，進一步包含：

耦合至第一組儲存位置的一對應影子暫存器，該影子暫存器包含第一硬架構式狀態其至少一部分的一影子複本；以及

耦合至該影子暫存器的一記憶體，其中於接受一處理中斷時，該處理器將第一硬架構式狀態之影子複本儲存至該記憶體。

10. 一種資料處理系統，包含：

包括根據申請專利範圍第6項的一處理器之複數個處理器；

耦合至複數個處理器的一依電性記憶體階層；以及
耦合複數個處理器的一互連。

11. 一種處理器，包含：

將該處理器目前所執行的一第一處理其一第一硬架構式狀態儲存於該處理器中一第一組儲存位置之裝置；

將閒置的一第二處理其一第二硬架構式狀態儲存於該處理器中一第二組儲存位置之裝置；

響應在處理器接收一處理中斷而將第二硬架構式狀態從第二組儲存位置載入第一組儲存位置之裝置；以及

用以執行該第二處理之裝置。

12. 如申請專利範圍第11項之處理器，進一步包含當第一處理執行時以另一閒置處理的一第三架構式狀態來動態地取代第二硬架構式狀態之裝置。

13. 如申請專利範圍第11項之處理器，進一步包含：

根據該第二處理的一優先權從一池閒置處理中選擇第二處理，而儲存於處理器中。

14. 如申請專利範圍第11項之處理器，進一步包含：

響應接收該處理中斷而保存第一硬架構式狀態之裝置。

15. 如申請專利範圍第11項之處理器，進一步包含：

將第一硬架構式狀態的一影子複本儲存於該處理器內之裝置；以及

響應該處理器中接收該處理中斷而將第一硬架構式狀態之影子複本儲存於一記憶體之裝置。

拾壹、圖式：

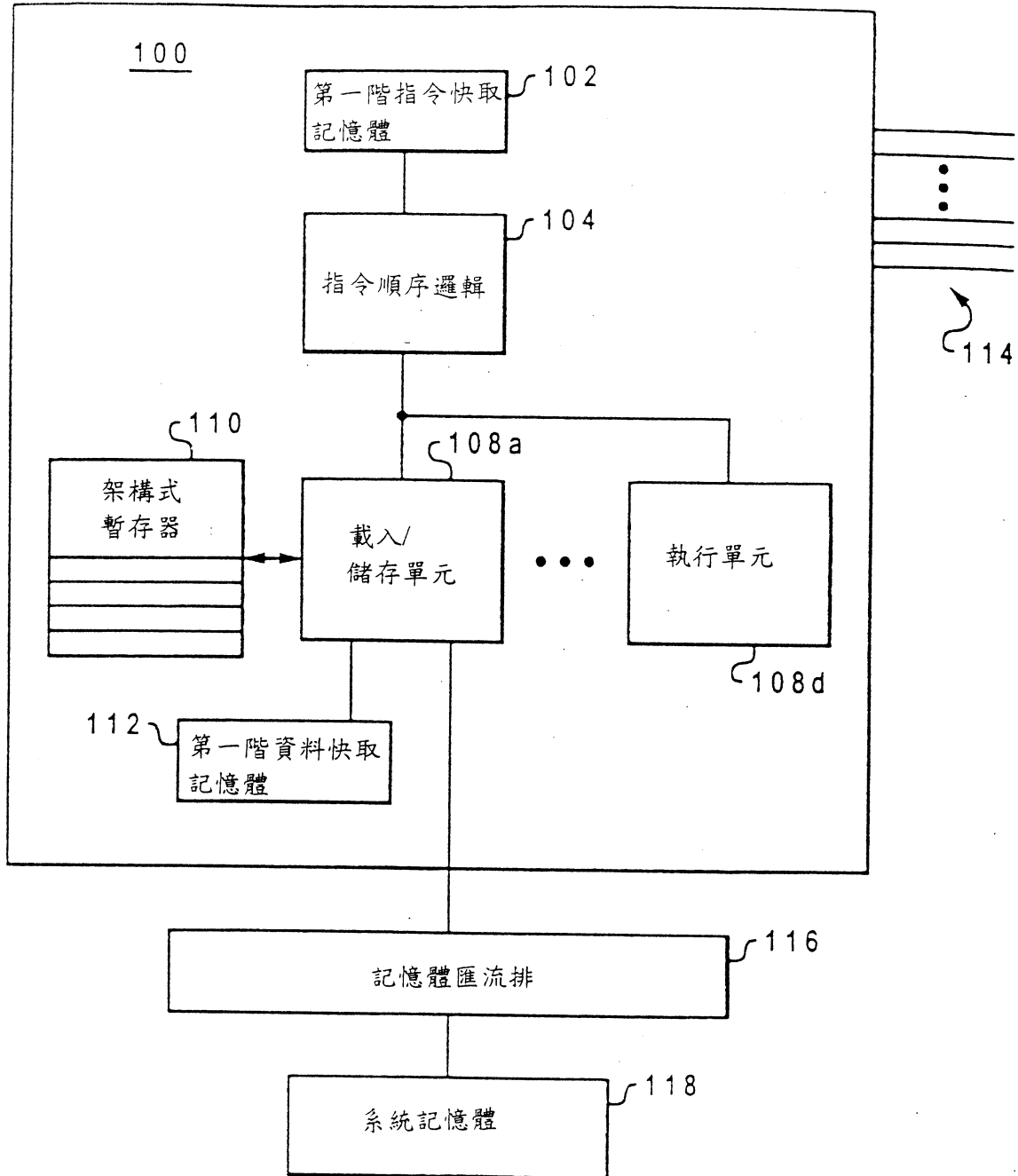


圖 1

先前技藝

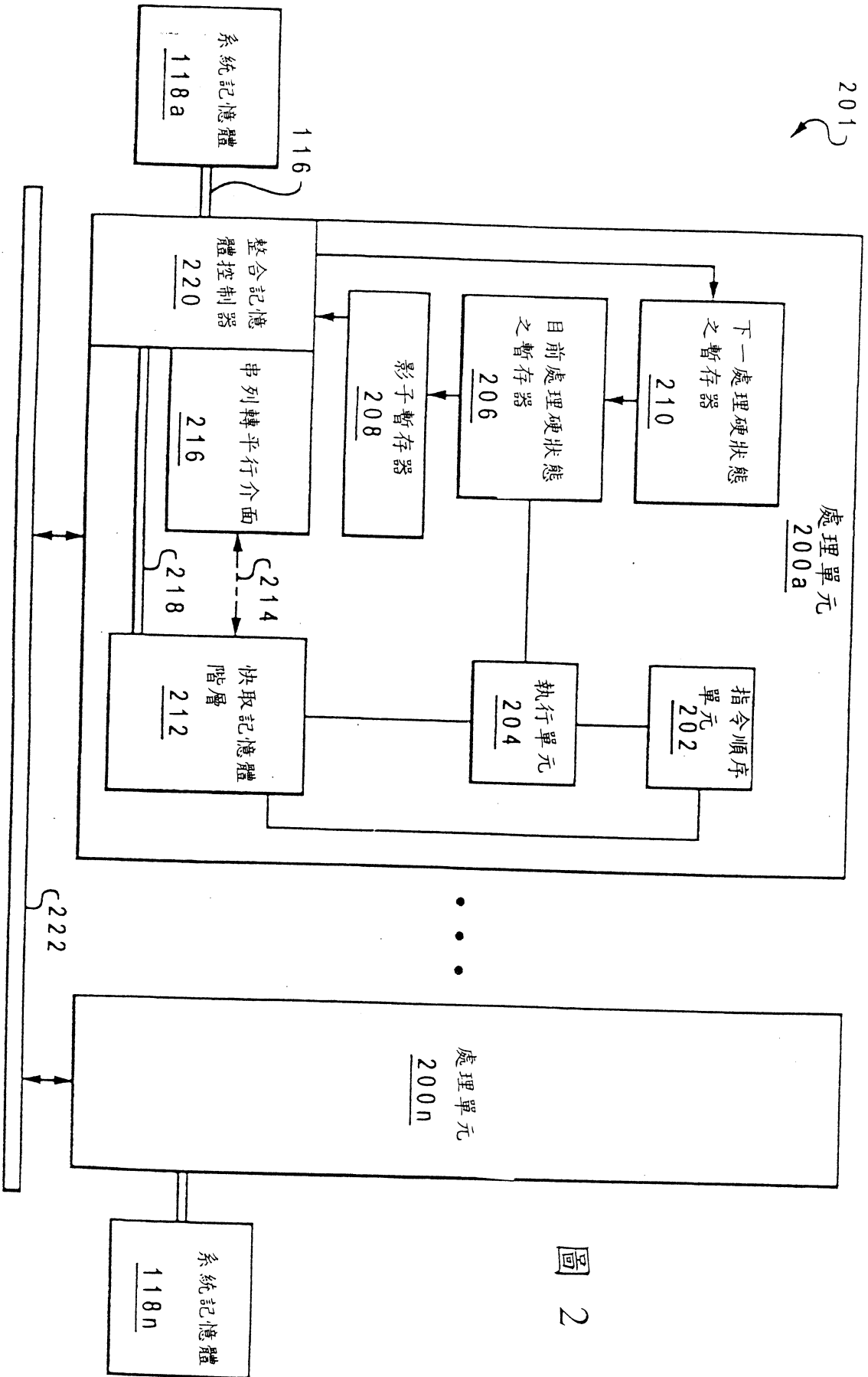


圖 2

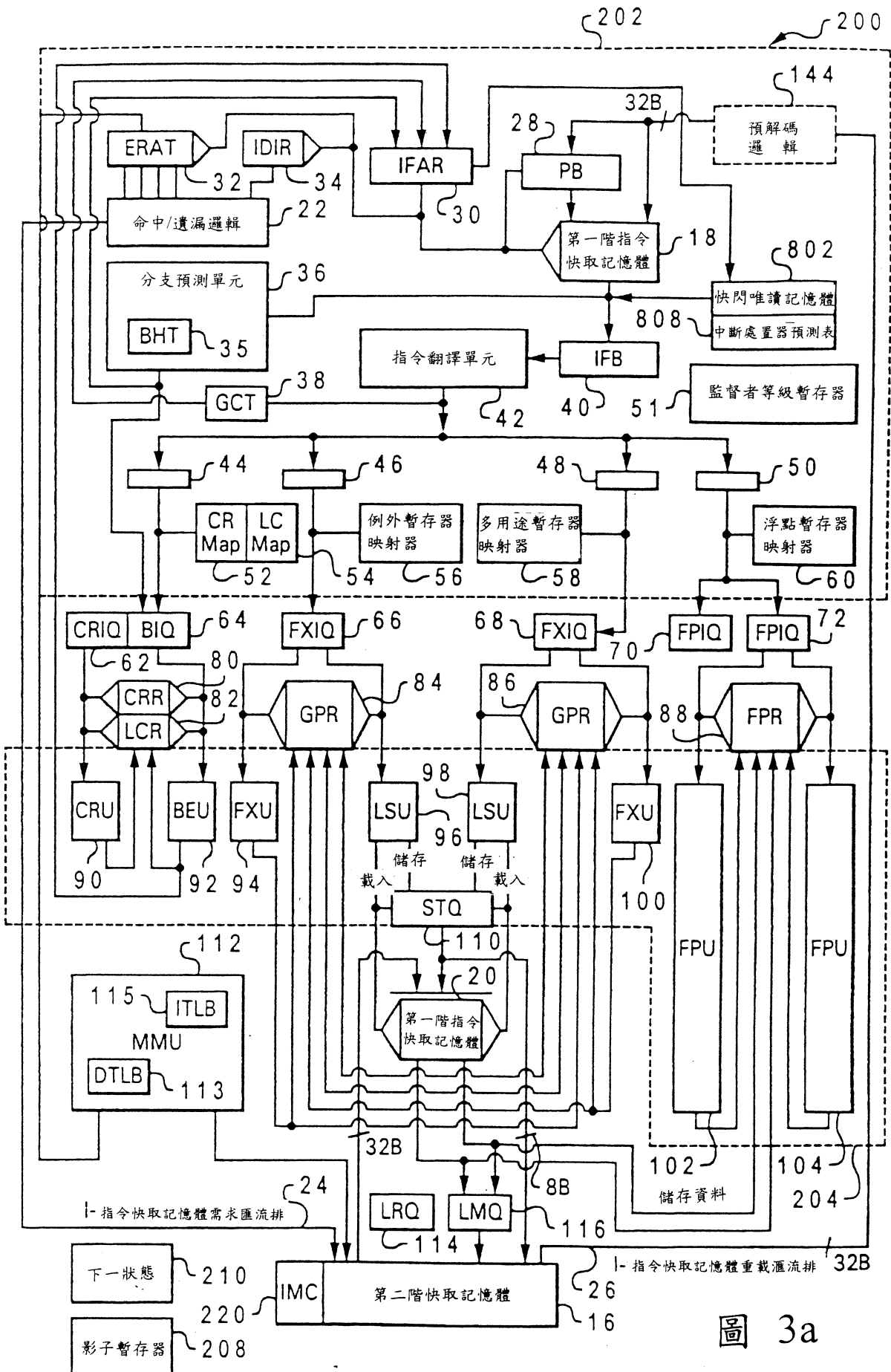


圖 3a

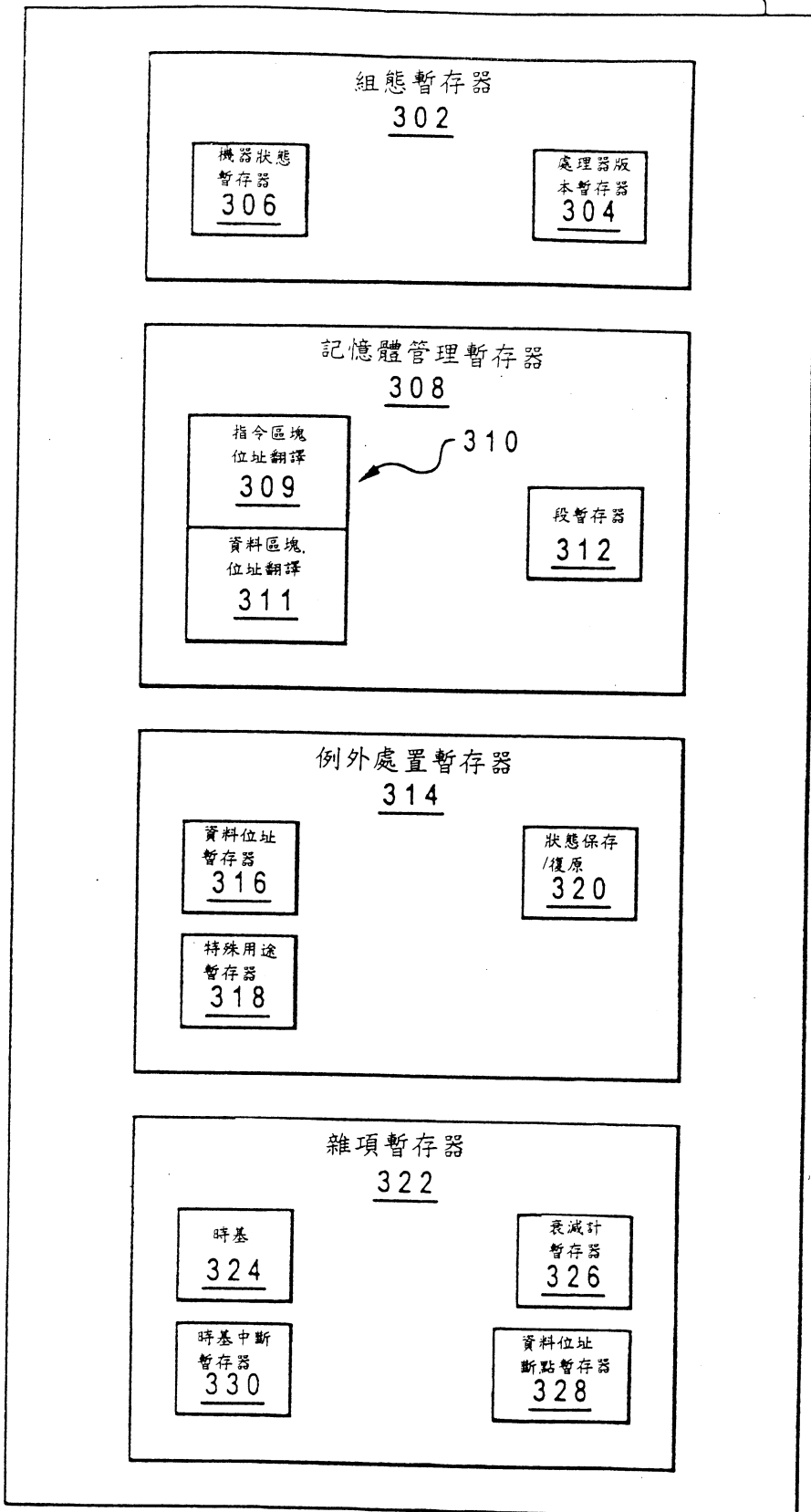


圖 3b

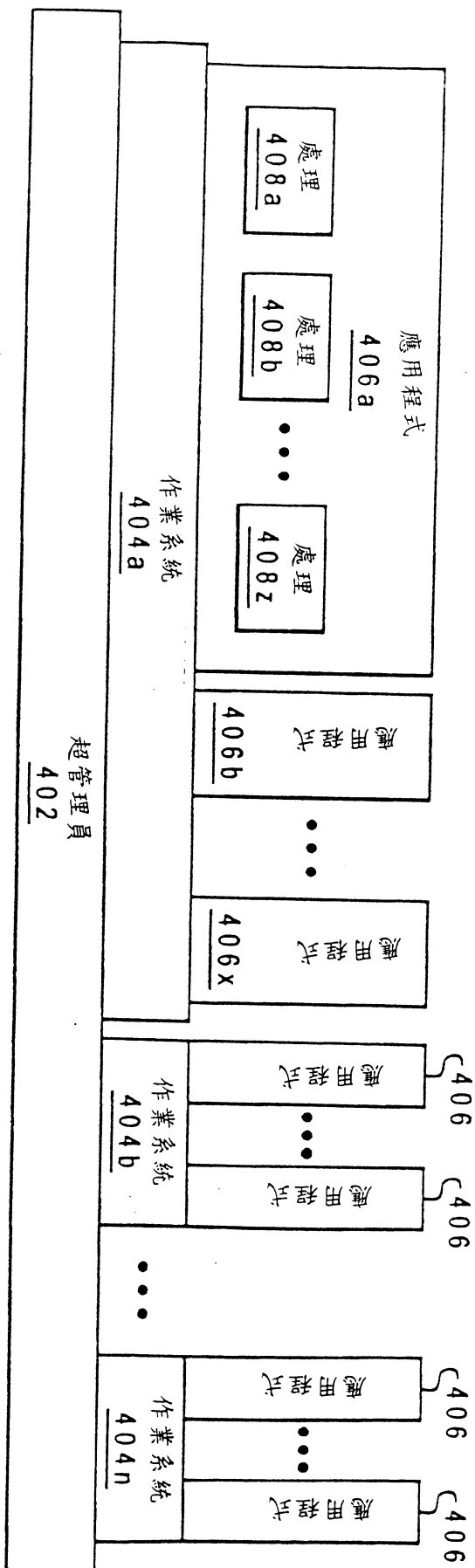


圖 4

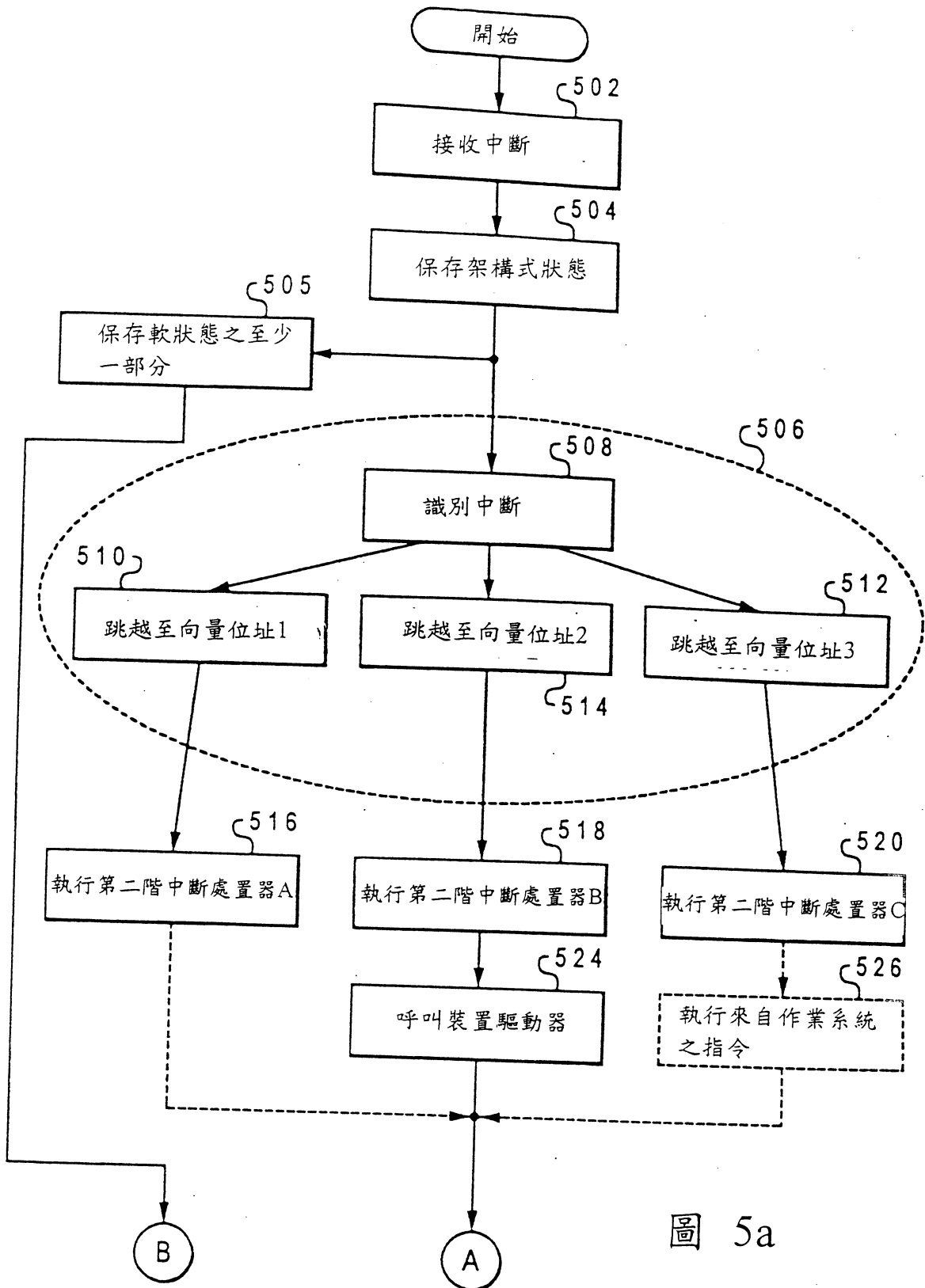


圖 5a

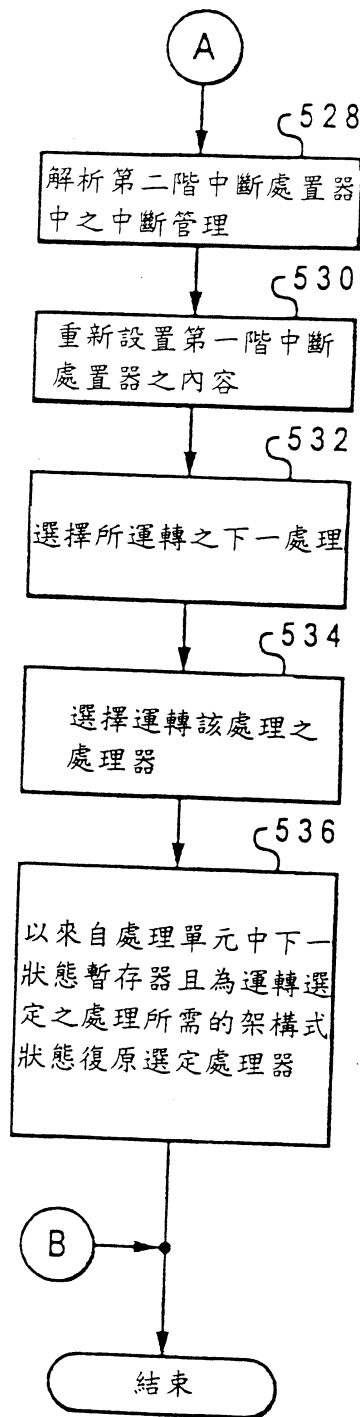


圖 5b

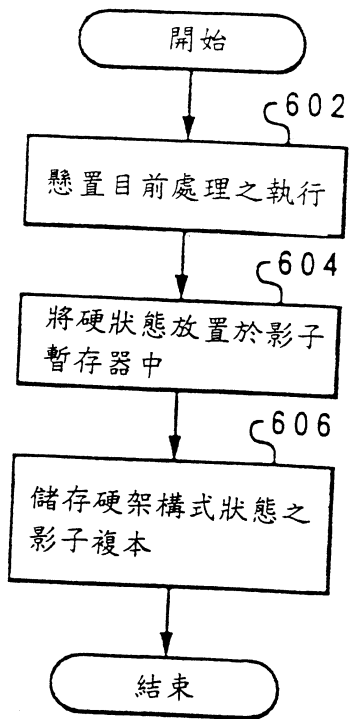


圖 6a

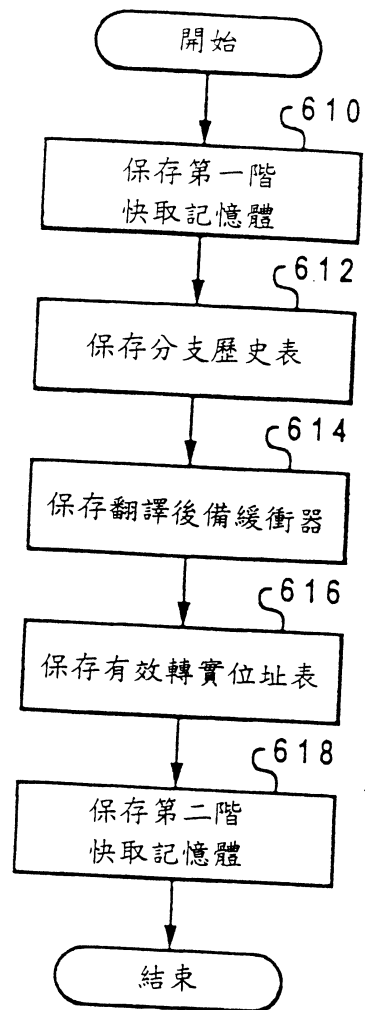


圖 6b

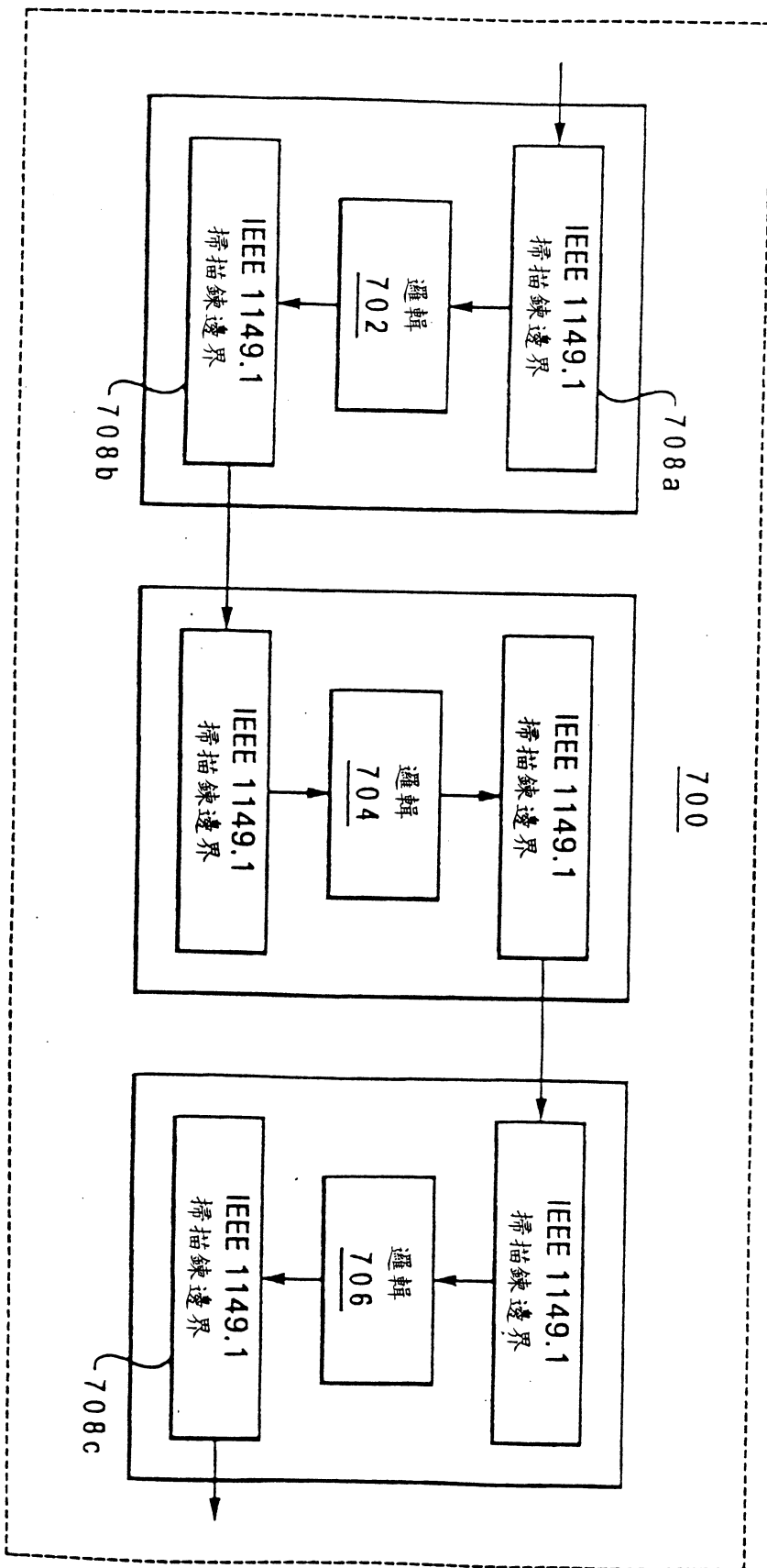


圖 7

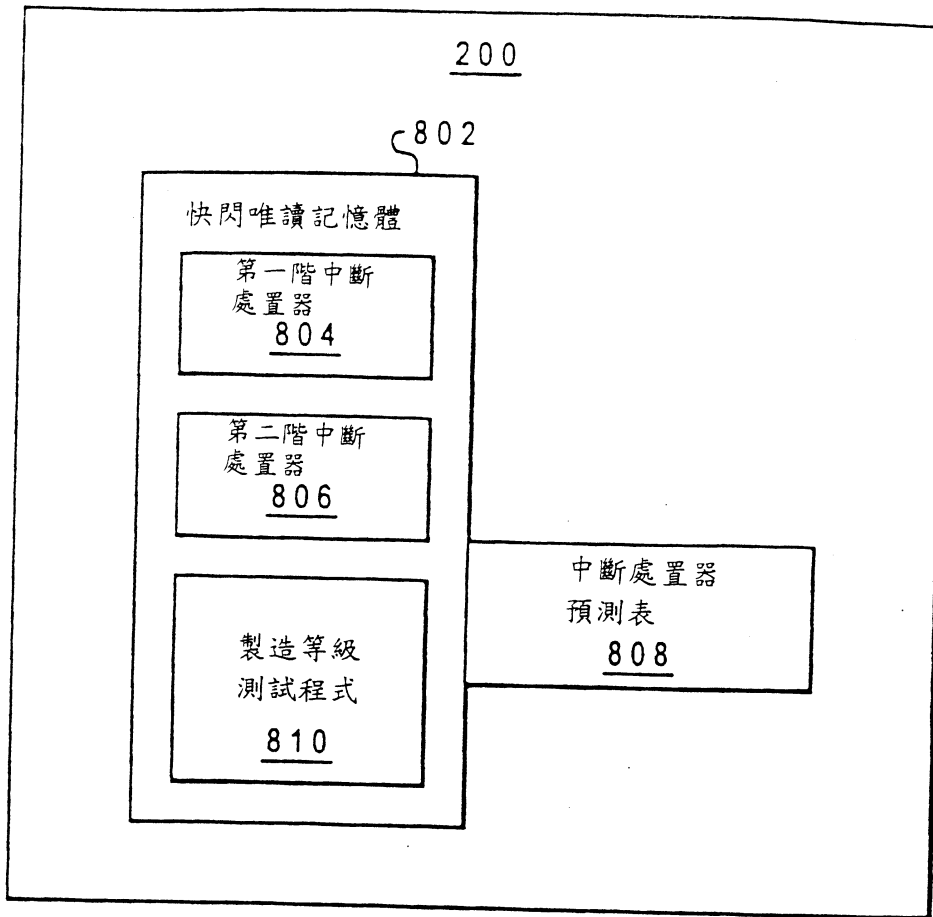


圖 8a

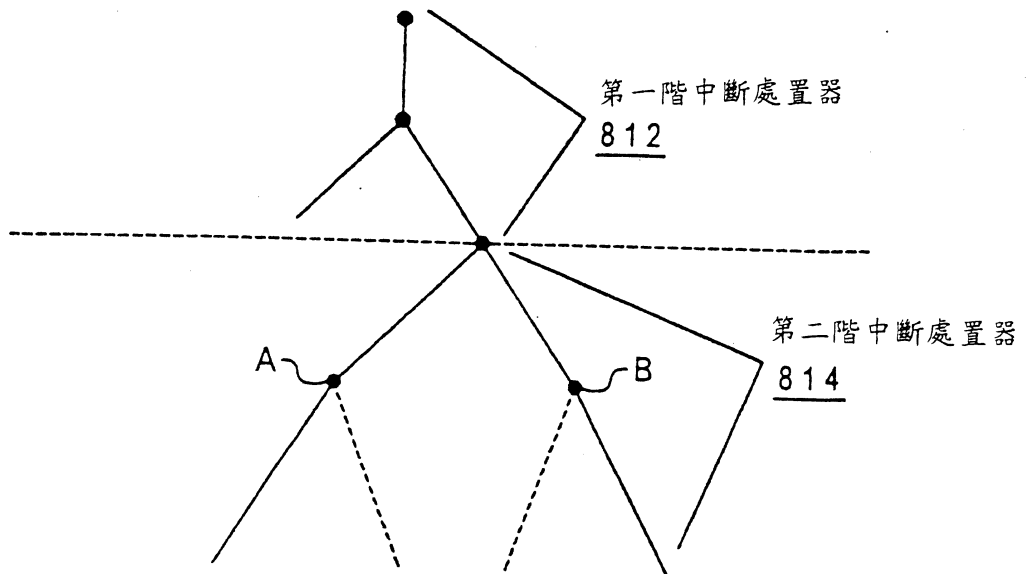


圖 8b

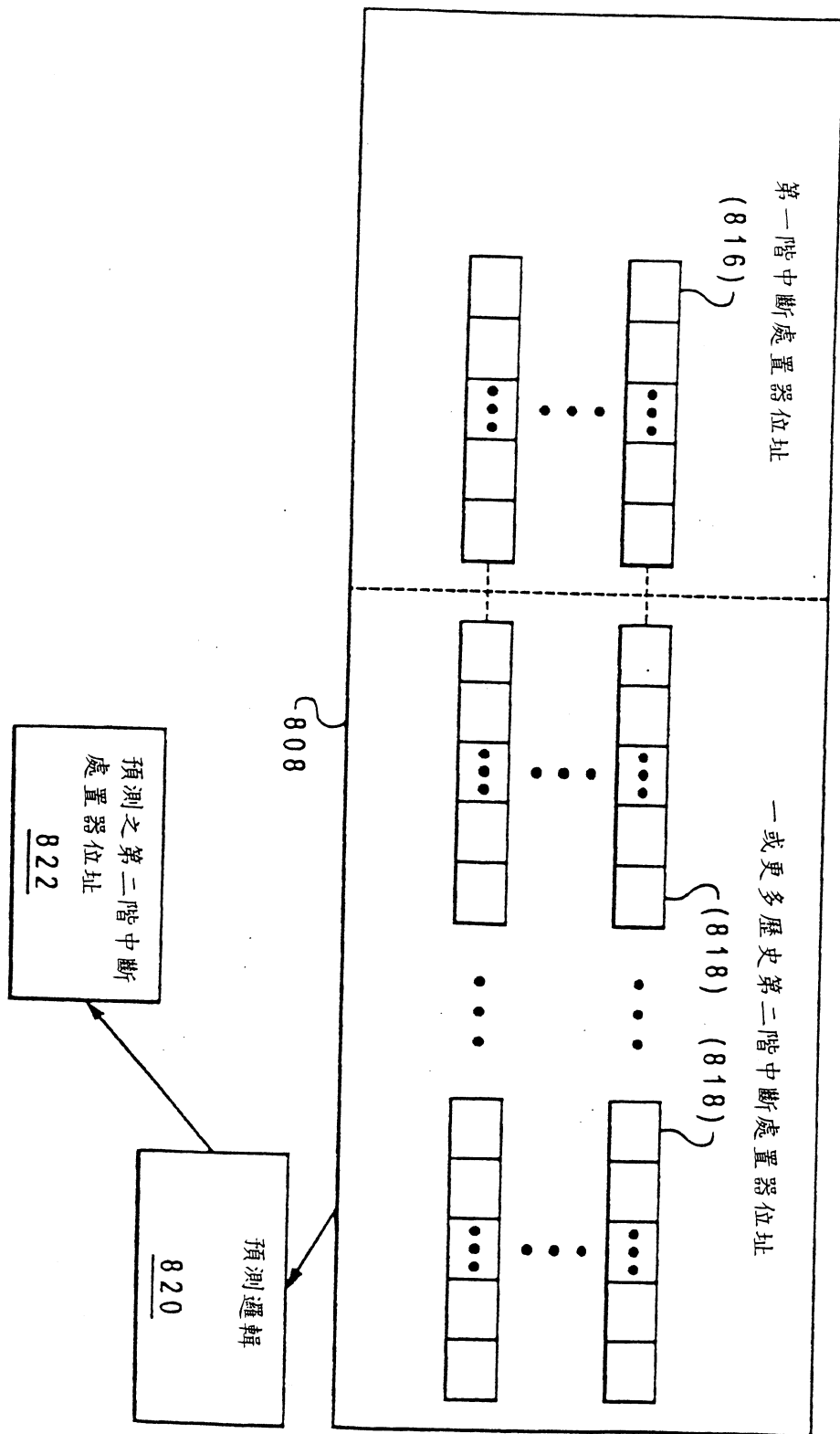


圖 8c

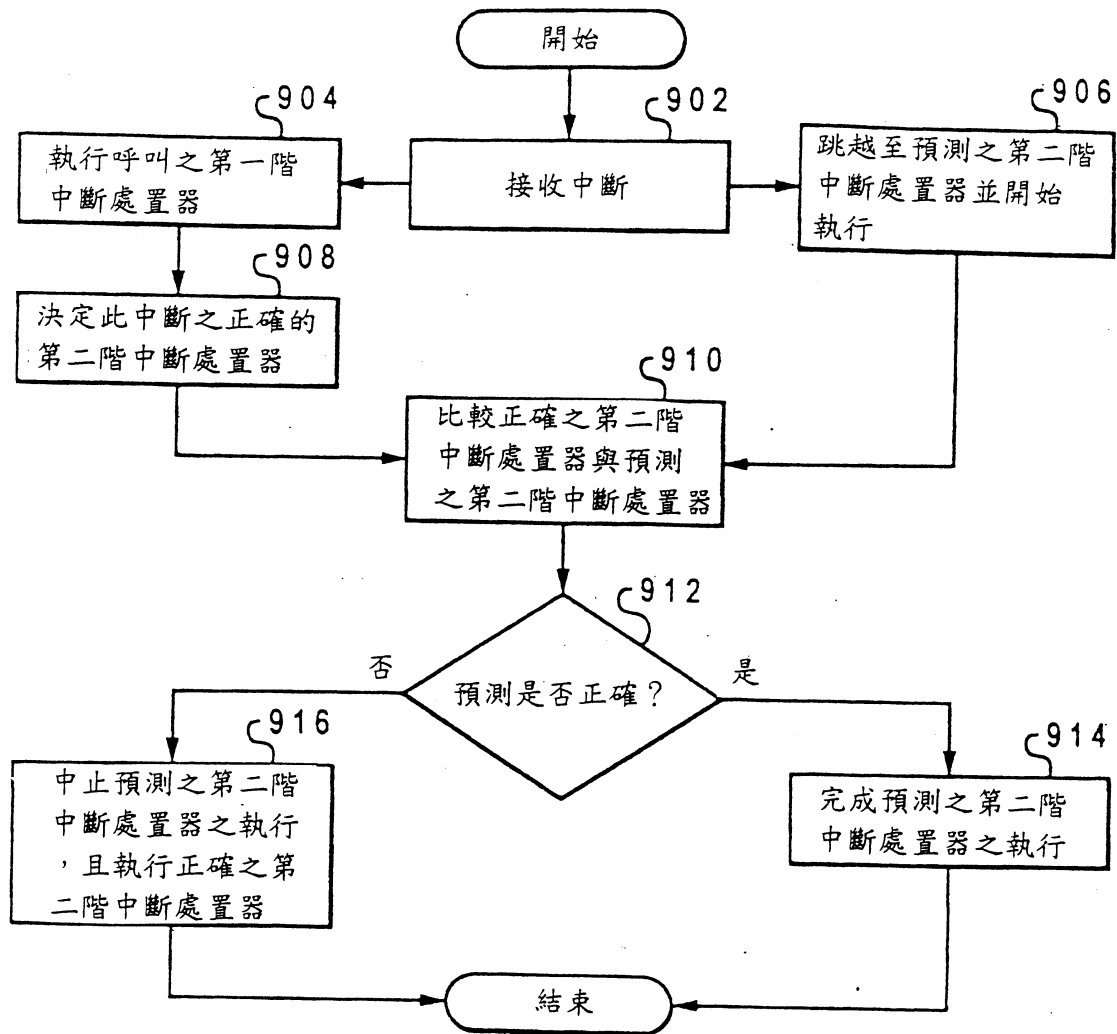


圖 9

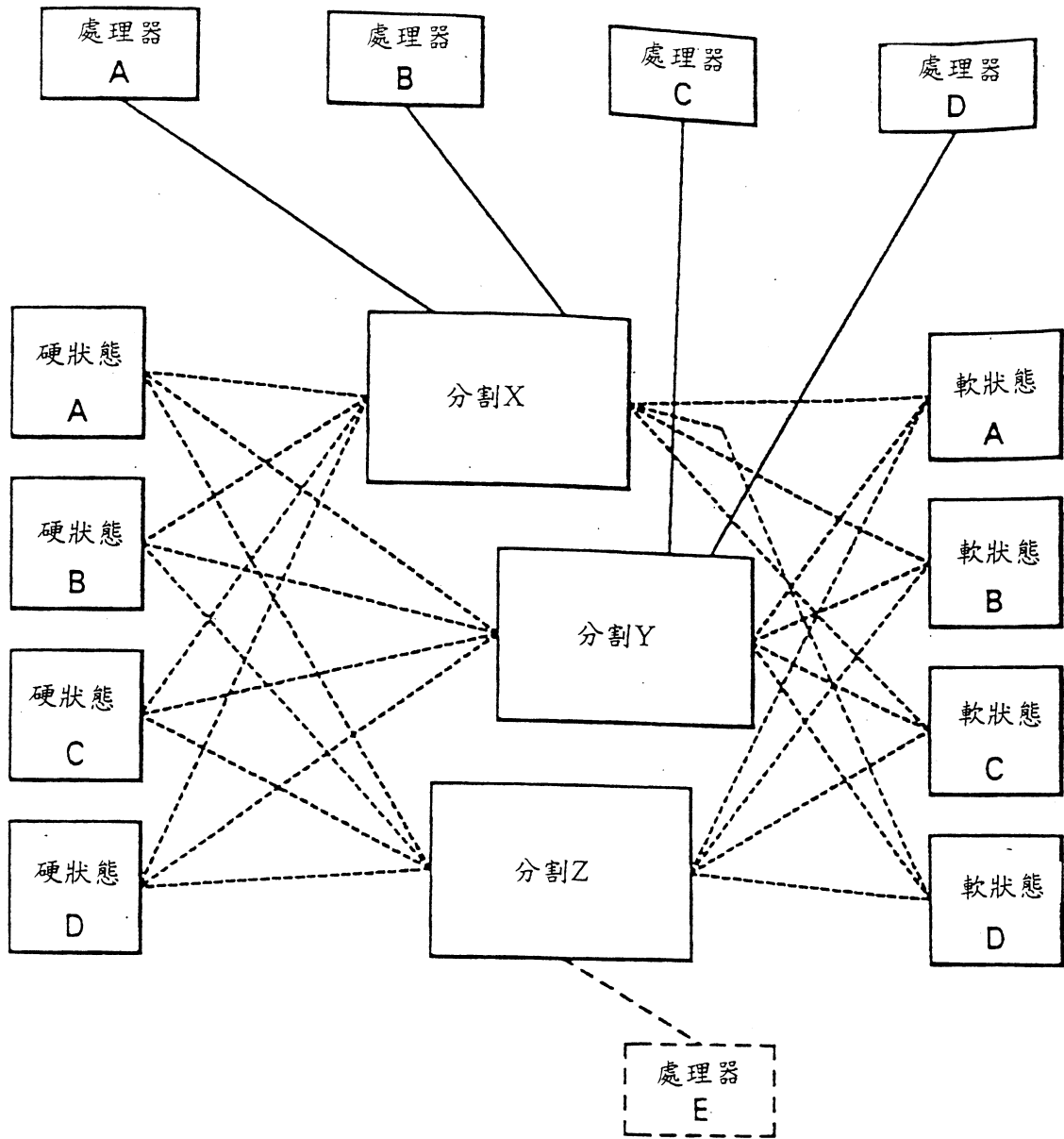


圖 10

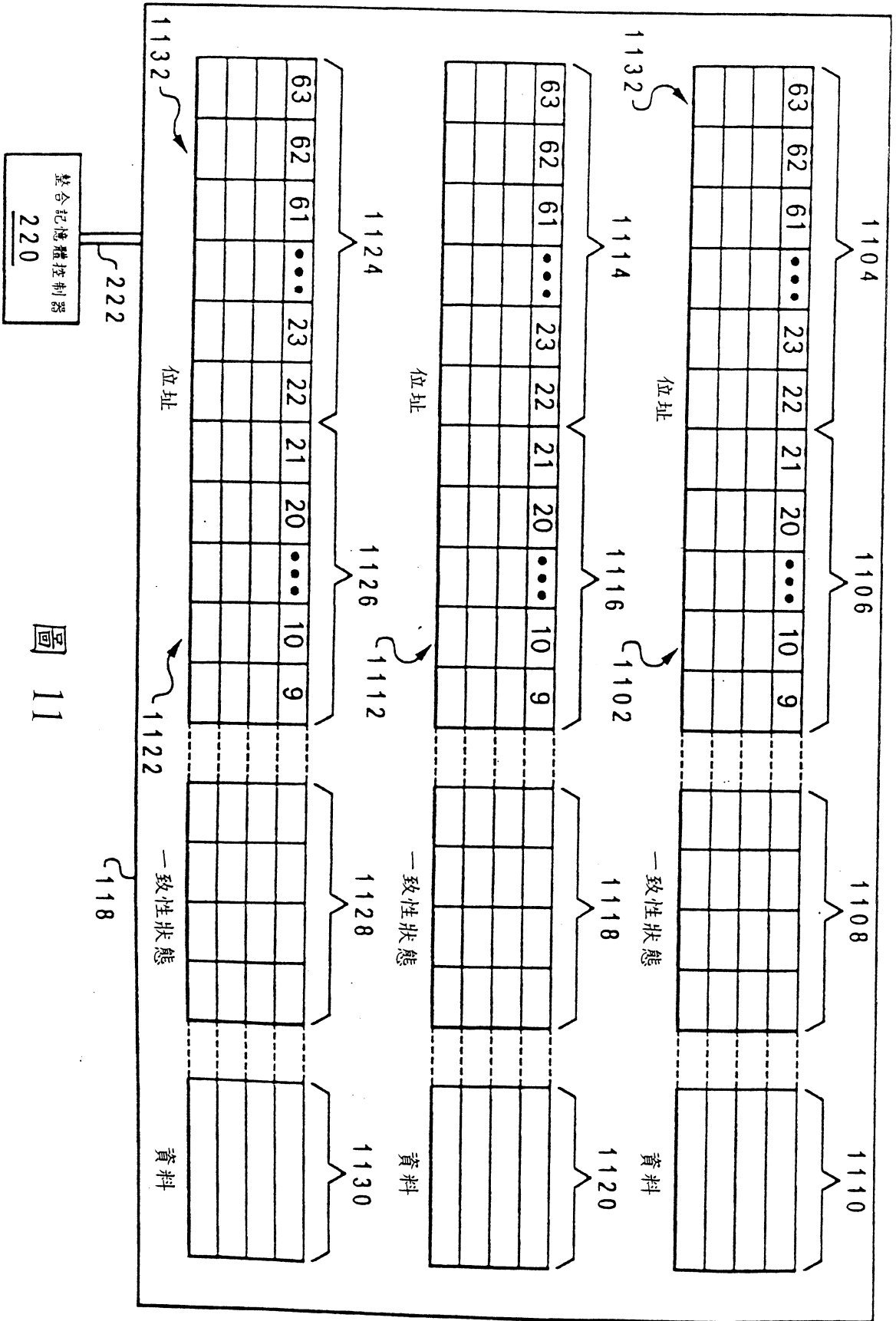


圖 11

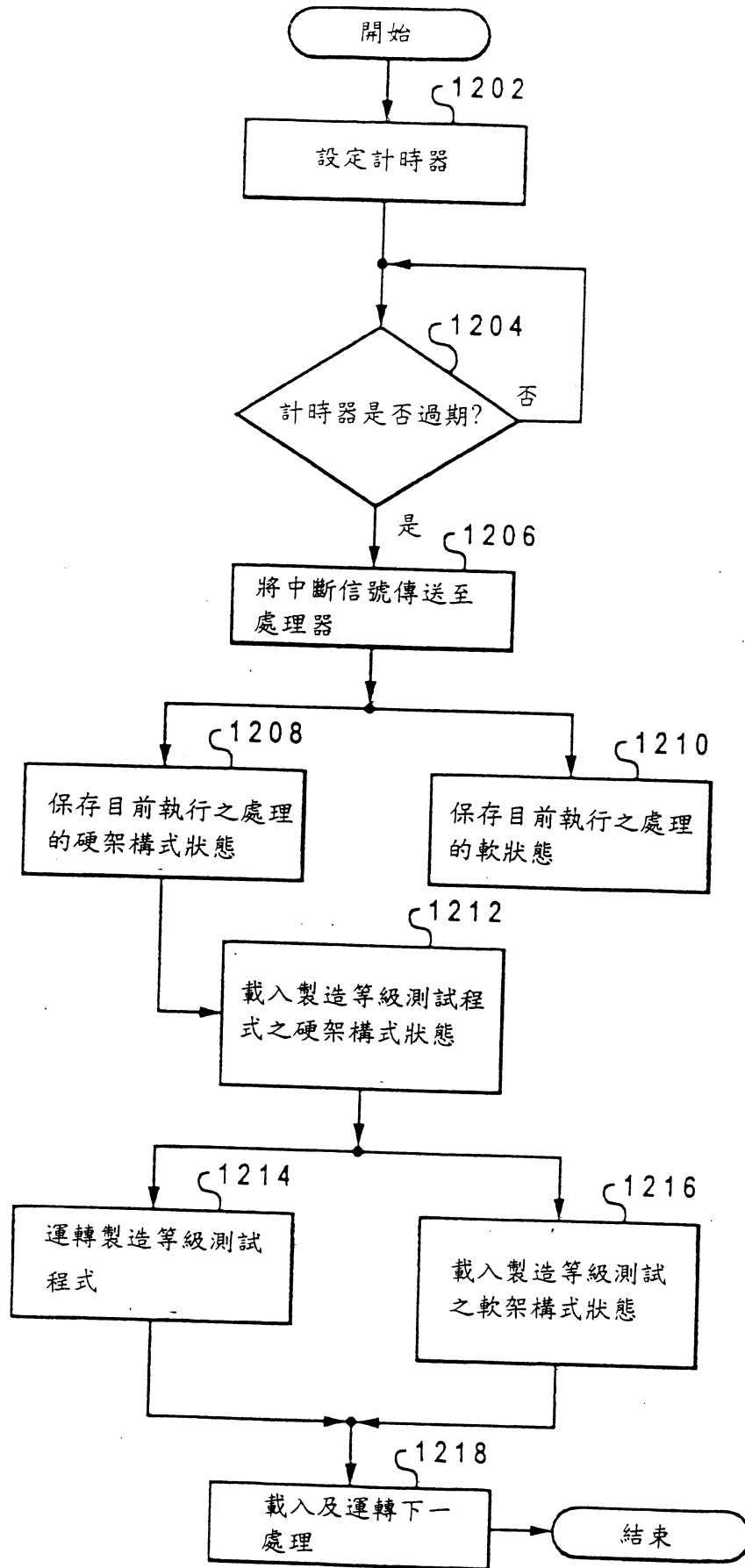


圖 12

柒、指定代表圖：

(一)本案指定代表圖為：第(2)圖。

(二)本代表圖之元件代表符號簡單說明：

118a, 118n	系統記憶體
200a, 200n	處理單元
201	多處理器資料處理系統
202	指令順序單元
204	處理單元
208	影子暫存器
212	快取記憶體階層
216	串列轉平行介面
220	整合記憶體控制器
222	互連
206, 210	硬狀態暫存器
214, 218	掃描鍊路徑方向

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

發明專利說明書

中文說明書替換頁(95年5月)

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：092130386

※ 申請日期：92.10.31

※IPC 分類：G06F 9/38, 9/46

壹、發明名稱：(中文/英文)

從等待執行的一池閒置處理中預載入下一處理之硬架構式狀態的方法、處理器及一資料處理系統

METHOD, PROCESSOR AND DATA PROCESSING SYSTEM FOR
PRE-LOADING A HARD ARCHITECTED STATE OF A NEXT
PROCESS FROM A POOL OF IDLE PROCESSES AWAITING
EXECUTION

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商萬國商業機器公司

INTERNATIONAL BUSINESS MACHINES CORPORATION

代表人：(中文/英文)

傑拉德 羅森賽

GERALD ROSENTHAL

住居所或營業所地址：(中文/英文)

美國紐約州阿蒙市新果園路

NEW ORCHARD ROAD, ARMONK, NY 10504, U.S.A.

國籍：(中文/英文)

美國 U.S.A.

玖、發明說明：**【發明所屬之技術領域】****相關申請案**

本發明係關於共同讓渡與待決且於相同日期申請之美國專利申請案號10/313,319(檔案號碼AUS920020161US1)、案號10/313,329(檔案號碼AUS920020162US1)、案號10/313,330(檔案號碼AUS920020163US1)、案號10/313,301(檔案號碼AUS920020165US1)、案號10/313,321(檔案號碼AUS920020166US1)、案號10/313,308(檔案號碼AUS920020167US1)之主旨。以上參照之申請案內容以引用的方式併入本文中。

本發明概言之係關於資料處理之領域，且尤其關於一種處置中斷之改良式資料處理系統及方法。

【先前技術】

當執行一組電腦指令時，一處理器經常被中斷。此種中斷可由一中斷或一例外造成。

一中斷係與該中斷發生時執行之指令無關的一非同步中斷事件。亦即，中斷通常由像是來自一輸入/輸出(I/O)裝置的一輸入、來自另一處理器的一作業呼叫等處理器外面之某事件造成。其他中斷可能為內部造成，例如控制任務交換之計時器過期。

一例外係由該例外發生時所執行之指令執行所直接引起的一同步事件。亦即，一例外係像是一算術溢位、一計時維護檢查、一內部效能監視程式、一機載工作負載管理員