

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7367464号
(P7367464)

(45)発行日 令和5年10月24日(2023.10.24)

(24)登録日 令和5年10月16日(2023.10.16)

(51)国際特許分類

F I

H O 2 M 3/155(2006.01)

H O 2 M 3/155 K

請求項の数 9 (全34頁)

(21)出願番号	特願2019-198774(P2019-198774)	(73)特許権者	000003067
(22)出願日	令和1年10月31日(2019.10.31)		T D K 株式会社
(65)公開番号	特開2021-72722(P2021-72722A)		東京都中央区日本橋二丁目 5 番 1 号
(43)公開日	令和3年5月6日(2021.5.6)	(74)代理人	110001357
審査請求日	令和4年7月15日(2022.7.15)		弁理士法人つばさ国際特許事務所
		(72)発明者	國保 慎一郎
			東京都中央区日本橋二丁目 5 番 1 号 T
			D K 株式会社内
		審査官	麻生 哲朗

最終頁に続く

(54)【発明の名称】 電力変換装置および電力変換システム

(57)【特許請求の範囲】

【請求項 1】

第 1 の電源ノードと第 1 のノードとを結ぶ経路に設けられた第 1 のインダクタと、
前記第 1 の電源ノードと第 2 のノードとを結ぶ経路に設けられた第 2 のインダクタと、
第 2 の電源ノードと前記第 1 のノードとを結ぶ経路に設けられた第 1 のスイッチと、第
3 の電源ノードと前記第 1 のノードとを結ぶ経路に設けられた第 2 のスイッチとを有する
第 1 のスイッチペアと、
前記第 2 の電源ノードと前記第 2 のノードとを結ぶ経路に設けられた第 3 のスイッチと
、前記第 3 の電源ノードと前記第 2 のノードとを結ぶ経路に設けられた第 4 のスイッチと
を有する第 2 のスイッチペアと、
前記第 1 の電源ノードから前記第 1 のノードに向かって流れる電流を正の電流とした場
合における前記第 1 のインダクタに流れる第 1 の電流の電流値が、第 1 のしきい値におい
て減少から増加に転じ第 2 のしきい値において増加から減少に転じるように前記第 1 のス
イッチおよび前記第 2 のスイッチの動作を制御可能であり、前記第 1 の電源ノードから前
記第 2 のノードに向かって流れる電流を正の電流とした場合における前記第 2 のインダク
タに流れる第 2 の電流の電流値が、第 3 のしきい値において減少から増加に転じ第 4 のし
きい値において増加から減少に転じるように前記第 3 のスイッチおよび前記第 4 のスイッ
チの動作を制御可能な制御部と
を備え、
前記制御部は、

前記第 1 のスイッチペアの動作サイクルの時間長である第 1 のサイクル時間と、前記第 2 のスイッチペアの動作サイクルの時間長である第 2 のサイクル時間と、前記第 1 のスイッチペアの前記動作サイクルの第 1 の終了タイミング、および前記第 2 のスイッチペアの前記動作サイクルの第 2 の終了タイミングのタイミング差とに基づいて、前記タイミング差が所定のタイミング差になるように前記第 3 のしきい値および前記第 4 のしきい値のうちの一方を設定可能であり、

前記第 3 のしきい値および前記第 4 のしきい値が、前記第 2 のスイッチペアがゼロボルトスイッチング動作を行うために超過すべき所定の電流値を挟むように、前記第 3 のしきい値および前記第 4 のしきい値を設定可能である

電力変換装置。

10

【請求項 2】

前記制御部は、さらに、前記第 1 のサイクル時間、前記第 2 のサイクル時間、および前記タイミング差に基づいて、前記タイミング差が前記所定のタイミング差になるように前記第 3 のしきい値および前記第 4 のしきい値のうちの他方を設定可能である

請求項 1 に記載の電力変換装置。

【請求項 3】

前記制御部は、前記第 1 の電流に基づいて前記第 1 のサイクル時間および前記第 1 の終了タイミングを検出可能であり、前記第 2 の電流に基づいて前記第 2 のサイクル時間および前記第 2 の終了タイミングを検出可能である

請求項 1 または請求項 2 に記載の電力変換装置。

20

【請求項 4】

前記制御部は、前記第 1 のサイクル時間、前記第 2 のサイクル時間、前記第 1 の電源ノードと前記第 3 の電源ノードの間の第 1 の電圧、および前記第 2 の電源ノードと前記第 3 の電源ノードの間の第 2 の電圧に基づいて、前記第 1 のインダクタの第 1 のインダクタンスおよび前記第 2 のインダクタの第 2 のインダクタンスを推定可能であり、前記第 1 のインダクタンスおよび前記第 2 のインダクタンスに基づいて前記第 3 のしきい値および前記第 4 のしきい値のうちの一方を設定可能である

請求項 1 から請求項 3 のいずれか一項に記載の電力変換装置。

【請求項 5】

前記制御部は、

前記第 1 の電流の電流値と前記第 1 のしきい値とを比較可能な第 1 のコンパレータと、
前記第 1 の電流の電流値と前記第 2 のしきい値とを比較可能な第 2 のコンパレータと、
前記第 2 の電流の電流値と前記第 3 のしきい値とを比較可能な第 3 のコンパレータと、
前記第 2 の電流の電流値と前記第 4 のしきい値とを比較可能な第 4 のコンパレータと
を有し、

30

前記第 1 のコンパレータおよび前記第 2 のコンパレータにおける比較結果に基づいて前記第 1 のスイッチおよび前記第 2 のスイッチの動作を制御可能であり、

前記第 3 のコンパレータおよび前記第 4 のコンパレータにおける比較結果に基づいて前記第 3 のスイッチおよび前記第 4 のスイッチの動作を制御可能である

請求項 1 から請求項 4 のいずれか一項に記載の電力変換装置。

40

【請求項 6】

前記第 1 の電源ノードおよび前記第 3 の電源ノードに接続された第 1 の接続端子部と、
前記第 2 の電源ノードおよび前記第 3 の電源ノードに接続された第 2 の接続端子部と
をさらに備え、

前記第 1 のスイッチペアおよび前記第 2 のスイッチペアは、前記第 1 の接続端子部に供給された直流電力を変換可能であり、変換された前記直流電力を前記第 2 の接続端子部から出力可能である

請求項 1 から請求項 5 のいずれか一項に記載の電力変換装置。

【請求項 7】

前記第 2 の電源ノードおよび前記第 3 の電源ノードに接続された第 1 の接続端子部と

50

前記第 1 の電源ノードおよび前記第 3 の電源ノードに接続された第 2 の接続端子部と、
をさらに備え、

前記第 1 のスイッチペアおよび前記第 2 のスイッチペアは、前記第 1 の接続端子部に供給された直流電力に変換可能であり、変換された前記直流電力を前記第 2 の接続端子部から出力可能である

請求項 1 から請求項 5 のいずれか一項に記載の電力変換装置。

【請求項 8】

第 1 の電源ノードと第 1 のノードとを結ぶ経路に設けられた第 1 のインダクタと、
前記第 1 の電源ノードと第 2 のノードとを結ぶ経路に設けられた第 2 のインダクタと、
第 2 の電源ノードと前記第 1 のノードとを結ぶ経路に設けられた第 1 のスイッチと、第 3
の電源ノードと前記第 1 のノードとを結ぶ経路に設けられた第 2 のスイッチとを有する第
1 のスイッチペアと、

10

前記第 2 の電源ノードと前記第 2 のノードとを結ぶ経路に設けられた第 3 のスイッチと、
前記第 3 の電源ノードと前記第 2 のノードとを結ぶ経路に設けられた第 4 のスイッチとを
有する第 2 のスイッチペアと、

前記第 1 の電源ノードから前記第 1 のノードに向かって流れる電流を正の電流とした場合
における前記第 1 のインダクタに流れる第 1 の電流の電流値が、第 1 のしきい値において
減少から増加に転じ第 2 のしきい値において増加から減少に転じるように前記第 1 のスイ
ッチおよび前記第 2 のスイッチの動作を制御可能であり、前記第 1 の電源ノードから前記
第 2 のノードに向かって流れる電流を正の電流とした場合における前記第 2 のインダクタ
に流れる第 2 の電流の電流値が、第 3 のしきい値において減少から増加に転じ第 4 のしき
い値において増加から減少に転じるように前記第 3 のスイッチおよび前記第 4 のスイッチ
の動作を制御可能な制御部と

20

を備え、

前記制御部は、

前記第 1 のスイッチペアの動作サイクルの時間長である第 1 のサイクル時間と、前記第 2
のスイッチペアの動作サイクルの時間長である第 2 のサイクル時間と、前記第 1 のスイッ
チペアの前記動作サイクルの第 1 の終了タイミング、および前記第 2 のスイッチペアの前
記動作サイクルの第 2 の終了タイミングのタイミング差とに基づいて、前記タイミング差
が所定のタイミング差になるように前記第 3 のしきい値および前記第 4 のしきい値のうち
の一方を設定可能であり、

30

前記第 1 のサイクル時間、前記第 2 のサイクル時間、前記第 1 の電源ノードと前記第 3 の
電源ノードの間の第 1 の電圧、および前記第 2 の電源ノードと前記第 3 の電源ノードの間
の第 2 の電圧に基づいて、前記第 1 のインダクタの第 1 のインダクタンスおよび前記第 2
のインダクタの第 2 のインダクタンスを推定可能であり、前記第 1 のインダクタンスおよ
び前記第 2 のインダクタンスに基づいて前記第 3 のしきい値および前記第 4 のしきい値の
うちの前記一方を設定可能である

電力変換装置。

【請求項 9】

請求項 1 から請求項 8 のいずれか一項に記載の電力変換装置と、

40

前記電力変換装置に電力を供給可能な電源と

を備えた電力変換システム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電力を変換する電力変換装置および電力変換システムに関する。

【背景技術】

【0002】

電力変換装置には、複数のレグを設け、各レグにおける動作のタイミングずらすことに
よりインターリーブ動作を行うものがある（例えば、特許文献 1，2 および非特許文献 1

50

)。

【先行技術文献】

【特許文献】

【0003】

【文献】特開2012-19683号公報

特開2019-22396号公報

【非特許文献】

【0004】

【文献】L. Huber, B. T. Irving and M. M. Jovanovic, "Open-Loop Control Methods for Interleaved DCM/CCM Boundary Boost PFC Converters", IEEE Trans. Power Electron., vol. 23, no. 4, pp 1649-1657, July 2008.

10

【発明の概要】

【発明が解決しようとする課題】

【0005】

電力変換装置では、効率が高いことが望まれており、また、電力変換装置のサイズを小さくすることが望まれている。

【0006】

効率の向上および装置の小型化を実現することができる電力変換装置および電力変換システムを提供することが望ましい。

【課題を解決するための手段】

20

【0007】

本発明の一実施の形態に係る第1の電力変換装置は、第1のインダクタと、第2のインダクタと、第1のスイッチペアと、第2のスイッチペアと、制御部とを備える。第1のインダクタは、第1の電源ノードと第1のノードとを結ぶ経路に設けられる。第2のインダクタは、第1の電源ノードと第2のノードとを結ぶ経路に設けられる。第1のスイッチペアは、第2の電源ノードと第1のノードとを結ぶ経路に設けられた第1のスイッチと、第3の電源ノードと第1のノードとを結ぶ経路に設けられた第2のスイッチとを有する。第2のスイッチペアは、第2の電源ノードと第2のノードとを結ぶ経路に設けられた第3のスイッチと、第3の電源ノードと第2のノードとを結ぶ経路に設けられた第4のスイッチとを有する。制御部は、第1の電源ノードから第1のノードに向かって流れる電流を正の電流とした場合における第1のインダクタに流れる第1の電流の電流値が第1のしきい値において減少から増加に転じ第2のしきい値において増加から減少に転じるように第1のスイッチおよび第2のスイッチの動作を制御可能であり、第1の電源ノードから第2のノードに向かって流れる電流を正の電流とした場合における第2のインダクタに流れる第2の電流の電流値が第3のしきい値において減少から増加に転じ第4のしきい値において増加から減少に転じるように第3のスイッチおよび第4のスイッチの動作を制御可能に構成される。上記制御部は、第1のスイッチペアの動作サイクルの時間長である第1のサイクル時間と、第2のスイッチペアの動作サイクルの時間長である第2のサイクル時間と、第1のスイッチペアの動作サイクルの第1の終了タイミング、および第2のスイッチペアの動作サイクルの第2の終了タイミングのタイミング差とに基づいて、タイミング差が所定のタイミング差になるように第3のしきい値および第4のしきい値のうちの一方を設定可能である。上記制御部は、第3のしきい値および第4のしきい値が、第2のスイッチペアがゼロボルトスイッチング動作を行うために超過すべき所定の電流値を挟むように、第3のしきい値および第4のしきい値を設定可能である。

30

40

本発明の一実施の形態に係る第2の電力変換装置は、第1のインダクタと、第2のインダクタと、第1のスイッチペアと、第2のスイッチペアと、制御部とを備える。第1のインダクタは、第1の電源ノードと第1のノードとを結ぶ経路に設けられる。第2のインダクタは、第1の電源ノードと第2のノードとを結ぶ経路に設けられる。第1のスイッチペアは、第2の電源ノードと第1のノードとを結ぶ経路に設けられた第1のスイッチと、第3の電源ノードと第1のノードとを結ぶ経路に設けられた第2のスイッチとを有する。第2

50

のスイッチペアは、第2の電源ノードと第2のノードとを結ぶ経路に設けられた第3のスイッチと、第3の電源ノードと第2のノードとを結ぶ経路に設けられた第4のスイッチとを有する。制御部は、第1の電源ノードから第1のノードに向かって流れる電流を正の電流とした場合における第1のインダクタに流れる第1の電流の電流値が第1のしきい値において減少から増加に転じ第2のしきい値において増加から減少に転じるように第1のスイッチおよび第2のスイッチの動作を制御可能であり、第1の電源ノードから第2のノードに向かって流れる電流を正の電流とした場合における第2のインダクタに流れる第2の電流の電流値が第3のしきい値において減少から増加に転じ第4のしきい値において増加から減少に転じるように第3のスイッチおよび第4のスイッチの動作を制御可能に構成される。上記制御部は、第1のスイッチペアの動作サイクルの時間長である第1のサイクル時間と、第2のスイッチペアの動作サイクルの時間長である第2のサイクル時間と、第1のスイッチペアの動作サイクルの第1の終了タイミング、および第2のスイッチペアの動作サイクルの第2の終了タイミングのタイミング差とに基づいて、タイミング差が所定のタイミング差になるように第3のしきい値および第4のしきい値のうちの一方を設定可能である。上記制御部は、第3のしきい値および第4のしきい値が、第2のスイッチペアがゼロボルトスイッチング動作を行うために超過すべき所定の電流値を挟むように、第3のしきい値および第4しきい値を設定可能である。上記制御部は、第1のサイクル時間、第2のサイクル時間、第1の電源ノードと第3の電源ノードの間の第1の電圧、および第2の電源ノードと第3の電源ノードの間の第2の電圧に基づいて、第1のインダクタの第1のインダクタンスおよび第2のインダクタの第2のインダクタンスを推定可能であり、第1のインダクタンスおよび第2のインダクタンスに基づいて第3のしきい値および第4のしきい値のうちの一方を設定可能である。

10

20

【0008】

本発明の一実施の形態に係る電力変換システムは、上記電力変換装置と、電力変換装置に電力を供給可能な電源とを備える。

【発明の効果】

【0009】

本発明の一実施の形態に係る電力変換装置および電力変換システムによれば、第1のインダクタに流れる第1の電流の電流値が第1のしきい値において減少から増加に転じ第2のしきい値において増加から減少に転じるように第1のスイッチおよび第2のスイッチの動作を制御し、第2のインダクタに流れる第2の電流の電流値が第3のしきい値において減少から増加に転じ第4のしきい値において増加から減少に転じるように第3のスイッチおよび第4のスイッチの動作を制御し、第1のサイクル時間と、第2のサイクル時間と、タイミング差とに基づいて、そのタイミング差が所定のタイミング差になるように第3のしきい値および第4のしきい値のうちの一方を設定するようにしたので、効率の向上および装置の小型化を実現することができる。

30

【図面の簡単な説明】

【0010】

【図1】本発明の一実施の形態に係る電力変換装置の一構成例を表す回路図である。

【図2】図1に示した電力変換装置の一動作例を表すタイミング波形図である。

40

【図3】図1に示したしきい値設定部の一構成例を表すブロック図である。

【図4】図1に示した電力変換装置の一動作例を表す他のタイミング波形図である。

【図5A】図1に示した電力変換装置の一動作例を表す説明図である。

【図5B】図1に示した電力変換装置の他の動作例を表す説明図である。

【図5C】図1に示した電力変換装置の他の動作例を表す説明図である。

【図5D】図1に示した電力変換装置の他の動作例を表す説明図である。

【図5E】図1に示した電力変換装置の他の動作例を表す説明図である。

【図5F】図1に示した電力変換装置の他の動作例を表す説明図である。

【図5G】図1に示した電力変換装置の他の動作例を表す説明図である。

【図5H】図1に示した電力変換装置の他の動作例を表す説明図である。

50

【図 6】図 1 に示した電力変換装置の一動作例を表す他のタイミング波形図である。

【図 7】図 1 に示した電力変換装置の一動作例を表す他のタイミング波形図である。

【図 8】変形例に係るしきい値設定部の一構成例を表すブロック図である。

【図 9】他の変形例に係る電力変換装置の一構成例を表す回路図である。

【図 10】他の変形例に係る電力変換装置の一構成例を表す回路図である。

【図 11】他の変形例に係る電力変換装置の一構成例を表す回路図である。

【図 12】図 11 に示した制御部の一構成例を表すブロック図である。

【図 13】図 12 に示したしきい値設定部の一構成例を表すブロック図である。

【図 14】他の変形例に係る電力変換装置の一構成例を表す回路図である。

【図 15】他の変形例に係る電力変換装置の一構成例を表す回路図である。

10

【発明を実施するための形態】

【0011】

以下、本発明の実施の形態について、図面を参照して詳細に説明する。

【0012】

<実施の形態>

【構成例】

図 1 は、本発明の一実施の形態に係る電力変換装置（電力変換装置 1）の一構成例を表すものである。この電力変換装置 1 は、直流電圧を昇圧する DC / DC 変換装置である。電力変換装置 1 は、入力端子 T 11、T 12 と、出力端子 T 21、T 22 とを備えている。入力端子 T 11、T 12 は直流電源 PDC に接続され、出力端子 T 21、T 22 は負荷 LD に接続される。電力変換装置 1 は、直流電源 PDC から供給された直流電力を変換し、変換された直流電力を負荷 LD に供給するように構成される。

20

【0013】

電力変換装置 1 は、キャパシタ 18 と、電圧検出部 11 と、電流検出部 12M、12S と、インダクタ 13M、13S と、トランジスタ MH、ML、SH、SL と、キャパシタ 15 と、電圧検出部 16 と、制御部 20 とを備えている。

【0014】

キャパシタ 18 の一端は入力端子 T 11 に導かれた電源ノード N1 に接続され、他端は入力端子 T 12 に導かれた電源ノード N3 に接続される。

【0015】

電圧検出部 11 は、入力端子 T 12 での電圧を基準とした、入力端子 T 11 での電圧を電圧 Vin として検出するように構成される。電圧検出部 11 の一端は電源ノード N1 に接続され、他端は電源ノード N3 に接続される。電圧検出部 11 は、検出した電圧 Vin に応じた信号を制御部 20 に供給するようになっている。

30

【0016】

電流検出部 12M は、インダクタ 13M に流れる電流を電流 Im として検出するように構成される。電流検出部 12M の一端は電源ノード N1 に接続され、他端はインダクタ 13M の一端に接続される。電流 Im は、電源ノード N1 からトランジスタ MH のソースおよびトランジスタ ML のドレインに導かれたノード NM に向かって流れる場合に正になるように検出される。電流検出部 12M は、検出した電流 Im に応じた信号を制御部 20 に供給するようになっている。

40

【0017】

電流検出部 12S は、インダクタ 13S に流れる電流を電流 Is として検出するように構成される。電流検出部 12S の一端は電源ノード N1 に接続され、他端はインダクタ 13S の一端に接続される。電流 Is は、電源ノード N1 からトランジスタ SH のソースおよびトランジスタ SL のドレインに導かれたノード NS に向かって流れる場合に正になるように検出される。電流検出部 12S は、検出した電流 Is に応じた信号を制御部 20 に供給するようになっている。

【0018】

インダクタ 13M は、インダクタンス Lm を有するチョークコイルであり、インダクタ

50

13Sは、インダクタンス L_s を有するチョークコイルである。インダクタンス L_m およびインダクタンス L_s は、互いにほぼ同じ値を有する。インダクタ13Mの一端は電流検出部12Mの他端に接続され、他端はノードNMに接続される。インダクタ13Sの一端は電流検出部12Sの他端に接続され、他端はノードNSに接続される。

【0019】

トランジスタMH, ML, SH, SLは、制御部20から供給されたゲート信号GMH, GML, GSH, GSLに基づいてそれぞれスイッチング動作を行うように構成される。トランジスタMH, ML, SH, SLのスイッチング周波数は、数百kHzである。トランジスタMH, ML, SH, SLは、例えばN型のMOSFET (Metal Oxide Semiconductor Field Effect Transistor) を用いて構成される。MOSFETは、例えば、

10

【0020】

トランジスタMHは、電源ノードN2とノードNMとの間の経路に設けられ、オン状態になることにより電源ノードN2をノードNMに接続するように構成される。トランジスタMHのドレインは電源ノードN2に接続され、ゲートにはゲート信号GMHが供給され、ソースはノードNMに接続される。トランジスタMLは、電源ノードN3とノードNMとの間の経路に設けられ、オン状態になることにより電源ノードN3をノードNMに接続するように構成される。トランジスタMLのドレインはノードNMに接続され、ゲートにはゲート信号GMLが供給され、ソースは電源ノードN3に接続される。トランジスタMHおよびトランジスタMLは、マスタレグ14Mを構成する。

20

【0021】

トランジスタSHは、電源ノードN2とノードNSとの間の経路に設けられ、オン状態になることにより電源ノードN2をノードNSに接続するように構成される。トランジスタSHのドレインは電源ノードN2に接続され、ゲートにはゲート信号GSHが供給され、ソースはノードNSに接続される。トランジスタSLは、電源ノードN3とノードNSとの間の経路に設けられ、オン状態になることにより電源ノードN3をノードNSに接続するように構成される。トランジスタSLのドレインはノードNSに接続され、ゲートにはゲート信号GSLが供給され、ソースは電源ノードN3に接続される。トランジスタSHおよびトランジスタSLは、スレーブレグ14Sを構成する。

【0022】

トランジスタMH, ML, SH, SLのそれぞれは、寄生ダイオードおよび寄生キャパシタを含んでいる。寄生ダイオードおよび寄生キャパシタは、トランジスタの寄生素子である。例えば、トランジスタMHでは、寄生ダイオードのアノードはトランジスタMHのソースに接続され、カソードはトランジスタMHのドレインに接続される。また、トランジスタMHでは、寄生キャパシタの一端はトランジスタMHのソースに接続され、他端はトランジスタMHのドレインに接続される。トランジスタML, SH, SLについても同様である。なお、トランジスタMH, ML, SH, SLのそれぞれのドレイン・ソース間に、寄生素子ではない別のキャパシタをさらに接続してもよい。

30

【0023】

キャパシタ15の一端は電源ノードN2に接続され、他端は電源ノードN3に接続される。

40

【0024】

電圧検出部16は、出力端子T22での電圧を基準とした、出力端子T21での電圧を電圧 V_{out} として検出するように構成される。電圧検出部16の一端は出力端子T21に導かれた電源ノードN2に接続され、他端は出力端子T22に導かれた電源ノードN3に接続される。電圧検出部16は、検出した電圧 V_{out} に応じた信号を制御部20に供給するようになっている。

【0025】

制御部20は、電力変換装置1の動作を制御するように構成される。具体的には、制御部20は、電圧検出部11から供給された電圧 V_{in} に応じた信号、電流検出部12Mから

50

供給された電流 I_m に応じた信号、電流検出部 12 S から供給された電流 I_s に応じた信号、および電圧検出部 16 から供給された電圧 V_{out} に応じた信号に基づいて、4 個のゲート信号 G_{MH} , G_{ML} , G_{SH} , G_{SL} を生成する。そして、制御部 20 は、生成したゲート信号 G_{MH} , G_{ML} , G_{SH} , G_{SL} をトランジスタ MH , ML , SH , SL にそれぞれ供給することにより、トランジスタ MH , ML , SH , SL の動作を制御する。このようにして、制御部 20 は、電力変換装置 1 が、直流電源 PDC から供給された直流電力に基づいて、電圧がより高い直流電力に変換し、変換された直流電力を負荷 LD に供給するように制御する。制御部 20 は、しきい値設定部 30 と、コンパレータ 22 ~ 25 と、時間検出部 26 と、ラッチ 27 M, 27 S と、ゲート信号生成部 28 M, 28 S とを有している。

10

【0026】

しきい値設定部 30 は、電圧検出部 11 から供給された電圧 V_{in} に応じた信号、電圧検出部 16 から供給された電圧 V_{out} に応じた信号、時間検出部 26 から供給されたサイクル時間 T_m , T_s (後述) およびタイミング差 ΔT (後述) についての情報に基づいて、4 つの電流しきい値 $I_{pk_m^*}$, $I_{btm_m^*}$, $I_{pk_s^*}$, $I_{btm_s^*}$ を設定するように構成される。電流しきい値 $I_{pk_m^*}$ および電流しきい値 $I_{btm_m^*}$ は、マスタレグ 14 M の動作に係るものであり、電流 I_m の上限値および下限値にそれぞれ対応している。また、電流しきい値 $I_{pk_s^*}$ および電流しきい値 $I_{btm_s^*}$ は、スレーブレグ 14 S の動作に係るものであり、電流 I_s の上限値および下限値にそれぞれ対応している。

【0027】

20

このしきい値設定部 30 は、例えば、1 または複数のマイクロコントローラを用いて構成される。しきい値設定部 30 は、例えば、電圧検出部 11 から供給された電圧 V_{in} に応じた信号に基づいて AD (Analog-to-Digital) 変換を行うことにより、電圧 V_{in} を示すデジタル値を求めるとともに、電圧検出部 16 から供給された電圧 V_{out} に応じた信号に基づいて AD 変換を行うことにより、電圧 V_{out} を示すデジタル値を求める。しきい値設定部 30 は、電圧 V_{in} を示すデジタル値、電圧 V_{out} を示すデジタル値、サイクル時間 T_m , T_s およびタイミング差 ΔT についての情報に基づいて演算処理を行うことにより 4 つの電流しきい値 $I_{pk_m^*}$, $I_{btm_m^*}$, $I_{pk_s^*}$, $I_{btm_s^*}$ を設定する。しきい値設定部 30 は、これらの 4 つの電流しきい値 $I_{pk_m^*}$, $I_{btm_m^*}$, $I_{pk_s^*}$, $I_{btm_s^*}$ に基づいて DA 変換を行うことにより、電流しきい値 $I_{pk_m^*}$ に応じた信号、電流しきい値 $I_{btm_m^*}$ に応じた信号、電流しきい値 $I_{pk_s^*}$ に応じた信号、および電流しきい値 $I_{btm_s^*}$ に応じた信号を生成し、これらの 4 つの電流しきい値に応じた信号を、コンパレータ 22 ~ 25 にそれぞれ供給するようになっている。

30

【0028】

コンパレータ 22 は、電流しきい値 $I_{btm_m^*}$ に応じた信号と電流 I_m に応じた信号とを比較するように構成される。コンパレータ 22 は、例えばアナログ回路により構成され、正入力端子には電流しきい値 $I_{btm_m^*}$ に応じた信号が供給され、負入力端子には電流 I_m に応じた信号が供給される。そして、コンパレータ 22 は、比較結果に応じた信号 C_{Pout1} を出力端子から出力するようになっている。

【0029】

40

コンパレータ 23 は、電流 I_m に応じた信号と電流しきい値 $I_{pk_m^*}$ に応じた信号とを比較するように構成される。コンパレータ 23 は、例えばアナログ回路により構成され、正入力端子には電流 I_m に応じた信号が供給され、負入力端子には電流しきい値 $I_{pk_m^*}$ に応じた信号が供給される。そして、コンパレータ 23 は、比較結果に応じた信号 C_{Pout2} を出力端子から出力するようになっている。

【0030】

コンパレータ 24 は、電流しきい値 $I_{btm_s^*}$ に応じた信号と電流 I_s に応じた信号とを比較するように構成される。コンパレータ 24 は、例えばアナログ回路により構成され、正入力端子には電流しきい値 $I_{btm_s^*}$ に応じた信号が供給され、負入力端子には電流 I_s に応じた信号が供給される。そして、コンパレータ 24 は、比較結果に応じた信号 C_{Pou}

50

t3を出力端子から出力するようになっている。

【0031】

コンパレータ25は、電流 I_s に応じた信号と電流しきい値 $I_{pk_s^*}$ に応じた信号とを比較するように構成される。コンパレータ25は、例えばアナログ回路により構成され、正入力端子には電流 I_s に応じた信号が供給され、負入力端子には電流しきい値 $I_{pk_s^*}$ に応じた信号が供給される。そして、コンパレータ25は、比較結果に応じた信号C Pout4を出力端子から出力するようになっている。

【0032】

時間検出部26は、信号C Pout1および信号C Pout3に基づいて、例えばタイマを用いて、サイクル時間 T_m 、 T_s およびタイミング差 ΔT を検出するように構成される。サイクル時間 T_m は、マスタレグ14Mにおける動作サイクルの時間長であり、サイクル時間 T_s は、スレーブレグ14Sにおける動作サイクルの時間長である。また、タイミング差 ΔT は、マスタレグ14Mの動作サイクルの終了タイミングと、スレーブレグ14Sの動作サイクルの終了タイミングとの間のタイミング差である。そして、時間検出部26は、サイクル時間 T_m 、 T_s およびタイミング差 ΔT についての情報をしきい値設定部30に供給するようになっている。

10

【0033】

ラッチ27Mは、いわゆるSR (Set-Reset) ラッチであり、セット入力端子Sには信号C Pout1が入力され、リセット入力端子Rには信号C Pout2が入力される。また、ラッチ27Mは、出力端子Qから信号GML2を出力するとともに、出力端子QBから信号GMH2を出力するようになっている。信号GMH2および信号GML2は、互いに反転した論理信号である。

20

【0034】

ラッチ27Sは、いわゆるSRラッチであり、セット入力端子Sには信号C Pout3が入力され、リセット入力端子Rには信号C Pout4が入力される。また、ラッチ27Sは、出力端子Qから信号GSL2を出力するとともに、出力端子QBから信号GSH2を出力するようになっている。信号GSH2および信号GSL2は、互いに反転した論理信号である。

【0035】

ゲート信号生成部28Mは、マスタレグ14Mにおけるいわゆるデッドタイムを設定することにより、信号GMH2に基づいてゲート信号GMHを生成するとともに、信号GML2に基づいてゲート信号GMLを生成するように構成される。

30

【0036】

ゲート信号生成部28Sは、スレーブレグ14Sにおけるいわゆるデッドタイムを設定することにより、信号GSH2に基づいてゲート信号GSHを生成するとともに、信号GSL2に基づいてゲート信号GSLを生成するように構成される。

【0037】

図2は、定常状態における電力変換装置1の一動作例を表すものであり、(A)は電流 I_m の波形を示し、(B)は電流 I_s の波形を示し、(C)～(F)は信号C Pout1～C Pout4の波形をそれぞれ示し、(G)～(J)はゲート信号GMH, GML, GSH, GSLの波形をそれぞれ示す。なお、図2(G)～(J)では、説明の便宜上、ゲート信号GMH, GML, GSH, GSLにおけるデッドタイムの図示を省略している。

40

【0038】

図2(A)に示したように、電流 I_m は、電流しきい値 $I_{btm_m^*}$ と電流しきい値 $I_{pk_m^*}$ との間で往復する。電流 I_m は、マスタレグ14Mの各動作サイクルにおいて、電流しきい値 $I_{btm_m^*}$ から増加し始めて電流しきい値 $I_{pk_m^*}$ に到達し、この電流しきい値 $I_{pk_m^*}$ において増加から減少に転じ、この電流しきい値 $I_{pk_m^*}$ から減少し始めて電流しきい値 $I_{btm_m^*}$ に到達し、この電流しきい値 $I_{btm_m^*}$ において減少から増加に転じる。

【0039】

50

同様に、図 2 (B) に示したように、電流 I_s は、電流しきい値 $I_{btm_s^*}$ と電流しきい値 $I_{pk_s^*}$ との間で往復する。電流 I_s は、スレーブレグ 14 S の各動作サイクルにおいて、電流しきい値 $I_{btm_s^*}$ から増加し始めて電流しきい値 $I_{pk_s^*}$ に到達し、この電流しきい値 $I_{pk_s^*}$ において増加から減少に転じ、この電流しきい値 $I_{pk_s^*}$ から減少し始めて電流しきい値 $I_{btm_s^*}$ に到達、この電流しきい値 $I_{btm_s^*}$ において減少から増加に転じる。

【0040】

例えば、タイミング t_1 において減少し始めた電流 I_m がタイミング t_2 において電流しきい値 $I_{btm_m^*}$ に到達すると、コンパレータ 22 の出力信号である信号 C_{Pout1} は高レベルになる (図 2 (A), (C))。これにより、ラッチ 27 M はセットされ、信号 $G_{ML} 2$ が低レベルから高レベルに変化するとともに信号 $G_{MH} 2$ が高レベルから低レベルに変化する。これに応じて、ゲート信号 G_{MH} が高レベルから低レベルに変化し、ゲート信号 G_{ML} が低レベルから高レベルに変化する (図 2 (G), (H))。これにより、トランジスタ MH がオン状態からオフ状態になるとともに、トランジスタ ML がオフ状態からオン状態になるので、電流 I_m は増加し始める (図 2 (A))。その結果、コンパレータ 22 の出力信号である信号 C_{Pout1} は低レベルに戻る (図 2 (C))。

【0041】

このようにしてタイミング t_2 において増加し始めた電流 I_m が、タイミング t_5 において電流しきい値 $I_{pk_m^*}$ に到達すると、コンパレータ 23 の出力信号である信号 C_{Pout2} は高レベルになる (図 2 (A), (D))。これにより、ラッチ 27 M はリセットされ、信号 $G_{ML} 2$ が高レベルから低レベルに変化するとともに信号 $G_{MH} 2$ が低レベルから高レベルに変化する。これに応じて、ゲート信号 G_{MH} が低レベルから高レベルに変化し、ゲート信号 G_{ML} が高レベルから低レベルに変化する (図 2 (G), (H))。これにより、トランジスタ MH がオフ状態からオン状態になるとともに、トランジスタ ML がオン状態からオフ状態になるので、電流 I_m は減少し始める (図 2 (A))。その結果、コンパレータ 23 の出力信号である信号 C_{Pout2} は低レベルに戻る (図 2 (D))。

【0042】

このようにしてタイミング t_5 において減少し始めた電流 I_m は、タイミング t_6 において電流しきい値 $I_{btm_m^*}$ に到達する (図 2 (A))。電力変換装置 1 は、このようなタイミング $t_2 \sim t_6$ の動作を繰り返す。

【0043】

以上、電流 I_m について説明したが、電流 I_s についても同様である。すなわち、例えば、タイミング t_3 において減少し始めた電流 I_s が、タイミング t_4 において電流しきい値 $I_{btm_s^*}$ に到達すると、コンパレータ 24 の出力信号である信号 C_{Pout3} は高レベルになる (図 2 (B), (E))。これにより、ラッチ 27 S はセットされ、信号 $G_{SL} 2$ が低レベルから高レベルに変化するとともに信号 $G_{SH} 2$ が高レベルから低レベルに変化する。これに応じて、ゲート信号 G_{SH} が高レベルから低レベルに変化し、ゲート信号 G_{SL} が低レベルから高レベルに変化する (図 2 (I), (J))。これにより、トランジスタ SH がオン状態からオフ状態になるとともに、トランジスタ SL がオフ状態からオン状態になるので、電流 I_s は増加し始める (図 2 (B))。その結果、コンパレータ 24 の出力信号である信号 C_{Pout3} は低レベルに戻る (図 2 (E))。

【0044】

このようにしてタイミング t_4 において増加し始めた電流 I_s が、タイミング t_7 において電流しきい値 $I_{pk_s^*}$ に到達すると、コンパレータ 25 の出力信号である信号 C_{Pout4} は高レベルになる (図 2 (B), (F))。これにより、ラッチ 27 S はリセットされ、信号 $G_{SL} 2$ が高レベルから低レベルに変化するとともに信号 $G_{SH} 2$ が低レベルから高レベルに変化する。これに応じて、ゲート信号 G_{SH} が低レベルから高レベルに変化し、ゲート信号 G_{SL} が高レベルから低レベルに変化する (図 2 (I), (J))。これにより、トランジスタ SH がオフ状態からオン状態になるとともに、トランジスタ SL がオン状態からオフ状態になるので、電流 I_s は減少し始める (図 2 (B))。その結果、コ

ンパレータ 25 の出力信号である信号 C P out4 は低レベルに戻る（図 2（F））。

【0045】

このようにしてタイミング t 7 において減少し始めた電流 I_s は、タイミング t 8 において電流しきい値 $I_{btm_s}^*$ に到達する（図 2（B））。電力変換装置 1 は、このようなタイミング t 4 ~ t 8 の動作を繰り返す。

【0046】

このように、マスタレグ 14 M の動作サイクルは、例えばタイミング t 2 において開始してタイミング t 6 において終了し、スレーブレグ 14 S の動作サイクルは、例えばタイミング t 4 において開始してタイミング t 8 において終了する。しきい値設定部 30 は、マスタレグ 14 M の動作サイクルの終了タイミングと、スレーブレグ 14 S の動作サイクルの終了タイミングとのタイミング差 ΔT が、これらの動作サイクルの時間長の半分と等しくなるように、各動作サイクルにおける、スレーブレグ 14 S に係る電流しきい値 $I_{pk_s}^*$ 、 $I_{btm_s}^*$ を順次設定する。言い換えれば、しきい値設定部 30 は、マスタレグ 14 M の動作サイクルと、スレーブレグ 14 S の動作サイクルとが、互いに 180 度分の位相だけずれるように、各動作サイクルにおける電流しきい値 $I_{pk_s}^*$ 、 $I_{btm_s}^*$ を順次設定する。これにより、電力変換装置 1 は、2 相のインターリーブ動作を行うことができるようになっている。

【0047】

図 3 は、しきい値設定部 30 の一構成例を表すものである。図 2 において、“k” は動作サイクルの番目の数を示し、“*” は指令値を示し、“^” は推定値を示す。しきい値設定部 30 は、例えば、マスタレグ 14 M の“k” 番目の動作サイクルにおいて、マスタレグ 14 M の次の“k+1” 番目の動作サイクルで使用すべき電流しきい値 $I_{pk_m}^*[k+1]$ 、 $I_{btm_m}^*[k+1]$ を算出し、その“k+1” 番目の動作サイクルが開始したときに、算出した電流しきい値 $I_{pk_m}^*[k+1]$ 、 $I_{btm_m}^*[k+1]$ に応じた信号をコンパレータ 22、23 に供給する。同様に、しきい値設定部 30 は、例えば、スレーブレグ 14 S の“k” 番目の動作サイクルにおいて、スレーブレグ 14 S の次の“k+1” 番目の動作サイクルで使用すべき電流しきい値 $I_{pk_s}^*[k+1]$ 、 $I_{btm_s}^*[k+1]$ を算出し、その“k+1” 番目の動作サイクルが開始したときに、算出した電流しきい値 $I_{pk_s}^*[k+1]$ 、 $I_{btm_s}^*[k+1]$ に応じた信号をコンパレータ 24、25 に供給する。しきい値設定部 30 は、しきい値算出部 31 M、31 S を有している。

【0048】

しきい値算出部 31 M は、電圧 V_{in} 、 V_{out} に基づいて、マスタレグ 14 M に係る電流しきい値 $I_{pk_m}^*[k+1]$ 、 $I_{btm_m}^*[k+1]$ を算出するように構成される。その際、しきい値算出部 31 M は、電流しきい値 $I_{btm_m}^*[k+1]$ が、マスタレグ 14 M におけるしきい値 I_{cmdc} より低い値になるように、しきい値 $I_{btm_m}^*[k+1]$ を算出するようになっている。ここで、マスタレグ 14 M におけるしきい値 I_{cmdc} は、例えば負の値であり、マスタレグ 14 M が ZVS（Zero Voltage Switching）動作を行うために超過すべき電流 I_m の値であり、インダクタンス L_m などによりあらかじめ決定される。

【0049】

しきい値算出部 31 S は、電圧 V_{in} 、 V_{out} 、サイクル時間 T_m 、 T_s 、およびタイミング差 ΔT に基づいて、スレーブレグ 14 S に係る電流しきい値 $I_{pk_s}^*[k+1]$ 、 $I_{btm_s}^*[k+1]$ を算出するように構成される。その際、しきい値算出部 31 S は、電流しきい値 $I_{btm_s}^*[k+1]$ が、スレーブレグ 14 S におけるしきい値 I_{cmdc} より低い値になるように、電流しきい値 $I_{btm_s}^*[k+1]$ を算出するようになっている。ここで、スレーブレグ 14 S におけるしきい値 I_{cmdc} は、例えば負の値であり、スレーブレグ 14 S が ZVS 動作を行うために超過すべき電流 I_s の値であり、インダクタンス L_s などによりあらかじめ決定される。しきい値算出部 31 S は、インダクタンス推定部 32 と、しきい値推定部 33 と、時間推定部 34 と、インターリーブ制御部 35 とを有している。

【0050】

インダクタンス推定部 32 は、電圧 V_{in} 、 V_{out} 、サイクル時間 $T_m[k-1]$ 、 $T_s[k-1]$

10

20

30

40

50

、電流しきい値 $I_{pk_m}[k-1]$, $I_{btm_m}[k-1]$, $I_{pk_s}[k-1]$, $I_{btm_s}[k-1]$, $I_{btm_m}[k-2]$, $I_{btm_s}[k-2]$ に基づいて、インダクタンス L_m の推定値である推定インダクタンス $L_m^{\wedge}$ 、およびインダクタンス L_s の推定値である推定インダクタンス $L_s^{\wedge}$ を算出するように構成される。ここで、サイクル時間 $T_m[k-1]$ は、マスタレグ 14 M の “ $k-1$ ” 番目の動作サイクルにおけるサイクル時間 T_m であり、サイクル時間 $T_s[k-1]$ は、スレーブレグ 14 S の “ $k-1$ ” 番目の動作サイクルにおけるサイクル時間 T_s である。電流しきい値 $I_{pk_m}[k-1]$, $I_{btm_m}[k-1]$ は、マスタレグ 14 M の “ $k-1$ ” 番目の動作サイクルにおける電流しきい値 I_{pk_m} , I_{btm_m} である。電流しきい値 $I_{btm_m}[k-2]$ は、マスタレグ 14 M の “ $k-2$ ” 番目の動作サイクルにおける電流しきい値 I_{btm_m} である。電流しきい値 $I_{pk_s}[k-1]$, $I_{btm_s}[k-1]$ は、スレーブレグ 14 S の “ $k-1$ ” 番目の動作サイクルにおける電流しきい値 I_{pk_s} , I_{btm_s} である。電流しきい値 $I_{btm_s}[k-2]$ は、スレーブレグ 14 S の “ $k-2$ ” 番目の動作サイクルにおける電流しきい値 I_{btm_s} である。

【0051】

例えば、インダクタンス推定部 32 は、例えば、電圧 V_{in} , V_{out} 、サイクル時間 $T_m[k-1]$ 、電流しきい値 $I_{pk_m}[k-1]$, $I_{btm_m}[k-1]$, $I_{btm_m}[k-2]$ に基づいて、推定インダクタンス $L_m^{\wedge}$ を算出することができる。すなわち、例えば、図 2 (A) に示したように、電流 I_m は、マスタレグ 14 M の各動作サイクルにおいて、電流しきい値 I_{btm_m} から増加し始めて電流しきい値 I_{pk_m} に到達し、この電流しきい値 I_{pk_m} から減少し始めて電流しきい値 I_{btm_m} に到達する。例えば、“ $k-1$ ” 番目の動作サイクルでは、サイクル時間 $T_m[k-1]$ の間に、電流 I_m は、電流しきい値 $I_{btm_m}[k-2]$ から増加し始めて電流しきい値 $I_{pk_m}[k-1]$ に到達し、その電流しきい値 $I_{pk_m}[k-1]$ から減少し始めて電流しきい値 $I_{btm_m}[k-1]$ に到達する。この電流 I_m の増加率および減少率は、電圧 V_{in} , V_{out} およびインダクタンス L_m により定まる。よって、インダクタンス推定部 32 は、電圧 V_{in} , V_{out} 、サイクル時間 $T_m[k-1]$ 、電流しきい値 $I_{pk_m}[k-1]$, $I_{btm_m}[k-1]$, $I_{btm_m}[k-2]$ に基づいて、インダクタンス L_m を推定することにより、推定インダクタンス $L_m^{\wedge}$ を算出することができる。

【0052】

同様に、インダクタンス推定部 32 は、例えば、電圧 V_{in} , V_{out} 、サイクル時間 $T_s[k-1]$ 、電流しきい値 $I_{pk_s}[k-1]$, $I_{btm_s}[k-1]$, $I_{btm_s}[k-2]$ に基づいて、推定インダクタンス $L_s^{\wedge}$ を算出することができる。

【0053】

しきい値推定部 33 は、電流しきい値 $I_{pk_m}[k]$, $I_{btm_m}[k]$ に基づいて、電流しきい値 $I_{pk_m}[k+1]$ の推定値である推定しきい値 $I_{pk_m}^{\wedge}[k+1]$ 、および電流しきい値 $I_{btm_m}[k+1]$ の推定値である推定しきい値 $I_{btm_m}^{\wedge}[k+1]$ を算出するように構成される。ここで、電流しきい値 $I_{pk_m}[k]$, $I_{btm_m}[k]$ は、マスタレグ 14 M の “ k ” 番目の動作サイクルにおける電流しきい値 I_{pk_m} , I_{btm_m} である。電流しきい値 $I_{pk_m}[k+1]$, $I_{btm_m}[k+1]$ は、マスタレグ 14 M の “ $k+1$ ” 番目の動作サイクルにおける電流しきい値 I_{pk_m} , I_{btm_m} である。

【0054】

例えば、しきい値推定部 33 は、電流しきい値 $I_{pk_m}[k]$ をそのまま推定しきい値 $I_{pk_m}^{\wedge}[k+1]$ として用いるとともに、電流しきい値 $I_{btm_m}[k]$ をそのまま推定しきい値 $I_{btm_m}^{\wedge}[k+1]$ として用いてもよい。また、しきい値推定部 33 は、電流しきい値 $I_{pk_m}[k]$, $I_{btm_m}[k]$ に加え、さらに他のパラメータにも基づいて、推定しきい値 $I_{pk_m}^{\wedge}[k+1]$, $I_{btm_m}^{\wedge}[k+1]$ を算出してもよい。

【0055】

時間推定部 34 は、電圧 V_{in} , V_{out} 、推定インダクタンス $L_m^{\wedge}$, $L_s^{\wedge}$ 、タイミング差 $\Delta T[k-1]$ 、電流しきい値 $I_{pk_m}[k]$, $I_{btm_m}[k]$, $I_{pk_s}[k]$, $I_{btm_s}[k]$ 、および推定しきい値 $I_{pk_m}^{\wedge}[k+1]$, $I_{btm_m}^{\wedge}[k+1]$ に基づいて、サイクル時間 $T_m[k]$ の推定値である推定サイクル時間 $T_m^{\wedge}[k]$ 、サイクル時間 $T_s[k]$ の推定値である推定サイ

10

20

30

40

50

クル時間 $T_s^*[k]$ 、サイクル時間 $T_m[k+1]$ の推定値である推定サイクル時間 $T_m^*[k+1]$ 、およびタイミング差 $\Delta T[k]$ の推定値である推定タイミング差 $\Delta T^*[k]$ を算出するように構成される。ここで、タイミング差 $\Delta T[k-1]$ は、マスタレグ 14 M の “ $k-1$ ” 番目の動作サイクルの終了タイミングと、スレーブレグ 14 S の “ $k-1$ ” 番目の動作サイクルの終了タイミングとの間のタイミング差である。電流しきい値 $I_{pk_s}^*[k]$ 、 $I_{btm_s}^*[k]$ は、スレーブレグ 14 S の “ k ” 番目の動作サイクルにおける電流しきい値 $I_{pk_s}^*$ 、 $I_{btm_s}^*$ である。

【0056】

例えば、時間推定部 34 は、上述したインダクタンス推定部 32 の算出原理と同様の算出原理を用いて、推定サイクル時間 $T_m^*[k]$ 、 $T_s^*[k]$ 、 $T_m^*[k+1]$ および推定タイミング差 $\Delta T^*[k]$ を算出することができる。

10

【0057】

インターリーブ制御部 35 は、電圧 V_{in} 、 V_{out} 、推定サイクル時間 $T_m^*[k]$ 、 $T_s^*[k]$ 、 $T_m^*[k+1]$ 、および推定タイミング差 $\Delta T^*[k]$ に基づいて、マスタレグ 14 M の動作サイクルと、スレーブレグ 14 S の動作サイクルとが、互いに 180 度分の位相だけずれるように、電流しきい値 $I_{pk_s}^*[k+1]$ 、 $I_{btm_s}^*[k+1]$ を算出するように構成される。

【0058】

ここで、インダクタ 13 M は、本開示における「第 1 のインダクタ」の一具体例に対応する。インダクタ 13 S は、本開示における「第 2 のインダクタ」の一具体例に対応する。トランジスタ M H は、本開示における「第 1 のスイッチ」の一具体例に対応し、トランジスタ M L は、本開示における「第 2 のスイッチ」の一具体例に対応する。マスタレグ 14 M は、本開示における「第 1 のスイッチペア」の一具体例に対応する。トランジスタ S H は、本開示における「第 3 のスイッチ」の一具体例に対応し、トランジスタ S L は、本開示における「第 4 のスイッチ」の一具体例に対応する。スレーブレグ 14 S は、本開示における「第 2 のスイッチペア」の一具体例に対応する。電源ノード N 1 は、本開示における「第 1 の電源ノード」の一具体例に対応し、電源ノード N 2 は、本開示における「第 2 の電源ノード」の一具体例に対応し、電源ノード N 3 は、本開示における「第 3 の電源ノード」の一具体例に対応する。ノード N M は、本開示における「第 1 のノード」の一具体例に対応する。ノード N S は、本開示における「第 2 のノード」の一具体例に対応する。入力端子 T 1 1、T 1 2 は、本開示における「第 1 の接続端子部」の一具体例に対応する。出力端子 T 2 1、T 2 2 は、本開示における「第 2 の接続端子部」の一具体例に対応する。制御部 20 は、本開示における「制御部」の一具体例に対応する。コンパレータ 22 は、本開示における「第 1 のコンパレータ」の一具体例に対応する。コンパレータ 23 は、本開示における「第 2 のコンパレータ」の一具体例に対応する。コンパレータ 24 は、本開示における「第 3 のコンパレータ」の一具体例に対応する。コンパレータ 25 は、本開示における「第 4 のコンパレータ」の一具体例に対応する。

20

30

【0059】

電流 I_m は、本開示における「第 1 の電流」の一具体例に対応する。電流 I_s は、本開示における「第 2 の電流」の一具体例に対応する。電流しきい値 $I_{btm_m}^*$ は、本開示における「第 1 のしきい値」の一具体例に対応し、電流しきい値 $I_{pk_m}^*$ は、本開示における「第 2 のしきい値」の一具体例に対応し、電流しきい値 $I_{btm_s}^*$ は、本開示における「第 3 のしきい値」の一具体例に対応し、電流しきい値 $I_{pk_s}^*$ は、本開示における「第 4 のしきい値」の一具体例に対応する。しきい値 I_{cmdc} は、本開示における「所定の電流値」の一具体例に対応する。サイクル時間 T_m は、本開示における「第 1 のサイクル時間」の一具体例に対応し、サイクル時間 T_s は、本開示における「第 2 のサイクル時間」の一具体例に対応し、タイミング差 ΔT は、本開示における「タイミング差」の一具体例に対応する。電圧 V_{in} は、本開示における「第 1 の電圧」の一具体例に対応する。電圧 V_{out} は、本開示における「第 2 の電圧」の一具体例に対応する。

40

【0060】

〔動作および作用〕

50

続いて、本実施の形態の電力変換装置 1 の動作および作用について説明する。

【0061】

(全体動作概要)

まず、図 1 を参照して、電力変換装置 1 の全体動作概要を説明する。電圧検出部 11 は、電源ノード N3 での電圧を基準とした、電源ノード N1 での電圧を電圧 V_{in} として検出する。電流検出部 12M は、インダクタ 13M に流れる電流を電流 I_m として検出する。電流検出部 12S は、インダクタ 13S に流れる電流を電流 I_s として検出する。トランジスタ MH, ML, SH, SL は、ゲート信号 GMH, GML, GSH, GSL に基づいてそれぞれスイッチング動作を行う。電圧検出部 16 は、電源ノード N3 での電圧を基準とした、電源ノード N2 での電圧を電圧 V_{out} として検出する。制御部 20 は、電圧検出部 11 から供給された電圧 V_{in} に応じた信号、電流検出部 12M から供給された電流 I_m に応じた信号、電流検出部 12S から供給された電流 I_s に応じた信号、および電圧検出部 16 から供給された電圧 V_{out} に応じた信号に基づいて、4 個のゲート信号 GMH, GML, GSH, GSL を生成する。

10

【0062】

(詳細動作)

まず、マスタレグ 14M の動作について、詳細に説明する。

【0063】

図 4 は、マスタレグ 14M の一動作例を表すものであり、(A) はゲート信号 GMH の波形を示し、(B) はゲート信号 GML の波形を示し、(C) はノード NM の電圧 V_{NM} の波形を示し、(D) は電流 I_m の波形を示す。図 4 (A), (B) には、デッドタイム T_d を描いている。

20

【0064】

図 5 A ~ 5 H は、マスタレグ 14M の動作状態を表すものである。なお、図 5 A ~ 5 H では、説明の便宜上、マスタレグ 14M の動作を説明するために必要なもののみを図示しており、負荷 LD の代わりに直流電源 PDC2 を接続している。図 5 A ~ 5 H では、電源ノード N3 を接地しており、トランジスタ MH, ML を、オン状態またはオフ状態を示すスイッチを用いて描いている。

【0065】

タイミング $t_{11} \sim t_{12}$ の期間 P1 では、図 4 に示したように、ゲート信号 GMH は低レベルであり、ゲート信号 GML は高レベルである (図 4 (A), (B))。よって、トランジスタ MH はオフ状態であり、トランジスタ ML はオン状態である。トランジスタ ML がオン状態であるので、ノード NM の電圧は 0 V である (図 4 (C))。すなわち、電源ノード N1 の電圧 V_{in} はノード NM の電圧よりも高い。図 5 A に示したように、電流 I は、直流電源 PDC、インダクタ 13M、オン状態であるトランジスタ ML、直流電源 PDC の順に流れる。このようにして、インダクタ 13M に流れる電流 I_m は、0 (ゼロ) から増加する (図 4 (D))。

30

【0066】

そして、タイミング t_{12} において、ゲート信号 GML が高レベルから低レベルに変化することにより (図 4 (B))、トランジスタ ML はオン状態からオフ状態に変化する。これにより、タイミング $t_{12} \sim t_{13}$ の期間 P2 において、図 5 B に示したように、電流 I が、直流電源 PDC、インダクタ 13M、オフ状態であるトランジスタ ML の寄生キャパシタ、直流電源 PDC の順に流れるとともに、直流電源 PDC、インダクタ 13M、オフ状態であるトランジスタ MH の寄生キャパシタ、直流電源 PDC2、直流電源 PDC の順に流れる。このようにして、トランジスタ ML の寄生キャパシタが充電されるとともに、トランジスタ MH の寄生キャパシタが放電され、ノード NM の電圧 V_{NM} が上昇する (図 4 (C))。そして、この期間 P2 において、電流 I_m は減少し始める (図 4 (D))。

40

【0067】

そして、タイミング t_{13} において、ノード NM の電圧が電圧 V_{out} よりも寄生ダイオ

50

ードの順方向電圧分だけ高い電圧に到達すると、トランジスタMHの寄生ダイオードがオン状態になり、ノードNMの電圧 V_{NM} の上昇が停止する（図4（C））。これにより、タイミング $t_{13} \sim t_{14}$ の期間P3において、図5Cに示したように、電流Iは、直流電源PDC、インダクタ13M、オフ状態であるトランジスタMHの寄生ダイオード、直流電源PDC2、直流電源PDCの順に流れる。電流Imは引き続き減少し続ける（図4（D））。

【0068】

そして、タイミング t_{14} において、ゲート信号GMHが低レベルから高レベルに変化することにより（図4（A））、トランジスタMHはオフ状態からオン状態に変化する。これにより、タイミング $t_{14} \sim t_{15}$ の期間P4において、図5Dに示したように、電流Iは、直流電源PDC、インダクタ13M、オン状態であるトランジスタMH、直流電源PDC2、直流電源PDCの順に流れる。電流Imは引き続き減少し続ける（図4（D））。このように、一つ前の期間P3において、トランジスタMHの寄生ダイオードをオン状態にし、この期間P4においてトランジスタMHをオン状態にすることにより、トランジスタMHをZVS動作させることができる。

【0069】

そして、タイミング t_{15} において、電流Imが0（ゼロ）に到達し、減少し続ける（図4（D））。これにより、タイミング $t_{15} \sim t_{16}$ の期間P5において、図5Eに示したように、電流Iは、直流電源PDC、直流電源PD2、オン状態であるトランジスタMH、インダクタ13M、直流電源PDCの順に流れる。

【0070】

そして、タイミング t_{16} において、ゲート信号GMHが高レベルから低レベルに変化することにより（図4（A））、トランジスタMHはオン状態からオフ状態に変化する。これにより、タイミング $t_{16} \sim t_{17}$ の期間P6において、図5Fに示したように、電流Iは、直流電源PDC、オフ状態であるトランジスタMLの寄生キャパシタ、インダクタ13M、直流電源PDCの順に流れるとともに、直流電源PDC、直流電源PDC2、オフ状態であるトランジスタMHの寄生キャパシタ、インダクタ13M、直流電源PDCの順に流れる。このようにして、トランジスタMHの寄生キャパシタが充電されるとともに、トランジスタMLの寄生キャパシタが放電され、ノードNMの電圧 V_{NM} が下降する（図4（C））。そして、この期間P6において、電流Imは増加し始める（図4（D））。

【0071】

そして、タイミング t_{17} において、ノードNMの電圧が0Vよりも寄生ダイオードの順方向電圧分だけ低い電圧に到達すると、トランジスタMLの寄生ダイオードがオン状態になり、ノードNMの電圧 V_{NM} の下降が停止する（図4（C））。これにより、タイミング $t_{17} \sim t_{18}$ の期間P7において、図5Gに示したように、電流Iは、直流電源PDC、オフ状態であるトランジスタMLの寄生ダイオード、インダクタ13M、直流電源PDCの順に流れる。電流Imは引き続き増加し続ける（図4（D））。

【0072】

そして、タイミング t_{18} において、ゲート信号GMLが低レベルから高レベルに変化することにより（図4（B））、トランジスタMLはオフ状態からオン状態に変化する。これにより、タイミング $t_{18} \sim t_{19}$ の期間P8において、図5Hに示したように、電流Iは、直流電源PDC、オン状態であるトランジスタML、インダクタ13M、直流電源PDCの順に流れる。電流Imは引き続き増加し続ける（図4（D））。このように、一つ前の期間P7において、トランジスタMLの寄生ダイオードをオン状態にし、この期間P8においてトランジスタMLをオン状態にすることにより、トランジスタMLをZVS動作させることができる。

【0073】

そして、タイミング t_{19} において、電流Imが0（ゼロ）に到達し、増加し続ける（図4（D））。これにより、期間P1（図5A）と同様に、タイミング $t_{15} \sim t_{16}$ の

10

20

30

40

50

期間 P 5 において、電流 I は、直流電源 P D C、インダクタ 1 3 M、オン状態であるトランジスタ M L、直流電源 P D C の順に流れる。

【 0 0 7 4 】

マスタレグ 1 4 M は、このようなタイミング $t_{11} \sim t_{19}$ の動作を繰り返す。以上、マスタレグ 1 4 M の動作を例に説明したが、スレーブレグ 1 4 S の動作についても同様である。

【 0 0 7 5 】

このように、電力変換装置 1 では、トランジスタをオフ状態からオン状態に変化させる際、トランジスタの寄生ダイオードがオン状態である期間においてトランジスタをオン状態に変化させるようにしたので、Z V S 動作を実現できるので、効率を高めることができる。

10

【 0 0 7 6 】

また、電力変換装置 1 では、トランジスタの寄生ダイオードのリカバリが生じないようにした。すなわち、仮に、期間 P 4 のように、電流 I_m が正である期間において、トランジスタ M H をオフ状態にするとともにトランジスタ M L をオン状態にすると、トランジスタ M H の寄生ダイオードに過渡的にリカバリ電流が流れ、損失が生じてしまう。電力変換装置 1 では、期間 P 5 以降において、電流 I_m が負になってから、トランジスタ M H をオフ状態にするとともにトランジスタ M L をオン状態にしたので、トランジスタ M H の寄生ダイオードにこのリカバリ電流が生じない。よって、電力変換装置 1 では、損失を抑えることができる。

20

【 0 0 7 7 】

次に、制御部 2 0 の動作について詳細に説明する。

【 0 0 7 8 】

図 6 は、サイクル時間 T_m 、 T_s およびタイミング差 ΔT の検出動作の一例を表すものであり、(A) は電流 I_m の波形を示し、(B) は電流 I_s の波形を示し、(C) は信号 C P out1 の波形を示し、(D) は信号 C P out3 の波形を示す。

【 0 0 7 9 】

電流 I_m が減少して電流しきい値 $I_{btm_m^*}$ に到達すると、電流 I_m は減少から増加に転じるとともに信号 C P out1 にパルスが生じる (図 6 (A), (C))。同様に、電流 I_s が減少して電流しきい値 $I_{btm_s^*}$ に到達すると、電流 I_s は減少から増加に転じるとともに信号 C P out3 にパルスが生じる (図 6 (B), (D))。時間検出部 2 6 は、これらの信号 C P out1、C P out3 に基づいて、サイクル時間 T_m 、 T_s およびタイミング差 ΔT を検出する。この図 6 では、“ $k-1$ ” 番目の動作サイクルにおけるサイクル時間 $T_m[k-1]$ 、 $T_s[k-1]$ およびタイミング差 $\Delta T[k-1]$ 、“ k ” 番目の動作サイクルにおけるサイクル時間 $T_m[k]$ 、 $T_s[k]$ およびタイミング差 $\Delta T[k]$ 、“ $k+1$ ” 番目の動作サイクルにおけるサイクル時間 $T_m[k+1]$ 、 $T_s[k+1]$ およびタイミング差 $\Delta T[k+1]$ を図示している。そして、時間検出部 2 6 は、サイクル時間 T_m 、 T_s およびタイミング差 ΔT についての情報をしきい値設定部 3 0 に供給する。

30

【 0 0 8 0 】

図 7 は、4 つの電流しきい値 $I_{pk_m^*}$ 、 $I_{btm_m^*}$ 、 $I_{pk_s^*}$ 、 $I_{btm_s^*}$ の設定動作の一例を表すものであり、(A) は電流 I_m の波形を示し、(B) は電流 I_s の波形を示す。

40

【 0 0 8 1 】

しきい値設定部 3 0 は、電圧検出部 1 1 から供給された電圧 V_{in} に応じた信号、電圧検出部 1 6 から供給された電圧 V_{out} に応じた信号、時間検出部 2 6 から供給されたサイクル時間 T_m 、 T_s およびタイミング差 ΔT についての情報に基づいて、4 つの電流しきい値 $I_{pk_m^*}$ 、 $I_{btm_m^*}$ 、 $I_{pk_s^*}$ 、 $I_{btm_s^*}$ を設定する。この図 6 では、“ $k-2$ ” 番目の動作サイクルにおける電流しきい値 $I_{pk_m^*}[k-2]$ 、 $I_{btm_m^*}[k-2]$ 、 $I_{pk_s^*}[k-2]$ 、 $I_{btm_s^*}[k-2]$ 、“ $k-1$ ” 番目の動作サイクルにおける電流しきい値 $I_{pk_m^*}[k-1]$ 、 $I_{btm_m^*}[k-1]$ 、 $I_{pk_s^*}[k-1]$ 、 $I_{btm_s^*}[k-1]$ 、“ k ” 番目の動作サイクルにおける電流しきい値 $I_{pk_m^*}[k]$ 、 $I_{btm_m^*}[k]$ 、 $I_{pk_s^*}[k]$ 、 $I_{btm_s^*}[k]$ 、“ $k+1$ ” 番目の動作サ

50

イクルにおける電流しきい値 $I_{pk_m}[k+1]$, $I_{btm_m}[k+1]$, $I_{pk_s}[k+1]$, $I_{btm_s}[k+1]$ を図示している。

【0082】

しきい値設定部30は、例えば、マスタレグ14Mの“ $k-1$ ”番目の動作サイクルにおいて、電圧 V_{in} , V_{out} に基づいて、マスタレグ14Mの次の“ k ”番目の動作サイクルで使用するべき電流しきい値 $I_{pk_m}[k]$, $I_{btm_m}[k]$ を算出する。その際、しきい値設定部30は、電流しきい値 $I_{btm_m}[k]$ が、マスタレグ14Mにおけるしきい値 I_{cmdc} より低い値になるように、しきい値 $I_{btm_m}[k]$ を算出する。そして、しきい値設定部30は、図7(A)に示したように、その“ k ”番目の動作サイクルが開始したときに、算出した電流しきい値 $I_{pk_m}[k]$, $I_{btm_m}[k]$ に応じた信号をコンパレータ22, 23に供給する。

10

【0083】

また、しきい値設定部30は、例えば、スレーブレグ14Sの“ $k-1$ ”番目の動作サイクルにおいて、電圧 V_{in} , V_{out} 、サイクル時間 $T_m[k-2]$, $T_s[k-2]$ 、および時間 $\Delta T[k-2]$ に基づいて、スレーブレグ14Sの次の“ k ”番目の動作サイクルで使用するべき電流しきい値 $I_{pk_s}[k]$, $I_{btm_s}[k]$ を算出する。その際、しきい値設定部30は、電流しきい値 $I_{btm_s}[k]$ が、スレーブレグ14Sにおけるしきい値 I_{cmdc} より低い値になるように、電流しきい値 $I_{btm_s}[k]$ を算出する。そして、しきい値設定部30は、図7(B)に示したように、その“ k ”番目の動作サイクルが開始したときに、算出した電流しきい値 $I_{pk_s}[k]$, $I_{btm_s}[k]$ に応じた信号をコンパレータ24, 25に供給する。

20

【0084】

マスタレグ14Mの“ k ”番目の動作サイクルにおいて、電流 I_m は、電流しきい値 $I_{btm_m}[k-1]$ から増加し始めて電流しきい値 $I_{pk_m}[k]$ に到達し、この電流しきい値 $I_{pk_m}[k]$ から減少し始めて電流しきい値 $I_{btm_m}[k]$ に到達する。時間検出部26は、信号 CP_{out1} に基づいて、電流 I_m が、このように電流しきい値 $I_{btm_m}[k-1]$ から増加し始めてから電流しきい値 $I_{btm_m}[k]$ に到達するまでの時間をサイクル時間 $T_m[k]$ として検出する。

【0085】

同様に、スレーブレグ14Sの“ k ”番目の動作サイクルにおいて、電流 I_s は、電流しきい値 $I_{btm_s}[k-1]$ から増加し始めて電流しきい値 $I_{pk_s}[k]$ に到達し、この電流しきい値 $I_{pk_s}[k]$ から減少し始めて電流しきい値 $I_{btm_s}[k]$ に到達する。時間検出部26は、信号 CP_{out3} に基づいて、電流 I_s が、このように電流しきい値 $I_{btm_s}[k-1]$ から増加し始めてから電流しきい値 $I_{btm_s}[k]$ に到達するまでの時間をサイクル時間 $T_s[k]$ として検出する。また、時間検出部26は、信号 CP_{out1} , CP_{out3} に基づいて、マスタレグ14Mの“ k ”番目の動作サイクルの終了タイミングと、スレーブレグ14Sの“ k ”番目の動作サイクルの終了タイミングとの間のタイミング差を、タイミング差 $\Delta T[k]$ として検出する。

30

【0086】

次に、しきい値設定部30は、例えば、マスタレグ14Mの“ k ”番目の動作サイクルにおいて、電圧 V_{in} , V_{out} に基づいて、マスタレグ14Mの次の“ $k+1$ ”番目の動作サイクルで使用するべき電流しきい値 $I_{pk_m}[k+1]$, $I_{btm_m}[k+1]$ を算出する。その際、しきい値設定部30は、電流しきい値 $I_{btm_m}[k+1]$ が、スレーブレグ14Sにおけるしきい値 I_{cmdc} より低い値になるように、電流しきい値 $I_{btm_m}[k+1]$ を算出する。そして、しきい値設定部30は、図7(A)に示したように、その“ $k+1$ ”番目の動作サイクルが開始したときに、算出した電流しきい値 $I_{pk_m}[k+1]$, $I_{btm_m}[k+1]$ に応じた信号をコンパレータ22, 23に供給する。

40

【0087】

また、しきい値設定部30は、例えば、スレーブレグ14Sの“ k ”番目の動作サイクルにおいて、電圧 V_{in} , V_{out} 、サイクル時間 $T_m[k-1]$, $T_s[k-1]$ 、および時間 $\Delta T[k-1]$ に基づいて、スレーブレグ14Sの次の“ $k+1$ ”番目の動作サイクルで使用するべき電流し

50

きい値 $I_{pk_s}[k+1]$, $I_{btm_s}[k+1]$ を算出する。その際、しきい値設定部 30 は、電流しきい値 $I_{btm_s}[k+1]$ が、スレーブレグ 14 S におけるしきい値 I_{cmdc} より低い値になるように、電流しきい値 $I_{btm_s}[k+1]$ を算出する。そして、しきい値設定部 30 は、図 7 (B) に示したように、その “ $k+1$ ” 番目の動作サイクルが開始したときに、算出した電流しきい値 $I_{pk_s}[k+1]$, $I_{btm_s}[k+1]$ に応じた信号をコンパレータ 24, 25 に供給する。

【0088】

マスタレグ 14 M の “ $k+1$ ” 番目の動作サイクルにおいて、電流 I_m は、電流しきい値 $I_{btm_m}[k]$ から増加し始めて電流しきい値 $I_{pk_m}[k+1]$ に到達し、この電流しきい値 $I_{pk_m}[k+1]$ から減少し始めて電流しきい値 $I_{btm_m}[k+1]$ に到達する。時間検出部 26 は、信号 CP_{out1} に基づいて、電流 I_m が、このように電流しきい値 $I_{btm_m}[k]$ から増加し始めてから電流しきい値 $I_{btm_m}[k+1]$ に到達するまでの時間をサイクル時間 $T_m[k+1]$ として検出する。

【0089】

同様に、スレーブレグ 14 S の “ $k+1$ ” 番目の動作サイクルにおいて、電流 I_s は、電流しきい値 $I_{btm_s}[k]$ から増加し始めて電流しきい値 $I_{pk_s}[k+1]$ に到達し、この電流しきい値 $I_{pk_s}[k+1]$ から減少し始めて電流しきい値 $I_{btm_s}[k+1]$ に到達する。時間検出部 26 は、信号 CP_{out3} に基づいて、電流 I_s が、このように電流しきい値 $I_{btm_s}[k]$ から増加し始めてから電流しきい値 $I_{btm_s}[k+1]$ に到達するまでの時間をサイクル時間 $T_s[k+1]$ として検出する。また、時間検出部 26 は、信号 CP_{out1} , CP_{out3} に基づいて、マスタレグ 14 M の “ $k+1$ ” 番目の動作サイクルの終了タイミングと、スレーブレグ 14 S の “ $k+1$ ” 番目の動作サイクルの終了タイミングとの間のタイミング差を、タイミング差 $\Delta T[k+1]$ として検出する。

【0090】

制御部 20 は、このような動作を繰り返す。しきい値設定部 30 は、タイミング差 ΔT が、これらの動作サイクルの時間長の半分と等しくなるように、各動作サイクルにおける、スレーブレグ 14 S に係る電流しきい値 I_{pk_s} , I_{btm_s} を順次設定する。言い換えれば、しきい値設定部 30 は、マスタレグ 14 M の動作サイクルと、スレーブレグ 14 S の動作サイクルとが、互いに 180 度分の位相だけずれるように、各動作サイクルにおける電流しきい値 I_{pk_s} , I_{btm_s} を順次設定する。これにより、電力変換装置 1 は、2 相のインターリーブ動作を行うことができる。

【0091】

以上のように、電力変換装置 1 では、インダクタ L_m に流れる電流 I_m が電流しきい値 I_{btm_m} において減少から増加に転じ電流しきい値 I_{pk_m} において増加から減少に転じるようにマスタレグ 14 M のトランジスタ MH , ML の動作を制御するとともに、インダクタ L_s に流れる電流 I_s が電流しきい値 I_{btm_s} において減少から増加に転じ電流しきい値 I_{pk_s} において増加から減少に転じるようにスレーブレグ 14 S のトランジスタ SH , SL の動作を制御するようにした。そして、電力変換装置 1 では、マスタレグ 14 M の動作サイクルのサイクル時間 T_m 、スレーブレグ 14 S の動作サイクルのサイクル時間 T_s 、およびマスタレグ 14 M の動作サイクルの終了タイミングとスレーブレグ 14 S の動作サイクルの終了タイミングとのタイミング差 ΔT に基づいて、このタイミング差 ΔT がこれらの動作サイクルの時間長の半分と等しくなるように、スレーブレグ 14 S に係る電流しきい値 I_{pk_s} , I_{btm_s} を設定するようにした。これにより、電力変換装置 1 では、電流 I_m , I_s の電流範囲を、例えば、ZVS 動作を実現できる電流範囲や、寄生ダイオードのリカバリが生じないような電流範囲に設定することができる。その結果、電力変換装置 1 では、効率を高めることができる。

【0092】

また、電力変換装置 1 では、電流しきい値 I_{btm_m} が、マスタレグ 14 M におけるしきい値 I_{cmdc} より低い値になるように、電流しきい値 I_{btm_m} を設定するとともに、電流しきい値 I_{btm_s} が、スレーブレグ 14 S におけるしきい値 I_{cmdc} より低い値になる

ように、電流しきい値 $I_{btm_s^*}$ を設定するようにした。すなわち、電流しきい値 $I_{pk_m^*}$ および電流しきい値 $I_{btm_m^*}$ がマスタレグ 14 M におけるしきい値 I_{cmdc} を挟むように、電流しきい値 $I_{pk_m^*}$ 、 I_{btm_m} を設定するとともに、電流しきい値 $I_{pk_s^*}$ および電流しきい値 $I_{btm_s^*}$ がスレーブレグ 14 S におけるしきい値 I_{cmdc} を挟むように、電流しきい値 $I_{pk_s^*}$ 、 I_{btm_s} を設定するようにした。これにより、電流 I_m は、マスタレグ 14 M におけるしきい値 I_{cmdc} を超過し、電流 I_s は、マスタレグ 14 M におけるしきい値 I_{cmdc} を超過するので、マスタレグ 14 M およびスレーブレグ 14 S は、ともに ZVS 動作を行うことができるので、効率を高めることができる。

【0093】

また、電力変換装置 1 では、マスタレグ 14 M の動作サイクルのサイクル時間 T_m 、スレーブレグ 14 S の動作サイクルのサイクル時間 T_s 、およびマスタレグ 14 M の動作サイクルの終了タイミングとスレーブレグ 14 S の動作サイクルの終了タイミングとのタイミング差 ΔT に基づいて、このタイミング差 ΔT がこれらの動作サイクルの時間長の半分と等しくなるように、スレーブレグ 14 S に係る電流しきい値 $I_{pk_s^*}$ 、 $I_{btm_s^*}$ を設定するようにした。これにより、電流 I_m および電流 I_s の合計電流に含まれるリップル電流を低減することができるので、キャパシタ 18 に流れる電流を少なくすることができる。その結果、電力変換装置 1 では、キャパシタ 18 を小型化することができるので、電力変換装置 1 を小型化することができる。

【0094】

また、電力変換装置 1 では、推定インダクタンス $L_m^{\wedge}$ 、 $L_s^{\wedge}$ を算出するようにしたので、インダクタ 13 M、13 S に特性ばらつきがある場合でも、その特性ばらつきに応じた電流しきい値 $I_{pk_s^*}$ 、 $I_{btm_s^*}$ を設定することができる。これにより、マスタレグ 14 M の動作サイクルと、スレーブレグ 14 S の動作サイクルとが、互いに 180 度分の位相だけずれるように動作させることができるので、効果的にインターリーブ動作を行うことができるとともに、キャパシタ 18 を小型化することができるので電力変換装置 1 を小型化することができる。

【0095】

また、電力変換装置 1 では、電流 I_m と電流しきい値 $I_{pk_m^*}$ 、 $I_{btm_m^*}$ とを直接比較するとともに、電流 I_s と電流しきい値 $I_{pk_s^*}$ 、 $I_{btm_s^*}$ とを直接比較するようにした。これにより、電流 I_m の電流範囲を電流しきい値 $I_{pk_m^*}$ 、 $I_{btm_m^*}$ により直接的に制御するとともに、電流 I_s の電流範囲を電流しきい値 $I_{pk_s^*}$ 、 $I_{btm_s^*}$ により直接的に制御することができるので、マスタレグ 14 M およびスレーブレグ 14 S が、より確実に ZVS 動作を行うように制御することができるため、効率を高めることができる。

【0096】

また、電力変換装置 1 では、アナログ回路であるコンパレータ 22～25 を設け、コンパレータ 22、23 が電流 I_m と電流しきい値 $I_{pk_m^*}$ 、 $I_{btm_m^*}$ とを比較するとともに、コンパレータ 24、25 が電流 I_s と電流しきい値 $I_{pk_s^*}$ 、 $I_{btm_s^*}$ とを比較するようにした。これにより、例えば、電流 I_m 、 I_s を AD 変換して処理を行う場合に比べて、短い応答時間で制御を行うことができる。

【0097】

[効果]

以上のように本実施の形態では、インダクタ L_m に流れる電流が電流しきい値 $I_{btm_m^*}$ と電流しきい値 $I_{pk_m^*}$ との間を往復するようにマスタレグのトランジスタの動作を制御するとともに、インダクタ L_s に流れる電流が電流しきい値 $I_{btm_s^*}$ と電流しきい値 $I_{pk_s^*}$ との間を往復するようにスレーブレグのトランジスタの動作を制御するようにした。そして、マスタレグの動作サイクルのサイクル時間、スレーブレグの動作サイクルのサイクル時間、およびマスタレグの動作サイクルの終了タイミングとスレーブレグの動作サイクルの終了タイミングとのタイミング差に基づいて、このタイミング差がこれらの動作サイクルの時間長の半分と等しくなるように、スレーブレグに係る電流しきい値 $I_{pk_s^*}$ 、 $I_{btm_s^*}$ を設定するようにした。これにより、インダクタ L_m 、 L_s に流れる電流の範

10

20

30

40

50

図を、ZVS動作を実現できる電流範囲や、寄生ダイオードのリカバリが生じないような電流範囲に設定することができるので、効率を高めることができる。

【0098】

本実施の形態では、電流しきい値 $I_{btm_m}^*$ が、マスタレグにおけるしきい値 I_{cmdc} より低い値になるように、電流しきい値 $I_{btm_m}^*$ を設定するとともに、電流しきい値 $I_{btm_s}^*$ が、スレーブレグにおけるしきい値 I_{cmdc} より低い値になるように、電流しきい値 $I_{btm_s}^*$ を設定するようにしたので、ZVS動作を実現できるため、効率を高めることができる。

【0099】

本実施の形態では、マスタレグの動作サイクルのサイクル時間、スレーブレグの動作サイクルのサイクル時間、およびマスタレグの動作サイクルの終了タイミングとスレーブレグの動作サイクルの終了タイミングとのタイミング差に基づいて、このタイミング差がこれらの動作サイクルの時間長の半分と等しくなるように、スレーブレグに係る電流しきい値 $I_{pk_s}^*$ 、 $I_{btm_s}^*$ を設定するようにしたので、電力変換装置を小型化することができる。

10

【0100】

本実施の形態では、推定インダクタンス L_m^* 、 L_s^* を算出するようにしたので、インダクタに特性ばらつきがある場合でも、その特性ばらつきに応じた電流しきい値 $I_{pk_s}^*$ 、 $I_{btm_s}^*$ を設定することができるので、効果的にインターリーブ動作を行うことができるとともに、電力変換装置を小型化することができる。

20

【0101】

本実施の形態では、電流 I_m と電流しきい値 $I_{pk_m}^*$ 、 $I_{btm_m}^*$ とを直接比較するとともに、電流 I_s と電流しきい値 $I_{pk_s}^*$ 、 $I_{btm_s}^*$ とを直接比較するようにしたので、マスタレグおよびスレーブレグが、より確実にZVS動作を行うように制御することができるため、効率を高めることができる。

【0102】

[変形例1]

上記実施の形態では、タイミング差 ΔT が動作サイクルの時間長の半分と等しくなるように、スレーブレグ14Sに係る2つの電流しきい値 $I_{pk_s}^*$ 、 $I_{btm_s}^*$ の両方を設定するようにしたが、これに限定されるものではない。これに代えて、例えば、2つの電流しきい値 $I_{pk_s}^*$ 、 $I_{btm_s}^*$ のうちの一方を設定してもよい。以下に、2つの電流しきい値 $I_{pk_s}^*$ 、 $I_{btm_s}^*$ のうちの電流しきい値 $I_{pk_s}^*$ を設定する例について、詳細に説明する。

30

【0103】

図8は、本変形例に係るしきい値設定部30Aの一構成例を表すものである。しきい値設定部30Aは、しきい値算出部31MAと、しきい値算出部31SAとを有している。

【0104】

しきい値算出部31MAは、電圧 V_{in} 、 V_{out} に基づいて、電流しきい値 $I_{pk_m}^*[k+1]$ 、 $I_{btm_m}^*[k+1]$ を算出するように構成される。その際、しきい値算出部31MAは、電流しきい値 $I_{btm_m}^*[k+1]$ が、マスタレグ14Mおよびスレーブレグ14Sにおけるしきい値 I_{cmdc} より低い値になるように、しきい値 $I_{btm_m}^*[k+1]$ を算出するようになっている。しきい値設定部30Aでは、マスタレグ14Mにおける電流しきい値 $I_{btm_m}^*[k+1]$ を、スレーブレグ14Sにおける電流しきい値 $I_{btm_s}^*[k+1]$ としても用いるようになっている。

40

【0105】

しきい値算出部31SAは、電圧 V_{in} 、 V_{out} 、サイクル時間 T_m 、 T_s 、およびタイミング差 ΔT に基づいて、スレーブレグ14Sに係る電流しきい値 $I_{pk_s}^*[k+1]$ を算出するように構成される。しきい値算出部31SAは、インターリーブ制御部35Aとを有している。インターリーブ制御部35Aは、電圧 V_{in} 、 V_{out} 、推定サイクル時間 $T_m^*[k]$ 、 $T_s^*[k]$ 、 $T_m^*[k+1]$ 、および推定タイミング差 $\Delta T^*[k]$ に基づいて、マスタレグ14

50

Mの動作サイクルと、スレーブレグ14Sの動作サイクルとが、互いに180度分の位相だけずれるように、電流しきい値 $I_{pk_s^*}[k+1]$ を算出するように構成される。

【0106】

なお、この例では、タイミング差 ΔT が動作サイクルの時間長の半分と等しくなるように、2つの電流しきい値 $I_{pk_s^*}$ 、 $I_{btm_s^*}$ のうちの電流しきい値 $I_{pk_s^*}$ を設定したが、これに限定されるものではなく、これに代えて、例えば、2つの電流しきい値 $I_{pk_s^*}$ 、 $I_{btm_s^*}$ のうちの電流しきい値 $I_{btm_s^*}$ を設定してもよい。

【0107】

[変形例2]

上記実施の形態では、図1に示したように、電源ノードN1および電源ノードN3に直流電源PDCを接続したが、これに限定されるものではない。これに代えて、電源ノードN1および電源ノードN2に直流電源PDCを接続してもよい。以下に、本変形例について詳細に説明する。

【0108】

図9は、本変形例に係る電力変換装置1Bの一構成例を表すものである。電力変換装置1Bは、入力端子T31、T32と、キャパシタ18Bと、電圧検出部11Bと、制御部20Bとを備えている。入力端子T31、T32は直流電源PDCに接続される。キャパシタ18Bの一端は、入力端子T31に導かれた電源ノードN2に接続され、他端は、入力端子T32に導かれた電源ノードN1に接続される。電圧検出部11Bは、入力端子T32での電圧を基準とした、入力端子T31での電圧を電圧 V_{in} として検出するように構成される。電圧検出部11Bの一端は電源ノードN2に接続され、他端は電源ノードN1に接続される。制御部20Bは、上記実施の形態に係る制御部20と同様に、電圧検出部11Bから供給された電圧 V_{in} に応じた信号、電流検出部12Mから供給された電流 I_m に応じた信号、電流検出部12Sから供給された電流 I_s に応じた信号、および電圧検出部16から供給された電圧 V_{out} に応じた信号に基づいて、4個のゲート信号GMH、GML、GSH、GSLを生成することにより、トランジスタMH、ML、SH、SLの動作を制御するように構成される。

【0109】

ここで、トランジスタMLは、本開示における「第1のスイッチ」の一具体例に対応し、トランジスタMHは、本開示における「第2のスイッチ」の一具体例に対応する。トランジスタSLは、本開示における「第3のスイッチ」の一具体例に対応し、トランジスタSHは、本開示における「第4のスイッチ」の一具体例に対応する。電源ノードN1は、本開示における「第1の電源ノード」の一具体例に対応し、電源ノードN3は、本開示における「第2の電源ノード」の一具体例に対応し、電源ノードN2は、本開示における「第3の電源ノード」の一具体例に対応する。入力端子T31、T32は、本開示における「第1の接続端子部」の一具体例に対応する。

【0110】

[変形例3]

上記実施の形態では、図1に示したように、インダクタ L_m 、 L_s の後段にマスタレグ14Mおよびスレーブレグ14Sを配置したが、これに限定されるものではない。これに代えて、例えば、インダクタ L_m 、 L_s の前段にマスタレグ14Mおよびスレーブレグ14Sを配置してもよい。以下に、本変形例について詳細に説明する。

【0111】

図10は、本変形例に係る電力変換装置1Cの一構成例を表すものである。この電力変換装置1Cは、直流電圧を降圧するDC/DC変換装置である。電力変換装置1Cは、入力端子T41、T42と、出力端子T51、T52とを備えている。入力端子T41、T42は直流電源PDCに接続され、出力端子T51、T52は負荷LDに接続される。電力変換装置1Cは、直流電源PDCから供給された直流電力を変換し、変換された直流電力を負荷LDに供給するように構成される。

【0112】

10

20

30

40

50

電力変換装置 1 C は、キャパシタ 1 8 C と、電圧検出部 1 1 C と、トランジスタ M H , M L , S H , S L と、インダクタ 1 3 M , 1 3 S と、電流検出部 1 2 M , 1 2 S と、キャパシタ 1 5 C と、電圧検出部 1 6 C と、制御部 2 0 C とを備えている。

【 0 1 1 3 】

キャパシタ 1 8 C の一端は入力端子 T 4 1 に導かれた電源ノード N 2 に接続され、他端は入力端子 T 4 2 に導かれた電源ノード N 3 に接続される。

【 0 1 1 4 】

電圧検出部 1 1 C は、入力端子 T 4 2 での電圧を基準とした、入力端子 T 4 1 での電圧を電圧 V_{in} として検出するように構成される。電圧検出部 1 1 C の一端は電源ノード N 2 に接続され、他端は電源ノード N 3 に接続される。

【 0 1 1 5 】

トランジスタ M H は、電源ノード N 2 とノード N M との間の経路に設けられ、オン状態になることにより電源ノード N 2 をノード N M に接続するように構成される。トランジスタ M H のドレインは電源ノード N 2 に接続され、ゲートにはゲート信号 G M H が供給され、ソースはノード N M に接続される。トランジスタ M L は、電源ノード N 3 とノード N M との間の経路に設けられ、オン状態になることにより電源ノード N 3 をノード N M に接続するように構成される。トランジスタ M L のドレインはノード N M に接続され、ゲートにはゲート信号 G M L が供給され、ソースは電源ノード N 3 に接続される。トランジスタ M H およびトランジスタ M L は、マスタレグ 1 4 M を構成する。

【 0 1 1 6 】

トランジスタ S H は、電源ノード N 2 とノード N S との間の経路に設けられ、オン状態になることにより電源ノード N 2 をノード N S に接続するように構成される。トランジスタ S H のドレインは電源ノード N 2 に接続され、ゲートにはゲート信号 G S H が供給され、ソースはノード N S に接続される。トランジスタ S L は、電源ノード N 3 とノード N S との間の経路に設けられ、オン状態になることにより電源ノード N 3 をノード N S に接続するように構成される。トランジスタ S L のドレインはノード N S に接続され、ゲートにはゲート信号 G S L が供給され、ソースは電源ノード N 3 に接続される。トランジスタ S H およびトランジスタ S L は、スレーブレグ 1 4 S を構成する。

【 0 1 1 7 】

インダクタ 1 3 M の一端はノード N M に接続され、他端は電流検出部 1 2 M の一端に接続される。インダクタ 1 3 S の一端はノード N S に接続され、他端は電流検出部 1 2 S の一端に接続される。

【 0 1 1 8 】

電流検出部 1 2 M は、インダクタ 1 3 M に流れる電流を電流 I_m として検出するように構成される。電流 I_m は、ノード N M から電源ノード N 1 に向かって流れる場合に正になるように検出される。電流検出部 1 2 S は、インダクタ 1 3 S に流れる電流を電流 I_s として検出するように構成される。電流 I_s は、ノード N S から電源ノード N 1 に向かって流れる場合に正になるように検出される。

【 0 1 1 9 】

キャパシタ 1 5 C の一端は電源ノード N 1 に接続され、他端は電源ノード N 3 に接続される。

【 0 1 2 0 】

電圧検出部 1 6 C は、出力端子 T 5 2 での電圧を基準とした、出力端子 T 5 1 での電圧を電圧 V_{out} として検出するように構成される。電圧検出部 1 6 C の一端は出力端子 T 5 1 に導かれた電源ノード N 1 に接続され、他端は出力端子 T 5 2 に導かれた電源ノード N 3 に接続される。

【 0 1 2 1 】

制御部 2 0 C は、上記実施の形態に係る制御部 2 0 と同様に、電圧検出部 1 1 C から供給された電圧 V_{in} に応じた信号、電流検出部 1 2 M から供給された電流 I_m に応じた信号、電流検出部 1 2 S から供給された電流 I_s に応じた信号、および電圧検出部 1 6 C から

10

20

30

40

50

供給された電圧 V_{out} に応じた信号に基づいて、4 個のゲート信号 G_{MH} 、 G_{ML} 、 G_{SH} 、 G_{SL} を生成することにより、トランジスタ MH 、 ML 、 SH 、 SL の動作を制御するように構成される。

【0122】

ここで、入力端子 T_{41} 、 T_{42} は、本開示における「第 1 の接続端子部」の一具体例に対応する。出力端子 T_{51} 、 T_{52} は、本開示における「第 2 の接続端子部」の一具体例に対応する。電圧 V_{out} は、本開示における「第 1 の電圧」の一具体例に対応する。電圧 V_{in} は、本開示における「第 2 の電圧」の一具体例に対応する。

【0123】

[変形例 4]

上記実施の形態では、図 1 に示したように、マスタレグ $14M$ および 1 つのスレーブレグ $14S$ を設けたが、これに限定されるものではなく、これに代えて、例えば、複数のスレーブレグ $14S$ を設けてもよい。以下に、2 つのスレーブレグ $14S$ を設ける例について詳細に説明する。

【0124】

図 11 は、本変形例に係る電力変換装置 $1D$ の一構成例を表すものである。電力変換装置 $1D$ は、キャパシタ 18 と、電圧検出部 11 と、電流検出部 $12M$ 、 $12SA$ 、 $12SB$ と、インダクタ $13M$ 、 $13SA$ 、 $13SB$ と、トランジスタ MH 、 ML 、 SHA 、 $S LA$ 、 SHB 、 $S LB$ と、キャパシタ 15 と、電圧検出部 16 と、制御部 $20D$ とを備えている。

【0125】

電流検出部 $12SA$ は、インダクタ $13SA$ に流れる電流を電流 I_{sA} として検出するように構成される。電流 I_{sA} は、電源ノード $N1$ からトランジスタ SHA のソースおよびトランジスタ $S LA$ のドレインに導かれたノード NSA に向かって流れる場合に正になるように検出される。電流検出部 $12SB$ は、インダクタ $13SB$ に流れる電流を電流 I_{sB} として検出するように構成される。電流 I_{sA} は、電源ノード $N1$ からトランジスタ SHB のソースおよびトランジスタ $S LB$ のドレインに導かれたノード NSB に向かって流れる場合に正になるように検出される。

【0126】

インダクタ $13SA$ は、インダクタンス L_{sA} を有するチョークコイルであり、インダクタ $13SB$ は、インダクタンス L_{sB} を有するチョークコイルである。インダクタンス L_m 、インダクタンス L_{sA} 、およびインダクタンス L_{sB} は、互いにほぼ同じ値を有する。インダクタ $13SA$ の一端は電流検出部 $12SA$ の他端に接続され、他端はノード NSA に接続される。インダクタ $13SB$ の一端は電流検出部 $12SB$ の他端に接続され、他端はノード NSB に接続される。

【0127】

トランジスタ SHA は、電源ノード $N2$ とノード NSA との間の経路に設けられ、オン状態になることにより電源ノード $N2$ をノード NSA に接続するように構成される。トランジスタ SHA のドレインは電源ノード $N2$ に接続され、ゲートにはゲート信号 G_{SHA} が供給され、ソースはノード NSA に接続される。トランジスタ $S LA$ は、電源ノード $N3$ とノード NSA との間の経路に設けられ、オン状態になることにより電源ノード $N3$ をノード NSA に接続するように構成される。トランジスタ $S LA$ のドレインはノード NSA に接続され、ゲートにはゲート信号 G_{SLA} が供給され、ソースは電源ノード $N3$ に接続される。トランジスタ SHA およびトランジスタ $S LA$ は、スレーブレグ $14SA$ を構成する。

【0128】

トランジスタ SHB は、電源ノード $N2$ とノード NSB との間の経路に設けられ、オン状態になることにより電源ノード $N2$ をノード NSB に接続するように構成される。トランジスタ SHB のドレインは電源ノード $N2$ に接続され、ゲートにはゲート信号 G_{SHB} が供給され、ソースはノード NSB に接続される。トランジスタ $S LB$ は、電源ノード N

10

20

30

40

50

3とノードNSBとの間の経路に設けられ、オン状態になることにより電源ノードN3をノードNSBに接続するように構成される。トランジスタSLBのドレインはノードNSBに接続され、ゲートにはゲート信号GSLBが供給され、ソースは電源ノードN3に接続される。トランジスタSHBおよびトランジスタSLBは、スレーブレグ14SBを構成する。

【0129】

制御部20Dは、電圧検出部11から供給された電圧 V_{in} に応じた信号、電流検出部12Mから供給された電流 I_m に応じた信号、電流検出部12SAから供給された電流 I_sA に応じた信号、電流検出部12SBから供給された電流 I_sB に応じた信号、および電圧検出部16から供給された電圧 V_{out} に応じた信号に基づいて、6個のゲート信号GMH, GML, GSHA, GSLA, GSHB, GSLBを生成するように構成される。

10

【0130】

図12は、制御部20Dの一構成例を表すものである。制御部20Dは、しきい値設定部30Dと、コンパレータ22, 23, 24A, 25A, 24B, 25Bと、時間検出部26Dと、ラッチ27M, 27SA, 27SBと、ゲート信号生成部28M, 28SA, 28SBとを有している。

【0131】

しきい値設定部30Dは、電圧検出部11から供給された電圧 V_{in} に応じた信号、電圧検出部16から供給された電圧 V_{out} に応じた信号、時間検出部26Dから供給されたサイクル時間 T_m , T_{sA} , T_{sB} およびタイミング差 ΔT_A , ΔT_B についての情報に基づいて、6つの電流しきい値 $I_{pk_m^*}$, $I_{btm_m^*}$, $I_{pk_sA^*}$, $I_{btm_sA^*}$, $I_{pk_sB^*}$, $I_{btm_sB^*}$ を設定するように構成される。電流しきい値 $I_{pk_sA^*}$ および電流しきい値 $I_{btm_sA^*}$ は、スレーブレグ14SAの動作に係るものであり、電流 I_{sA} の上限値および電流 I_{sA} の下限値にそれぞれ対応している。電流しきい値 $I_{pk_sB^*}$ および電流しきい値 $I_{btm_sB^*}$ は、スレーブレグ14SBの動作に係るものであり、電流 I_{sB} の上限値および電流 I_{sB} の下限値にそれぞれ対応している。

20

【0132】

コンパレータ24Aは、電流しきい値 $I_{btm_sA^*}$ に応じた信号と電流 I_{sA} に応じた信号とを比較するように構成される。コンパレータ24Aは、例えばアナログ回路により構成され、正入力端子には電流しきい値 $I_{btm_sA^*}$ に応じた信号が供給され、負入力端子には電流 I_{sA} に応じた信号が供給される。そして、コンパレータ24Aは、比較結果に応じた信号CPout3を出力端子から出力するようになっている。

30

【0133】

コンパレータ25Aは、電流 I_{sA} に応じた信号と電流しきい値 $I_{pk_sA^*}$ に応じた信号とを比較するように構成される。コンパレータ25Aは、例えばアナログ回路により構成され、正入力端子には電流 I_{sA} に応じた信号が供給され、負入力端子には電流しきい値 $I_{pk_sA^*}$ に応じた信号が供給される。そして、コンパレータ25Aは、比較結果に応じた信号CPout4を出力端子から出力するようになっている。

【0134】

コンパレータ24Bは、電流しきい値 $I_{btm_sB^*}$ に応じた信号と電流 I_{sB} に応じた信号とを比較するように構成される。コンパレータ24Bは、例えばアナログ回路により構成され、正入力端子には電流しきい値 $I_{btm_sB^*}$ に応じた信号が供給され、負入力端子には電流 I_{sB} に応じた信号が供給される。そして、コンパレータ24Bは、比較結果に応じた信号CPout5を出力端子から出力するようになっている。

40

【0135】

コンパレータ25Bは、電流 I_{sB} に応じた信号と電流しきい値 $I_{pk_sB^*}$ に応じた信号とを比較するように構成される。コンパレータ25Bは、例えばアナログ回路により構成され、正入力端子には電流 I_{sB} に応じた信号が供給され、負入力端子には電流しきい値 $I_{pk_sB^*}$ に応じた信号が供給される。そして、コンパレータ25Bは、比較結果に応じた信号CPout6を出力端子から出力するようになっている。

50

【0136】

時間検出部26Dは、信号CPout1, CPout3, CPout5に基づいて、例えばタイマを用いて、サイクル時間 T_m , T_{sA} , T_{sB} およびタイミング差 ΔT_A , ΔT_B を検出するように構成される。サイクル時間 T_{sA} は、スレーブレグ14SAにおける動作サイクルの時間長であり、サイクル時間 T_{sB} は、スレーブレグ14SBにおける動作サイクルの時間長である。また、タイミング差 ΔT_A は、マスタレグ14Mの動作サイクルの終了タイミングと、スレーブレグ14SAの動作サイクルの終了タイミングとの間のタイミング差であり、タイミング差 ΔT_B は、マスタレグ14Mの動作サイクルの終了タイミングと、スレーブレグ14SBの動作サイクルの終了タイミングとの間のタイミング差である。

10

【0137】

ラッチ27SAは、いわゆるSRラッチであり、セット入力端子Sには信号CPout3が入力され、リセット入力端子Rには信号CPout4が入力される。また、ラッチ27SAは、出力端子Qから信号GSLA2を出力するとともに、出力端子QBから信号GSHA2を出力するようになっている。

【0138】

ラッチ27SBは、いわゆるSRラッチであり、セット入力端子Sには信号CPout5が入力され、リセット入力端子Rには信号CPout6が入力される。また、ラッチ27SBは、出力端子Qから信号GSLB2を出力するとともに、出力端子QBから信号GSHB2を出力するようになっている。

20

【0139】

ゲート信号生成部28SAは、スレーブレグ14SAにおけるいわゆるデッドタイムを設定することにより、信号GSHA2に基づいてゲート信号GSHAを生成するとともに、信号GSLA2に基づいてゲート信号GSLAを生成するように構成される。

【0140】

ゲート信号生成部28SBは、スレーブレグ14SBにおけるいわゆるデッドタイムを設定することにより、信号GSHB2に基づいてゲート信号GSHBを生成するとともに、信号GSLB2に基づいてゲート信号GSLBを生成するように構成される。

【0141】

図13は、しきい値設定部30Dの一構成例を表すものである。しきい値設定部30Dは、マスタレグ14Mの動作サイクルの終了タイミングと、スレーブレグ14SAの動作サイクルの終了タイミングとのタイミング差 ΔT_A が、これらの動作サイクルの時間長の“ $1/3$ ”と等しくなるように、各動作サイクルにおける、スレーブレグ14SAに係る電流しきい値 $I_{pk_sA^*}$, $I_{btm_sA^*}$ を順次設定する。言い換えれば、しきい値設定部30Dは、マスタレグ14Mの動作サイクルと、スレーブレグ14SAの動作サイクルとが、互いに120度分の位相だけずれるように、各動作サイクルにおける電流しきい値 $I_{pk_sA^*}$, $I_{btm_sA^*}$ を順次設定する。また、しきい値設定部30Dは、マスタレグ14Mの動作サイクルの終了タイミングと、スレーブレグ14SBの動作サイクルの終了タイミングとのタイミング差 ΔT_B が、これらの動作サイクルの時間長の“ $2/3$ ”と等しくなるように、各動作サイクルにおける、スレーブレグ14SBに係る電流しきい値 $I_{pk_sB^*}$, $I_{btm_sB^*}$ を順次設定する。言い換えれば、しきい値設定部30Dは、マスタレグ14Mの動作サイクルと、スレーブレグ14SBの動作サイクルとが、互いに240度分の位相だけずれるように、各動作サイクルにおける電流しきい値 $I_{pk_sB^*}$, $I_{btm_sB^*}$ を順次設定する。これにより、電力変換装置1Dは、3相のインターリーブ動作を行うことができるようになっている。

30

40

【0142】

しきい値設定部30Dは、しきい値算出部31M, 41SA, 41SBを有している。

【0143】

しきい値算出部41SAは、電圧 V_{in} , V_{out} 、サイクル時間 T_m , T_{sA} 、およびタイミング差 ΔT_A に基づいて、スレーブレグ14SAに係る電流しきい値 $I_{pk_sA^*[k+1]}$

50

、 $I_{btm_sA}[k+1]$ を算出するように構成される。このしきい値算出部41SAの構成は、上記実施の形態に係るしきい値算出部31S（図3）と同様である。しきい値算出部41SAのインターリーブ制御部35は、マスタレグ14Mの動作サイクルと、スレーブレグ14SAの動作サイクルとが、互いに120度分の位相だけずれるように、電流しきい値 $I_{pk_sA}[k+1]$ 、 $I_{btm_sA}[k+1]$ を算出するように構成される。

【0144】

しきい値算出部41SBは、電圧 V_{in} 、 V_{out} 、サイクル時間 T_m 、 T_{sB} 、およびタイミング差 ΔT_B に基づいて、スレーブレグ14SBに係る電流しきい値 $I_{pk_sB}[k+1]$ 、 $I_{btm_sB}[k+1]$ を算出するように構成される。このしきい値算出部41SBの構成は、上記実施の形態に係るしきい値算出部31S（図3）と同様である。しきい値算出部41SBのインターリーブ制御部35は、マスタレグ14Mの動作サイクルと、スレーブレグ14SBの動作サイクルとが、互いに240度分の位相だけずれるように、電流しきい値 $I_{pk_sB}[k+1]$ 、 $I_{btm_sB}[k+1]$ を算出するように構成される。

10

【0145】

[変形例5]

上記実施の形態では、本技術をDC/DC変換装置に適用したが、これに限定されるものではなく、これに代えて、例えば、AC/DC変換装置に適用してもよい。以下に、本変形例について詳細に説明する。

【0146】

図14は、本変形例に係る電力変換装置1Eの一構成例を表すものである。この電力変換装置1Eは、交流電力を直流電力に変換するAC/DC変換装置である。電力変換装置1Eは、入力端子T61、T62を備えている。入力端子T61、T62は交流電源PACに接続される。電力変換装置1Eは、交流電源PACから供給された交流電力を直流電力に変換し、変換された直流電力を負荷LDに供給するように構成される。

20

【0147】

電力変換装置1Eは、整流部17Eと、キャパシタ18と、電圧検出部11と、電流検出部12M、12Sと、インダクタ13M、13Sと、トランジスタMH、ML、SH、SLと、キャパシタ15と、電圧検出部16と、制御部20Eとを備えている。

【0148】

整流部17Eは、交流電力を直流電力に変換するように構成される。整流部17Eは、4つのダイオードD1～D4を有している。ダイオードD1のアノードはダイオードD2のカソードおよび入力端子T61に接続され、カソードは電源ノードN1に接続される。ダイオードD2のアノードは電源ノードN3に接続され、カソードはダイオードD1のアノードおよび入力端子T61に接続される。ダイオードD3のアノードはダイオードD4のカソードおよび入力端子T62に接続され、カソードは電源ノードN1に接続される。ダイオードD4のアノードは電源ノードN3に接続され、カソードはダイオードD3のアノードおよび入力端子T62に接続される。

30

【0149】

制御部20Eは、電圧検出部11から供給された電圧 V_{in} に応じた信号、電流検出部12Mから供給された電流 I_m に応じた信号、電流検出部12Sから供給された電流 I_s に応じた信号、および電圧検出部16から供給された電圧 V_{out} に応じた信号に基づいて、4個のゲート信号GMH、GML、GSH、GSLを生成するように構成される。

40

【0150】

図15は、本変形例に係る他の電力変換装置1Fの一構成例を表すものである。この電力変換装置1Fは、交流電力を直流電力に変換するAC/DC変換装置である。電力変換装置1Fは、入力端子T71、T72を備えている。入力端子T71、T72は交流電源PACに接続される。電力変換装置1Fは、交流電源PACから供給された、例えば60Hzの交流電力を直流電力に変換し、変換された直流電力を負荷LDに供給するように構成される。

【0151】

50

電力変換装置 1 F は、キャパシタ 1 9 F と、電圧検出部 1 1 F と、電流検出部 1 2 M, 1 2 S と、インダクタ 1 3 M, 1 3 S と、トランジスタ M H, M L, S H, S L, P H, P L と、キャパシタ 1 5 と、電圧検出部 1 6 と、制御部 2 0 F とを備えている。

【0152】

キャパシタ 1 9 F の一端は入力端子 T 7 1 に導かれた電源ノード N 1 に接続され、他端は入力端子 T 7 2 に導かれた電源ノード N 4 に接続される。

【0153】

電圧検出部 1 1 F は、入力端子 T 7 2 での電圧を基準とした、入力端子 T 7 1 での電圧を電圧 V_{in} として検出するように構成される。電圧検出部 1 1 F の一端は電源ノード N 1 に接続され、他端は電源ノード N 4 に接続される。

【0154】

トランジスタ P H は、電源ノード N 2 と電源ノード N 4 との間の経路に設けられ、オン状態になることにより電源ノード N 2 を電源ノード N 4 に接続するように構成される。トランジスタ P H のドレインは電源ノード N 2 に接続され、ゲートにはゲート信号 G P H が供給され、ソースは電源ノード N 4 に接続される。トランジスタ P L は、電源ノード N 3 と電源ノード N 4 との間の経路に設けられ、オン状態になることにより電源ノード N 3 を電源ノード N 4 に接続するように構成される。トランジスタ P L のドレインは電源ノード N 4 に接続され、ゲートにはゲート信号 G P L が供給され、ソースは電源ノード N 3 に接続される。トランジスタ P H およびトランジスタ P L は、極性切替レグ 1 4 P を構成する。

【0155】

制御部 2 0 F は、電力変換装置 1 の動作を制御するように構成される。

【0156】

具体的には、制御部 2 0 F は、電圧 V_{in} に基づいて、入力された交流電力が正相である場合には、ゲート信号 G P H を低レベルにするとともにゲート信号 G P L を高レベルにすることにより、トランジスタ P H をオフ状態にするとともにトランジスタ P L をオン状態にする。これにより、電源ノード N 4 は、トランジスタ P L を介して電源ノード N 3 に接続される。そして、制御部 2 0 F は、上記実施の形態の場合と同様に、電圧検出部 1 1 から供給された電圧 V_{in} に応じた信号、電流検出部 1 2 M から供給された電流 I_m に応じた信号、電流検出部 1 2 S から供給された電流 I_s に応じた信号、および電圧検出部 1 6 から供給された電圧 V_{out} に応じた信号に基づいて、4 個のゲート信号 G M H, G M L, G S H, G S L を生成する。

【0157】

また、制御部 2 0 F は、電圧 V_{in} に基づいて、入力された交流電力が逆相である場合には、ゲート信号 G P L を低レベルにするとともにゲート信号 G P H を高レベルにすることにより、トランジスタ P L をオフ状態にするとともにトランジスタ P H をオン状態にする。これにより、電源ノード N 4 は、トランジスタ P H を介して電源ノード N 2 に接続される。そして、制御部 2 0 F は、上記実施の形態の場合と同様に、電圧検出部 1 1 から供給された電圧 V_{in} に応じた信号、電流検出部 1 2 M から供給された電流 I_m に応じた信号、電流検出部 1 2 S から供給された電流 I_s に応じた信号、および電圧検出部 1 6 から供給された電圧 V_{out} に応じた信号に基づいて、4 個のゲート信号 G M H, G M L, G S H, G S L を生成する。

【0158】

[その他の変形例]

また、これらの変形例のうちの 2 以上を組み合わせてもよい。

【0159】

以上、実施の形態および変形例を挙げて本発明を説明したが、本発明はこれらの実施の形態等には限定されず、種々の変形が可能である。

【0160】

例えば、上記実施の形態等では、2 相や 3 相のインターリーブ動作の例について説明したが、これに限定されるものではなく、例えば 4 相以上を用いてインターリーブ動作を行

10

20

30

40

50

うようにしてもよい。

【符号の説明】

【0161】

1, 1B, 1C, 1D, 1E, 1F…電力変換装置、11, 11B, 11C, 11F…電圧検出部、12M, 12S, 12SA, 12SB…電流検出部、13M, 13S, 13SA, 13SB…インダクタ、14M…マスタレグ、14P…極性切替レグ、14S, 14SA, 14SB…スレーブレグ、15, 15C…キャパシタ、16, 16C…電圧検出部、17E…整流部、18E…キャパシタ、19F…キャパシタ、20, 20B, 20C, 20D, 20E, 20F…制御部、22~25, 24A, 24B, 25A, 25B…コンパレータ、26, 26D…時間検出部、27M, 27S, 27SA, 27SB…ラッチ、28M, 28S, 28SA, 28SB…ゲート信号生成部、30, 30A, 30D…しきい値設定部、31M, 31MA, 31S, 31SA, 41SA, 41SB…しきい値算出部、32…インダクタンス推定部、33…しきい値推定部、34…時間推定部、35, 35A…インターリーブ制御部、CPout1~CPout6…信号、D1~D4…ダイオード、GMH, GML, GSH, GSHA, GSHB, GSL, GSLA, GSLB…ゲート信号、Ibtm_m*, Ibtm_s*, Ipk_m*, Ipk_mA*, Ipk_mB*, Ipk_s*, Ipk_sA*, Ipk_sB*…電流しきい値、Im, Is, ISA, ISB…電流、Lm, Ls…インダクタンス、MH, ML, PH, PL, SH, SHA, SHB, SL, SLA, SLB…トランジスタ、NM, NS, NSA, NSB…ノード、N1~N4…電源ノード、PAC…交流電源、PDC…直流電源、Td…デッドタイム、Tm, Ts, TSA, TSB…サイクル時間、T11, T12, T31, T32, T41, T42, T61, T62…入力端子、T21, T22, T51, T52…出力端子、Vin, Vout…電圧、ΔT, ΔTA, ΔTB…タイミング差。

10

20

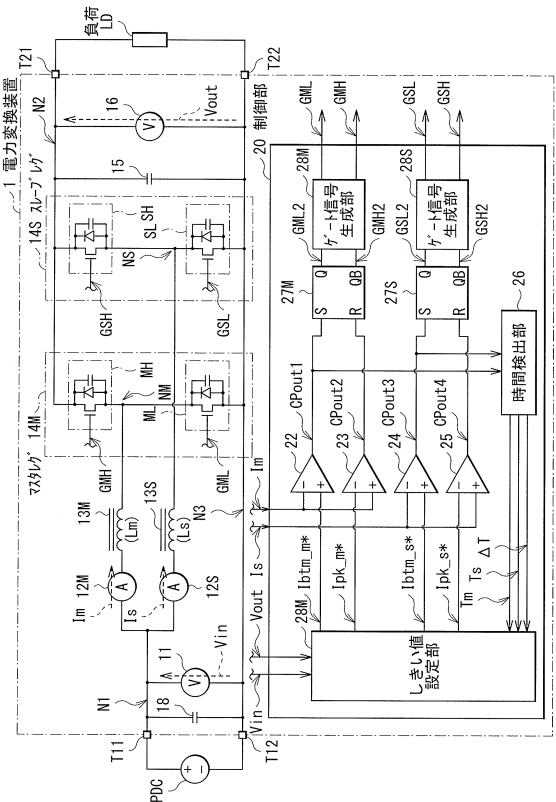
30

40

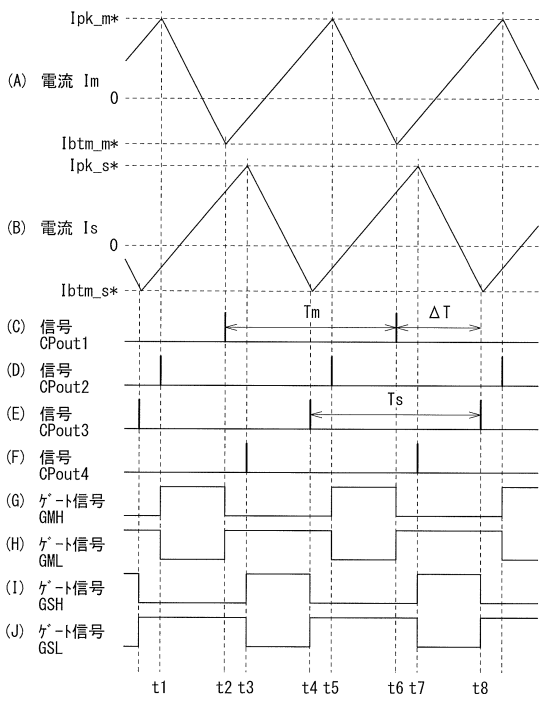
50

【図面】

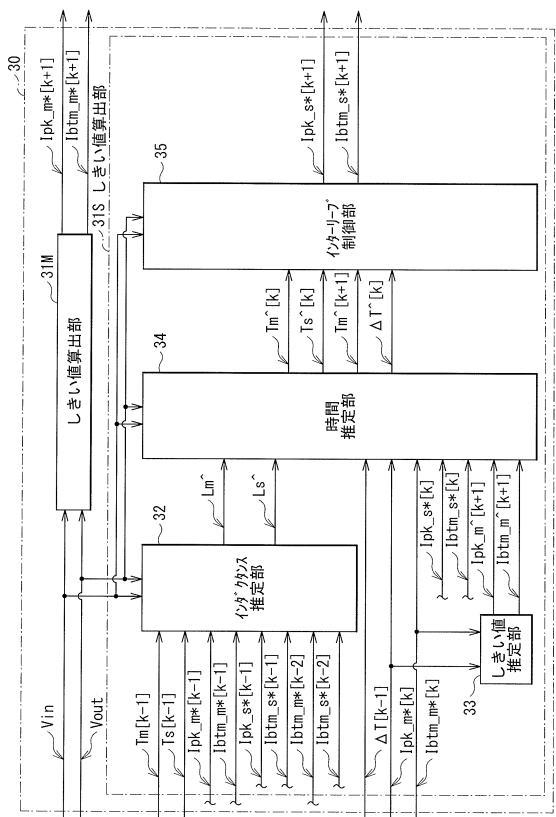
【図 1】



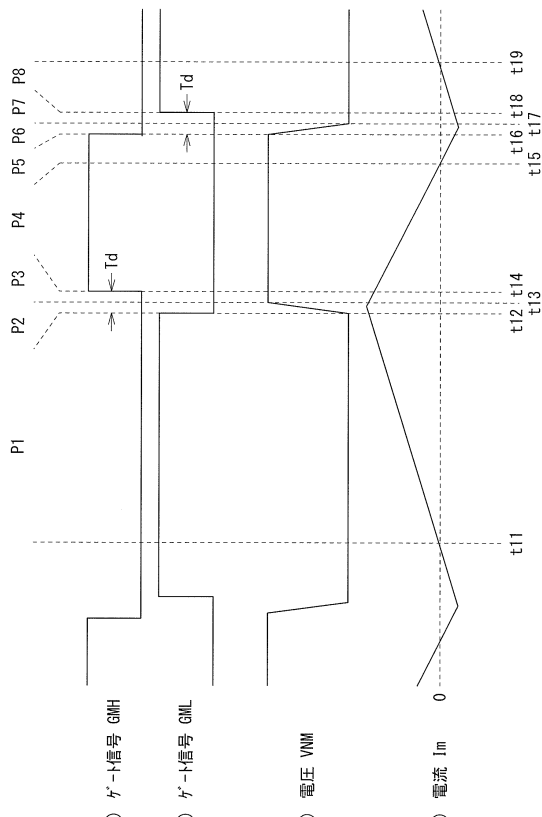
【図 2】



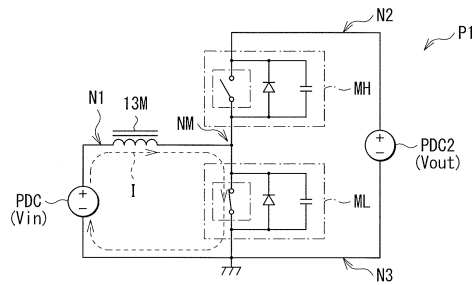
【図 3】



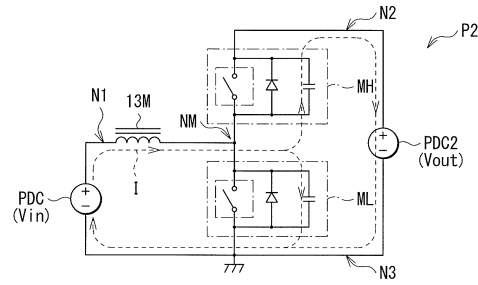
【図 4】



【図 5 A】

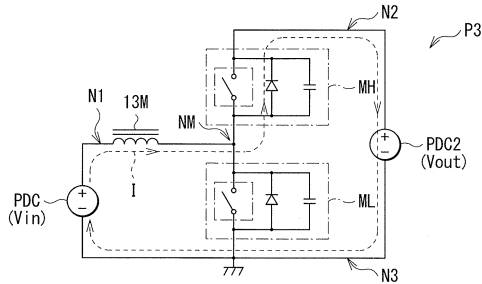


【図 5 B】

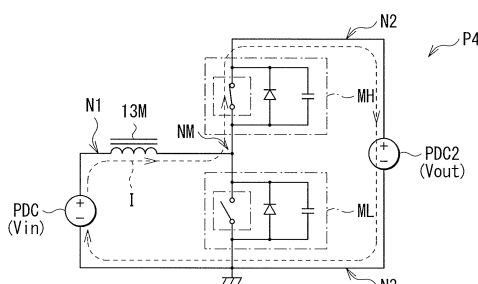


10

【図 5 C】

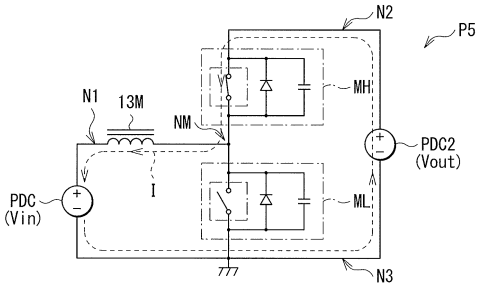


【図 5 D】

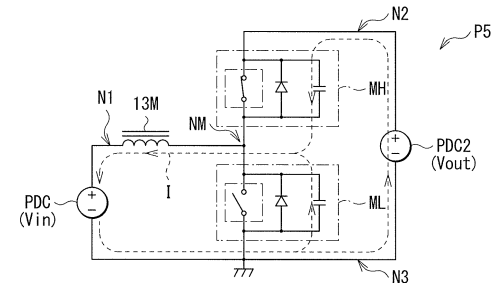


20

【図 5 E】



【図 5 F】

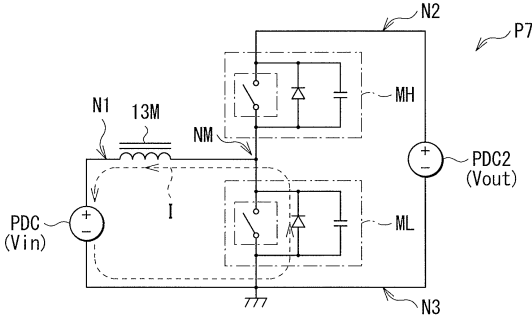


30

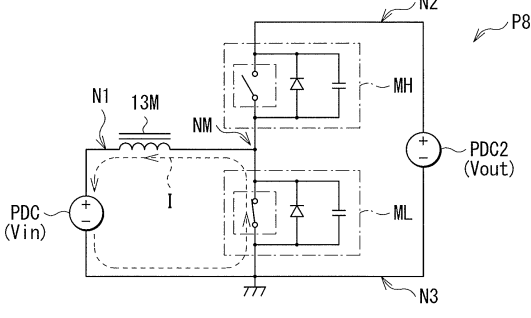
40

50

【図 5 G】

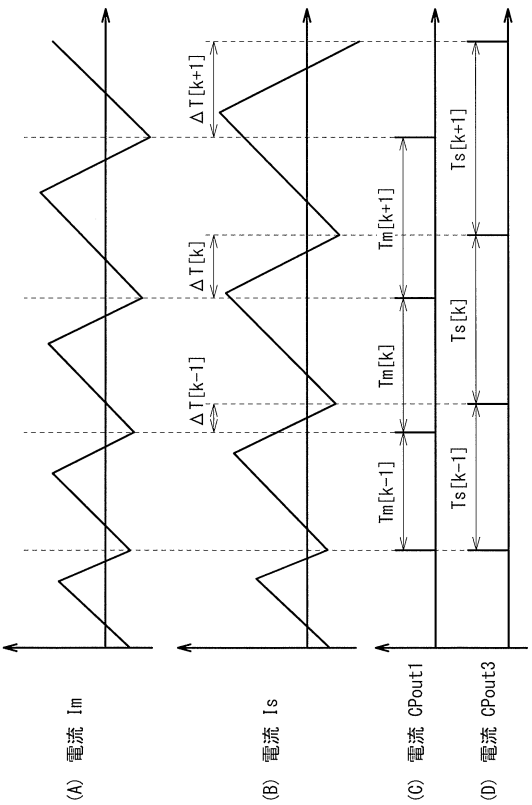


【図 5 H】

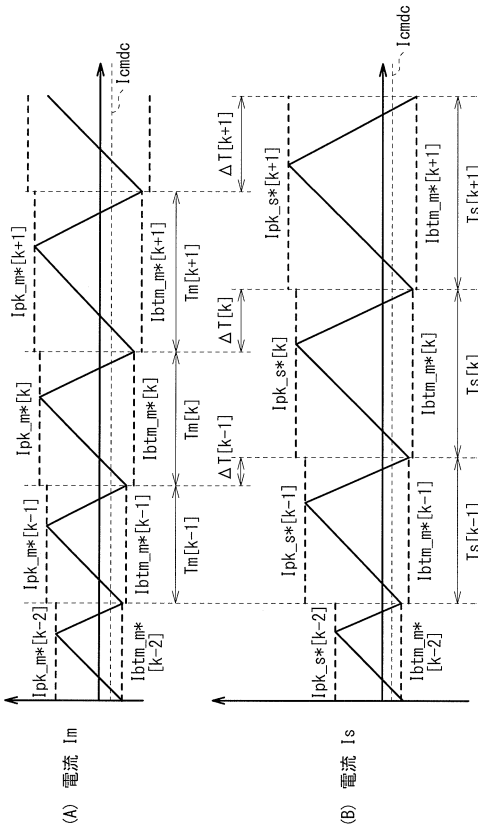


10

【図 6】



【図 7】



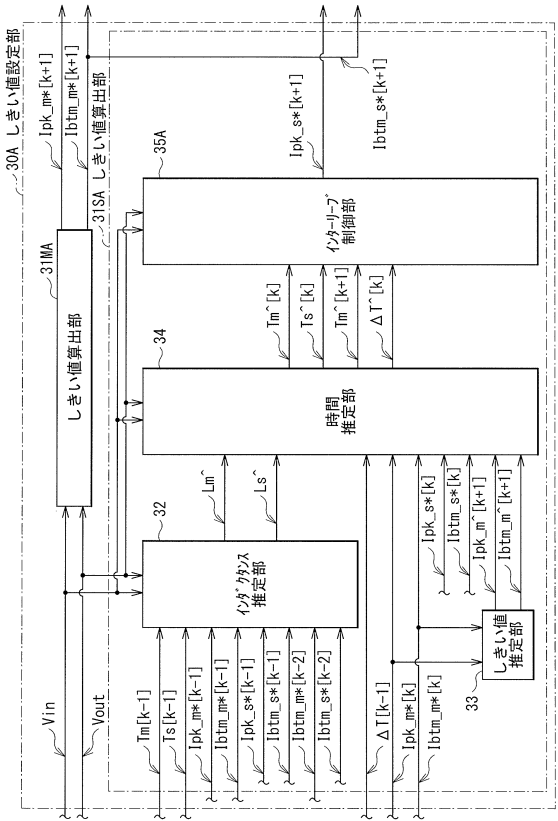
20

30

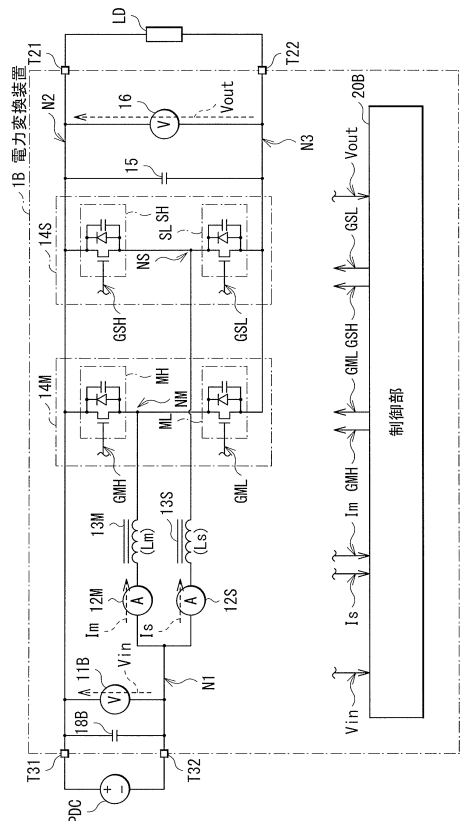
40

50

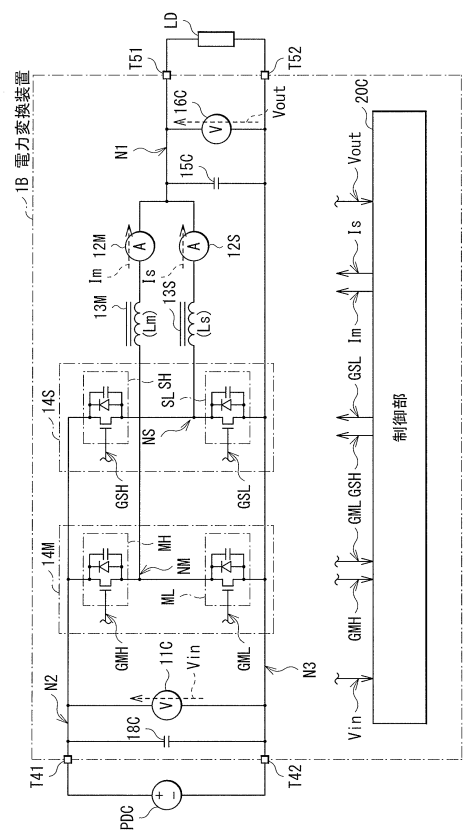
【図 8】



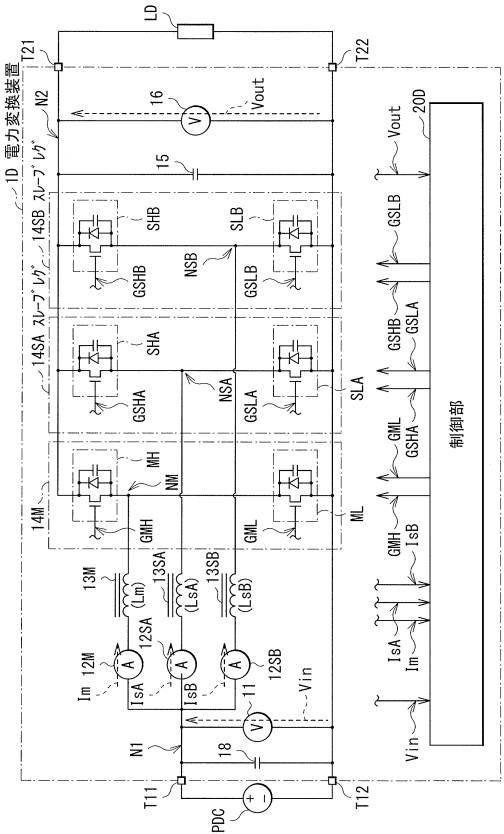
【図 9】



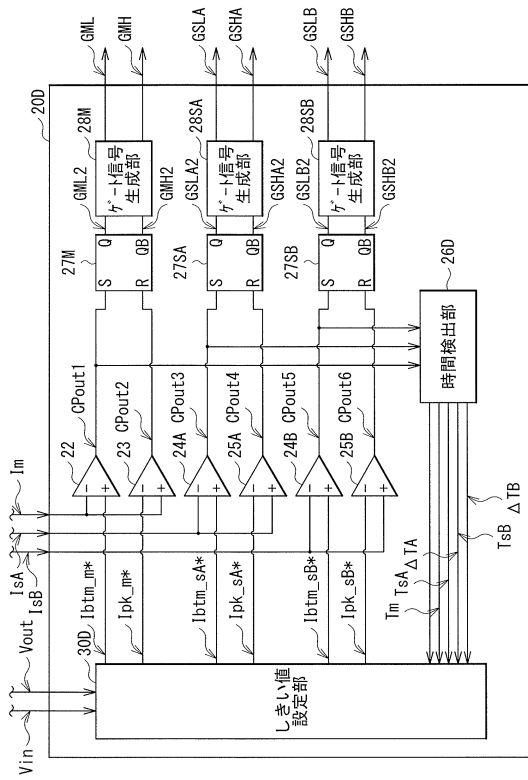
【図 10】



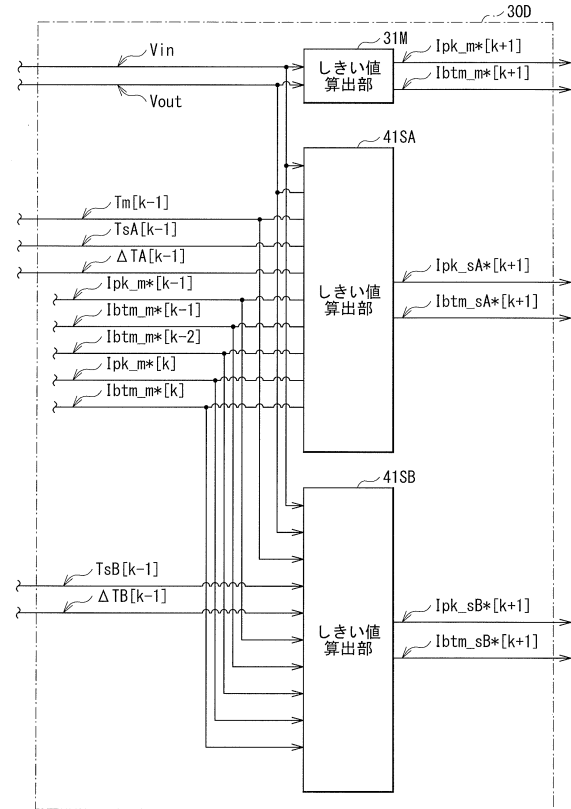
【図 11】



【図 1 2】



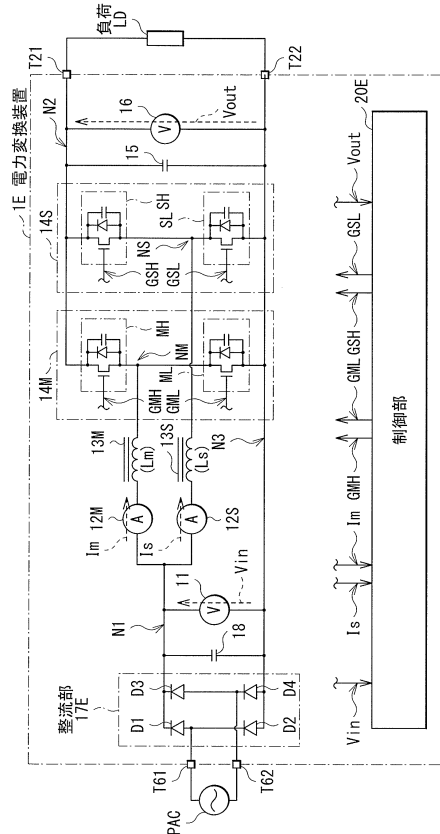
【図 1 3】



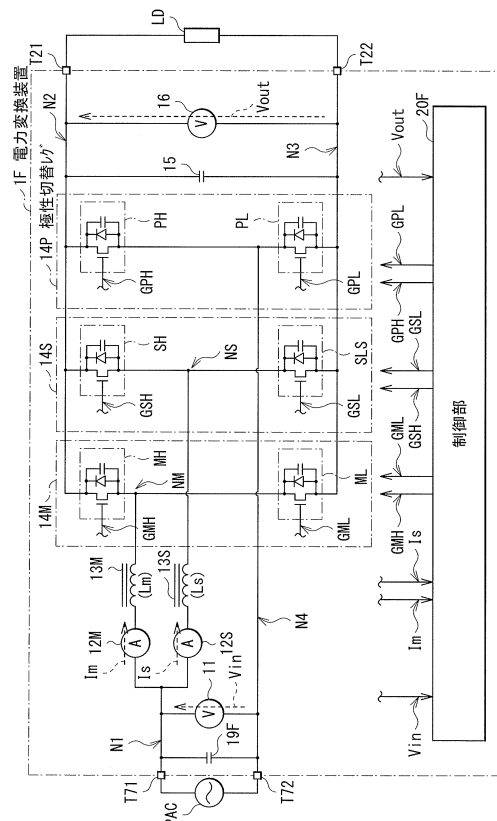
10

20

【図 1 4】



【図 1 5】



30

40

50

フロントページの続き

- (56)参考文献 米国特許出願公開第2015/0280564 (US, A1)
特開2012-019683 (JP, A)
特表2007-515917 (JP, A)
- (58)調査した分野 (Int.Cl., DB名)
H02M 3/155