

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ H01L 21/76	(45) 공고일자 1999년08월02일	(11) 등록번호 10-0211635
(21) 출원번호 10-1995-0037224	(65) 공개번호 특1996-0015858	(24) 등록일자 1999년05월04일
(22) 출원일자 1995년10월25일	(43) 공개일자 1996년05월22일	
(30) 우선권주장 94-260400 1994년10월25일 일본(JP)		
(73) 특허권자 미쓰비시덴키 가부시카이가이샤	다니구찌 이찌로오, 기타오카 다카시	
(72) 발명자 우라까미 다카끼	일본국 도쿄도 지요다쿠 마루노우치 2초메 2반 3고	
	일본국 효고 아마가사끼시 쓰카구치훈마치 8쵸메 1-1 미쓰비시 댕끼 가부시 키가이샤 한도타이 키소 켄큐쇼 나이 야수무라 겐지	
	일본국 효고 아마가사끼시 쓰카구치훈마치 8쵸메 1-1 미쓰비시 댕끼 가부시 키가이샤 한도타이 키소 켄큐쇼 나이 우라까미 다카야끼	
(74) 대리인 이화학	일본국 효고 이타미시 미즈하라 4쵸메 1	

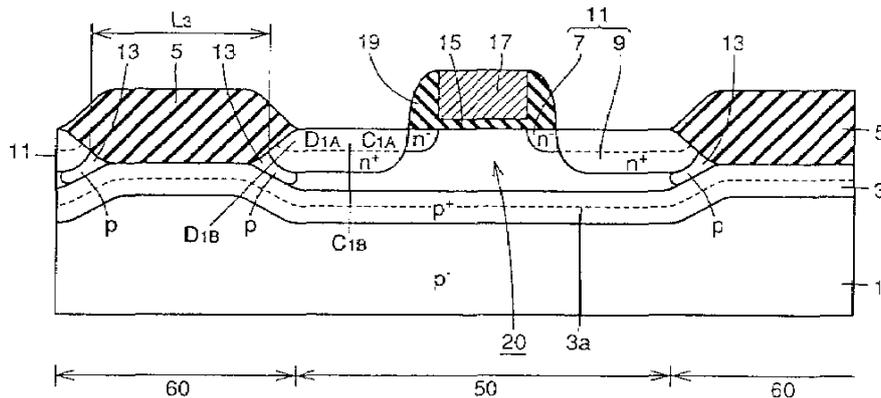
심사관 : 고광석

(54) 반도체장치 및 그 제조방법

요약

p⁻ 실리콘 기판(1), 소자분리 영역(60)의 표면에는 분리 산화막(5)이 형성되어 있다. 이 분리 산화막(5)에 의해 분리된 소자형성 영역(50)에는 한 쌍의 n형 소스/드레인 영역(11)을 가지는 nMOS 트랜지스터(20)가 형성되어 있다. p⁻ 실리콘 기판(1)에는, 소자분리 영역(60)에서는 분리 산화막(5)의 아래쪽에 접하고, 또 소자형성 영역(50)에서는 p⁻ 실리콘 기판(1)의 표면에서 소정의 깊이로 연장되도록 p⁺ 불순물 확산영역(3)이 형성되어 있다. 분리 산화막(5)의 측단부에는, n형 소스/드레인 영역(11)에 접하도록, p⁻ 실리콘 기판(1)보다 p형 불순물 농도가 높은 p형 불순물 확산영역(3)이 형성되어 있다. 이 배열로 결정결함이 공핍층내에 분포하는 것에 의해 생기는 누설 전류의 발생을 감소시킬 수 있다.

대표도



명세서

[발명의 명칭]

반도체 장치 및 그 제조방법

[도면의 간단한 설명]

제1도는 본 발명의 실시예 1에 따른 반도체 장치의 구성을 개략적으로 나타낸 단면도.

- 제2도는 제1도의 C_{1A}-C_{1B}선에 평행한 부분에 대응하는 캐리어 농도의 변화를 나타내는 도면.
 제3도는 제1도의 D_{1A}-D_{1B}선에 평행한 부분에 대응하는 캐리어 농도의 변화를 나타낸 도면.
 제4도 내지 제9도는 본 발명의 실시예 1에 따른 반도체 장치의 제조방법을 공정순으로 나타낸 개략도.
 제10도는 분리산화막 측단부에서의 공핍층 폭을 정의하기 위한 도면.
 제11도는 본 실시예의 공핍층 폭의 시뮬레이션 결과를 나타낸 도면.
 제12도는 종래예의 공핍층 폭의 시뮬레이션 결과를 나타낸 도면.
 제13도는 본 발명의 실시예 2에 따른 반도체 장치의 구성을 개략적으로 나타낸 단면도.
 제14도는 본 발명의 실시예 3에 따른 반도체 장치의 구성을 개략적으로 나타낸 단면도.
 제15도는 제14도의 C_{2A}-C_{2B}선에 평행한 부분에 대응하는 캐리어 농도의 변화를 나타낸 도면.
 제16도는 제14도의 D_{2A}-D_{2B}선에 평행한 부분에 대응하는 캐리어 농도의 변화를 나타낸 도면.
 제17도는 본 발명의 실시예 3에 따른 반도체 장치의 제조방법의 공정을 나타낸 개략 단면도.
 제18도는 본 발명의 실시예 4에 따른 반도체 장치의 구성을 개략적으로 나타낸 단면도.
 제19도는 본 발명의 변형예에 따른 반도체 장치의 구성을 개략적으로 나타낸 단면도.
 제20도는 제19도의 분리 산화막 측단부 근처에서의 구성을 확대해서 나타낸 단면도.
 제21도는 제19도의 C_{3A}-C_{3B}선에 평행한 부분에 대응하는 캐리어 농도의 변화를 나타낸 도면.
 제22도는 제19도의 D_{3A}-D_{3B}선에 평행한 부분에 대응하는 캐리어 농도의 변화를 나타낸 도면.
 제23도는 본 발명의 변형예에 따른 반도체 장치의 제조방법의 공정을 나타낸 개략 단면도.
 제24도는 종래예에서의 반도체 장치의 구성을 개략적으로 나타내는 단면도.
 제25도는 제24도의 C_{5A}-C_{5B}선에 평행한 부분에 대응하는 캐리어 농도의 변화를 나타낸 도면.
 제26도는 제24도의 D_{5A}-D_{5B}선에 평행한 부분에 대응하는 캐리어 농도의 변화를 나타낸 도면.
 제27도 내지 제34도는 종래예에서의 반도체 장치의 제조방법을 공정순으로 나타낸 개략 단면도.
 제35도는 일본특허공보에 나타난 반도체 장치의 구성을 개략적으로 나타낸 단면도.
 제36도는 제35도에 나타난 반도체 장치를 여러개 설치한 경우의 구성을 개략적으로 나타낸 단면도.

[발명의 상세한 설명]

본 발명은 반도체 장치 및 그 제조방법에 관한 것으로, 특히 반도체소자 분리구조와 그 제조방법에 관한 것이다.

우선, 종래의 반도체 장치의 구성에 대하여 도면을 참조하여 설명한다.

제24도는, 종래의 반도체 장치의 구성을 개략적으로 나타내는 단면도이다.

제24도를 참조하면, p형 실리콘 기판(1)의 소자 분리영역(60)의 표면에는 분리 산화막(5)이 형성되어 있다.

이 분리 산화막(5)에 의해 분리된 소자형성 영역(60)에, nMOS(Metal Oxide Semiconductor)트랜지스터(20)가 형성되어 있다.

nMOS 트랜지스터(20)는 한쌍의 소스/드레인 영역(11)과, 게이트 산화막(15)과, 게이트 전극층(17)을 포함하고 있다.

한쌍의 소스/드레인 영역(11)은 p형 실리콘 기판(1)의 표면에서 서로 소정의 거리를 두고 형성되어 있다.

이 소스/드레인 영역(11)은 비교적 농도인 n⁻불순물 확산영역(7)과 비교적 고농도인 n⁺불순물 확산영역(9)과의 이중구조, 즉, LDD(Lightly Doped Drain)구조를 가지고 있다.

한쌍의 소스/드레인 영역(11)에 끼워진 영역상에는, 게이트 산화막(15)을 개재하여 게이트 전극층(17)이 형성되어 있다.

소스/드레인 영역(11)이 LDD구조로 되어 있기 때문에, 드레인 영역 근처에서의 채널 방향의 전계강도가 완화되어, 포토 일렉트론(광전자)의 발생이 억제된다.

또, 이 소스/드레인 영역(11)은 분리 산화막(5)과 인접해 있다. 따라서, 게이트 전극층(17)의 측벽을 덮도록 측벽 절연층(19)이 형성되어 있다.

p형 실리콘 기판(1)에는 p⁺불순물 확산영역(3)이 형성되어 있다.

이 p⁺불순물 확산영역(3)은 소자 분리영역(60)에서는 분리 산화막(5)의 하면에 접해 있고, 소자 형성영역(50)에서는 nMOS 트랜지스터(20)의 하측 부근에 위치하도록 형성되어 있다.

이 p^+ 불순물 확산영역(3)의 p 형 불순물 농도가 p 형 실리콘 기판(1)의 불순물 농도보다도 높도록 설정되어 있다.

또, p^+ 불순물 확산영역(3)은 점선(3a)에 따라 p 형 불순물 농도 피크(정점)를 가지고 있다.

이 p^+ 불순물 확산영역(3)과 소자분리 산화막(5)은 nMOS 트랜지스터(20)를 다른 소자와 전기적으로 분리하는 역할을 하고 있다.

제25도와 제26도는 제24도의 $C_{5A}-C_{5B}$ 와 $D_{5A}-D_{5B}$ 선에 평행한 부분에 대응하는 캐리어 농도의 변화를 나타내는 도면이다. 제25도와 제26도를 참조하면, 종래의 반도체 장치에서는 p 형 실리콘 기판(1)의 p 형 불순물 농도는 실질적으로 $1 \times 10^{15} \text{cm}^{-3}$ 이고, p^+ 불순물 확산영역(3)의 p 형 불순물 농도는 $1 \times 10^{17} \text{cm}^{-3} \sim 1 \times 10^{18} \text{cm}^{-3}$ 이다.

또, n^+ 불순물 확산영역(9)의 n 형 불순물 농도는 $1 \times 10^{20} \text{cm}^{-3}$ 이고, n^- 불순물 확산영역(7)의 n 형 불순물 농도는 $1 \times 10^{17} \text{cm}^{-3} \sim 1 \times 10^{18} \text{cm}^{-13}$

다음, 제24도에 나타난 종래의 반도체 장치의 제조방법에 관해서 설명한다.

제27도 내지 제34도는 종래의 반도체 장치의 제조방법을 공정순으로 나타난 개략 단면도이다.

우선, 제25도를 참조하면, p 형 실리콘 기판(1)의 표면 전면에, 얇은 실리콘 산화막(21)이 형성된다.

이 얇은 실리콘 산화막(21)의 표면 전면에, 실리콘 질화막(23)이 형성된다.

제28도를 참조하면, 실리콘 질화막(23)의 표면 전면에 포토레지스트(25)가 도포된다.

이 포토레지스트(25)는 노광처리 등에 의해 패터닝된다.

이 패터닝된 레지스트 패턴(25)을 마스크로 사용하여 실리콘 질화막(23)이 패터닝된다.

그 다음, 레지스트 패턴(25)이 제거된다.

제29도를 참조하면, 실리콘 질화막(23)을 마스크로 사용하여 LOCOS(Local Oxidation of Silicon)에 의해 실리콘 질화막(23)에서 노출되어 있는 부분이 선택 산화된다.

이 선택 산화에 의해, p 형 실리콘 기판(1)의 표면에 분리 산화막(5)이 형성된다.

그 다음, p 형 실리콘 기판(1)위의 실리콘 질화막(23)과 얇은 실리콘 산화막(21)이 차례로 에칭 제거된다.

제30도를 참조하면, p 형 실리콘 기판(1)의 표면 전면에 붕소(B)가 이온 주입된다.

이 주입에 의해, p 형 실리콘 기판(1)에는 p^+ 불순물 확산영역(3)이 형성된다.

이 p^+ 불순물 확산영역(3)은 소자분리 영역에서는 분리 산화막(5)의 하측 근처에, 소자형성 영역에서는 p 형 실리콘 기판(1)의 표면에서 소정의 깊이가 되도록 형성된다.

또, 이 p^+ 불순물 확산영역(3)의 불순물 농도는, p 형 실리콘 기판(1)의 농도보다 높게 설정된다.

제31도를 참조하면, 열산화 등에 의해 p 형 실리콘 기판(1)의 노출된 표면위에 얇은 실리콘 산화막(15)이 형성된다.

이 p 형 실리콘 기판(1)의 표면 전면에 다결정 실리콘층(17)이 형성된다.

제32도를 참조하면, 다결정 실리콘층(17)과, 얇은 실리콘 산화막(5)이 포토리소그래피법, RIE(Reactive Ion Etching)법 등에 의해 차례로 패터닝된다.

이에 의해, 게이트 전극층(17)과 게이트 산화막(15)이 형성된다.

또, 게이트 전극층(17)과 분리 산화막(5)를 마스크로 사용하여, p 형 실리콘 기판(1)의 표면 전면에 인(P)이 이온 주입된다.

이 주입에 의해, 게이트 전극층(17)의 하측 영역을 끼워서 한쌍의 n^- 불순물 확산영역(7)이 p 형 실리콘 기판(1)의 표면에 형성된다.

제33도를 참조하면, p 형 실리콘 기판(1)의 표면 전면에 실리콘 산화막이 형성된 후, 이 실리콘 산화막에 이방성 에칭(부식)이 행하여 진다.

이 에칭에 의해, 게이트 전극층(17)의 측벽을 둘러싸는 측벽 절연층(19)이 형성된다.

제34도를 참조하면, 측벽 절연층(19)과, 게이트 전극층(17)과, 분리 산화막(13)을 마스크로 사용하여, p 형 실리콘 기판(1)의 표면 전면에 비소(As)가 이온 주입된다.

이 주입에 의해, 게이트 전극층(17)과 측벽(9)의 하측영역을 둘러싸도록 한쌍의 n^+ 불순물 확산영역(9)이 형성된다.

이 n^+ 불순물 확산영역(9)과 n^- 불순물 확산영역(7)에 의해 LDD(Lightly Doped Drain)구조를 가지는 n 형 소스/드레인 영역(11)이 형성된다.

이 한쌍의 n 형 소스/드레인 영역(11)과, 게이트 산화막(15)과, 게이트 전극층(17)에 의해 nMOS 트랜지스

터(20)가 구성된다.

또, n^+ 는 비교적 높은 n형 불순물 농도를 가지는 것을 나타내고, 또 n^- 은 비교적 낮은 n형 불순물 농도를 가지는 것을 나타낸다.

또, p^+ 는 비교적 높은 p형 불순물 농도를 가지는 것을 나타내고, p^- 은 비교적 낮은 p형 불순물 농도를 가지는 것을 나타낸다.

LOCOS 분리구조에 있어서, 분리 산화막(5)를 형성하면, 제24도에 나타난 바와 같이, 실리콘 기판(1)과 분리 산화막(5)과의 경계면 근처에 결정 결함(50)이 생기고 이 결정결함(50)이 누설전류의 원인이 되는 것으로 알려져 있다. 이 결정결함(50)을 통해서 흐르는 누설전류는 결정결함(50)이 n형 소스/드레인 영역(11)과 p형 실리콘 기판(1)에 의해 구성되는 pn 접합부의 공핍층내에 분포하면 커지는 것으로 알려져 있다.

이것은, 가령 일간공급 MOS 전계효과 트랜지스터 관아, 소야, 수정판 p219, 및 Solid-State Electronics vol.9, pp783-806, 1966에 기재되어 있다.

따라서, 이러한 pn 접합부의 공핍층이 확장되는 것을 억제하기 위한 불순물 분포의 설계가 필요하게 된다.

이러한 공핍층의 확장을 억제하는 것을 목적으로한 불순물 분포의 구성은 특개평 2-133929호 공보에 나타나 있다.

이하, 상기 공보에 개시된 구성에 대하여 설명한다.

제35도는 상기 공보에 나타난 반도체 장치의 구성을 개략적으로 나타난 단면도이다.

제35도를 참조하면, 실리콘 기판(301)의 표면에는, 선택적으로 분리 산화막(305)이 형성되어 있다.

이 분리 산화막(305)의 하측 근처에 있어서 p형 실리콘 기판(301)에는, p^+ 채널차단층(303)이 형성되어 있다.

이 분리 산화막(305)와 p^+ 채널차단층(303)에 의해 분리된 소자형성영역에는, nMOS 트랜지스터(320)가 형성되어 있다.

이 nMOS 트랜지스터(320)는 한쌍의 소스/드레인 영역(307, 309, 313)과 게이트 절연막(315)과, 게이트 전극층(317)을 가지고 있다.

한쌍의 소스/드레인 영역(307, 309, 313)은 p형 실리콘 기판(301)의 표면에 형성되어 있다.

이 한쌍의 소스/드레인 영역에 끼워진 영역위에 게이트 절연막(315)를 개재하여 게이트 전극층(317)이 형성되어 있다.

상기 공보에 나타난 반도체 장치의 구성에 있어서는, 소스/드레인 영역은 LDD 구조를 구성하는 부분(307, 309) 및 결정결함에 의한 누설전류를 방지하는 부분(313)을 가지고 있다.

다시 말하면, n형 불순물 확산영역(313)은 분리 산화막(305)의 측단부에 설치되어 있다.

이것에 의해, 분리 절연막(305)의 형성시에 p형 실리콘 기판(301)과 분리 산화막(305)의 경계면 근처에 형성된 결정결함은 n형 불순물 확산영역(313)의 영역내에 포함된다.

이 때문에, nMOS 트랜지스터의 동작시에 분리 산화막(305)의 측단부에 도입된 결정결함이 공핍층에 분포하는 것이 억제된다.

그 결과, 분리 산화막(305)의 측단부에 결정결함이 공핍층내에 분포하는 것에 의해, 생기는 누설전류의 발생이 방지되어 소자특성이 개선된다.

그러나, 제35도에 도시된 상기 공보에 나타난 구성에서는, (1) 회로동작이 느리고, (2) 소자 분리 능력이 낮다는 문제점이 있다.

이하, 이 문제점에 관해서 상세히 설명한다.

(1) 회로동작의 지연

제35도에 도시된 반도체 장치에서는 결정결함에 의한 누설전류의 발생을 방지하기 위해 n형 불순물 확산영역(313)이 부가되어 있다.

그러나, 이 n형 불순물 확산영역(313)을 부가하는 것에 의해, p형 실리콘 기판(301)과 n형 소스/드레인 영역의 pn 접합 면적이 증가하게 된다.

그 결과, pn 접합부에서 접합용량이 증가하여, 회로동작이 지연되고 만다.

(2) 소자분리 능력의 저하

제36도는 제35도에 나타난 반도체 장치가 여러개 형성된 구성을 나타낸 개략 단면도이다.

제36도를 참조하면, n형 불순물 확산영역(313)을 부가하는 것에 의해, 인접하는 nMOS 트랜지스터(320)의 n형 소스/드레인 영역간의 간격 L_2 가, 축소된다.

다시 말하면, n형 불순물 확산영역(313)을 설치하지 않은 경우에는, 인접하는 nMOS 트랜지스터(320)의 n형 소스/드레인 영역간의 간격 L_1 은 거의 분리 산화막(305)의 폭과 같다.

이에 비해, n형 불순물 확산영역(313)을 설치한 경우에는, 인접하는 n형 소스/드레인 영역간의 간격 L_2 은 이 분리 산화막(305)의 폭보다 좁아진다.

이 때문에, 인접하는 nMOS 트랜지스터(320)의 n형 소스/드레인 영역 사이에서 전기적 분리능력이 저하해 버린다.

본 발명의 목적은 결정결함이 공핍층내에 분포하는 것에 의해 생기는 누설 전류의 발생을 감소시키는 것이다.

본 발명의 다른 목적은 회로동작의 지연의 억제와 전기적 분리능력의 향상을 도모할 수 있는 반도체 장치를 제공하는 것이다.

본 발명의 반도체 장치는 제1도전형의 반도체 기판과, 분리 절연막과, 제1도전형의 제1불순물 영역과, 제2도전형의 제2불순물 영역과, 제1도전형의 제3불순물 영역을 구비한다.

반도체 기판은 주 표면을 가지며, 제1농도로 제1도전형의 불순물을 가지고 있다.

분리 절연막은 반도체 기판의 주 표면에 소자형성 영역을 분리하도록 형성되어 있다.

제1불순물 영역은 반도체 기판내에서 분리 절연막의 하면에 접하도록 위치하고, 제1농도보다 높은 제2농도로 제1도전형의 불순물을 가지고 있다.

제2불순물 영역은 분리 절연막에 인접하는 소자형성 영역내에서 반도체 기판의 주 표면에 형성되어 있다.

제3불순물 영역은 제1불순물 영역과 제2불순물 영역의 사이에서, 분리 절연막에 평행하고, 동시에 제2불순물 영역에 접하도록 반도체 기판내에 형성되며, 제1농도 보다는 높고 제2농도 보다는 낮은 제3농도로 제1도전형의 불순물을 가지고 있다.

본 발명의 반도체 장치에서는 제3불순물 영역이 분리 절연막의 측단부에서 MOS 트랜지스터 소스/드레인 영역이 되는 제2불순물 영역에 접해있다.

이 제3불순물 영역은 반도체 기판보다 높은 불순물 농도를 가지고 있다.

이 때문에, 제3불순물 영역과 제2불순물 영역에 의해 구성되는 pn 접합부의 공핍층의 확장이 억제된다. 따라서, 공핍층내에 모아지는 결정결함이 적어져서, 이 결정결함에 의해 생기는 누설전류는 감소한다.

또, 제3불순물 영역은 MOS 트랜지스터 소스/드레인 영역이 되는 제2불순물 영역과는 역 도전형을 가지고 있다.

이 때문에, 제2불순물 영역을 설치해도, MOS 트랜지스터의 소스/드레인 영역과 반도체 기판 사이에 형성되는 pn 접합면적이 증대하는 것은 아니다.

따라서 pn 접합용량이 증가하는 것이 아니기 때문에, 회로동작은 높은 속도를 그대로 유지할 수 있다.

더욱이, 제3불순물 영역을 설치해도, 인접하는 MOS 트랜지스터 사이의 소스/드레인 영역이 될 제2불순물 영역의 간격이 좁아지는 것은 아니다.

또, 제2불순물 영역에 접하는 제3불순물 영역은 반도체 기판보다 높은 제1도전형의 불순물 농도를 가지고 있다.

이렇게 높은 불순물 농도를 가지는 제3불순물 영역이, 인접하는 MOS 트랜지스터 사이의 소스/드레인 영역이 되는 제2불순물영역사이에 제1불순물 영역이외에 부가되기 때문에, 전기적인 분리능력이 높아진다.

본 발명의 반도체 장치의 제조 방법은, 이하의 공정을 구비하고 있다

우선, 제1농도로 제1도전형의 불순물을 가지는 제1도전형의 반도체 기판의 주 표면에 소자형성 영역을 분리하도록 분리 절연막이 형성된다.

그리고, 제1농도보다 높은 제2농도로 제1도전형의 불순물을 가지는 제1도전형의 제1불순물 영역이, 반도체 기판내에서 분리 절연막의 하면에 접하도록 형성된다.

그리고, 분리 절연막에 인접하는 소자형성 영역내에서 반도체 기판의 주 표면에 제2도전형의 제2불순물 영역이 형성된다.

그리고, 제1농도보다는 높고 제2농도보다는 낮은 제3농도로 제1도전형의 불순물을 가지는 제1도전형의 제3불순물 영역이, 제1불순물 영역과 제2불순물 영역 사이에서 분리 절연막에 평행하고, 동시에 제2불순물 영역에 접하도록 반도체 기판내에 형성된다.

본 발명의 반도체 장치의 제조 방법에서는, 결정결함에 의한 누설전류의 발생이 감소되고, 동시에 회로동작의 지연이 억제되며, 또 전기적 분리 능력이 높은 반도체 장치를 제조할 수 있다.

본 발명의 바람직한 국면에 따른 반도체 장치의 제조 방법에서는, 제3불순물 영역을 형성하는 공정은 반도체 기판에 제1도전형의 불순물을 경사회전 주입법에 의해, 반도체 기판의 주 표면에 직교하는 법선에 대해서 $30^\circ \sim 60^\circ$ 의 각도로 주입하는 공정을 포함한다.

본 발명의 바람직한 국면에 따른 반도체 장치의 제조방법에서는, 경사회전 주입법에 의해, 제1불순물 영역이 형성되기 때문에, 분리절연막의 측단부 근처에서, 제1불순물 영역과 제2불순물 영역이 근접하여 형성된다.

이 제1불순물 영역은 제3불순물 영역 보다 제1도전형의 불순물 농도가 높기 때문에, 제1불순물 영역과 제3불순물 영역이 근접하는 것에 의해, 한층 공핍층이 확장되는 것을 억제할 수 있다.

따라서, 결정결함이 공핍층내에 분포하는 것에 의한 누설전류의 발생은 더 한층 억제된다.

[실시예]

이하, 본 발명의 실시예에 관해서 도면을 참조하여 설명한다.

[실시예 1]

제1도를 참조하면, p⁻ 실리콘 기판(1)의 소자분리 영역(60)의 표면은 실리콘 산화물로 된 분리 산화막(5)이 형성되어 있다.

또, 분리 산화막(5)에 의해 분리되는 p⁻ 실리콘 기판(1)의 소자형성 영역(50)의 표면에는 nMOS 트랜지스터(20)가 형성되어 있다.

nMOS 트랜지스터(20)는 한쌍의 소스/드레인 영역(11)과, 게이트 산화막(15)과, 게이트 전극층(17)을 가지고 있다.

한쌍의 n형 소스/드레인 영역(11)은 p⁻ 실리콘 기판(1)의 표면에 소정의 거리를 두고 형성되어 있다.

이 한쌍의 소스/드레인 영역(11)은 LDD 구조를 가지고 있다.

다시 말하면, 소스/드레인 영역(11)은 비교적 저농도의 n⁻ 불순물 확산영역(7)과, 비교적 고농도의 n⁺ 불순물 확산영역(9)이 이중구조로 되어 있다.

이 한쌍의 소스/드레인 영역(11)에 끼워진 영역위에 게이트 산화막(15)을 개재하여 게이트 전극층(17)이 형성되어 있다.

또, 게이트 전극층(17)의 측벽부를 덮도록 측벽 절연층(19)이, 예를 들면 실리콘 산화막에 의해 형성되어 있다.

p⁻ 실리콘 기판(1)에는 p⁺ 불순물 확산영역(3)이 형성되어 있다.

이 p⁺ 불순물 확산영역(3)은 소자분리 영역(60)에서는 분리 산화막(5)의 하면에 접하고, 동시에 소자형성 영역(50)에서는 p⁻ 실리콘 기판(1)의 표면에서 소정의 깊이가 되도록 형성되어 있다.

또, 이 p⁺ 불순물 확산영역(3)은 점선(3a)으로 나타낸 위치에 불순물 농도 피크를 가지고 있다.

분리 산화막(5)의 측단부 근처에서, n형 소스/드레인 영역(11)과 p⁺ 불순물 확산영역(3)과의 사이에는 n형 소스/드레인 영역(11)에 접하도록 p형 불순물 확산영역(13)이 형성되어 있다.

제2도와 제3도를 참조하면, p⁻ 실리콘 기판(1)의 p형 불순물 농도는 실질적으로 $1 \times 10^{15} \text{cm}^{-3}$ 이고, p⁺ 불순물 확산영역(3)의 p형 불순물 농도는 $1 \times 10^{17} \text{cm}^{-3} \sim 1 \times 10^{18} \text{cm}^{-3}$ 이고, p형 불순물 확산영역(13)의 p형 불순물 농도는 $1 \times 10^{16} \text{cm}^{-3} \sim 1 \times 10^{17} \text{cm}^{-3}$ 이다.

또, n⁻ 불순물 확산영역(7)의 n형 불순물 농도는 $1 \times 10^{17} \text{cm}^{-3} \sim 1 \times 10^{18} \text{cm}^{-3}$ 이고, n⁺ 불순물 확산영역(9)의 n형 불순물 농도는 $1 \times 10^{20} \text{cm}^{-3}$ 이하이다.

다음, 본 발명의 실시예 1에서의 반도체 장치의 제조방법에 관해서 설명한다.

본 실시예의 제조방법은 우선, 제27도 ~ 제29도에 도시한 공정을 거친다.

이후, 제4도를 참조하면, 실리콘 질화막(23)과 분리 산화막(5)을 마스크로 사용하여 보론(B)이 가속전압 : 80-130KeV, 도즈량 : $1 \times 10^{12} \sim 1 \times 10^{13} \text{cm}^{-2}$ 로 주입된다.

이 이온주입 등에 의해, 분리 산화막(5)의 측단부에 p형 불순물 확산영역(13)이 형성된다.

이후, 실리콘 질화막(23) 및 소자형성 영역상의 얇은 실리콘 산화막(21)이 제거된다.

제5도를 참조하면, p⁻ 실리콘 기판(1)의 표면 전면에 붕소가 가속 전압 : 100-150KeV, 도즈량 : $3 \times 10^{12} \sim 5 \times 10^{12} \text{cm}^{-2}$ 로 주입된다.

이 이온주입에 의해, p⁻ 실리콘 기판(1)에는 p⁺ 불순물 확산영역(3)이 형성된다.

이 p⁺ 불순물 확산영역(3)은 소자분리 영역에서는 분리 산화막(5)의 하면에 접하도록, 소자형성 영역에서는 p⁻ 실리콘 기판(1)의 표면에서 소정의 깊이가 되도록 형성된다.

제6도를 참조하면, p⁻ 실리콘 기판(1)의 표면 전면에 열산화법등에 의해 얇은 실리콘 산화막(15)이 형성된다.

또, p⁻ 실리콘 기판(1)의 표면 전면에는 불순물이 도입된 다결정 실리콘막(17)이 형성된다.

이 다결정 실리콘막(17)과 얇은 실리콘 산화막(15)은 포토리소그래피법, RIE법 등에 의해 차례로 패터닝된다.

제7도를 참조하면, 이 패터닝에 의해, 게이트 전극층(17)과 게이트 산화막(15)이 형성된다.

이 게이트 전극층(17)과 분리 산화막(5)을 마스크로 사용하여, p⁻ 실리콘 기판(1)의 표면 전면에 인(P)이, 가속전압 : 30-4-KeV, 도즈량 : $1 \times 10^{13} \sim 3 \times 10^{13} \text{ cm}^{-2}$ 로 주입된다.

이 이온주입에 의해, 게이트 전극층(17)의 하측에 위치하는 영역을 끼우도록 한상의 n⁻ 불순물 확산영역(7)이 형성된다.

제8도를 참조하면, p⁻ 실리콘 기판(1)의 표면 전면에 실리콘 산화막이 형성된 후, 이 실리콘 산화막에 이방성 에칭이 행해진다.

이 에칭에 의해, 게이트 전극층(17)의 측벽을 덮어 씌우도록 측벽 절연층(19)이 형성된다.

제9도를 참조하면, 게이트 전극층(17)과, 측벽 절연층(19)과, 분리 산화막(5)을 마스크로 사용하여 비소(As)가 가속전압 : 30-60KeV, 도즈량 : $1 \times 10^{15} \sim 3 \times 10^{15} \text{ cm}^{-2}$

이 주입에 의해, 게이트 전극층(17)과 측벽 절연층(19)의 하측에 위치하는 영역을 끼우도록 n⁺ 불순물 확산영역(9)이 형성된다.

또, 이 n⁺ 불순물 확산영역(9)은 분리 산화막(5)의 측단부 근처에서 p⁺ 불순물 확산영역(13)과 접하도록 형성된다.

이 n⁺ 불순물 확산영역(9)과 n⁻ 불순물 확산영역(7)에 의해 LDD 구조를 가지는 소스/드레인 영역(11)이 형성된다.

이 한쌍의 소스/드레인 영역(11)과, 게이트 산화막(15)과, 게이트 전극층(17)에 의해 nMOS 트랜지스터(20)가 구성된다.

다음에, 제1도에 나타난 본 실시예의 반도체 장치와 제24도에 나타난 종래의반도체 장치와의 공핍층의 확장에 관하여 시뮬레이션을 실시했다.

이하, 그 시뮬레이션의 방법 및 결과에 관하여 설명한다.

우선, 분리 산화막의 측단부에서의 공핍층폭을 제10도에 나타난 것처럼 정의한다.

제10도를 참조하면, n형 소스/드레인 영역(11)과 p⁻ 실리콘 기판(1)에 의해 구성되는 pn 접합계면에서 n형 소스/드레인 영역(11)측으로 확장된 공핍층(10p)의 끝부분까지의 거리를 Wn₁로 하고, pn 접합계면에서 p⁻ 실리콘 기판(1)측으로 확장된 공핍층(10p)의 끝부분까지의 거리를 Wp₁으로 한다.

nMOS 트랜지스터의 소스/드레인 영역 위에 전극을 형성하고, 이 n형 소스/드레인 영역에 5V의 전압을 인가한 경우에 대하여, 공핍층폭의 시뮬레이션을 실시했다.

제11도와 제12도를 참조하면, 본 실시예(제11도)와 종래예(제12도)에서는, 소스/드레인 영역 측으로 확장되는 공핍층(10n₁, 10n₂)은 거의 변하지 않았다.

이에 비하여, 본 실시예의 p⁻ 실리콘 기판(1)측으로 확장되는 공핍층(10p₁)의 공핍층폭 Wp₁은 0.13 μm 이고, 종래예에서는 공핍층(10p₂)의 공핍층폭 Wp₁은 0.23 μm 였다.

이 시뮬레이션 결과에서, 제1도에 나타난 본 실시예의 구성처럼, p형 불순물 확산영역(13)을 형성한 것에 의해, 공핍층(10)의 확장을 현저하게 억제할 수 있음을 알 수 있다.

이에 의해, 분리 산화막(5)의 측단부에서 공핍층(10)에 들어갈 수 있는 결정결함의 비율이 감소하고, 이 공핍층(10)에 들어간 결정결함에서 생기는 누설 전류를 감소시키는 것이 가능하게 된다.

또한, 제11도와 제12도에서 실리콘 기판(1)의 표면상에 형성된 도전층(31)은 n형 소스/드레인 영역(9)에 전압을 인가하기 위한 전극이다.

또, 설명의 편의상, 제1도와 제24도에 도시된 p형 불순물 확산 영역(13) 및 p⁺ 불순물 확산영역(3)의 도시는 생략되어 있다.

이상의 설명에서, 본 실시예의 반도체 장치에서는, 제1도에 나타난 바와 같이, p형 불순물 확산영역(13)이 분리 산화막(5)의 측단부에서, n형 소스/드레인 영역(9)과 접하도록 형성되어 있다.

또, p형 불순물 확산영역(13)은 p⁻ 실리콘 기판(1) 보다 높은 p형 불순물 농도를 가지고 있다.

이 때문에, 분리 산화막(5)의 측단부 근처에서, p형 불순물 영역(13)과 n형 소스/드레인 영역(11)에 의해 구성되는 pn 접합부에서의 공핍층의 확장이 억제된다.

따라서, 공핍층(10)에 들어오는 결정결함도 적어져서, 이 결정결함에 의해 생기는 누설 전류는 저감된다.

또, 본 실시예의 반도체 장치에서는, p형 불순물 확산영역(13)은 n형 소스/드레인 영역(11)과 역 도전형을 가지고 있다.

이 때문에, p형 불순물 확산영역(13)을 설치해도 n형 소스/드레인 영역(11)과 p⁻ 실리콘 기판(1)과의 사이에 구성되는 pn 접합 면적이 증대하는 것은 아니다.

그 때문에, pn 접합 용량이 증가하는 것도 아니고, 회로동작은 높은 속도를 유지할 수가 있다.

더욱이, 제1도에 도시된 바와 같이, p형 불순물 확산영역(13)을 설치해도, 인접하는 MOS 트랜지스터(20) 사이의 n형 소스/드레인 영역(11)사이의 간격 L_3 이 좁아지는 것은 아니다.

또, 인접하는 nMOS 트랜지스터(20)의 n형 소스/드레인 영역 사이에는, p^- 실리콘 기판(1) 보다 높은 p형 불순물 농도를 가지는 p형 불순물 확산영역(13)이 분포하게 된다.

이 때문에, 인접하는 nMOS 트랜지스터(20) 사이의 전기적 분리능력이 제24도에 나타난 종래예에 구성에 비하여 향상된다.

[실시예 2]

제13도를 참조하면, 본 실시예의 반도체 장치의 구성은, 제1도에 나타난 실시예 1의 구성에 비하여 p^+ 불순물 확산영역(3b)의 구성이 다르다.

다시 말하면, 본 실시예에서의 p^+ 불순물 확산영역(3b)은 소자분리 영역(60)내에만 형성되어 있고, 분리 산화막(5)의 하면에 접하도록 형성되어 있다.

이 p^+ 불순물 확산영역(3b)의 p형 불순물 농도는 $1 \times 10^{17} \text{cm}^{-3} \sim 1 \times 10^{18} \text{cm}^{-3}$ 이다.

이 이외의 구성에 관해서는 실시예 1의 구성과 거의 같기 때문에, 그 설명은 생략한다.

이와 같이, 실시예 1과 비례해서 p 불순물 확산영역(3b)의 구성을 바꾸어도, 실시예 1과 같은 효과를 얻을 수 있다.

[실시예 3]

제14도는 본 발명의 실시예 3에 있어서, 반도체 장치의 구성을 개략적으로 나타낸 단면도이다.

제14도를 참조하면, 본 실시예의 반도체 장치의 구성은 실시예 1의 반도체 장치와 비교하여, p형 불순물 확산영역(113)의 구성이 다르다.

다시 말하면, p형 불순물 확산영역(113)은 분리 산화막(5)의 측단부 근처에서, n형 소스/드레인 영역(11)에 접할 뿐만 아니라, n형 소스/드레인 영역(11)의 하면에 평행하게 이어져 형성되어 있다.

제15도와 제16도를 참조하면, p형 불순물 확산영역(113)이 n형 소스/드레인 영역(11)의 하면에 평행하게 연장되어 있기 때문에, 제14도의 C_{2A} - C_{2B} 선과 D2A-D2B선에 따른 캐리어 농도의 변화는 거의 같게 된다.

여기에서, p형 불순물 확산영역(113)의 p형 불순물 농도는 $1 \times 10^{16} \text{cm}^{-3} \sim 1 \times 10^{17} \text{cm}^{-3}$ 이다.

이 이외의 구성에 관해서는 상술한 실시예 1과 거의 같기 때문에, 그 설명은 생략한다.

다음에, 본 실시예의 반도체 장치의 제조방법에 관해서 설명한다.

본 실시예의 반도체 장치의 제조방법은, 우선 제27도 내지 제34도에 나타난 공정을 거친다.

그 다음, 제17도를 참조하면, 게이트 전극층(17)과, 측벽 절연층(19)과, 분리 산화막(5)를 마스크로 사용하여 붕소(B)가 가속전압 : 80-130KeV, 도즈량 : $1 \times 10^{12} \sim 1 \times 10^{13} \text{cm}^{-2}$ 로 주입된다.

이 주입에 의해, 분리 산화막(5)의 측단부에서 n형 소스/드레인 영역(11)에 접하고, 또한 n형 소스/드레인 영역(11)의 하면에 접해서 이어져 있는 p형 불순물 확산영역(113)이 형성된다.

이상 설명한 바와 같이, 본 실시예에서도, 실시예 1과 같이, p형 불순물 확산영역(113)이 분리 산화막(5)의 측단부에서 n형 소스/드레인 영역(11)에 접해 있고, 또한 p^- 실리콘 기판(1) 보다 높은 p형 불순물 농도를 가지고 있다.

이 때문에, n형 소스/드레인 영역(11)과 p형 불순물 확산영역(13)에 의해 구성되는 pn 접합부에서의 공핍층의 확장은 억제된다.

따라서, 공핍층내에 들어올 수 있는 결정결함도 적어져서, 이 결정결함에 의해 생기는 누설전류는 감소한다.

또, 실시예 1과 같이, p형 불순물 확산영역(113)을 설치한 것에 의해 n형 소스/드레인 영역(11)과 p^- 실리콘 기판(1)과의 사이에 구성되는 pn 접합 면적이 증대하는 것은 아니다. 따라서, pn 접합용량이 증가하는 것도 아니기 때문에, 회로동작은 높은 속도를 유지할 수가 있다.

또한, 실시예 1과 같이, p형 불순물 확산영역(113)을 설치해도, 인접하는 nMOS 트랜지스터(20)사이의 소스/드레인 영역(11)사이의 간격이 좁아지는 것은 아니다.

또, 인접하는 nMOS 트랜지스터 n형 소스/드레인 영역 사이에는, p^- 실리콘 기판(1)보다 높은 p형 불순물 농도를 가지는 p형 불순물 확산영역(113)이 분포하게 된다.

따라서, 인접하는 nMOS 트랜지스터 사이의 전기적 분리능력은 제24도에 나타난 종래예보다도 향상된다.

[실시예 4]

제18도를 참조하면, 본 실시예의 구성은, 실시예 3의 구성과 비교하여, p^+ 불순물 확산영역(3b)의 구성이

다르다.

다시 말하면, p^+ 불순물 확산영역(3b)은 소자분리 영역(60)에만 형성되어 있고, 분리 산화막(5)의 하면에 접하도록 형성되어 있다.

이 이외의 구성에 관해서는 실시예 3의 구성과는 거의 같기 때문에 그 설명은 생략한다.

본 실시예의 반도체 장치에서는, p^+ 불순물 확산영역(3b)의 구성이 다를 뿐이므로 실시예 3과 거의 같은 효과를 얻을 수 있다.

[변형예]

제19도와 제20도를 참조하면, 본 변형예의 구성은 제24도에 나타난 종래의 반도체 장치의 구성에 비해, p^+ 불순물 확산영역(203)의 구성이 다르다.

특히, 제20도를 참조하면, 본 변형예에서는 p^+ 불순물 확산영역(203)은 종래예에서의 p^+ 불순물 확산영역(3)보다 소자형성 영역내에서 얇게 형성되어 있다.

또, 본 변형예에서의 p^+ 불순물 확산영역(203)은 종래예에서의 p^+ 불순물 확산영역(3)과 비교해서, 길이 T만이 분리 산화막(5)의 하면에서 소자형성 영역쪽에 분리 산화막(5)의 하면에 접하는 영역과 같은 깊이를 유지한다.

제21도와 제22도를 참조하면, p^+ 불순물 확산영역(203)의 p 형 불순물 농도는, $1 \times 10^{17} \text{cm}^{-3} \sim 1 \times 10^{18} \text{cm}^{-3}$ 이다.

특히, 분리 산화막(5)의 측단부 근처에서, p^+ 불순물 확산영역(203)은 n 형 소스/드레인 영역(11)에 인접해 있다.

다음에, 본 변형예의 제조방법에 관하여 설명한다.

본 변형예의 제조방법은, 우선 제27도 내지 제29도의 공정의 거친다.

이후, 제23도를 참조하면, p^- 실리콘 기판(1)의 표면 전면에, 경사회전에 이온주입법에 의해 붕소(B)가, 가속전압 : $100 \sim 180 \text{keV}$, 도즈량 : $1 \times 10^{13} \sim 1 \times 10^{13} \text{cm}^{-2}$ 로 주입된다.

이 경사회전 이온 주입법에서의 주입각도는 p^- 실리콘 기판(1)의 표면에 직교하는 법선에 대해서 30° 내지 60° 이다. 제31도~제34도의 일련의 공정을 거쳐서 제19에 나타난 반도체 장치가 제조된다.

본 변형예에서는, p^+ 불순물 확산영역(203)이 위에서 말한 바와 같이, 경사회전 이온주입법에 의해 형성되기 때문에, p^+ 불순물 확산영역(203)이 분리 산화막(5)의 측단부에서 n 형 소스/드레인 영역(11)과 인접한다.

이 때문에, 이 n 형 소스/드레인 영역과 p 형 실리콘 기판(1)으로 구성되는 pn 접합부에서의 공핍층의 확장은 억제된다.

따라서, 공핍층 내에 결정결함이 들어오는 것에 의한 누설 전류의 발생을 감소시키는 것이 가능하게 된다.

또한, 본 발명의 실시예 1 및 실시예 3에서는 p^+ 불순물 확산영역(3)은 통상의 이온 주입법에 의해 형성되어 있지만, 상술한 바와 같은 변형예에서 설명한 것처럼 경사회전 이온 주입법에 의해 형성되어도 좋다.

이 경우에는 분리 산화막(5)의 측단부에서 p^+ 불순물 확산영역(203)이 n 형 소스/드레인 영역(11)에 접근하게 되기 때문에, 더 한층 누설 전류의 발생을 감소시킬 수 있다.

또한, 본 실시예 및 변형예에서는, 게이트 절연막으로 실리콘 산화막을 이용한 MOS 트랜지스터에 관해 설명했지만, 게이트 절연막은 실리콘 산화막 이외의 절연막이어도 좋다.

본 발명의 반도체 장치에서는 제3불순물 영역이 분리 절연막의 측단부에서 MOS 트랜지스터 소스/드레인 영역이 될 제2불순물 영역에 접해 있다.

이 제3불순물 영역은 반도체 기판보다 높은 불순물 농도를 가지고 있다.

이 때문에, 제3불순물 영역과 제2불순물 영역에 의해 구성되는 pn 접합부에서 공핍층의 확장이 억제되어, 누설 전류의 발생이 감소된다.

또, 제3불순물 영역은 MOS 트랜지스터의 소스/드레인 영역을 형성하기 위한 제2불순물 영역과 반대의 도전형을 가지고 있다.

이 때문에, MOS 트랜지스터의 소스/드레인 영역과 반도체 기판 사이에 구성되는 pn 접합 면적이 증대하는 것은 아니고, pn 접합용량도 증가하지 않기 때문에 회로동작은 높은 속도를 유지할 수 있다.

더욱이, 제3불순물 영역을 설치해도 인접하는 MOS 트랜지스터 사이의 소스/드레인 영역이 될 제2불순물 영역의 간격이 좁아지는 것은 아니기 때문에, 인접하는 MOS 트랜지스터 사이의 전기적 분리능력은 향상된다.

본 발명의 반도체 장치의 제조방법에서는, 결정결함에 의한 누설 전류의 발생이 감소되고, 또 회로동작의

지연이 억제되고, 또 전기적 분리능력이 높은 반도체 장치를 제조할 수 있다.

본 발명의 바람직한 국면에 따른 반도체 장치의 제조방법에서는 경사회전 주입법에 의해, 제1불순물 영역이 형성되기 때문에, 분리 절연막의 측단부에 근처에서, 제1불순물 영역과 제2불순물 영역이 접근해서 형성된다.

이 제1불순물 영역은 제3불순물 영역보다 제1도전형의 불순물 농도가 높기 때문에, 더 한층 결정결함이 공핍층 내에 분포하는 것에 의한 누설 전류의 발생을 억제시킬 수가 있다.

(57) 청구의 범위

청구항 1

주 표면을 가지며, 제1농도로 제1도전형의 불순물이 도핑된 제1도전형 반도체 기판(1)과, 상기 반도체 기판의 주 표면에 소자형성 영역(50)을 분리하도록 형성된 분리 절연막(5)과, 상기 반도체 기판 내에서 상기 분리 절연막의 하면에 접하도록 위치하고 상기 제1농도보다 높은 제2농도로 제1도전형의 불순물이 도핑된 제1도전형의 제1불순물 영역(3)과, 상기 분리 절연막에 인접하는 소자형성 영역 내에서 상기 반도체 기판의 주 표면에 형성된 제2도전형의 제2불순물 영역(11)과, 상기 제1불순물 영역과, 상기 제2불순물 영역과의 사이에서, 상기 분리 절연막에 평행하고, 상기 제2불순물 영역에 접하도록 상기 반도체 기판 내에 형성되어, 상기 제1농도보다 높고 상기 제2농도보다 낮은 제3농도로 제1도전형의 불순물을 가지는 제1도전형의 제3불순물영역(13)을 포함하는 반도체 장치.

청구항 2

제1항에 있어서, 상기 제1불순물영역(3)은 상기 반도체 기판(1)내에서 상기 분리 절연막(5)의 하면에 접한 위치에서 소자형성 영역(50)내의 소정의 깊이까지 연장되고, 제1도전형의 불순물 농도 피크를 가지는 반도체 장치.

청구항 3

제1항에 있어서, 상기 제3불순물 영역(13)은 제2불순물 영역(11)의 하면에 따라서 연장되어 있는 반도체 장치.

청구항 4

제1항에 있어서, 한쌍의 소스/드레인 영역(11)을 가지는 MIS 트랜지스터(20)을 상기 반도체 기판(1)의 주 표면에 더욱 형성하고, 상기 제2불순물영역(11)은 상기 MIS 트랜지스터의상기 소스/드레인 영역인 반도체 장치.

청구항 5

제1항에 있어서, 상기 제1농도는 $1 \times 10^{15} \text{cm}^{-3}$ 이고, 제2농도는 $1 \times 10^{17} \text{cm}^{-3} \sim 1 \times 10^{18} \text{cm}^{-3}$ 이고, 상기 제3농도는 $1 \times 10^{16} \text{cm}^{-3} \sim 1 \times 10^{17} \text{cm}^{-3}$ 인 반도체 장치.

청구항 6

제1항에 있어서, 상기 제2불순물 영역(11)은 비교적 저농도의 불순물 영역(7)과 비교적 고농도의 불순물 영역(9)으로 구성되는 LDD 구조를 가지는 반도체 장치.

청구항 7

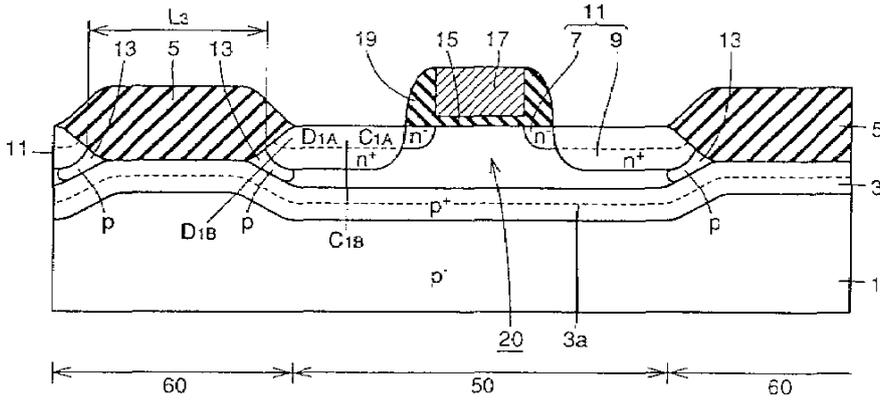
제1농도로 제1도전형의 불순물을 가지는 제1도전형의 반도체 기판(1)의 주 표면에 소자형성 영역(50)을 분리하도록 분리 절연막(5)을 형성하는 공정과, 상기 제1농도보다 높은 제2농도로 제1도전형의 불순물을 가지는 제1도전형의 제1불순물 영역(3)을, 상기 반도체 기판내에서 상기 분리 절연막의 하면에 접하도록 형성하는 공정과, 상기 분리 절연막에 인접하는 소자형성 영역내에서 상기 반도체 기판의 주 표면에 제2도전형의 제2불순물 영역(11)을 형성하는 고정과, 상기 제1농도보다 높고 상기 제2농도보다 낮은 제3농도로 제1도전형의 불순물을 가지는 제1도전형의 제3불순물 영역(13)을, 상기 제1불순물 영역과 상기 제2불순물 영역과의 사이에서 상기 분리 절연막에 평행하고, 상기 제2불순물 영역에 접하도록 상기 반도체 기판내에 형성하는 공정을 포함하는 반도체 장치의 제조방법.

청구항 8

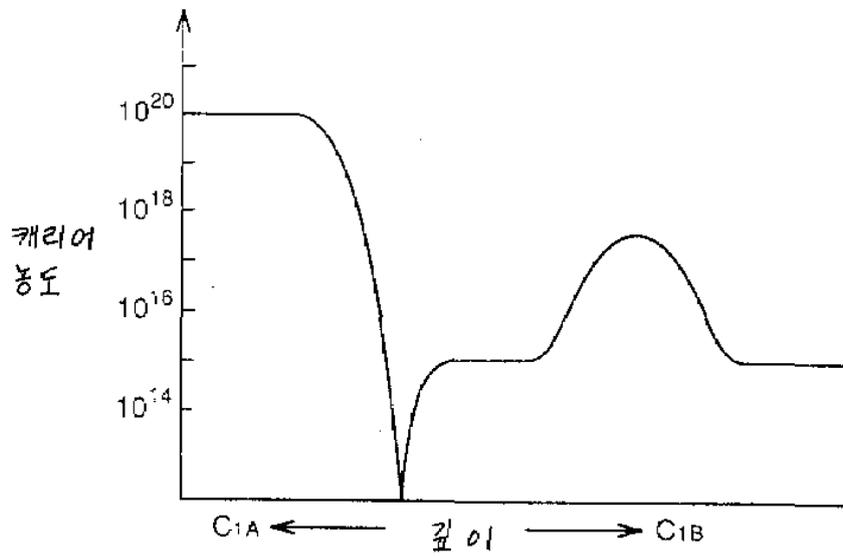
제7항에 있어서, 상기 제3불순물 영역(13)을 형성하는 공정은, 경사회전 주입법에 의해 상기 반도체 기판(1)에, 제1도전형의 불순물을 상기 반도체 기판의 주 표면에 직교하는 법선에 대해 $30^\circ \sim 60^\circ$ 의 각도로 주입하는 공정을 포함하는 반도체 장치의 제조방법.

도면

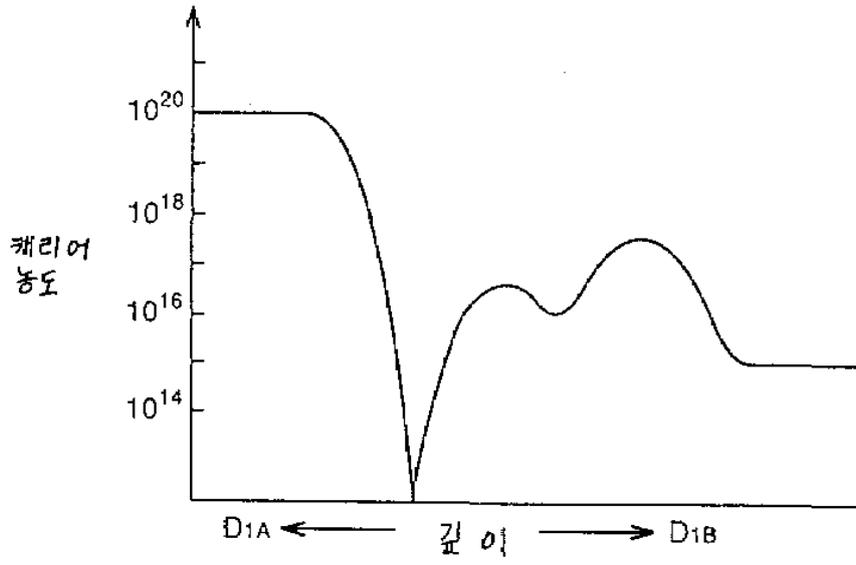
도면1



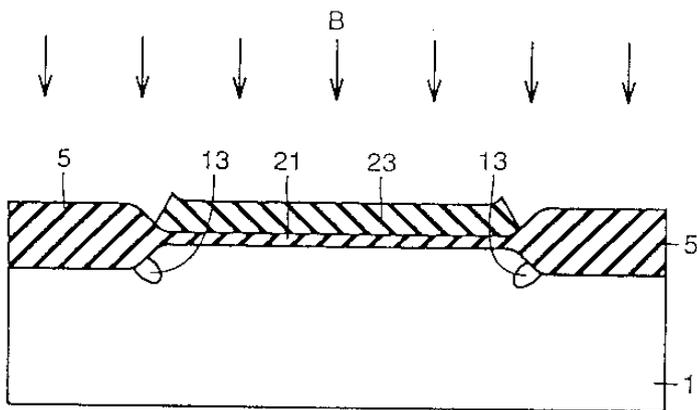
도면2



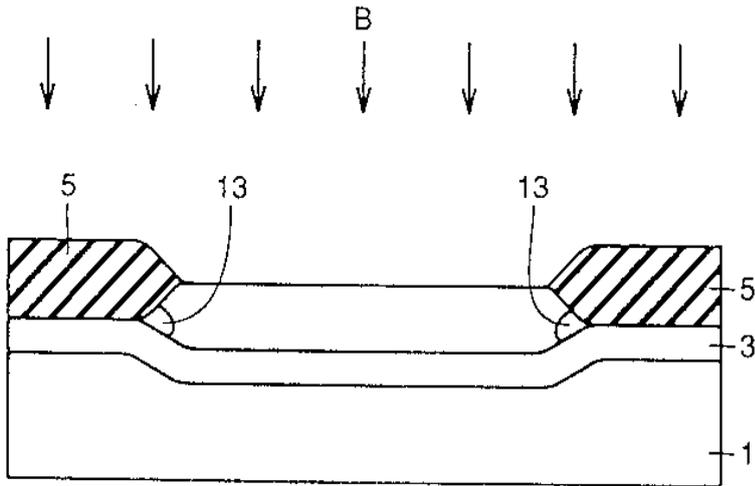
도면3



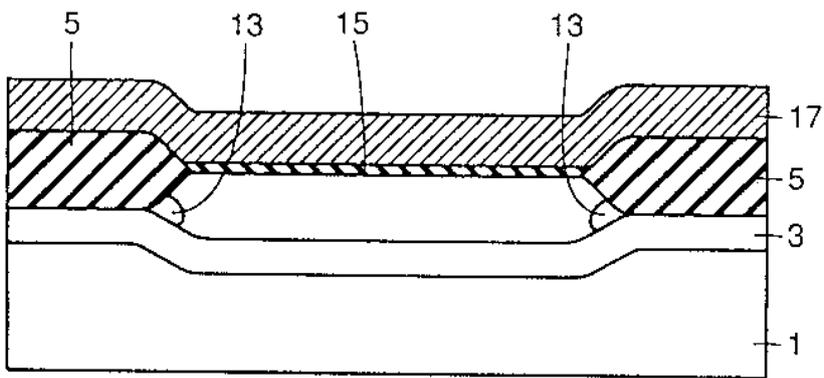
도면4



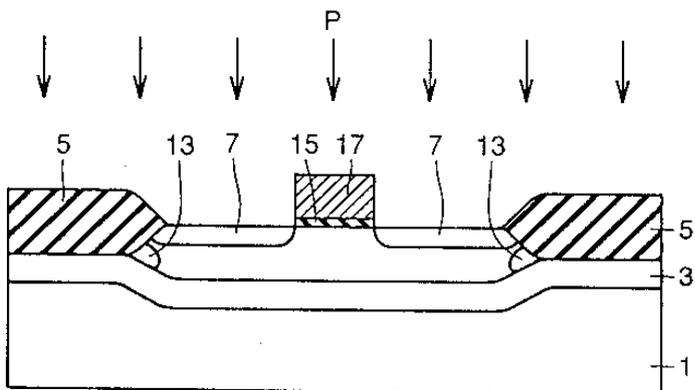
도면5



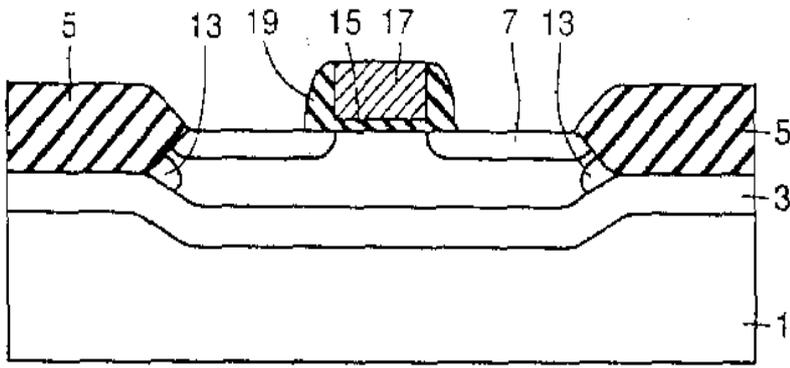
도면6



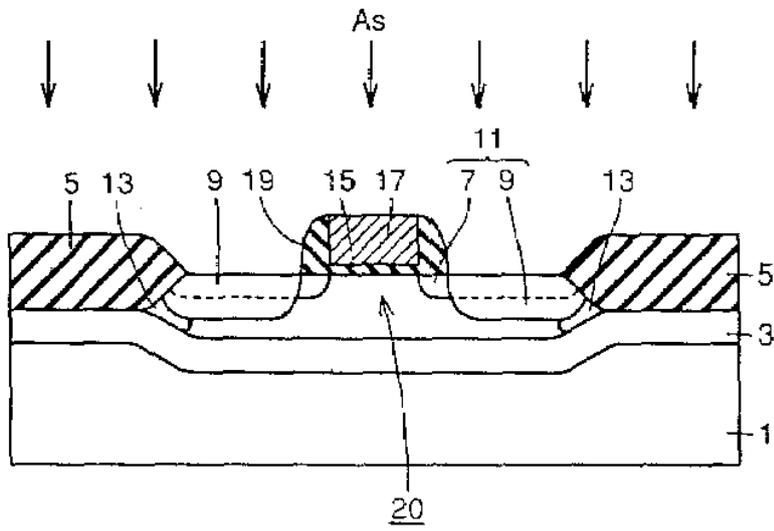
도면7



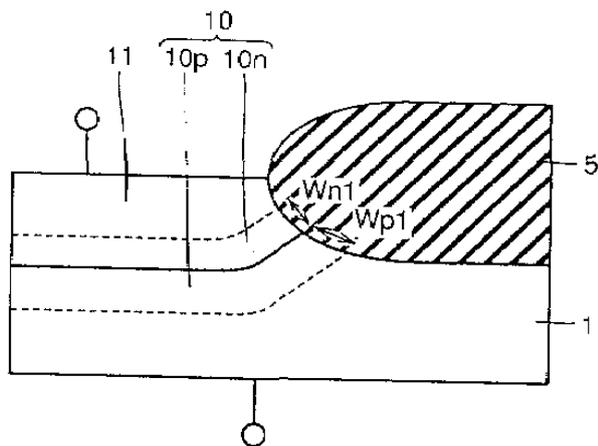
도면8



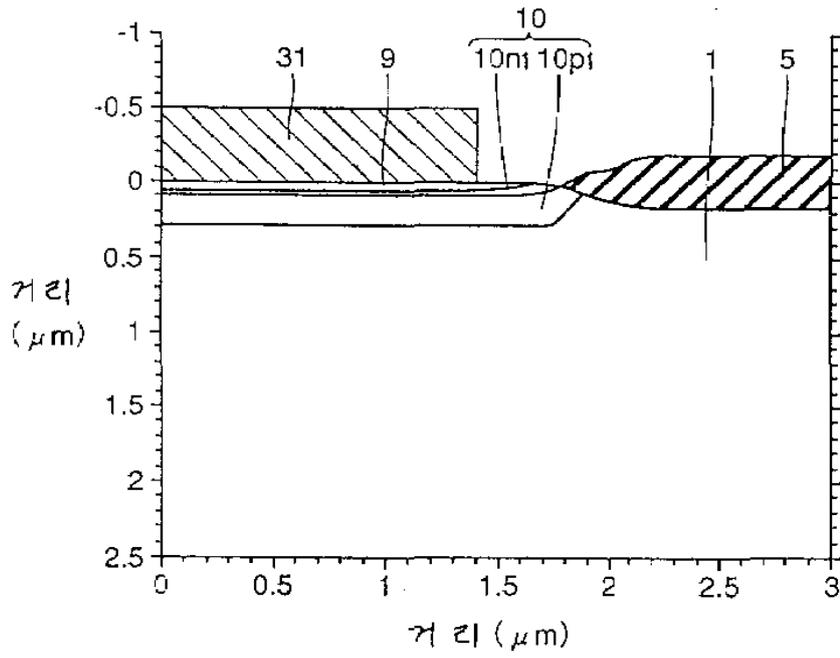
도면9



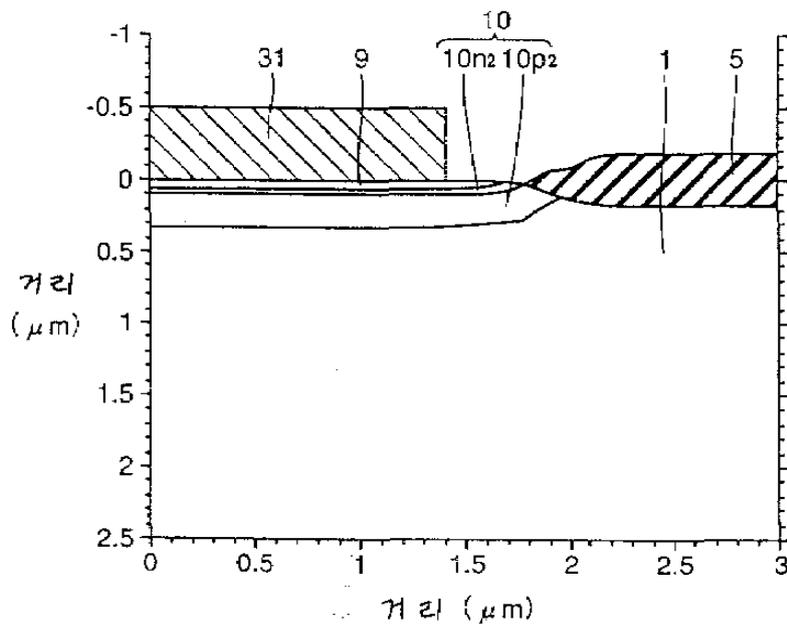
도면10



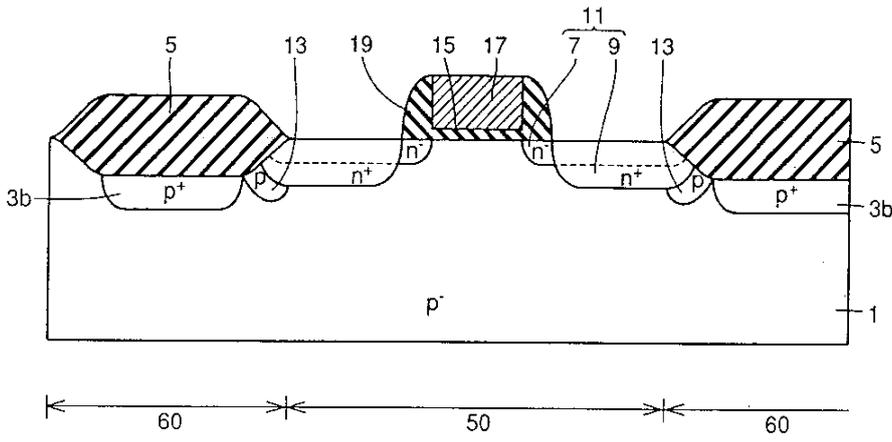
도면11



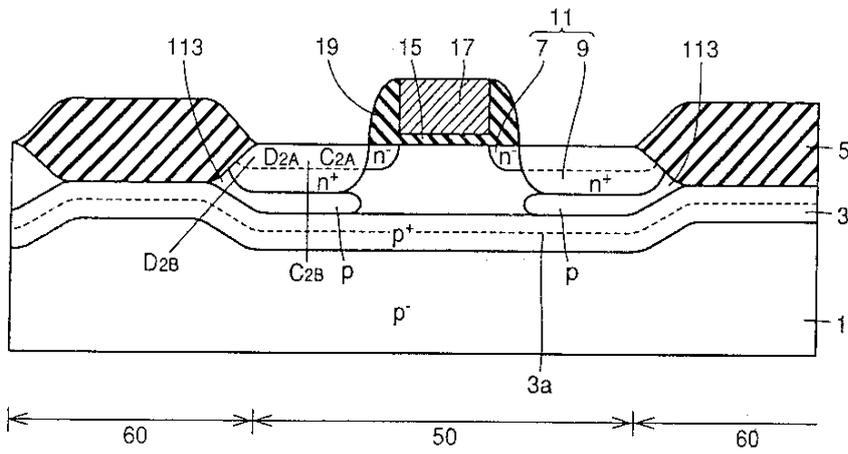
도면12



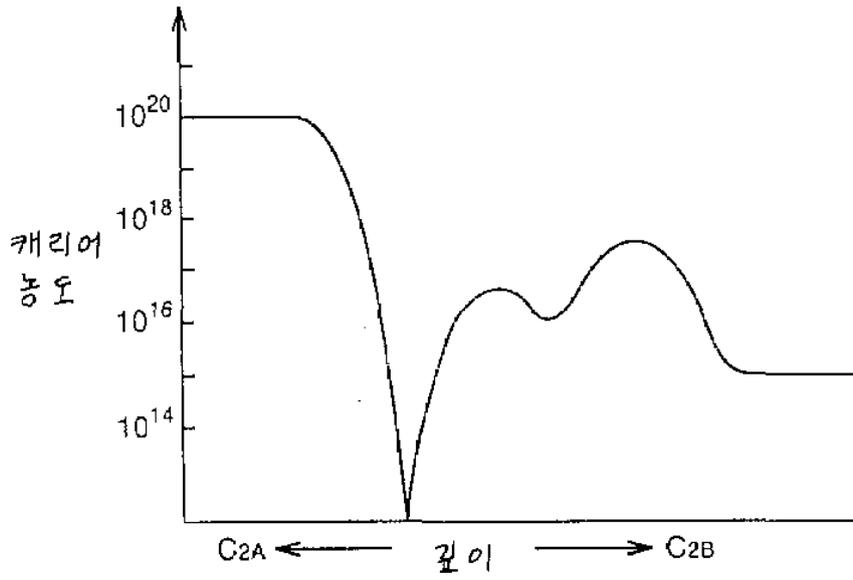
도면13



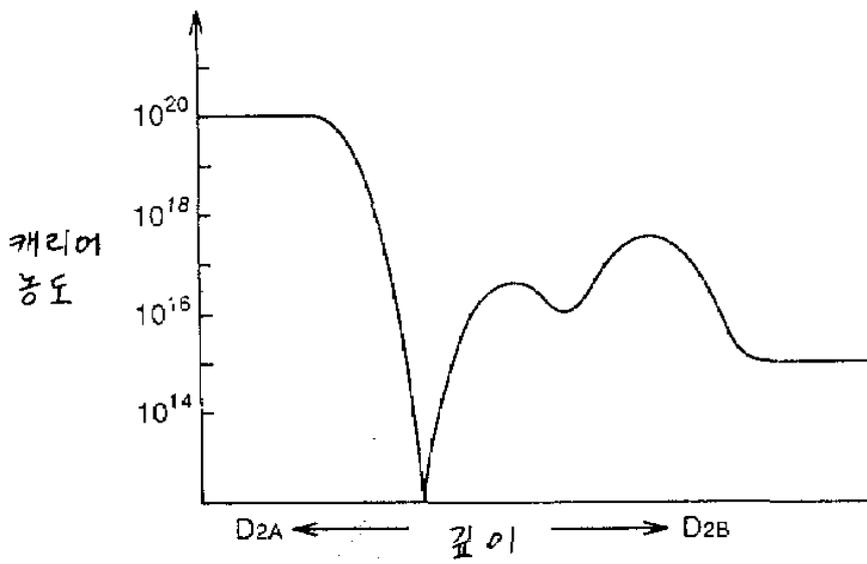
도면14



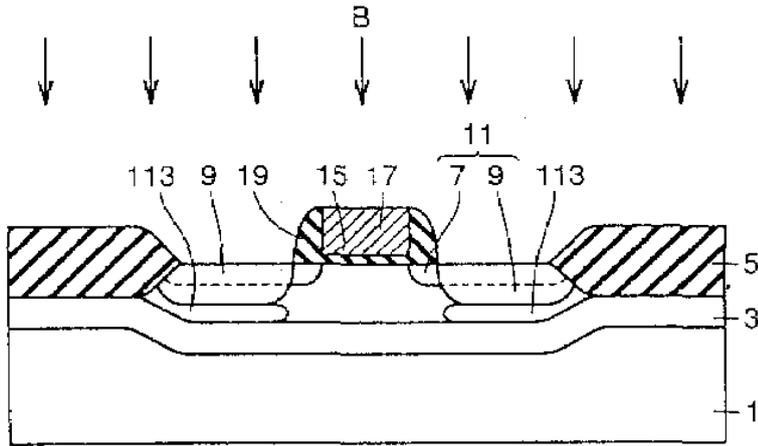
도면15



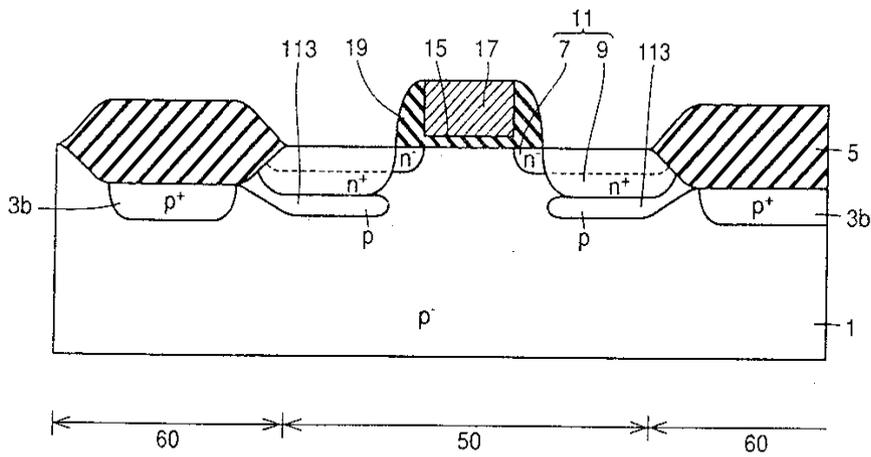
도면16



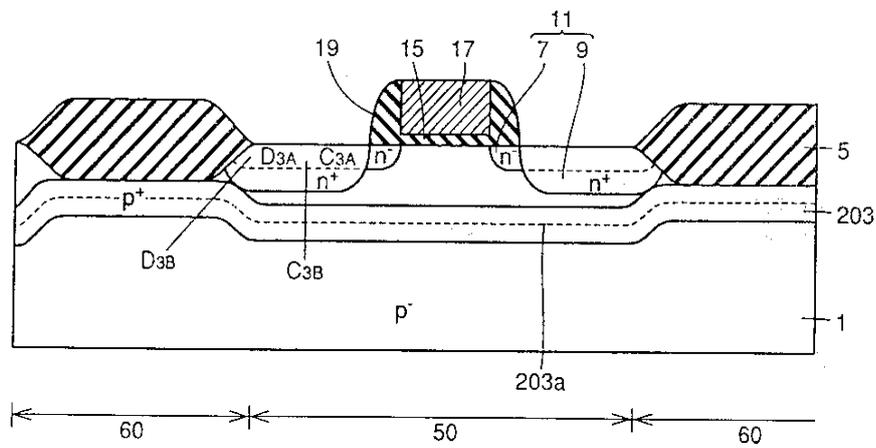
도면17



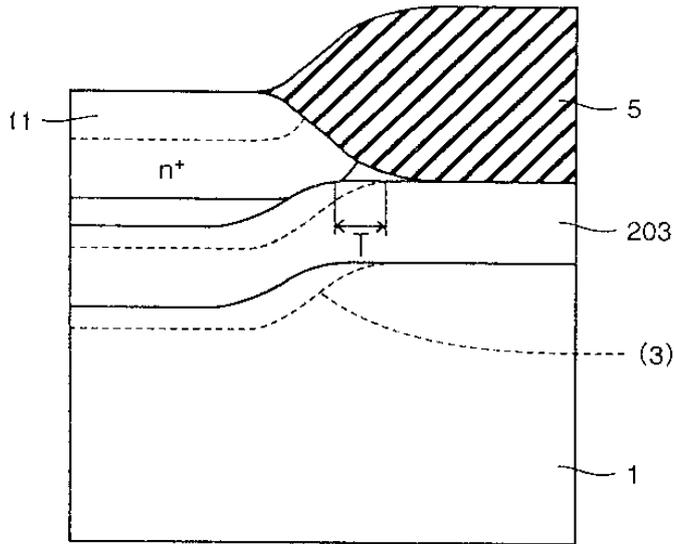
도면18



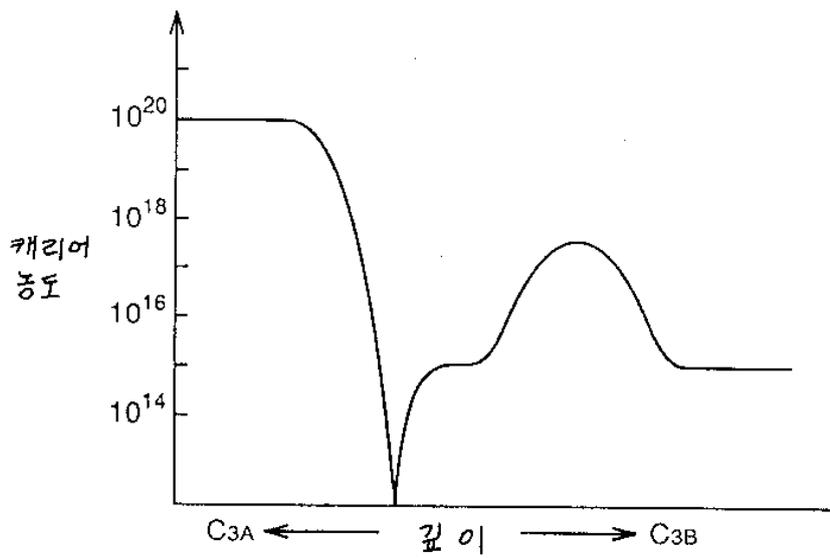
도면19



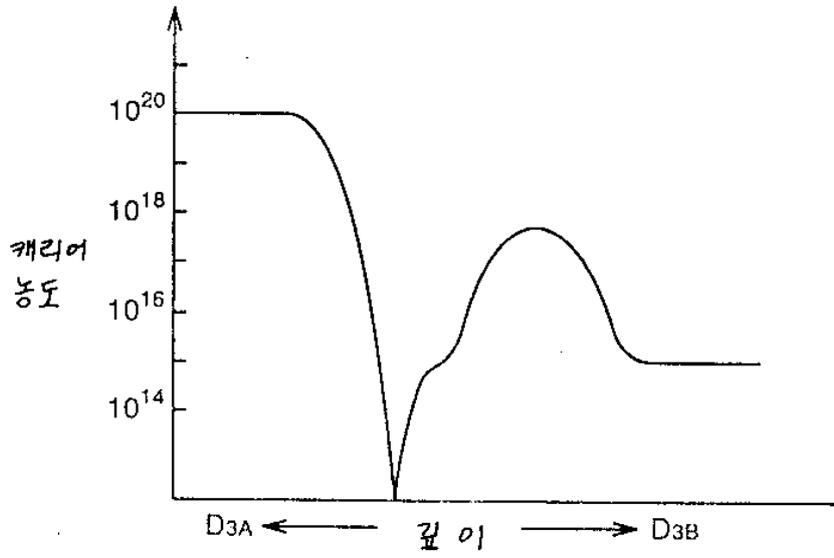
도면20



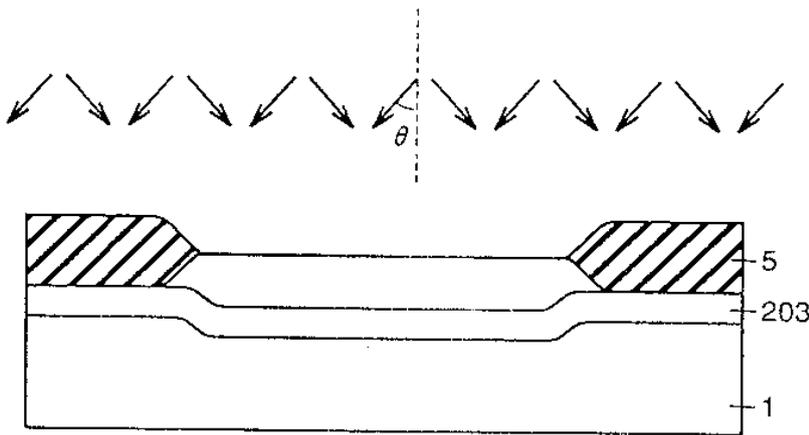
도면21



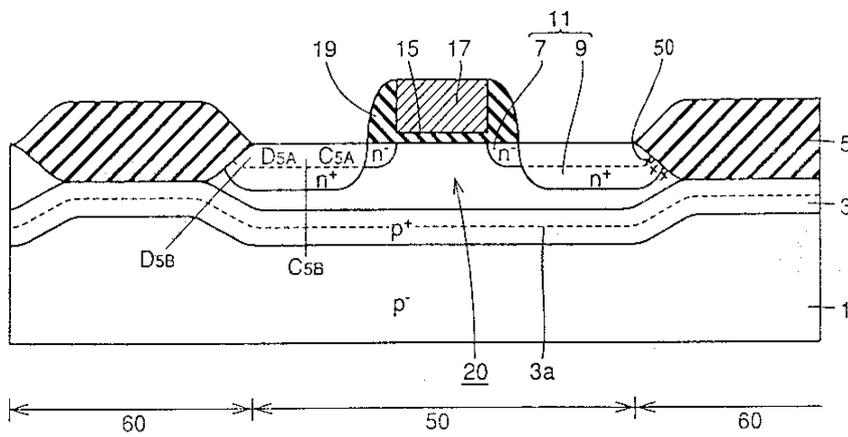
도면22



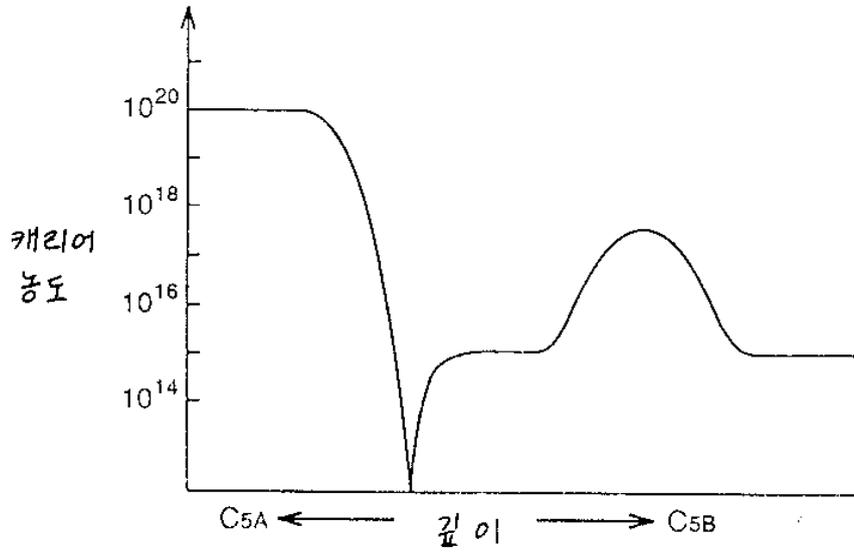
도면23



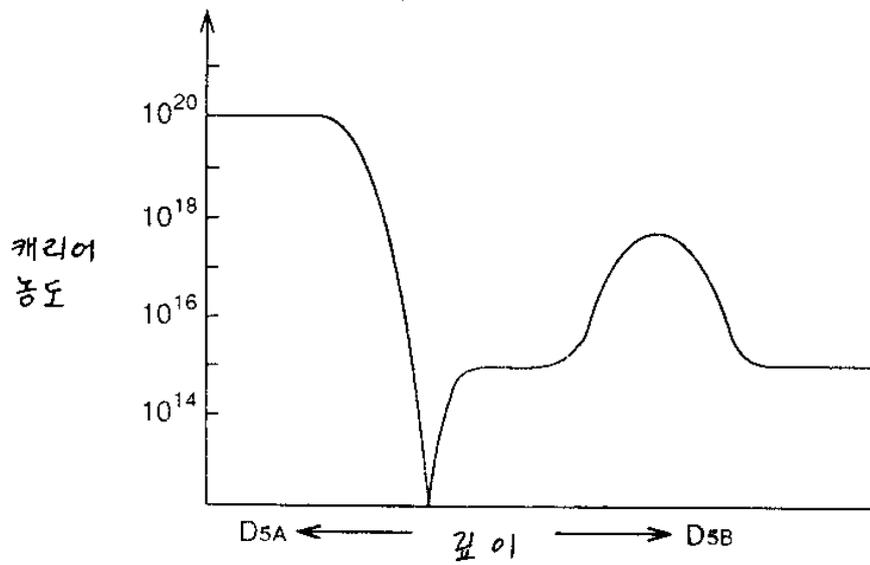
도면24



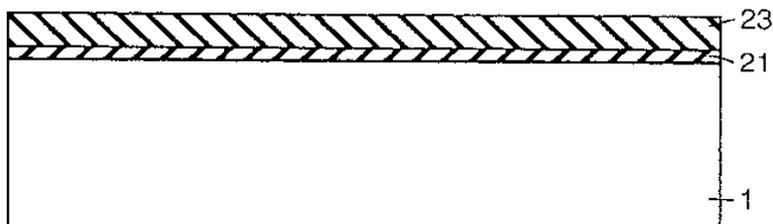
도면25



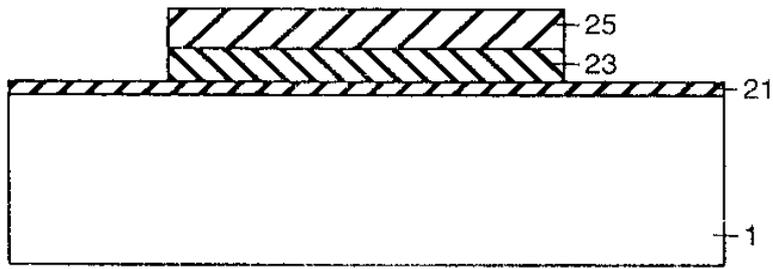
도면26



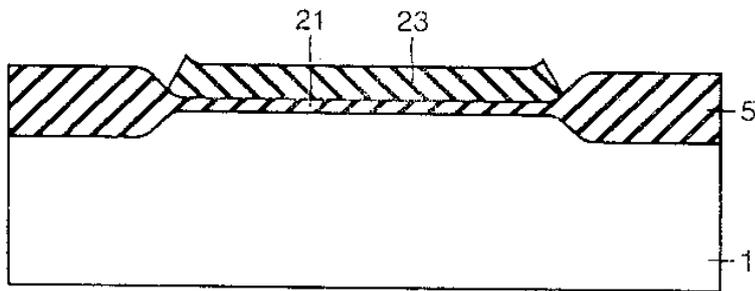
도면27



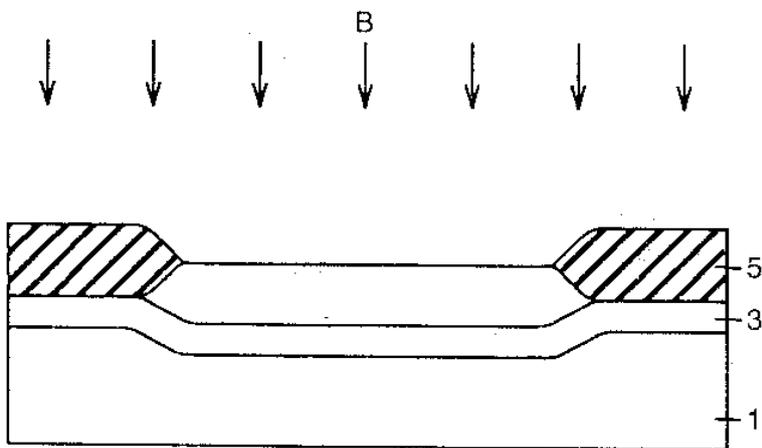
도면28



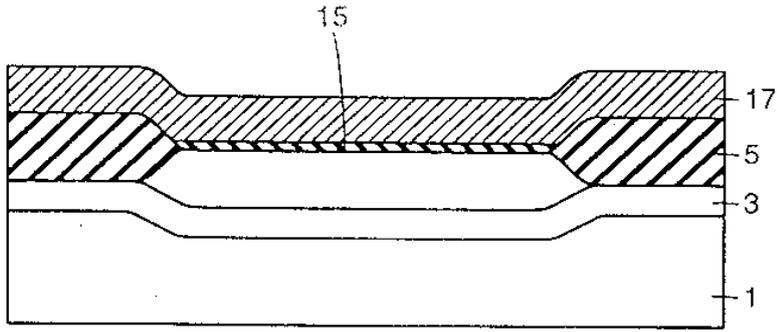
도면29



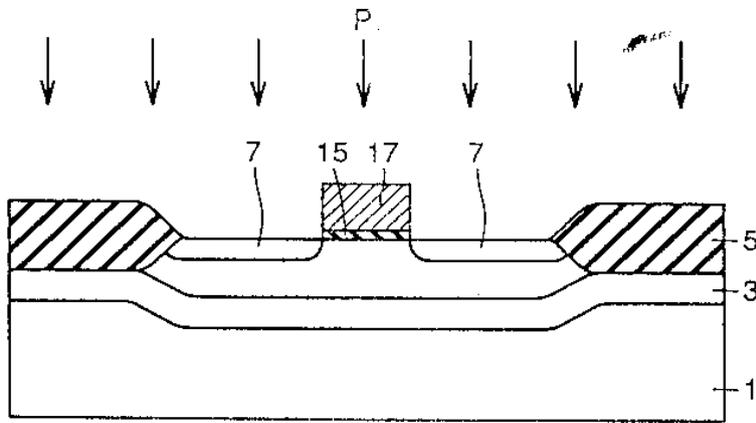
도면30



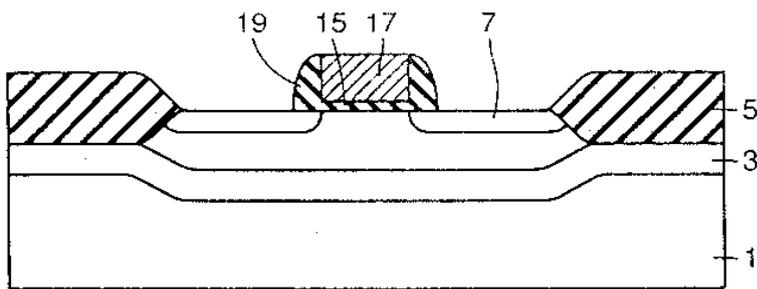
도면31



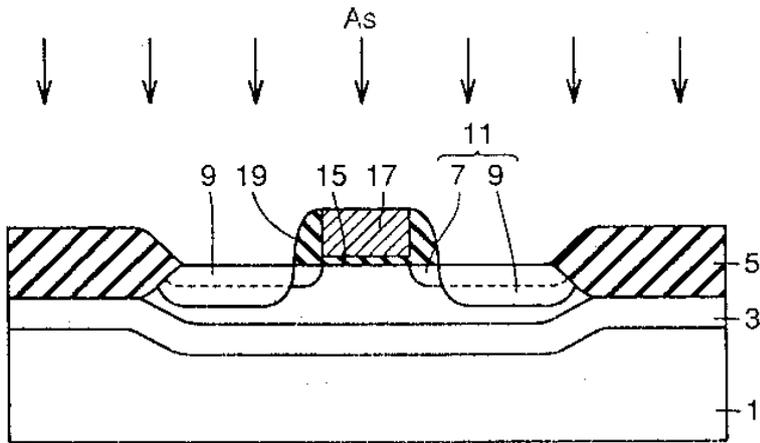
도면32



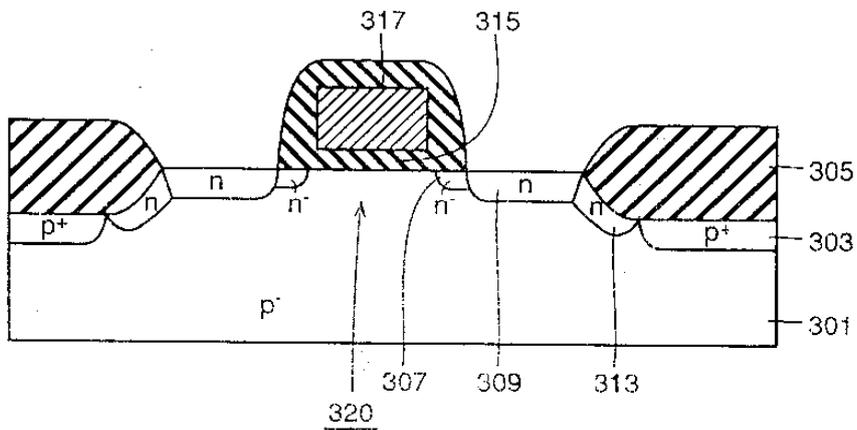
도면33



도면34



도면35



도면36

